

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5522079号
(P5522079)

(45) 発行日 平成26年6月18日 (2014. 6. 18)

(24) 登録日 平成26年4月18日 (2014. 4. 18)

(51) Int. Cl.	F I
G 1 1 C 17/14 (2006. 01)	G 1 1 C 17/06 B
G 1 1 C 17/00 (2006. 01)	G 1 1 C 17/00 E

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2011-31812 (P2011-31812)	(73) 特許権者	308014341
(22) 出願日	平成23年2月17日 (2011. 2. 17)		富士通セミコンダクター株式会社
(65) 公開番号	特開2012-174284 (P2012-174284A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成24年9月10日 (2012. 9. 10)		23
審査請求日	平成25年10月30日 (2013. 10. 30)	(74) 代理人	100092152
			弁理士 服部 毅巖
		(72) 発明者	長山 準
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内
		(72) 発明者	粟屋 友晴
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内
		(72) 発明者	磯田 雅仁
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内
			最終頁に続く

(54) 【発明の名称】 書き込み制御回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

電氣的に1回限りの書き込みが行われる記憶素子への書き込みを、前記記憶素子への書き込みを指示する書き込み信号に応じて制御する書き込み制御部と、

電源電圧、または前記記憶素子へ供給される書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止させる電圧検出部と、

を有することを特徴とする書き込み制御回路。

【請求項2】

前記書き込み制御部は、前記電源電圧、または前記書き込み電圧の立ち上がり時に前記電圧検出部から出力される信号によって、前記書き込み信号を無効にする論理回路を有していることを特徴とする請求項1記載の書き込み制御回路。

【請求項3】

前記電圧検出部は、接地端子と前記書き込み電圧が印加される端子間に接続された、抵抗、コンデンサ、及び制御端子に前記電源電圧が印加されるトランジスタを具備する直列回路を有し、

前記トランジスタと前記コンデンサ間のノードの信号を前記書き込み制御部に供給して、前記電源電圧、または前記書き込み電圧の立ち上がり時に、前記記憶素子への書き込みを前記書き込み制御部に停止させることを特徴とする請求項1または2に記載の書き込み制御回路。

10

20

【請求項 4】

電氣的に 1 回限りの書き込みが行われる記憶素子と、
 前記記憶素子に接続され、制御信号に応じて、書き込み電圧による電流を前記記憶素子に流すか否かを制御する書き込みトランジスタと、
 前記記憶素子への書き込みを指示する書き込み信号に応じた前記制御信号を出力して、前記記憶素子への書き込みを制御する書き込み制御部と、
 電源電圧、または前記書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止させる電圧検出部と、
 を有することを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電氣的に 1 回限りの書き込みが行われる記憶素子に対する書き込みを制御する書き込み制御回路及び半導体装置に関する。

【背景技術】

【0002】

近年、R A M (Random Access Memory) 回路などにおいて、不良ビットを救済するための冗長処理や、各チップを識別するための識別番号などに、電気ヒューズ素子を使用することが増えてきている。

【0003】

20

電気ヒューズ素子は、電氣的に 1 回限りの書き込みが行われる記憶素子（以下 O T P (One Time Programming) 素子という）である。電気ヒューズ素子は、所定の書き込み電圧が印加される端子と、書き込みトランジスタに接続されている。所定の書き込み電圧が印加され、W E (Write Enable) 信号のような書き込みを指示する信号により、書き込みトランジスタがオン状態となると電気ヒューズ素子に電流が流れる。この電流により電気ヒューズ素子が切断されて、書き込み状態となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 9 - 1 5 7 9 8 1 号公報

30

【特許文献 2】特開平 8 - 3 2 1 1 9 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、上記のような O T P 素子において、何らかの意図しない電流が流れると、適切な書き込みが行われず、誤書き込みが発生する問題があった。

【課題を解決するための手段】

【0006】

発明の一観点によれば、電氣的に 1 回限りの書き込みが行われる記憶素子への書き込みを、前記記憶素子への書き込みを指示する書き込み信号に応じて制御する書き込み制御部と、電源電圧、または前記記憶素子へ供給される書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止させる電圧検出部と、を備えた書き込み制御回路が提供される。

40

【0007】

また、電氣的に 1 回限りの書き込みが行われる記憶素子と、前記記憶素子に接続され、制御信号に応じて、書き込み電圧による電流を前記記憶素子に流すか否かを制御する書き込みトランジスタと、前記記憶素子への書き込みを指示する書き込み信号に応じた前記制御信号を出力して、前記記憶素子への書き込みを制御する書き込み制御部と、電源電圧、または前記書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止させる電圧検出部と、を備えた半導体

50

装置が提供される。

【発明の効果】

【0008】

開示の書き込み制御回路及び半導体装置によれば、誤書き込みを抑制できる。

【図面の簡単な説明】

【0009】

【図1】第1の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

【図2】第2の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

【図3】書き込み電圧投入時の信号波形の一例を示す図である。

【図4】電源電圧投入時の信号波形の一例を示す図である。

10

【図5】第3の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

【図6】書き込み電圧投入時の信号波形の一例を示す図である。

【図7】電源電圧投入時の信号波形の一例を示す図である。

【図8】第4の実施の形態の半導体装置の一例を示す図である。

【図9】ヒューズブロックの一例を示す図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態を、図面を参照しつつ説明する。

電氣的に書き込みを行うOTP素子では、書き込み電圧や電源電圧の投入時など、信号が不安定な場合に書き込みトランジスタがオンになってしまうと、電気ヒューズ素子に適切な電流が流れず、書き込み過ぎや、中途半端な書き込み状態となる可能性がある。その場合、誤書き込みとなり、書き込み品質が悪化してしまう。

20

【0011】

本実施の形態の書き込み制御回路及び半導体装置は、そのような誤書き込みを抑制するものである。

なお、以下では電氣的に書き込みを行うOTP素子の例として電気ヒューズ素子を用いた例を示すが、これに限定されず、たとえば、トランジスタのゲート酸化膜に高電圧を印加して電氣的に破壊することで書き込み状態となるOTP素子などを用いてもよい。

【0012】

(第1の実施の形態)

30

図1は、第1の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

半導体装置1は、電気ヒューズ素子2、書き込みトランジスタ3、書き込み制御回路10を有している。また、書き込み制御回路10は、書き込み制御部11、電圧検出部12、レベルシフタ13を有している。

【0013】

電気ヒューズ素子2と書き込みトランジスタ3は、たとえば、図示しないテスト回路から書き込み電圧が印加される端子VBと、接地電位(基準電位)である接地端子VSS間に接続されている。

【0014】

電気ヒューズ素子2としては、ポリシリコン層上に形成されたシリサイド層を利用したものや、メタルヒューズなどが用いられる。電気ヒューズ素子2の抵抗値が120Ωで、10mAの電流が流れると切断される場合、書き込み電圧として、たとえば、2.4Vが印加される。

40

【0015】

書き込みトランジスタ3は、書き込み制御部11からの制御信号を受け、電気ヒューズ素子2へ電流を流すか否かを制御する。書き込みトランジスタ3は、図1の例では、nチャンネル型MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)として

いる。

【0016】

図1に示す例では、電気ヒューズ素子2の一方の端子は、書き込み電圧が印加される端

50

子VBに接続され、他方の端子は、書き込みトランジスタ3の一方の入出力端子(ドレイン)に接続されている。書き込みトランジスタ3の他方の入出力端子(ソース)は、接地端子VSSに接続されており、制御端子(ゲート)には、書き込み制御部11からの制御信号が入力される。

【0017】

書き込み制御回路10において、書き込み制御部11は、図示しないテスト回路から端子WEを介して入力され、レベルシフタ13で昇圧された書き込み信号(たとえば、ライトイネーブル信号)に応じて、電気ヒューズ素子2への書き込みを制御する。そして、書き込み制御部11は、入力した書き込み信号に応じて、書き込みトランジスタ3をオンまたはオフさせる制御信号を生成することで、電気ヒューズ素子2への書き込みを制御する。なお、書き込み制御部11は、端子VBから供給される書き込み電圧によって駆動される。また、書き込み制御部11は、接地端子VSSにも接続されている。

10

【0018】

電圧検出部12は、端子VB、VDD及び接地端子VSSに接続されており、電気ヒューズ素子2に供給される書き込み電圧と、電源電圧を検出する。そして、電圧検出部12は、電源電圧、または書き込み電圧の立ち上がり時に、書き込み制御部11に入力される書き込み信号に係わらず、電気ヒューズ素子2への書き込みを、一定期間、書き込み制御部11に停止させる。図1に示す例では、電圧検出部12は、書き込み制御部11に対して、書き込みトランジスタ3をオフ状態に維持するために、制御端子を、L(Low)レベルの電位に固定させるための信号を送る(詳細は後述する)。

20

【0019】

書き込みトランジスタ3をオフさせる期間は、書き込み電圧と、電源電圧の立ち上がり時に、これらの電圧が安定するまでの期間に応じて設定される。

レベルシフタ13は、端子VB、VDD、接地端子VSS及び書き込み信号が入力される端子WEに接続されている。そしてレベルシフタ13は、たとえば、一定期間のパルス信号である書き込み信号を、電源電圧(たとえば、1.2V程度)の信号レベルから、書き込み電圧の信号レベル(たとえば、2.4V程度)に昇圧する。比較的高い書き込み電圧が印加される書き込みトランジスタ3や、書き込み制御部11内の図示しないトランジスタには、厚いゲート酸化膜(たとえば、8nm程度)が用いられるため、それらのトランジスタを十分オンさせるために上記のような昇圧が行われる。なお、電圧検出部12中の図示しないトランジスタにおいても、厚いゲート酸化膜が用いられる。

30

【0020】

以上のような書き込み制御回路10により、書き込み電圧または電源電圧の立ち上がり時の信号が不安定な状態のときに、一定期間、書き込みトランジスタ3をオフ状態に維持しておくことができ、誤書き込みを抑制できる。

【0021】

たとえば、書き込み電圧の投入時に、レベルシフタ13において書き込み信号が昇圧されると、不安定な書き込み電圧の影響で、書き込み信号も不安定な信号になりかねない。しかし、本実施の形態の書き込み制御回路10及び半導体装置1によれば、書き込み電圧の投入時の一定期間、書き込み信号に係わらず、書き込みトランジスタ3をオフ状態に維持できるので、不安定な書き込み信号による書き込みを抑制できる。

40

【0022】

また、書き込み電圧の投入時の不安定な書き込み電圧による電気ヒューズ素子2への書き込みが抑制される。

また、電源電圧の投入時に、書き込み信号の昇圧が不安定になり、不安定な書き込み信号が書き込み制御部11に入力されたとしても、書き込みトランジスタ3をオフ状態に維持しておくことができる。これにより、電源電圧投入時に不安定となる書き込み信号による誤書き込みを抑制できる。

【0023】

以下、第2、第3の実施の形態として書き込み制御回路の例をより詳細に説明する。

50

(第2の実施の形態)

図2は、第2の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

【0024】

第1の実施の形態の半導体装置1と同様の要素については、同一符号を付し説明を省略する。

第2の実施の形態の半導体装置1aにおいて、書き込み制御回路10aは、書き込み制御部11a、電圧検出部12aを有している。

【0025】

書き込み制御部11aは、AND回路111、インバータ回路112を有している。

AND回路111は、レベルシフタ13から出力される書き込み信号と、インバータ回路112で信号レベルが反転された電圧検出部12aの出力信号のAND論理を出力するものである。AND回路111は、書き込み電圧または電源電圧の立ち上がり時に電圧検出部12aから出力されるH(High)レベルの信号によって、レベルシフタ13から出力される書き込み信号を無効にする。すなわち、AND回路111は、書き込み信号に係わらずLレベルの信号を出力する。

【0026】

なお、AND回路111とインバータ回路112は、端子VBと接地端子VSSに接続されており、書き込み電圧によって駆動される。

電圧検出部12aは、端子VBと接地端子VSS間に接続されたコンデンサ121、トランジスタ122、抵抗123を含む直列回路を有している。

【0027】

コンデンサ121の一方の端子は端子VBに接続されており、他方の端子はトランジスタ(nチャンネル型MOSFET)の一方の入出力端子(ドレイン)に接続されている。トランジスタ122の他方の入出力端子(ソース)は抵抗123の一端に接続され、制御端子(ゲート)は端子VDDに接続されている。抵抗123の他端は接地端子VSSに接続されている。コンデンサ121とトランジスタ122のドレイン間のノードN1の電位が電圧検出部12aの出力信号として書き込み制御部11aのインバータ回路112に入力される。

【0028】

コンデンサ121の容量値と、抵抗123の抵抗値は、書き込み電圧と電源電圧の投入時に書き込みトランジスタ3をオフ状態に維持させたい期間に応じて、適宜設定される。

以下、第2の実施の形態の半導体装置1aの動作を説明する。

【0029】

まず、端子VDDから供給される電源電圧が設定済み(安定状態にある)場合で、書き込み電圧投入時の動作を説明する。

図3は、書き込み電圧投入時の信号波形の一例を示す図である。

【0030】

縦軸は電圧を示し、横軸は時間を示している。図中では端子VBから供給される書き込み電圧をVBと表記している。また、図2で示した半導体装置1aのノードN1、N2の電位を、それぞれ、N1、N2と表記している。

【0031】

初期状態ではノードN2の電位がLレベルであるとする。時刻t1において、書き込み電圧の投入が開始されると、書き込み電圧の上昇に伴い、ノードN1の電位がHレベルとなる。そのため、インバータ回路112の出力信号はLレベルとなり、AND回路111の出力は、レベルシフタ13から出力される書き込み信号に係わらず、LレベルとなりノードN2の電位はLレベルに固定される。そのため、書き込み信号がHレベルであっても、書き込みトランジスタ3はオフ状態を維持し、電気ヒューズ素子2への書き込みが発生しない。

【0032】

電源電圧が設定済み(Hレベル)であるので、トランジスタ122はオン状態となって

10

20

30

40

50

いる。そのため、ノードN1の電位は、コンデンサ121の容量値と、抵抗123の抵抗値などによって決まる時定数に応じて減少していく。

【0033】

ノードN1の電位が、インバータ回路112で、入力がLレベルと判定される電位（インバータ回路112のトランジスタの閾値電圧によって決まる）以下となると（時刻t2）、インバータ回路112の出力は、Hレベルに反転する。これにより、AND回路111は、レベルシフタ13から出力される書き込み信号に応じた値を出力するようになる。書き込み信号がHレベルの場合には、AND回路111はHレベルの制御信号を出力し、ノードN2の電位は、図3に示すように、Hレベルになる。これにより、書き込みトランジスタ3がオンし、書き込み電圧による電流が電気ヒューズ素子2に流れ、切断が行われる。

10

【0034】

このように、書き込み電圧の投入時に、一定期間、書き込み信号に係わらず書き込みトランジスタ3をオフ状態に維持しておくことで、不安定な書き込み電圧や書き込み信号による電気ヒューズ素子2への書き込みを抑制できる。これにより、誤書き込みを抑制できる。

【0035】

次に、端子VBから供給される書き込み電圧が設定済み（安定状態にある）場合で、電源電圧投入時の動作を説明する。

図4は、電源電圧投入時の信号波形の一例を示す図である。

20

【0036】

縦軸は電圧を示し、横軸は時間を示している。図中では端子VDDから供給される電源電圧をVDDと表記している。また、図2で示した半導体装置1aのノードN1、N2の電位を、それぞれ、N1、N2と表記している。

【0037】

初期状態ではノードN2の電位がLレベルであるとする。時刻t3において、電源電圧の投入が開始され、トランジスタ122の閾値電圧まで上昇すると（時刻t4）、トランジスタ122がオンする。すると、ノードN1の電位がコンデンサ121の容量値と、抵抗123の抵抗値などによって決まる時定数に応じて減少していく。ただし、ノードN1の電位がインバータ回路112で、入力がLレベルと判定される電位以下となるまでは、インバータ回路112の出力信号はLレベルとなる。そのため、レベルシフタ13から出力される書き込み信号に係わらず、AND回路111の出力はLレベルとなりノードN2の電位はLレベルに固定される。そのため、書き込み信号がHレベルであっても、書き込みトランジスタ3はオフ状態を維持し、電気ヒューズ素子2への書き込みが発生しない。

30

【0038】

ノードN1の電位が、インバータ回路112で、入力がLレベルと判定される電位以下となると（時刻t5）、インバータ回路112の出力は、Hレベルに反転する。これにより、AND回路111は、レベルシフタ13から出力される書き込み信号に応じた値を出力するようになる。書き込み信号がHレベルの場合には、AND回路111はHレベルの制御信号を出力し、ノードN2の電位は、図4に示すように、Hレベルになる。これにより、書き込みトランジスタ3がオンし、書き込み電圧による電流が電気ヒューズ素子2に流れ、切断が行われる。

40

【0039】

このように、電源電圧の投入時に、一定期間、書き込み信号に係わらず書き込みトランジスタ3をオフ状態に維持しておくことで、その期間に書き込み信号が不安定となっても、電気ヒューズ素子2への書き込みを抑制できる。これにより、誤書き込みを抑制できる。

【0040】

（第3の実施の形態）

書き込み制御回路は、図2に示した回路構成に限定されず、たとえば、以下に示すよう

50

な回路としてもよい。

【0041】

図5は、第3の実施の形態の半導体装置及び書き込み制御回路の一例を示す図である。

第2の実施の形態の半導体装置1aと同様の要素については、同一符号を付し説明を省略する。

【0042】

図5に示す半導体装置1bにおいて、書き込み制御回路10bでは、電圧検出部12bの抵抗125、トランジスタ126、コンデンサ127の接続が、第1の実施の形態の書き込み制御回路10aの電圧検出部12aと異なっている。

【0043】

第3の実施の形態の書き込み制御回路10bにおいて、電圧検出部12bでは、抵抗125の一端が端子VBに接続され、他端がトランジスタ126のドレインに接続されている。トランジスタ126のソースはコンデンサ127の一方の端子に接続されており、コンデンサ127の他方の端子は、接地端子VSSに接続されている。トランジスタゲートには端子VDDが接続され、電源電圧が供給される。トランジスタ126のソースとコンデンサ127間のノードN4の電位が電圧検出部12bの出力信号として書き込み制御部11bに入力される。

【0044】

書き込み制御部11bは、AND回路113を有し、電圧検出部12bの出力信号と、レベルシフタ13から出力される昇圧された書き込み信号を入力し、それらのAND論理の結果を書き込みトランジスタ3のゲートに供給する制御信号として出力する。AND回路113は、書き込み電圧または電源電圧の立ち上がり時の一定期間に電圧検出部12bから出力される信号により、書き込み信号を無効にする。すなわち、AND回路113は、書き込み信号に係わらず、Lレベルの制御信号を出力する。

【0045】

以下、半導体装置1bの動作を説明する。

まず、端子VDDから供給される電源電圧が設定済み（安定状態にある）場合で、書き込み電圧投入時の動作を説明する。

【0046】

図6は、書き込み電圧投入時の信号波形の一例を示す図である。

縦軸は電圧を示し、横軸は時間を示している。図中では端子VBから供給される書き込み電圧をVBと表記している。また、図5で示した半導体装置1bのノードN2、N4の電位を、それぞれ、N2、N4と表記している。

【0047】

初期状態ではノードN2の電位がLレベルであるとする。時刻t10において、書き込み電圧の投入が開始されると、トランジスタ126がオン状態であるので、書き込み電圧の上昇に伴い、ノードN4の電位もコンデンサ127と抵抗125などによって決まる時間定数に応じて上昇を始める。ただし、ノードN4の電位がAND回路113で、入力がHレベルと判定される電位（AND回路113のトランジスタの閾値電圧によって決まる）以上となるまでは、AND回路113の出力信号はLレベルのままである。そのため、レベルシフタ13から出力される書き込み信号に係わらず、AND回路113の出力はLレベルとなりノードN2の電位はLレベルに固定される。そのため、書き込み信号がHレベルであっても、書き込みトランジスタ3はオフ状態を維持し、電気ヒューズ素子2への書き込みが発生しない。

【0048】

ノードN4の電位が、AND回路113で、入力がHレベルと判定される電位以上となると（時刻t11）、AND回路113は、レベルシフタ13から出力される書き込み信号に応じた値を出力するようになる。書き込み信号がHレベルの場合には、AND回路113はHレベルの制御信号を出力し、ノードN2の電位は、図6に示すように、Hレベルになる。これにより、書き込みトランジスタ3がオンし、書き込み電圧による電流が電気

10

20

30

40

50

ヒューズ素子 2 に流れ、切断が行われる。

【 0 0 4 9 】

このように、書き込み電圧の投入時に、一定期間、書き込み信号に係わらず書き込みトランジスタ 3 をオフ状態に維持しておくことで、不安定な書き込み電圧や書き込み信号による電気ヒューズ素子 2 への書き込みを抑制できる。これにより、誤書き込みを抑制できる。

【 0 0 5 0 】

次に、端子 V B から供給される書き込み電圧が設定済み（安定状態にある）場合で、電源電圧投入時の動作を説明する。

図 7 は、電源電圧投入時の信号波形の一例を示す図である。

10

【 0 0 5 1 】

縦軸は電圧を示し、横軸は時間を示している。図中では端子 V D D から供給される電源電圧を V D D と表記している。また、図 5 で示した半導体装置 1 b のノード N 2 , N 4 の電位を、それぞれ、N 2 , N 4 と表記している。

【 0 0 5 2 】

初期状態ではノード N 2 の電位が L レベルであるとする。時刻 t 1 2 において、電源電圧の投入が開始され、トランジスタ 1 2 6 の閾値電圧まで上昇すると（時刻 t 1 3 ）、トランジスタ 1 2 6 がオンする。これにより、ノード N 4 の電位がコンデンサ 1 2 7 の容量値と、抵抗 1 2 5 の抵抗値などによって決まる時定数に応じて増加していく。

【 0 0 5 3 】

20

ただし、ノード N 4 の電位が A N D 回路 1 1 3 で、入力が H レベルと判定される電位以上となるまでは、A N D 回路 1 1 3 の出力信号は L レベルとなる。そのため、レベルシフタ 1 3 から出力される書き込み信号に係わらず、A N D 回路 1 1 3 の出力は L レベルとなりノード N 2 の電位は L レベルに固定される。つまり、書き込み信号が H レベルとなっても、書き込みトランジスタ 3 はオフ状態を維持し、電気ヒューズ素子 2 への書き込みが発生しない。

【 0 0 5 4 】

ノード N 4 の電位が、A N D 回路 1 1 3 で、入力が H レベルと判定される電位以上となると（時刻 t 1 4 ）、A N D 回路 1 1 3 は、レベルシフタ 1 3 から出力される書き込み信号に応じた値を出力するようになる。書き込み信号が H レベルの場合には、A N D 回路 1 1 3 は H レベルの制御信号を出力し、ノード N 2 の電位は、図 7 に示すように、H レベルになる。これにより、書き込みトランジスタ 3 がオンし、書き込み電圧による電流が電気ヒューズ素子 2 に流れ、切断が行われる。

30

【 0 0 5 5 】

このように、電源電圧の投入時に、一定期間、書き込み信号に係わらず書き込みトランジスタ 3 をオフ状態に維持しておくことで、その期間に書き込み信号が不安定となっても、電気ヒューズ素子 2 への書き込みを抑制できる。これにより、誤書き込みを抑制できる。

【 0 0 5 6 】

以下、第 4 の実施の形態として、上記のような書き込み制御回路を、たとえば、チップ

40

を識別する I D (I d e n t i f i c a t i o n) を実現する際に適用した例を説明する。

（第 4 の実施の形態）

図 8 は、第 4 の実施の形態の半導体装置の一例を示す図である。

【 0 0 5 7 】

半導体装置 5 0 は、複数のヒューズブロック 5 1 - 1 , 5 1 - 2 , ... , 5 1 - N 、 A N D 回路 5 2 - 1 , 5 2 - 2 , ... , 5 2 - N 、 フリップフロップ 5 3 - 1 , 5 3 - 2 , ... , 5 3 - (N - 1) を有している。

【 0 0 5 8 】

各ヒューズブロック 5 1 - 1 ~ 5 1 - N へは、端子 V B から書き込み電圧が供給される。また、端子 S E N からヒューズブロック 5 1 - 1 ~ 5 1 - N への読み出しを指示する読

50

み出し信号（センス信号）が供給される。また、端子WEから供給される書き込み信号と、端子ENから供給されるイネーブル信号がAND回路52-1～52-Nに入力され、AND回路52-1～52-Nの出力がヒューズブロック51-1～51-Nに供給される。

【0059】

フリップフロップ53-1～53-(N-1)は、端子CLKから入力されるクロック信号に応じて、イネーブル信号を取り込んで後段にシフトさせるシフトレジスタの機能を有している。

【0060】

図9は、ヒューズブロックの一例を示す図である。

図8に示したヒューズブロック51-1の一例が示されている。他のヒューズブロック51-2～51-Nも同様である。なお、図2に示した半導体装置1aと同一構成については同一符号を付している。

【0061】

ヒューズブロック51-1は、図2に示した半導体装置1aの各要素の他に、読み出し回路511を備えている。

読み出し回路511は、SEN端子から読み出しを指示するセンス信号が入力されると、電気ヒューズ素子2の陰極側の電位（ノードN3の電位）を読み取り、出力端子ID[0]から出力する。

【0062】

図8及び図9で示すような半導体装置50において、書き込み時、端子VBに書き込み電圧を印加している状態で、イネーブル信号、書き込み信号、クロック信号に応じて、書き込みを行うヒューズブロック51-1～51-Nが選択され、切断が行われる。これにより、たとえば、どのヒューズブロック51-1～51-Nで切断が行われるかによって、チップIDがプログラミングされる。

【0063】

端子SENからヒューズブロック51-1～51-Nの書き込み内容を読み出すためのセンス信号が入力されると、各ヒューズブロック51-1～51-Nの読み出し回路511から、電気ヒューズ素子2の状態に応じたノードN3の電位が読み出される。読み出された電位は、出力端子ID[0]、ID[1]、...、ID[N-1]から、たとえば、チップIDとして出力される。

【0064】

このような半導体装置50の、各ヒューズブロック51-1～51-Nに、第1の実施の形態で説明した書き込み制御回路10aを搭載することによって、チップIDなどが誤って書き込まれることを防止することができる。

【0065】

なお、図8では、図2に示した書き込み制御回路10aを適用した例を説明したが、図5に示した書き込み制御回路10bを用いてもよい。

以上、実施の形態に基づき、本発明の書き込み制御回路及び半導体装置の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【0066】

たとえば、書き込みトランジスタ3や、トランジスタ122、126はpチャネル型MOSFETとしてもよい。その場合は、適宜回路構成が変更される。また、MOSFETの代わりに、バイポーラトランジスタを用いてもよい。

【0067】

以上説明した複数の実施の形態に関し、さらに以下の付記を開示する。

（付記1） 電氣的に1回限りの書き込みが行われる記憶素子への書き込みを、前記記憶素子への書き込みを指示する書き込み信号に応じて制御する書き込み制御部と、

電源電圧、または前記記憶素子へ供給される書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止さ

10

20

30

40

50

せる電圧検出部と、

を有することを特徴とする書き込み制御回路。

【0068】

(付記2) 前記書き込み制御部は、前記電源電圧、または前記書き込み電圧の立ち上がり時に前記電圧検出部から出力される信号によって、前記書き込み信号を無効にする論理回路を有していることを特徴とする付記1記載の書き込み制御回路。

【0069】

(付記3) 前記電圧検出部は、接地端子と前記書き込み電圧が印加される端子間に接続された、抵抗、コンデンサ、及び制御端子に前記電源電圧が印加されるトランジスタを具備する直列回路を有し、

前記トランジスタと前記コンデンサ間のノードの信号を前記書き込み制御部に供給して、前記電源電圧、または前記書き込み電圧の立ち上がり時に、前記記憶素子への書き込みを前記書き込み制御部に停止させることを特徴とする付記1または2に記載の書き込み制御回路。

【0070】

(付記4) 前記書き込み信号は、レベルシフタにより前記電源電圧の信号レベルから、前記書き込み電圧の信号レベルに昇圧された信号であることを特徴とする付記1乃至3の何れか1つに記載の書き込み制御回路。

【0071】

(付記5) 前記直列回路の時定数と、前記書き込み制御部のトランジスタの閾値電圧に基づいて、前記一定期間が設定されていることを特徴とする付記3または4の何れか一つに記載の書き込み制御回路。

【0072】

(付記6) 電氣的に1回限りの書き込みが行われる記憶素子と、
前記記憶素子に接続され、制御信号に応じて、書き込み電圧による電流を前記記憶素子に流すか否かを制御する書き込みトランジスタと、
前記記憶素子への書き込みを指示する書き込み信号に応じた前記制御信号を出力して、前記記憶素子への書き込みを制御する書き込み制御部と、

電源電圧、または前記書き込み電圧の立ち上がり時に、一定期間、前記書き込み信号に係わらず前記記憶素子への書き込みを前記書き込み制御部に停止させる電圧検出部と、

を有することを特徴とする半導体装置。

【符号の説明】

【0073】

- 1 半導体装置
- 2 電気ヒューズ素子
- 3 書き込みトランジスタ
- 10 書き込み制御回路
- 11 書き込み制御部
- 12 電圧検出部
- 13 レベルシフタ
- VB, VDD, WE 端子
- VSS 接地端子

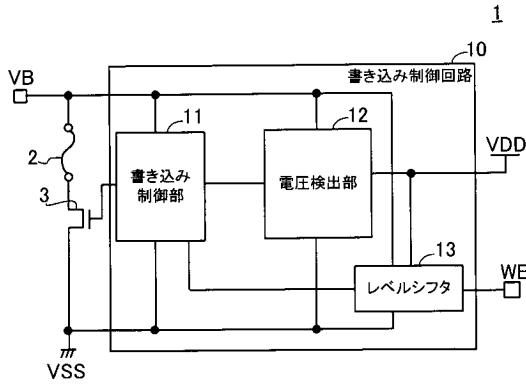
10

20

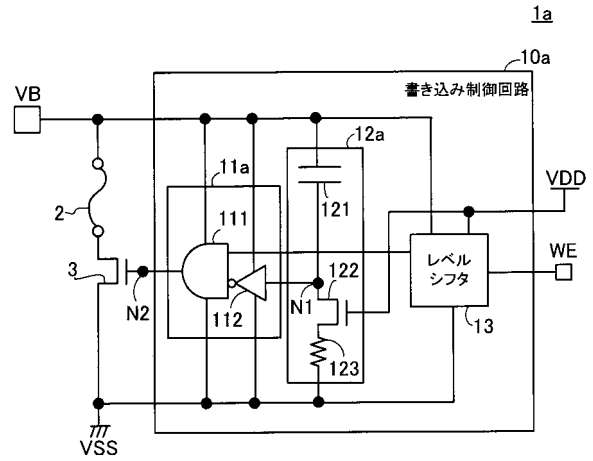
30

40

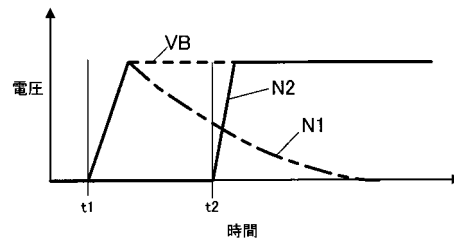
【図1】



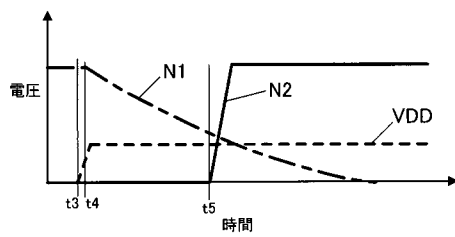
【図2】



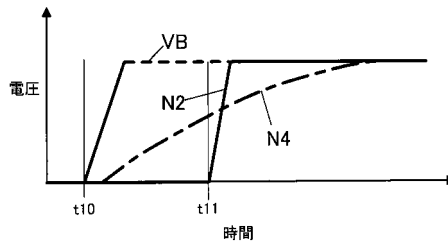
【図3】



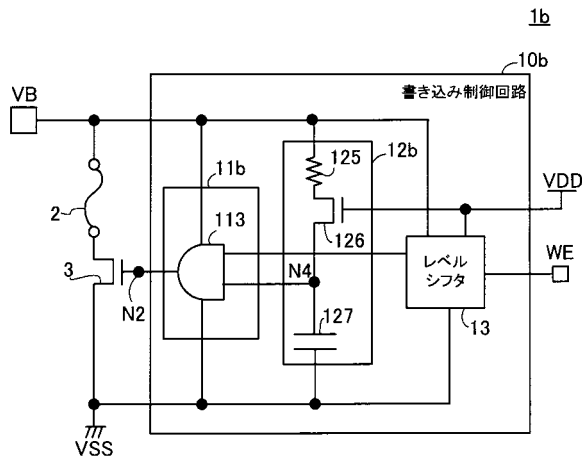
【図4】



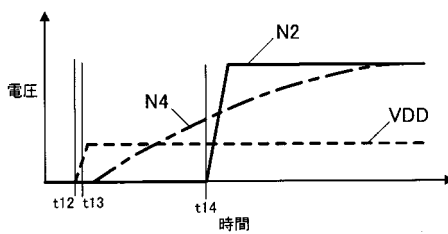
【図6】



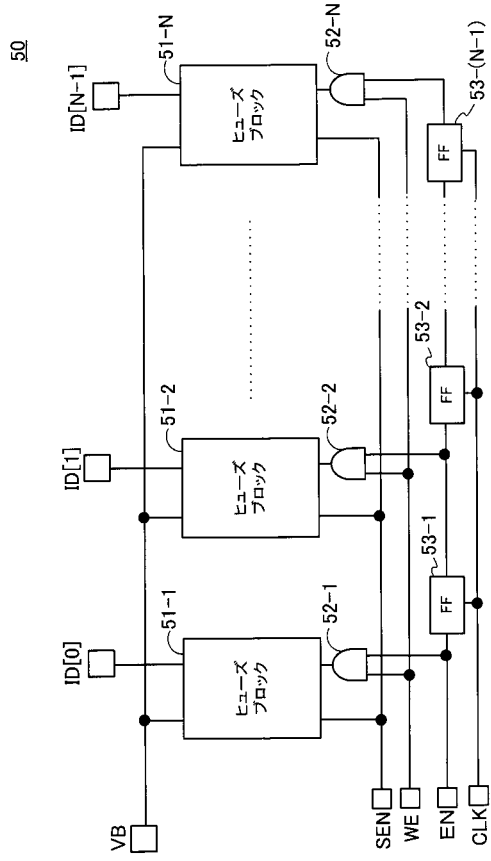
【図5】



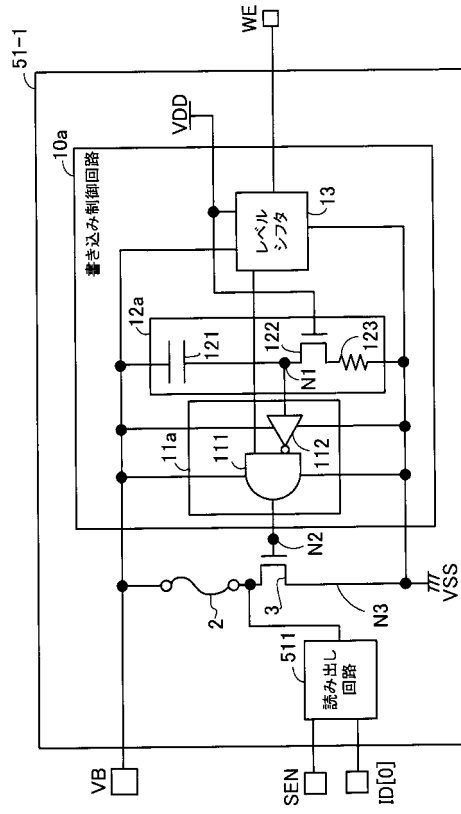
【図7】



【 8 】



【 9 】



フロントページの続き

(72)発明者 小屋敷 剛

神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

審査官 後藤 彰

(56)参考文献 特開2009-283602(JP,A)

特開2008-153588(JP,A)

特開2008-065963(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 17/14

G11C 17/00