

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)



(10) 国際公開番号
WO 2016/129230 A1

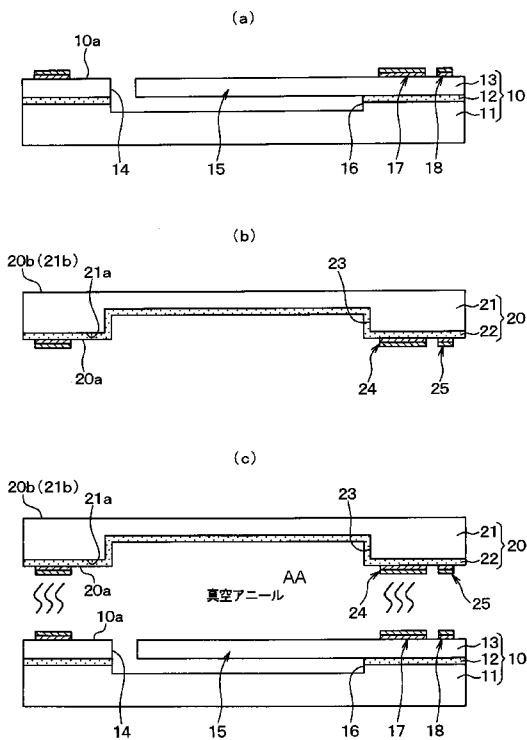
- (51) 国際特許分類:
G01P 15/08 (2006.01) H01L 23/26 (2006.01)
H01L 23/02 (2006.01) H01L 29/84 (2006.01)
- (21) 国際出願番号: PCT/JP2016/000480
- (22) 国際出願日: 2016年2月1日(01.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-024321 2015年2月10日(10.02.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 高畑 利彦(TAKAHATA, Toshihiko); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 竹谷 英一(TAKETANI, Eiichi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図3]



AA Vacuum annealing

(57) Abstract: A method for manufacturing a semiconductor device comprises readying a first substrate (10), forming on one surface (10a) of the first substrate a metal film having a Ti layer (40b) as the outermost surface, patterning the metal film to form a first pad part (17), readying a second substrate (20), forming on one surface (20a) of the second substrate a metal film having a Ti layer (41b) as the outermost surface, patterning the metal film to form a second pad part (24), vacuum annealing the first substrate and the second substrate to remove an oxide film formed on the Ti layer in the first pad part and the second pad part, and joining the first pad part and the second pad part.

(57) 要約: 半導体装置の製造方法は、第1基板(10)を用意し、前記第1基板の一面(10a)に、Ti層(40b)が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって第1パッド部(17)を形成し、第2基板(20)を用意し、前記第2基板の一面(20a)に、Ti層(41b)が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって第2パッド部(24)を形成し、前記第1基板および前記第2基板を真空アニールすることにより、前記第1パッド部および前記第2パッド部における前記Ti層上に形成された酸化膜を除去し、前記第1パッド部と前記第2パッド部とを接合すること、を備える。

WO 2016/129230 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

関連出願の相互参照

[0001] 本出願は、2015年2月10日に出願された日本特許出願番号2015-24321号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、第1基板と第2基板とが接合され、第1基板と第2基板との間にセンシング部が配置された半導体装置およびその製造方法に関するものである。

背景技術

[0003] 従来より、この種の半導体装置として、加速度を検出するセンシング部を有するものが提案されている（例えば、特許文献1参照）。具体的には、この半導体装置では、第1基板と第2基板との間に加速度を検出するセンシング部が配置されている。また、第1基板にはセンシング部と電氣的に接続される第1パッド部が形成され、第2基板には第1パッド部と対向する部分に第2パッド部が形成されている。そして、これら第1パッド部と第2パッド部とは接合されて電氣的に接続されている。なお、第1パッド部および第2パッド部は、アルミニウムを主成分とする材料で構成されている。

[0004] しかしながら、このような半導体装置では、第1、第2パッド部がアルミニウムを主成分とする材料にて構成されているため、第1、第2パッド部の表面に形成される酸化膜（自然酸化膜）が非常に強固なものとなる。そして、第1パッド部と第2パッド部とを接合する際には、第1、第2パッド部を電氣的に接続するために第1、第2パッド部に形成された酸化膜を除去した状態で接合しなければならないが、当該酸化膜を除去するためには、第1、第2パッド部を接合する前や接合時に温度を非常に高くしたり、接合時の荷重を非常に大きくしたりしなければならない。このため、このような状態にすることによってセンシング部の特性が変化する可能性がある。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-50320号公報

発明の概要

[0006] 本開示は、センシング部の特性が変化することを抑制できる半導体装置およびその製造方法を提供することを目的とする。

[0007] 本開示の第一の態様によれば、一面を有する第1基板と、一面を有し、当該一面が前記第1基板の一面と対向する状態で前記第1基板と接合される第2基板と、前記第1基板と前記第2基板との間に配置されたセンシング部と、前記第1基板の一面に形成され、前記センシング部と電氣的に接続される第1パッド部と、前記第2基板の一面に形成され、前記第1パッド部と電氣的に接続される第2パッド部と、を備える半導体装置の製造方法は、前記第1基板を用意し、前記第1基板の一面に、Ti層が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって前記第1パッド部を形成し、前記第2基板を用意し、前記第2基板の一面に、Ti層が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって前記第2パッド部を形成し、前記第1、第2基板を真空アニールすることにより、前記第1パッド部および前記第2パッド部における前記Ti層上に形成された酸化膜を除去し、前記第1パッド部と前記第2パッド部とを接合すること、を備える。

[0008] これによれば、Ti層が最表面となるように第1、第2パッド部を形成しているため、真空アニールを行うことにより、Al等の表面に形成される酸化膜と比較して、酸化膜中の酸素がTi層内に入り込み易く、また酸化膜が脆い（分解され易い）ため、容易にTi層の表面に形成された酸化膜を除去することができる。したがって、センシング部に酸化膜を除去する際の工程が影響することを抑制でき、センシング部の特性が変化することを抑制できる。

[0009] 本開示の第二の態様によれば、半導体装置は、一面を有する第1基板と、

一面を有し、当該一面が前記第1基板の一面と対向する状態で前記第1基板と接合される第2基板と、前記第1基板と前記第2基板との間に配置されたセンシング部と、前記第1基板の一面に形成され、前記センシング部と電氣的に接続される第1パッド部と、前記第2基板の一面に形成され、前記第1パッド部と電氣的に接続される第2パッド部と、を備える。また、前記第1パッド部、前記第2パッド部は、表面がTiを含む層とされており、当該Tiを含む層同士が接合されている。

[0010] これによれば、第1、第2パッド部は、表面がTiを含む層にて構成されているため、酸化膜を容易に除去した後に接合されて構成される。このため、センシング部の特性が変化することを抑制した半導体装置とできる。

図面の簡単な説明

[0011] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における半導体装置の断面図であり、
[図2]図2は、図1中の領域Aの拡大図であり、
[図3]図3(a)から図3(c)は、図1に示す半導体装置の製造方法を示す断面図であり、
[図4]図4(a)から図4(c)は、図3に続く半導体装置の製造方法を示す断面図であり、
[図5]図5は、本開示の第2実施形態における半導体装置の断面図であり、
[図6]図6は、図5中の領域Bの拡大図であり、
[図7]図7は、本開示の第3実施形態における半導体装置の部分拡大図であり、
、
[図8]図8は、本開示の第4実施形態における半導体装置の部分拡大図であり、
、
[図9]図9は、本開示の第5実施形態における半導体装置の部分拡大図であり、
、
[図10]図10は、本開示の第6実施形態における半導体装置の部分拡大図で

あり、

[図11]図11は、本開示の第7実施形態における半導体装置の部分拡大図であり、及び、

[図12]図12は、本開示の第8実施形態における半導体装置の部分拡大図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] (第1実施形態)

本開示の第1実施形態について図面を参照しつつ説明する。図1に示されるように、本実施形態の半導体装置は、第1基板10と第2基板20とが積層されて構成されている。

[0014] 第1基板10は、本実施形態では、支持基板11上に絶縁膜12を介して半導体層13が配置されたSOI (Silicon on Insulator) 基板とされており、一面10aが半導体層13のうちの絶縁膜12側と反対側の一面にて構成されている。なお、支持基板11および半導体層13はシリコン基板等で構成され、絶縁膜12はSiO₂やSiN等で構成される。

[0015] そして、半導体層13には、周知のマイクロマシン加工が施されることによって溝部14が形成され、当該溝部14によってセンシング部15が形成されている。センシング部15は、特に限定されるものではないが、拡散抵抗等によって構成される圧力センサや、半導体層13に区画形成された梁構造体で構成される加速度センサや角速度センサ等である。

[0016] また、支持基板11および絶縁膜12には、本実施形態では、センシング部15と対向する部分に凹部16が形成されており、センシング部15は凹部16上において浮遊した状態となっている。

[0017] 第1基板10の一面10a (半導体層13の表面) には、第1パッド部17および枠状の第1封止部18が形成されている。具体的には、第1パッド

部17は、センシング部15と電氣的に接続されるものであり、図1では1つのみ図示されているが、実際には用途に応じて複数形成されている。第1封止部18は、センシング部15を囲む枠状とされており、パッド部17は第1封止部18で囲まれる領域内に配置されている。

[0018] ここで、本実施形態の第1パッド部17は、図2に示されるように、Al層40a上にTi層40bが積層された構成とされている。また、第1封止部18は、特に図示しないが、第1パッド部17と同様に、Al層40a上にTi層40bが積層された構成とされている。なお、本実施形態でのAl層40aとは、純粋なAlに加えて、Al-Cu、Al-Si-Cu、Al-Si等の化合物を含むものである。

[0019] 第2基板20は、図1に示されるように、貼り合わせ基板21と、貼り合わせ基板21のうちの第1基板10と対向する一面21aに形成された絶縁膜22とを有しており、一面20aが絶縁膜22のうちの貼り合わせ基板21側と反対側の一面にて構成されている。なお、貼り合わせ基板21はシリコン基板等で構成され、絶縁膜22はSiO₂やSiN等で構成されている。また、第2基板20の他面20bは、貼り合わせ基板21のうちの一面21aと反対側の他面21bにて構成されている。

[0020] 貼り合わせ基板21の一面21aには、センシング部15と対向する部分に凹部23が形成されている。本実施形態では、絶縁膜22は、凹部23の壁面にも形成されているが、凹部23の壁面に形成されていなくてもよい。

[0021] そして、第2基板20の一面20aには、第1パッド部17と対向する部分に第2パッド部24が形成されていると共に、第1封止部18と対向する部分に当該第1封止部18と対応する形状（枠状）の第2封止部25が形成されている。

[0022] ここで、第2パッド部24は、図2に示されるように、Al層41a上にTi層41bが積層された構成とされている。また、第2封止部25は、特に図示しないが、第2パッド部17と同様に、Al層41a上にTi層41bが積層された構成とされている。なお、本実施形態でのAl層41aとは

、上記Al層40aと同様に、純粋なAlに加えて、Al-Cu、Al-Si-Cu、Al-Si等の化合物を含むものである。

[0023] さらに、第2基板20には、第2基板20を第1、第2基板10、20の積層方向に貫通して第2パッド部24に達する貫通孔26が形成されており、当該貫通孔26には絶縁膜27を介して貫通電極28が形成されている。また、第2基板20の他面20b（貼り合わせ基板21の他面21b）には、絶縁膜29が形成されており、絶縁膜29上に貫通電極28および外部回路と図示しないボンディングワイヤを介して電氣的に接続される端子部30が形成されている。なお、本実施形態では、貫通電極28および端子部30はAlにて構成され、絶縁膜29はTEOSで構成される。

[0024] そして、このような第2基板20が第1基板10と接合されて一体化されている。具体的には、第1、第2基板10、20は、第1パッド部17と第2パッド部24、第1封止部18と第2封止部25とが金属接合されることにより一体化されている。さらに詳述すると、第1パッド部17のTi層40bと第2パッド部24のTi層41bとが金属接合され、第1封止部18のTi層40bと第2封止部25のTi層41bとが金属接合されることによって一体化されている。そして、第1、第2基板10、20、第1、第2封止部18、25の間で囲まれる空間にて気密室50が構成され、センシング部15が当該気密室50に封止された構成とされている。なお、本実施形態では、気密室は真空圧とされている。

[0025] 以上が本実施形態における半導体装置の構成である。次に、上記半導体装置の製造方法について説明する。

[0026] まず、図3(a)に示されるように、上記センシング部15、第1パッド部17、第1封止部18が形成された第1基板10を用意する。このような第1基板10は、例えば、まず、支持基板11を用意し、支持基板11上にCVD (Chemical Vapor Deposition) 法や熱酸化等によって絶縁膜12を形成する。次に、ウェットエッチング等を行って上記凹部16を形成した後、絶縁膜12と半導体層13とを接合して第1基板10を形成する。なお、絶

縁膜 12 と半導体層 13 との接合は、特に限定されるものではないが、接合面に Ar イオンビームを照射し、当該接合面を活性化させた後に接合するいわゆる直接接合によって接合される。

[0027] その後、第 1 基板 10 の一面 10a に CVD 法等によって金属膜を形成し、反応性イオンエッチング等で当該金属膜をパターニングすることにより、第 1 パッド部 17 および第 1 封止部 18 を形成する。本実施形態の第 1 パッド部 17 および第 1 封止部 18 は、上記のように、Al 層 40a 上に Ti 層 40b が積層された積層構造とされているため、Al 層 40a を成膜した後に Ti 層 40b を成膜して Ti 層 40b が最表面となる金属膜を構成し、当該金属膜をパターニングすることによって形成される。その後、半導体層 13 を反応性イオンエッチング等でエッチングすることにより、溝部 14 を形成してセンシング部 15 を形成する。これにより、上記センシング部 15、第 1 パッド部 17、第 1 封止部 18 が形成された第 1 基板 10 が用意される。

[0028] 次に、図 3 (b) に示されるように、上記図 3 (a) とは別工程において、第 2 パッド部 24 および第 2 封止部 25 が形成された第 2 基板 20 を用意する。例えば、このような第 2 基板 20 は、まず、貼り合わせ基板 21 を用意し、貼り合わせ基板 21 の一面 21a にドライエッチング等で凹部 23 を形成する。次に、貼り合わせ基板 21 の一面 20a に CVD 法や熱酸化等によって絶縁膜 22 を形成する。その後、CVD 法等によって金属膜を形成し、反応性イオンエッチング等で当該金属膜をパターニングすることにより、第 2 パッド部 24 および第 2 封止部 25 を形成する。本実施形態の第 2 パッド部 24 および第 2 封止部 25 は、上記のように、Al 層 41a 上に Ti 層 41b が積層された積層構造とされているため、Al 層 41a を成膜した後に Ti 層 41b を成膜して Ti 層 41b が最表面となる金属膜を構成し、当該金属膜をパターニングすることによって形成される。

[0029] なお、図 3 (a) および図 3 (b) の工程において、Al 層 40a、41a 上に Ti 層 40b、41b を積層する場合、Al 層 40a、41a の表面

に酸化膜が形成されないように、Al層40a、41aを成膜した後、大気に曝すことなくTi層40b、41bを成膜することが好ましい。

[0030] その後、図3(c)に示されるように、第1基板10および第2基板20を真空下で180℃以上に加熱処理(真空アニール)することにより、Ti層40b、41bの表面に形成された酸化膜(自然酸化膜)を除去する。このとき、Ti層40b、41bの表面に形成された酸化膜は、Al等の表面に形成される酸化膜と比較して、酸化膜中の酸素がTi層40b、41b内に入り込み易く、また酸化膜が脆い(分解され易い)ため、真空アニールで容易に除去することができる。なお、センシング部15の構成によっては、400℃以上に加熱処理するようにしてもよい。

[0031] その後、図4(a)に示されるように、第1基板10と第2基板20とを接合する。具体的には、適宜形成されたアライメントマークを用いて赤外顕微鏡等によるアライメントを行い、第1基板10の第1パッド部17と第2基板20の第1パッド部24、第1基板10の第1封止部18と第2基板20の第2封止部25とを固相状態のまま金属接合する。詳述すると、第1、第2パッド部17、24のTi層40b、41b同士を金属接合し、第1、第2封止部18、25のTi層40b、41b同士を金属接合する。これにより、第1基板10と第2基板20との間に気密室50が構成されると共に、センシング部15が気密室50に封止される。

[0032] なお、この工程では、図3(c)の工程においてTi層40b、41bの表面に形成された酸化膜を既に除去しているため、接合時に第1、第2基板10、20に多大な荷重を印加する必要はない。

[0033] 続いて、図4(b)に示されるように、第2基板20に、第1、第2基板10、20の積層方向に貫通して第2パッド部24に達する貫通孔26を形成する。そして、この貫通孔26の壁面にTEOS等の絶縁膜27を成膜する。このとき、第2基板20の他面20b(貼り合わせ基板21の他面21b)に形成された絶縁膜にて絶縁膜29が構成される。つまり、絶縁膜27と絶縁膜29とは同じ工程で形成される。その後、貫通孔26の底部に形成

された絶縁膜 27 を除去し、貫通孔 26 内において第 2 パッド部 24 を露出させる。

[0034] 次に、図 4 (c) に示されるように、貫通孔 26 にスパッタ法や蒸着法等によって金属膜を配置して貫通電極 28 を形成すると共に、絶縁膜 29 上の金属膜をパターニングして端子部 30 を形成することにより、本実施形態の半導体装置が製造される。

[0035] なお、上記では、1つの半導体装置の製造方法について説明したが、ウェハ状の第 1、第 2 基板 10、20 を用意し、これらを接合した後にダイシングカットしてチップ単位に分割するようにしてもよい。

[0036] 以上説明したように、本実施形態では、第 1 パッド部 17 および第 1 封止部 18 を A1 層 40 a 上に Ti 層 41 b を積層して構成し、第 2 パッド部 24 および第 2 封止部 25 を A1 層 41 a 上に Ti 層 41 b を積層して構成している。このため、第 1 パッド部 17 と第 2 パッド部 24、第 1 封止部 18 と第 2 封止部 25 とを接合する前に、真空アニールを行うことにより、A1 等の表面に形成される酸化膜と比較して、酸化膜中の酸素が Ti 層 40 b、41 b 内に入り込み易く、また酸化膜が脆い（分解され易い）ため、容易に Ti 層 40 b、41 b の表面に形成された酸化膜を除去することができる。したがって、センシング部 15 に酸化膜を除去する際の工程が影響することを抑制でき、センシング部 15 の特性が変化することを抑制できる。

[0037] また、第 1、第 2 パッド部 17、24 および第 1、第 2 封止部 18、25 の表面に Ti 層 40 b、41 b を形成しているが、端子部 30 は従来と同様に A1 にて構成している。このため、外部回路と端子部 30 とを接続するワイヤボンディングは、従来と同様に行うことができる。

[0038] さらに、Au を用いて第 1、第 2 パッド部 17、24 および第 1、第 2 封止部 18、25 を構成し、第 1、第 2 パッド部 17、24 および第 1、第 2 封止部 18、25 を酸化し難くすることも考えられるが、本実施形態のように Ti 層 40 b、41 b を用いて酸化膜を除去し易くする方がコストの増加を抑制できる。

- [0039] また、本実施形態では、第1、第2基板10、20を接合する際、第1、第2パッド部17、24および第1、第2封止部18、25を固相状態のまま接合するため、第1、第2パッド部17、24および第1、第2封止部18、25を液相状態にして接合する場合と比較して、第1基板10の一面10aと第2基板20の一面20aとの間隔の制御が複雑になることを抑制できる。
- [0040] なお、上記では、Ti層40b、41bがAl層40a、41a上に形成されている例について説明したが、Ti層40b、41b下に配置される金属層は適宜変更可能である。
- [0041] (第2実施形態)
- 本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対して気密室50にゲッタリング層を形成したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。
- [0042] 本実施形態では、図5に示されるように、凹部23の底面に形成された絶縁膜22上に、活性ガスを吸着するゲッタリング層31が形成されている。ゲッタリング層31は、第2パッド部24および第2封止部25と同様に、図6に示されるように、Al層42a上にTi層42bが積層された積層構造とされている。
- [0043] このような半導体装置は、図3(b)の工程にてにおいてゲッタリング層31を有する第2基板20を用意することによって製造される。具体的には、本実施形態では、ゲッタリング層31が第2パッド部24および第2封止部25と同様の構成とされているため、ゲッタリング層31は第2パッド部24および第2封止部25を形成する工程と同一の工程にて形成される。つまり、図3(b)の工程において金属膜を成膜した後、第2パッド部24および第2封止部25をパターニングする際に同時に形成される。すなわち、第2パッド部24および第2封止部25のAl層41aおよびTi層41bと、ゲッタリング層31のAl層42aおよびTi層42bとは同一の工程にて形成されるものである。

[0044] これによれば、気密室50内にゲッタリング層31が形成されているため、気密室50の真空度を維持することができる。

[0045] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態は、第2実施形態に対してゲッタリング層31の構成を変更したものであり、その他に関しては第2実施形態と同様であるため、ここでは説明を省略する。

[0046] 本実施形態では、図7に示されるように、A1層42aは表面が粗化処理された凹凸形状とされている。そして、Ti層42bは、粗化処理されたA1層42a上に形成されている。なお、図7は、図5中の領域Bに相当する部分の拡大図である。また、本実施形態では、A1層42aが本開示の下地層に相当している。

[0047] このような半導体装置は、図3(b)の工程において、A1層42a(A1層41a)を成膜した後、ゲッタリング層31を構成する部分(本開示の下地層)に対して逆スパッタ処理を行ったり、ブラスト処理を行って粗化処理した後、Ti層42b(Ti層41b)を成膜することによって形成される。

[0048] これによれば、ゲッタ材として機能するTi層42bの表面積を増加することができるため、吸着(ゲッタ)効果を発揮する領域を増加することができる。したがって、さらに気密室50の真空度を維持することができる。

[0049] (第4実施形態)

本開示の第4実施形態について説明する。本実施形態は、第2実施形態に対してゲッタリング層31の構成を変更したものであり、その他に関しては第2実施形態と同様であるため、ここでは説明を省略する。

[0050] 本実施形態では、図8に示されるように、凹部23の底面に複数のトレンチ43が形成されており、絶縁膜22はトレンチ43の壁面にも形成されている。なお、図8は、図5中の領域Bに相当する部分の拡大図であり、凹部23の底面近傍の拡大図である。トレンチ43は、本実施形態では、開口部側から底面側に向かって対向する側面の間隔(トレンチ43の幅)がほぼ一

定とされている。そして、ゲッタリング層31は、トレンチ43の内部の空間43aが残存するように、トレンチ43の壁面に沿って形成されている。つまり、ゲッタリング層31は、トレンチ43を埋め込まないように形成されている。

[0051] このような半導体装置は、図3(b)の工程において、凹部23を形成した後にトレンチ43を形成することによって製造される。

[0052] これによれば、上記第3実施形態と同様に、ゲッタ材として機能するTi層42bの表面積を増加することができるため、さらに気密室50の真空度を維持することができる。

[0053] なお、本実施形態において、トレンチ43は、開口部側から底部側に向かって対向する側面の間隔が次第に狭くなるテーパ形状とされていてもよい。

[0054] (第5実施形態)

本開示の第5実施形態について説明する。本実施形態は、第1実施形態に対して第1、第2パッド部17、24および第1、第2封止部18、25の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0055] 本実施形態では、図9に示されるように、第1、第2パッド部17、24は、Ti層40b、41bのみで構成されており、Al層40a、41aが配置されていない。同様に、第1、第2封止部18、25は、特に図示しないが、Ti層40b、41bのみで構成されており、Al層40a、41aが配置されていない。なお、図9は、図1中の領域Aに相当する部分の拡大図である。

[0056] このような半導体装置は、図3(a)および図3(b)の工程において、Ti層40b、41bのみを積層することによって構成される。

[0057] これによれば、第1パッド部17と第2パッド部24、第1封止部18と第2封止部25とを接合する際、第1、第2パッド部17、24および第1、第2封止部18、25がTi層40b、41bのみで構成されているため、AlがTi層40b、41bに拡散してボイドが発生することがない。こ

のため、接合強度が低下することを抑制できる。

[0058] なお、本実施形態では、第1、第2パッド部17、24および第1、第2封止部18、25をTi層40b、41bのみで構成する例について説明したが、Al層40a、41aを配置する場合には、当該Al層40a、41a上にTiW層を配置することによってAlが拡散することを抑制するようによい。

[0059] (第6実施形態)

本開示の第6実施形態について説明する。本実施形態は、第1実施形態に対してスペーサを配置したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0060] 本実施形態では、図10に示されるように、第1基板10の一面10aには、第1封止部18に覆われるようにスペーサ32が配置されている。また、特に図示しないが、第1基板10の一面10aには、第1パッド部17に覆われるようにスペーサ32が配置されている。なお、図10は、図1中の領域Cに相当する部分の拡大図である。また、スペーサ32は、例えば、酸化膜等の絶縁膜で構成され、第1封止部18に封止されるスペーサ32は第1封止部18の形状に対応した枠状構造とされている。

[0061] このような半導体装置は、図3(a)の工程において、第1パッド部17および第1封止部18を形成する前にスペーサ32を形成し、当該スペーサ32が覆われるように第1パッド部17および第1封止部18を形成することによって製造される。

[0062] これによれば、スペーサ32によって第1基板10の一面10aと第2基板20の一面20aとの間隔をスペーサ32の高さ以上に保持することができるため、接合時の製造条件の自由度を向上できる。なお、スペーサ32の高さとは、スペーサ32における第1基板10の一面10aに対する法線方向の長さのことである。

[0063] (第7実施形態)

本開示の第7実施形態について説明する。本実施形態は、第1実施形態に

対して第1、第2パッド部17、24および第1、第2封止部18、25の大きさを変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0064] 本実施形態では、図11に示されるように、第2封止部25の大きさが第1封止部18の大きさより大きくされている。また、特に図示していないが、第2パッド部24の大きさが第1パッド部17の大きさより大きくされている。なお、ここでの大きさとは、第1、第2基板10、20の一面10a、20aに対する法線方向から見たときの平面形状の大きさのことである。

[0065] このような半導体装置は、上記図3(a)および図3(b)の工程において、第1、第2パッド部17、24および第1、第2封止部18、25を形成する際のパターンニング形状を適宜変更することによって製造される。

[0066] これによれば、第1パッド部17と第2パッド部24、第1封止部18と第2封止部25との大きさが異なっているため、第1、第2パッド部17、24および第1、第2封止部18、25を接合する際のアライメントずれに対するロバスト性を向上できる。

[0067] (第8実施形態)

本開示の第8実施形態について説明する。本実施形態は、第1実施形態に対して気密室50を窒素雰囲気としたものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0068] 本実施形態は、基本的な構成は上記第1実施形態と同様であるが、気密室50内が窒素雰囲気とされている。そして、第1パッド部17および第2パッド部24は、図12に示されるように、表面にTiN層40c、41cが形成されており、当該TiN層40c、41c同士が接合されている。

[0069] なお、第1、第2封止部18、25に関しては特に図示しないが、第1、第2パッド部17、24と同様に、表面にTiN層40c、41cが形成され、当該TiN層40c、41c同士が接合されている。そして、図12は、図1中の領域Aの拡大図である。また、TiN層40c、41cは導電性を有しているため、TiN層40c、41c同士を接合することにより、第

1パッド部17と第2パッド部24との電気的な接続は図られる。

[0070] このような半導体装置は、上記図3(c)の工程を行った後、第1、第2基板10、20をN₂雰囲気下に配置する。この際、Ti層40b、41bの表面にそれぞれTiN層40c、41cが形成される。そして、TiN層40c、41c同士を金属接合することによって本実施形態の半導体装置が製造される。

[0071] このように、気密室50が窒素雰囲気とされた半導体装置に本開示を適用することもできる。また、気密室50を窒素雰囲気とする場合には、Ti層40b、41bの表面にTiN層40c、41cが形成されるが、TiN層40c、41cは導電性を有しているため、当該TiN層40c、41c同士を接合することにより、TiN層40c、41cを除去する場合と比較して、製造工程の簡略化を図ることができる。

[0072] (他の実施形態)

本開示は上記した実施形態に限定されるものではなく、本開示の技術的範囲内において適宜変更が可能である。

[0073] 例えば、上記第1実施形態において、第1基板10はSOI基板ではなく、水晶等で構成されていてもよい。

[0074] また、上記第1、第5、第6、第7実施形態において、気密室50が形成されていなくてもよい。

[0075] そして、上記第2～第4実施形態において、ゲッタリング層31は、第1基板10側に形成されていてもよい。

[0076] また、上記第6実施形態では、第1パッド部17および第1封止部18に覆われるようにスペーサ32を配置する例について説明したが、スペーサ32は第1パッド部17および第1封止部18に覆われていなくてもよい。例えば、スペーサ32は、第1封止部18よりも外側に第1封止部18を囲むように形成されていてもよい。また、スペーサ32は、第2基板20側に形成されていてもよい。つまり、第1基板10の一面10aと第2基板20の一面20aとの間隔がスペーサ32の高さ以上に規定されるのであれば、ス

ペーサ 3 2 の形成場所は適宜変更可能である。

[0077] さらに、上記各実施形態を組み合わせることもできる。例えば、上記第 2 ～第 4 実施形態を上記第 5 ～第 8 実施形態に組み合わせ、ゲッタリング層 3 1 を備えるようにしてもよい。また、上記第 5 実施形態を上記第 6 ～第 8 実施形態に組み合わせ、第 1、第 2 パッド部 1 7、2 4 および第 1、第 2 封止部 1 8、2 5 を T i 層 4 0 b、4 1 b のみで構成するようにしてもよい。そして、上記第 6 実施形態を上記第 7、第 8 実施形態に組み合わせ、スペーサ 3 2 を備えるようにしてもよい。また、上記第 7 実施形態を上記第 8 実施形態に組み合わせ、第 1 パッド部 1 7 と第 2 パッド部 2 4、および第 1 封止部 1 8 と第 2 封止部 2 5 との平面形状の大きさが異なるようにしてもよい。さらに、上記各実施形態を組み合わせたもの同士をさらに適宜組み合わせることもできる。

[0078] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

一面（10a）を有する第1基板（10）と、
一面（20a）を有し、当該一面が前記第1基板の一面と対向する状態で前記第1基板と接合される第2基板（20）と、
前記第1基板と前記第2基板との間に配置されたセンシング部（15）と、
前記第1基板の一面に形成され、前記センシング部と電氣的に接続される第1パッド部（17）と、
前記第2基板の一面に形成され、前記第1パッド部と電氣的に接続される第2パッド部（24）と、を備える半導体装置の製造方法において、
前記第1基板を用意し、
前記第1基板の一面に、Ti層（40b）が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって前記第1パッド部を形成し、
前記第2基板を用意し、
前記第2基板の一面に、Ti層（41b）が最表面となる金属膜を形成し、当該金属膜をパターニングすることによって前記第2パッド部を形成し、
前記第1基板および前記第2基板を真空アニールすることにより、前記第1パッド部および前記第2パッド部における前記Ti層上に形成された酸化膜を除去し、
前記第1パッド部と前記第2パッド部とを接合すること、を備える半導体装置の製造方法。

[請求項2]

前記第1パッド部の形成においては、前記第1基板の一面に形成された金属膜をパターニングすることにより、前記第1パッド部と共に、前記第1パッド部を囲む枠状の第1封止部（18）を形成し、
前記第2パッド部の形成においては、前記第2基板の一面に形成さ

れた金属膜をパターニングすることにより、前記第2パッド部と共に、前記第2パッドを囲み、前記第1封止部と対応する形状の第2封止部（25）を形成し、

前記酸化膜の除去においては、前記第1、第2パッド部における前記Ti層上に形成された酸化膜と共に、前記第1、第2封止部における前記Ti層上に形成された酸化膜を除去し、

前記接合においては、前記第1パッド部と前記第2パッド部とを接合すると共に、前記第1封止部と前記第2封止部とを接合することによって前記第1基板と前記第2基板との間に気密室（50）を構成し、前記気密室内に前記センシング部を封止すること、を備える請求項1に記載の半導体装置の製造方法。

[請求項3] 前記酸化膜を除去した前に、前記第1基板および前記第2基板における前記気密室内に配置される部分の少なくとも一方に活性ガスを吸着するゲッタリング層（31）を形成すること、をさらに備える請求項2に記載の半導体装置の製造方法。

[請求項4] 前記ゲッタリング層の形成においては、下地層（42a）を形成することと、当該下地層を粗化处理することと、粗化处理した前記下地層上にTi層（42b）を形成することと、を備える請求項3に記載の半導体装置の製造方法。

[請求項5] 前記ゲッタリング層を形成した前に、前記ゲッタリング層が形成される部分にトレンチ（43）を形成することをさらに備え、

前記ゲッタリング層の形成においては、前記トレンチ内の空間（43a）が残存するように、前記トレンチの壁面に沿って前記ゲッタリング層を形成することをさらに備える請求項3に記載の半導体装置の製造方法。

[請求項6] 前記第1パッド部の形成、前記第2パッド部の形成、前記第1封止部の形成、前記第2封止部の形成の各々においては、前記金属膜として前記Ti層のみを形成すること、をさらに備える請求項2ないし5

のいずれか1つに記載の半導体装置の製造方法。

[請求項7] 前記第1パッド部の形成および前記第2パッド部の形成においては、前記第1パッド部および前記第2パッド部の平面形状を異なる大きさを設定し、

前記第1封止部の形成および前記第2封止部の形成においては、前記第1封止部および前記第2封止部の平面形状を異なる大きさを設定すること、を備える請求項2ないし6のいずれか1つに記載の半導体装置の製造方法。

[請求項8] 前記酸化膜を除去した後、前記第1基板および前記第2基板を窒素雰囲気下に配置することによって前記第1パッド部と前記第2パッド部、および、前記第1封止部と前記第2封止部の接合面にTiN層(40c、41c)を形成することをさらに備え、

前記接合においては、前記窒素雰囲気下のまま前記TiN層同士を接合することにより、前記気密室を窒素雰囲気とすることをさらに備える請求項2ないし7のいずれか1つに記載の半導体装置の製造方法。

[請求項9] 前記接合の前に、前記第1基板の一面および前記第2基板の一面のうちの少なくともいずれか一方にスペーサ(32)を配置することをさらに備え、

前記接合においては、前記第1基板の一面と前記第2基板の一面との間隔を前記スペーサの高さ以上とすることをさらに備える請求項1ないし8のいずれか1つに記載の半導体装置の製造方法。

[請求項10] 一面(10a)を有する第1基板(10)と、
一面(20a)を有し、当該一面が前記第1基板の一面と対向する状態で前記第1基板と接合される第2基板(20)と、

前記第1基板と前記第2基板との間に配置されたセンシング部(15)と、

前記第1基板の一面に形成され、前記センシング部と電氣的に接続

される第1パッド部（17）と、

前記第2基板の一面に形成され、前記第1パッド部と電氣的に接続される第2パッド部（24）と、を備え、

前記第1パッド部と前記第2パッド部とは、表面がTiを含む層（40b、40c、41b、41c）とされており、当該Tiを含む層同士が接合されている半導体装置。

[請求項11]

前記第1基板の一面には、前記第1パッド部を囲む枠状とされ、表面がTiを含む層とされた第1封止部（18）と、

前記第2基板の一面には、前記第2パッドを囲むと共に前記第1封止部と対応する形状とされ、表面がTiを含む層とされた第2封止部（25）と、を備え、

前記第1封止部と前記第2封止部とは、前記Tiを含む層同士が接合され、

前記センシング部は、前記第1封止部と前記第2封止部とが接合されることによって前記第1基板と前記第2基板との間に構成される気密室（50）内に封止されている請求項10に記載の半導体装置。

[請求項12]

前記第1基板および前記第2基板のうちの前記気密室内に配置されている部分の少なくとも一方には、活性ガスを吸着するゲッタリング層（31）が形成されている請求項11に記載の半導体装置。

[請求項13]

前記ゲッタリング層は、表面が粗化处理された下地層（42a）と、粗化处理された前記下地層上に積層されたTi層（42b）とを有する積層構造とされている請求項12に記載の半導体装置。

[請求項14]

前記ゲッタリング層が形成される部分にはトレンチ（43）が形成されており、

前記ゲッタリング層は、前記トレンチ内の空間（43a）が残存するように、前記トレンチの壁面に沿って形成されている請求項12に記載の半導体装置。

[請求項15]

前記第1パッド部と前記第2パッド部、および、前記第1封止部と

前記第2封止部の各々は、表面がTiN層（40c、41c）とされ、当該TiN層同士が接合されており、

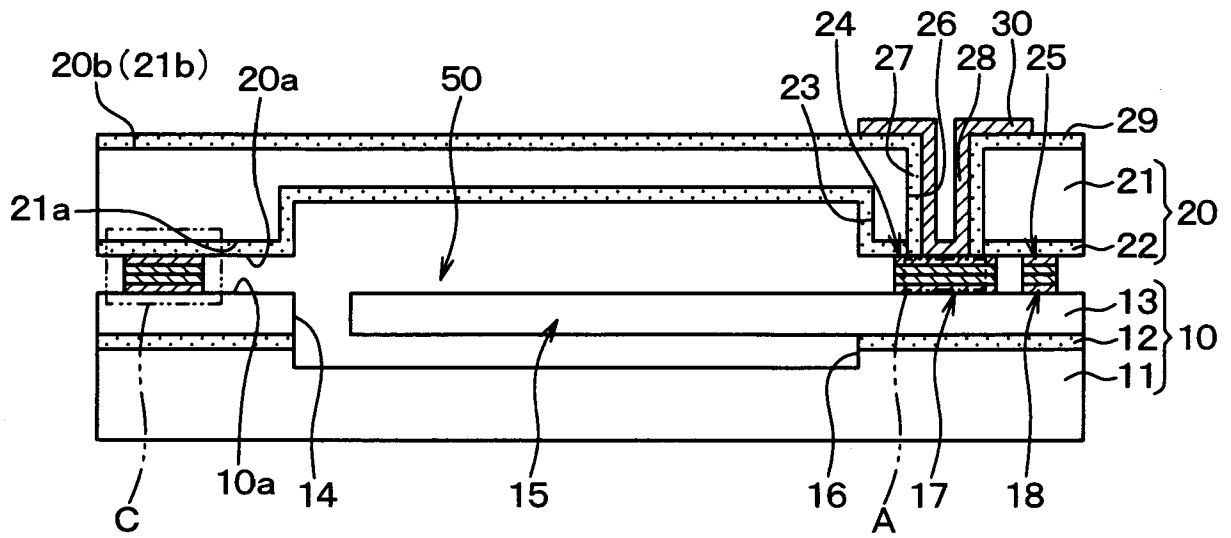
前記気密室は、窒素雰囲気とされている請求項11ないし14のいずれか1つに記載の半導体装置。

[請求項16]

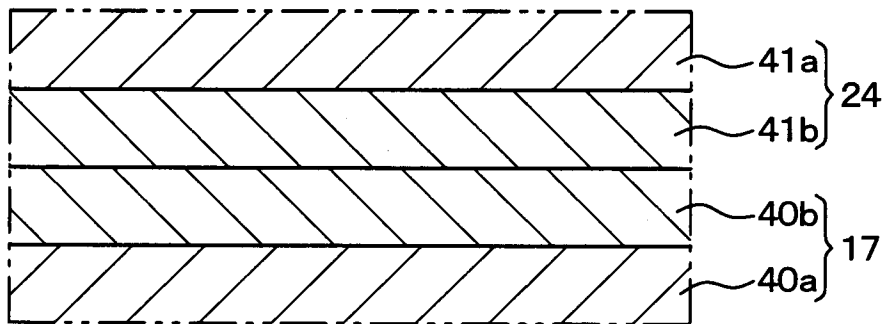
前記第1基板と前記第2基板の間にはスペーサ（32）が配置されており、

前記第1基板の一面と前記第2基板の一面との間隔は、前記スペーサの高さ以上とされている請求項10ないし15のいずれか1つに記載の半導体装置。

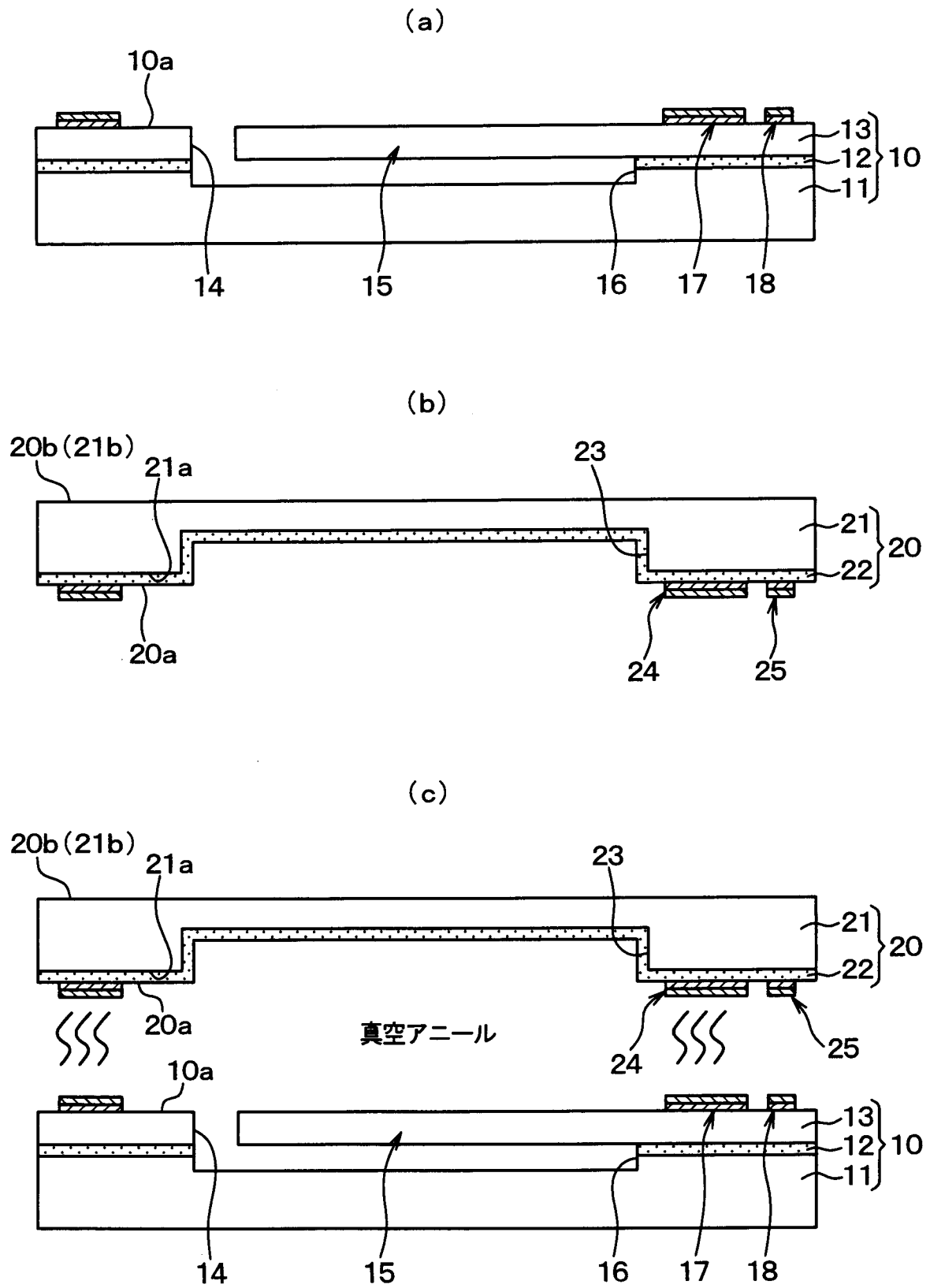
[図1]



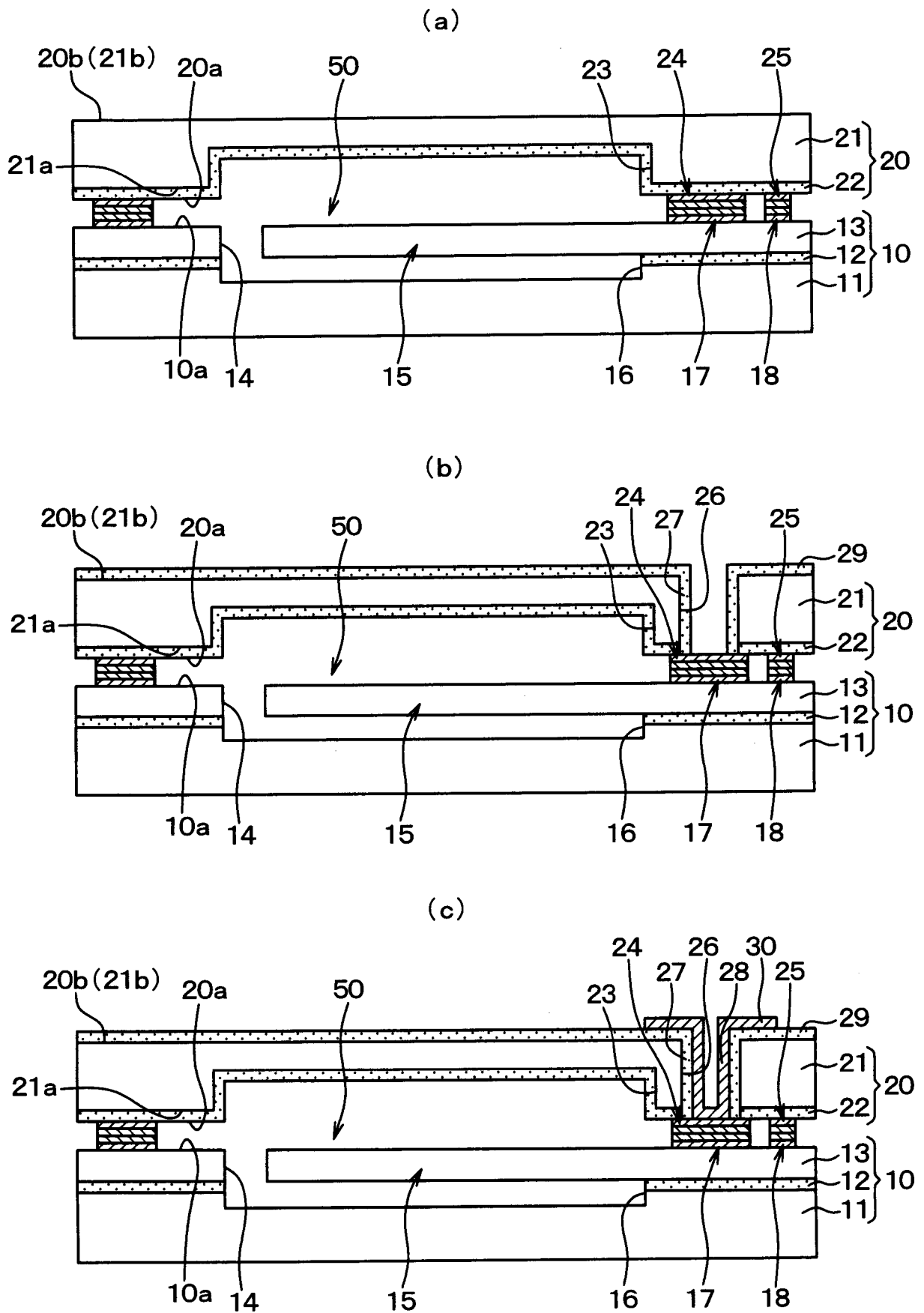
[図2]



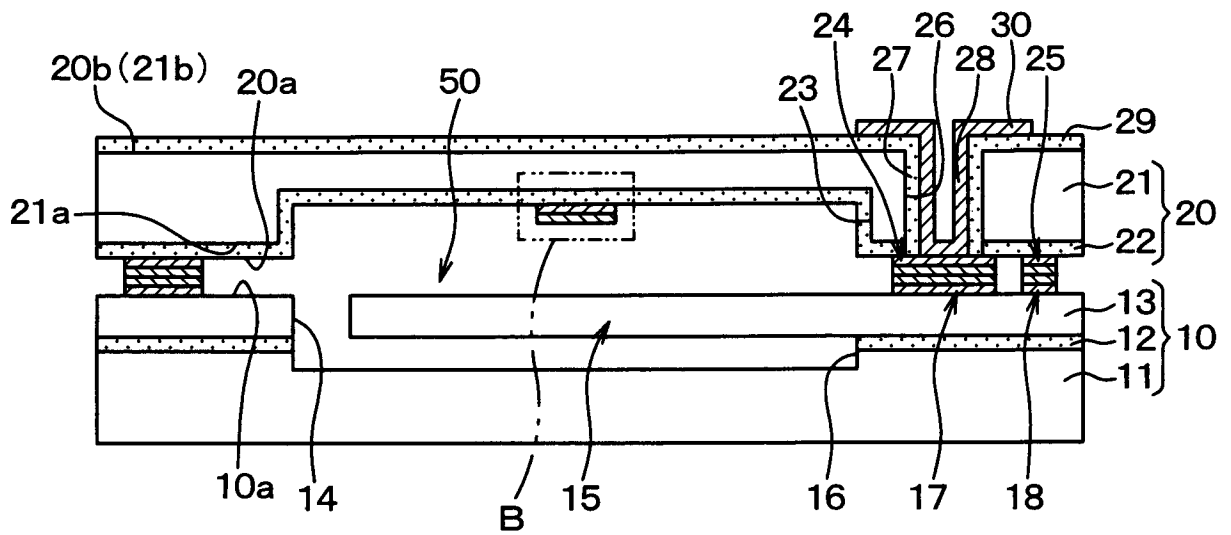
[図3]



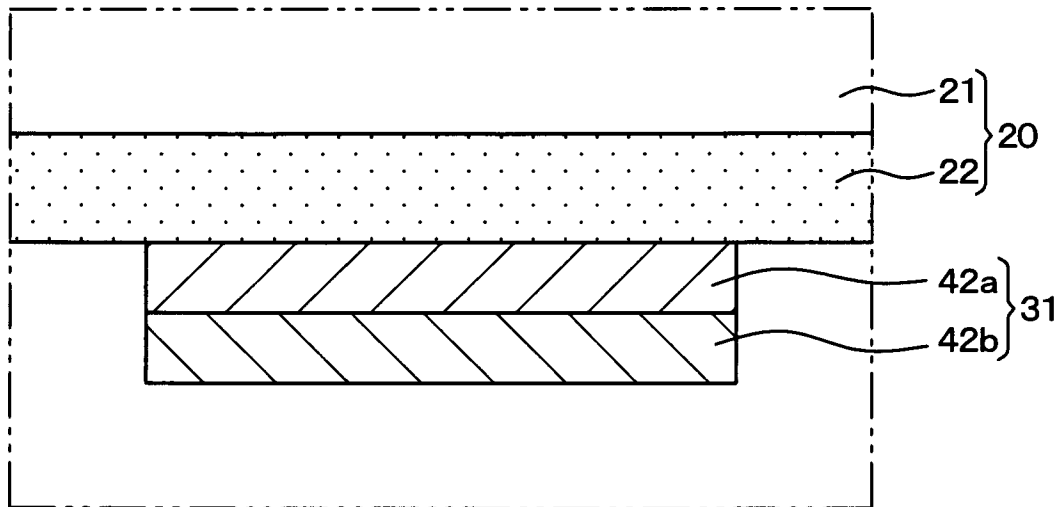
[図4]



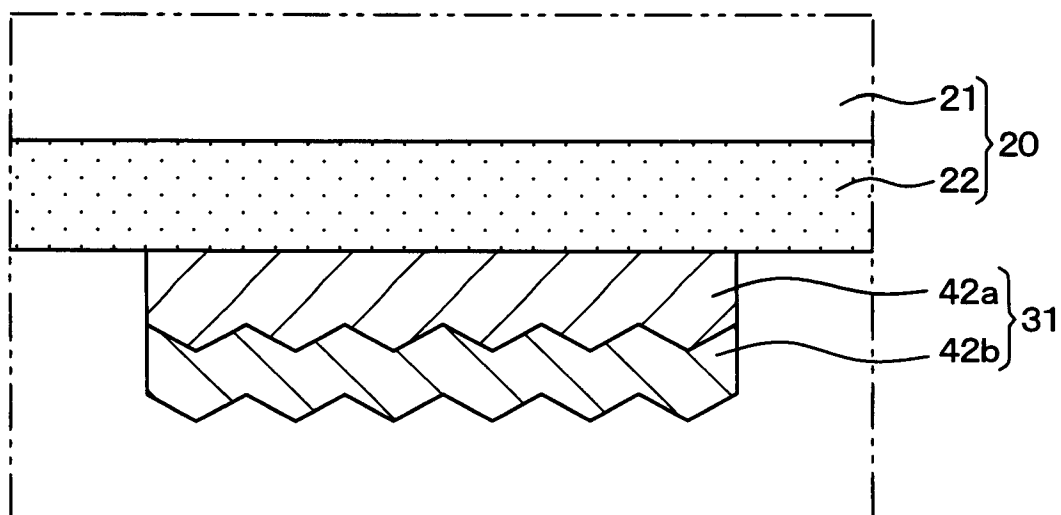
[図5]



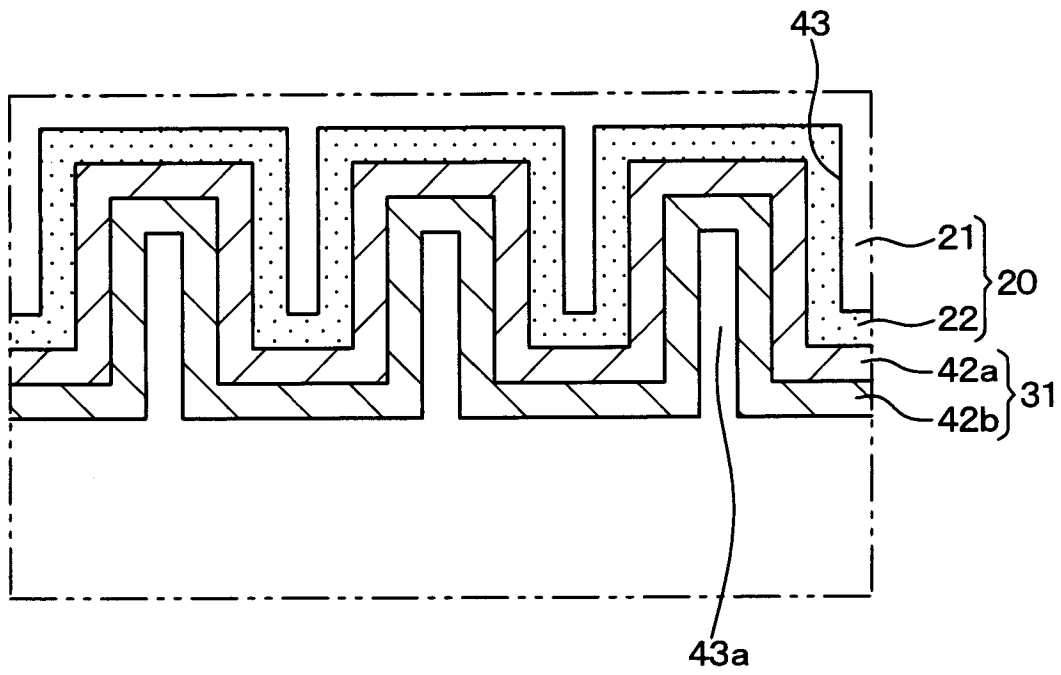
[図6]



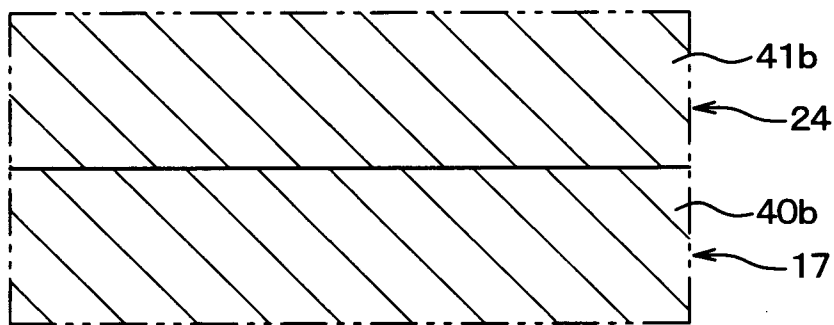
[図7]



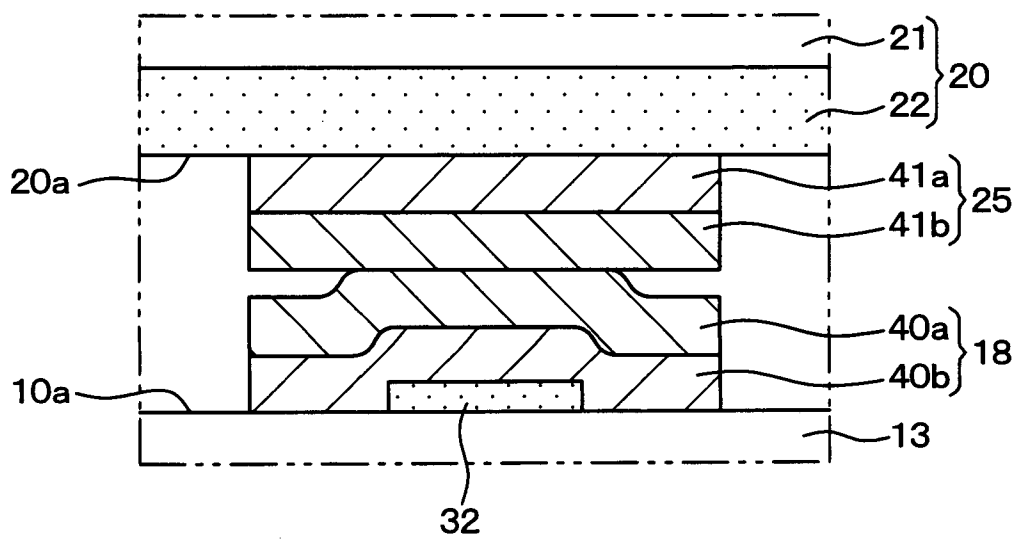
[図8]



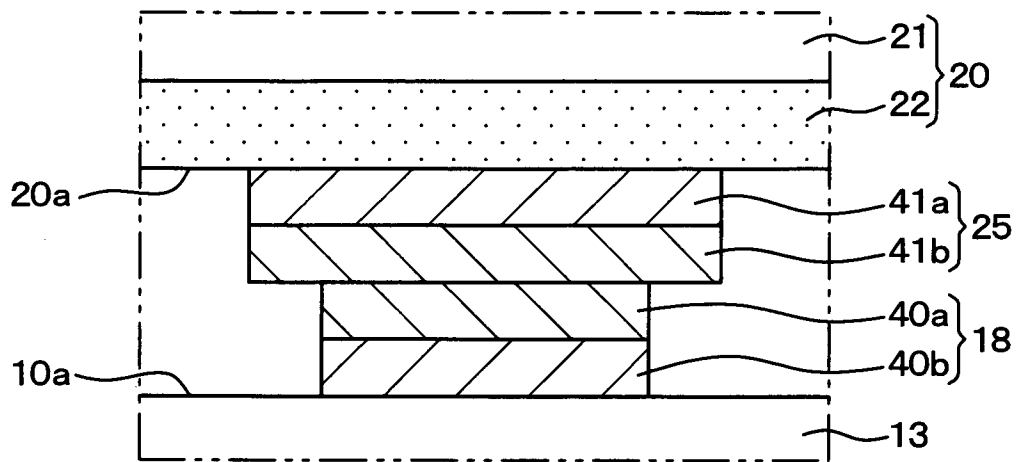
[図9]



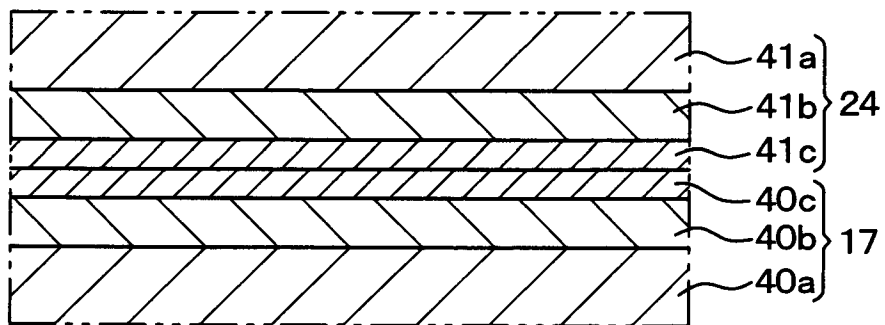
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/000480

A. CLASSIFICATION OF SUBJECT MATTER
G01P15/08(2006.01)i, H01L23/02(2006.01)i, H01L23/26(2006.01)i, H01L29/84(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01P15/00-18, G01C19/56-19/5783, H01L23/02-23/10, H01L23/16-23/26, H01L29/84

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-60699 A (Seiko Instruments Inc.), 03 April 2014 (03.04.2014), entire text; all drawings (Family: none)	1-16
A	JP 2013-228256 A (Alps Electric Co., Ltd.), 07 November 2013 (07.11.2013), entire text; all drawings & CN 103449354 A	1-16
A	US 2010/0258950 A1 (GANG LI), 14 October 2010 (14.10.2010), entire text; all drawings & CN 101533832 A	1-16

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 April 2016 (15.04.16)	Date of mailing of the international search report 26 April 2016 (26.04.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000480

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-127710 A (Panasonic Electric Works Co., Ltd.), 10 June 2010 (10.06.2010), entire text; all drawings (Family: none)	1-16
A	US 2009/0321867 A1 (Juergen Leib), 31 December 2009 (31.12.2009), entire text; all drawings & CN 101156242 A & DE 102005016751 B & EP 1869705 A & TW I380381 B & WO 2006/108588 A1	1-16
A	JP 2006-242898 A (Nissan Motor Co., Ltd.), 14 September 2006 (14.09.2006), entire text; all drawings (Family: none)	1-16
A	JP 2002-359313 A (Mitsubishi Electric Corp.), 13 December 2002 (13.12.2002), entire text; all drawings & US 2002/0180031 A1	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01P15/08(2006.01)i, H01L23/02(2006.01)i, H01L23/26(2006.01)i, H01L29/84(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01P15/00-18, G01C19/56-19/5783, H01L23/02-23/10, H01L23/16-23/26, H01L29/84

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-60699 A (セイコーインスツル株式会社) 2014.04.03, 全文, 全図 (ファミリーなし)	1-16
A	JP 2013-228256 A (アルプス電気株式会社) 2013.11.07, 全文, 全図 & CN 103449354 A	1-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

15.04.2016

国際調査報告の発送日

26.04.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岡田 卓弥

2 F

9206

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2010/0258950 A1 (GANG LI) 2010. 10. 14, 全文, 全図 & CN 101533832 A	1-16
A	JP 2010-127710 A (パナソニック電気株式会社) 2010. 06. 10, 全文, 全図 (ファミリーなし)	1-16
A	US 2009/0321867 A1 (Juergen Leib) 2009. 12. 31, 全文, 全図 & CN 101156242 A & DE 102005016751 B & EP 1869705 A & TW I380381 B & WO 2006/108588 A1	1-16
A	JP 2006-242898 A (日産自動車株式会社) 2006. 09. 14, 全文, 全図 (ファミリーなし)	1-16
A	JP 2002-359313 A (三菱電機株式会社) 2002. 12. 13, 全文, 全図 & US 2002/0180031 A1	1-16