

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-166911

(P2005-166911A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl.<sup>7</sup>

HO 1 L 21/336  
GO 2 F 1/1368  
HO 1 L 21/02  
HO 1 L 21/322  
HO 1 L 27/12

F I

HO 1 L 29/78 6 2 7 E  
GO 2 F 1/1368  
HO 1 L 21/02 B  
HO 1 L 21/322 Z  
HO 1 L 27/12 B

テーマコード(参考)

2HO92  
5F110

審査請求 未請求 請求項の数 20 O L (全 24 頁) 最終頁に続く

(21) 出願番号

特願2003-403066 (P2003-403066)

(22) 出願日

平成15年12月2日(2003.12.2)

(71) 出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100107836

弁理士 西 和哉

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100101465

弁理士 青山 正和

(72) 発明者 安川 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

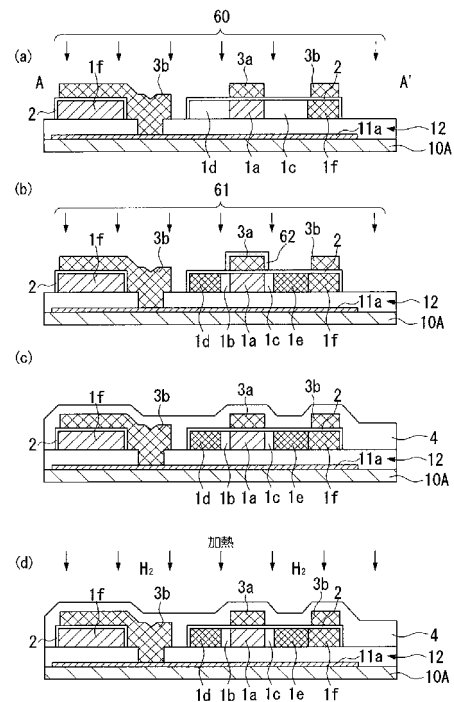
(54) 【発明の名称】 半導体装置の製造方法、半導体装置、電気光学装置の製造方法、電気光学装置および電子機器

(57) 【要約】

【課題】 装置に形成された薄膜トランジスタにおいて欠陥接合リーク電流を低減させることができる半導体装置の製造方法、半導体装置、電気光学装置の製造方法、電気光学装置および電子機器を提供する。

【解決手段】 少なくとも表面が絶縁性を有する支持基板10Aに単結晶半導体層1aを貼り合わせる基板形成工程と、単結晶半導体層1aに薄膜トランジスタを形成する薄膜トランジスタ形成工程と、薄膜トランジスタに水素雰囲気下または水素を含む還元性雰囲気下で熱処理を行う水素化処理工程と、を有することを特徴とする。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、  
前記単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、  
前記薄膜トランジスタに水素雰囲気下または水素を含む還元性雰囲気下で熱処理を行う水素化処理工程と、  
を有することを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記水素化処理工程における熱処理が、800 以下の熱処理であることを特徴とする請求項 1 記載の半導体装置の製造方法。 10

## 【請求項 3】

前記水素化処理工程における熱処理が、350 以下の熱処理であることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 4】

前記単結晶半導体層の上に、金属配線を形成する配線工程を有し、  
前記水素化処理工程を、前記配線工程以後に行うことを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。

## 【請求項 5】

前記単結晶半導体層の上に、金属配線を形成する配線工程を有し、  
前記水素化処理工程を、前記薄膜トランジスタ形成工程から前記配線工程の間に行うことを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置の製造方法。 20

## 【請求項 6】

前記水素化処理工程および前記配線工程の後に、さらに前記薄膜トランジスタに熱処理を行う熱処理工程を有することを特徴とする請求項 4 または 5 に記載の半導体装置の製造方法。

## 【請求項 7】

前記熱処理工程において行われる熱処理が、水素雰囲気下または水素を含む還元性雰囲気下で行われることを特徴とする請求項 6 記載の半導体装置の製造方法。

## 【請求項 8】

前記熱処理工程において行われる熱処理が、不活性ガス雰囲気下で行われることを特徴とする請求項 6 記載の半導体装置の製造方法。 30

## 【請求項 9】

水素雰囲気下または水素を含む還元性雰囲気下で前記薄膜トランジスタにプラズマ処理を行う水素化プラズマ処理工程を有することを特徴とする請求項 1 から 8 のいずれかに記載の半導体装置の製造方法。

## 【請求項 10】

少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、  
前記単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、  
前記薄膜トランジスタに水素雰囲気下または水素を含む還元性雰囲気下でプラズマ処理を行う水素化プラズマ処理工程と、  
を有することを特徴とする半導体装置の製造方法。 40

## 【請求項 11】

前記水素化プラズマ処理工程を、薄膜トランジスタ形成工程から配線形成工程までに行うことを特徴とする請求項 10 記載の半導体装置の製造方法。

## 【請求項 12】

少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、  
前記単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、 50

前記薄膜トランジスタの上に水素化窒化シリコン層を形成し熱処理を行う水素化処理工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 13】

前記水素化処理工程における熱処理が、350 以下の熱処理であることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】

前記支持基板が絶縁基板であることを特徴とする請求項 1 から 13 のいずれかに記載の半導体装置の製造方法。

【請求項 15】

前記支持基板が、貼り合わせ面に酸化シリコン層を備えた絶縁基板であることを特徴とする請求項 1 から 13 のいずれかに記載の半導体装置の製造方法。

【請求項 16】

前記支持基板が、貼り合わせ面に酸化シリコン層を備えたシリコン基板であることを特徴とする請求項 1 から 13 のいずれかに記載の半導体装置の製造方法。

【請求項 17】

請求項 1 から請求項 16 のいずれかに記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

【請求項 18】

請求項 1 から請求項 16 のいずれかに記載の半導体装置の製造方法を用いることを特徴とする電気光学装置の製造方法。

【請求項 19】

請求項 18 記載の電気光学装置の製造方法により製造されたことを特徴とする電気光学装置。

【請求項 20】

請求項 19 記載の半導体装置または請求項 18 記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、半導体装置、電気光学装置の製造方法、電気光学装置および電子機器に関する。

【背景技術】

【0002】

従来から、絶縁基体上に単結晶シリコン層からなる半導体層を形成し、その半導体層に薄膜トランジスタ等の半導体デバイスを形成するSOI技術は、素子の高速化や低消費電力化、高集積化等の利点を有しており、電気光学装置（例えば液晶装置）においても、薄膜トランジスタ（Thin Film Transistor、以下、「TFT」と表記する）アレイが形成される支持基板などに適用されている技術である。

【0003】

このようなSOI技術を適用した電気光学装置を製造するには、支持基板に単結晶シリコンなどからなる単結晶半導体層を有する半導体基板を貼り合わせ、研磨する方法等により薄膜単結晶半導体層を形成し、その薄膜単結晶半導体層を例えば能動層として、液晶駆動用の薄膜トランジスタ素子に形成している（例えば、特許文献1参照。）。

【特許文献1】特開2003-172950号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、支持基板と単結晶半導体層との熱膨張率が異なると、貼り合わせ基板に熱が加えられた場合、単結晶半導体層に応力が集中して欠陥が発生する恐れがあった。こ

10

20

30

40

50

の欠陥はESR (Electron Spin Resonance ; 電子スピン共鳴) 欠陥密度で  $1 \times 10^{12} \sim 2 \times 10^{12}$  (個/cm<sup>2</sup>) 程度であり、単結晶半導体層に形成されるTFTの能力が低下する可能性があるという問題があった。

例えば、TFTがLDD (Lightly Doped Drain) 構造を有するTFTの場合、ドレイン/LDD接合、LDD/チャンネル接合における欠陥接合リーク電流が増大する恐れがあった。

#### 【0005】

本発明は、上記の課題を解決するためになされたものであって、装置に形成された薄膜トランジスタにおいて欠陥接合リーク電流を低減させることができる半導体装置の製造方法、半導体装置、電気光学装置の製造方法、電気光学装置および電子機器を提供することを目的とする。

10

#### 【課題を解決するための手段】

#### 【0006】

上記目的を達成するために、本発明に係る第1の半導体装置の製造方法は、少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、薄膜トランジスタに水素雰囲気下または水素を含む還元性雰囲気下で熱処理を行う水素化処理工程と、を有することを特徴とする。

#### 【0007】

すなわち、本発明に係る第1の半導体装置の製造方法では、水素化処理工程により、単結晶半導体層に水素が導入されるとともに、熱処理により、単結晶半導体層内に存在する水素が、単結晶半導体層の欠陥をターミネートする。つまり、単結晶半導体層の欠陥、未結合手が水素と結合して水素終端される。

20

その結果、単結晶半導体層に形成された薄膜トランジスタ内の欠陥が水素終端されるため、薄膜トランジスタの欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、薄膜トランジスタのチャンネル欠陥対策によるOn電流の改善を図ることができる。

#### 【0008】

上記の構成を実現するために、より具体的には、水素化処理工程における熱処理が、800 以下の熱処理であってもよい。

30

この構成によれば、800 以下の熱処理により水素化処理工程を行うことにより、単結晶半導体層内の水素の移動が低温熱処理時より活発になり、欠陥の水素終端化率をより高めることができる。

#### 【0009】

上記の構成を実現するために、より具体的には、水素化処理工程における熱処理が、350 以下の熱処理であってもよい。

この構成によれば、水素化処理工程を350 以下の温度で行うことにより、半導体装置の高温に弱い部分にダメージを与えることなく、単結晶半導体層の欠陥を水素終端させることができる。

#### 【0010】

40

上記の構成を実現するために、より具体的には、単結晶半導体層の上に、金属配線を形成する配線工程を有し、水素化処理工程を配線工程以後に行ってもよい。

この構成によれば、まず、金属配線を形成し、その後水素化処理工程を行っているため、金属配線への他の熱処理やプラズマ処理などによるダメージを、水素化処理工程における熱処理により除去することができる。

#### 【0011】

上記の構成を実現するために、より具体的には、単結晶半導体層の上に、金属配線を形成する配線工程を有し、水素化処理工程を、薄膜トランジスタ形成工程から配線工程の間に行ってもよい。

この構成によれば、金属配線が水素化処理工程の熱処理によるダメージを受けることを

50

防止することができる。また、逆に、水素化処理工程の熱処理温度を、金属配線がダメージを受けるような高温で行うことができる。

【0012】

上記の構成を実現するために、より具体的には、水素化処理工程および配線工程の後に、さらに薄膜トランジスタに熱処理を行う熱処理工程を有してもよい。

この構成によれば、水素化処理工程および配線工程の後に熱処理工程を行うことにより、単結晶半導体層内に残存する水素が、上記欠陥を水素終端させることができる。

また、熱処理工程は、配線工程の後に行われるため、金属配線などへの他の熱処理やプラズマ処理などによるダメージを、熱処理により除去することができる。

【0013】

上記の構成を実現するために、より具体的には、熱処理工程において行われる熱処理が、水素雰囲気下または水素を含む還元性雰囲気下で行われてもよい。

この構成によれば、水素雰囲気下または水素を含む還元性雰囲気下で熱処理を行うことにより、単結晶半導体層にさらに水素を導入することができる。そのため、熱処理工程において、単結晶半導体層内に残存する水素の濃度が低下せず、欠陥の水素終端化効率が低下することを防止することができる。

【0014】

上記の構成を実現するために、より具体的には、熱処理工程において行われる熱処理が、不活性ガス雰囲気下で行われてもよい。

この構成によれば、不活性ガス雰囲気下で熱処理を行うことにより、単結晶半導体層に、薄膜トランジスタの動作に影響を与えるような不純物が、導入されることを防止することができる。

【0015】

上記の構成を実現するために、より具体的には、水素雰囲気下または水素を含む還元性雰囲気下で薄膜トランジスタにプラズマ処理を行う水素化プラズマ処理工程を有してもよい。

この構成によれば、プラズマ処理により、単結晶半導体層に水素イオン（原子状水素）を直接導入することができる。水素イオンは容易に単結晶半導体層の欠陥を水素終端させることができるため、欠陥の水素終端効率を向上させることができる。

【0016】

本発明に係る第2の半導体装置の製造方法は、少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、薄膜トランジスタに水素雰囲気下または水素を含む還元性雰囲気下でプラズマ処理を行う水素化プラズマ処理工程と、を有することを特徴とする。

【0017】

すなわち、本発明に係る第2の半導体装置の製造方法は、水素化プラズマ処理工程により、単結晶半導体層に水素イオンが導入されるとともに、水素イオンが単結晶半導体層内の欠陥、つまり未結合手と結合して、欠陥を水素終端する。

その結果、単結晶半導体層に形成された薄膜トランジスタ内の欠陥も水素終端されるため、薄膜トランジスタの欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、薄膜トランジスタのチャンネル欠陥対策によるOn電流の改善を図ることができる。

【0018】

上記の構成を実現するために、より具体的には、水素化プラズマ処理工程を、薄膜トランジスタ形成工程から配線形成工程までの間に行ってもよい。

この構成によれば、薄膜トランジスタを形成してから配線を形成するまでの間にプラズマ処理を行うため、プラズマ処理時には配線は形成されていない。そのため、プラズマの電荷が配線に溜まり、配線を介して上記電荷が薄膜トランジスタなどにダメージを与えることを防止することができる。

10

20

30

40

50

## 【0019】

本発明に係る第3の半導体装置の製造方法は、少なくとも表面が絶縁性を有する支持基板に単結晶半導体層を貼り合わせる基板形成工程と、単結晶半導体層に薄膜トランジスタを形成する薄膜トランジスタ形成工程と、薄膜トランジスタの上に水素化窒化シリコン層を形成し熱処理を行う水素化処理工程と、を有することを特徴とする。

## 【0020】

すなわち、本発明に係る第3の半導体装置の製造方法は、水素化処理工程により、形成された水素化窒化シリコン層に熱処理を行うことにより、水素化窒化シリコン層内に含まれる水素が、単結晶半導体層に水素が導入されるとともに、熱処理により、単結晶半導体層内の欠陥と水素とが結合して水素終端される。

10

その結果、単結晶半導体層に形成された薄膜トランジスタ内の欠陥も水素終端されるため、薄膜トランジスタの欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、薄膜トランジスタのチャネル欠陥対策によるOn電流の改善を図ることができる。

## 【0021】

上記の構成を実現するために、より具体的には、水素化処理工程における熱処理が、350 以下の熱処理であってもよい。

この構成によれば、水素化処理工程を350 以下の温度で行うことにより、半導体装置の高温に弱い部分にダメージを与えることなく、単結晶半導体層の欠陥を水素終端させることができる。

20

## 【0022】

上記の構成を実現するために、より具体的には、支持基板が絶縁基板であってもよい。さらには、支持基板が貼り合わせ面に酸化シリコン層を備えた絶縁基板であってもよい。

この構成によれば、支持基板に絶縁基板であってもよく、さらには貼り合わせ面に酸化シリコン層を備えた絶縁基板であってもよい。例えば絶縁性を有する石英基板を支持基板に用いることができる。この場合、本発明の半導体装置の製造方法で製造した半導体装置は透光性を有するため、光透過型の電気光学装置（例えば液晶装置）に用いることができる。

## 【0023】

上記の構成を実現するために、より具体的には、支持基板が貼り合わせ面に酸化シリコン層を備えたシリコン基板であってもよい。

30

この構成によれば、支持基板として表面に酸化シリコン層が形成されたシリコン基板を用いることができる。この場合、シリコン基板として単結晶シリコン、多結晶シリコンなど、シリコンの種類を限ることなくシリコン基板として用いることができる。

## 【0024】

本発明の半導体装置は、上記本発明の半導体装置の製造方法により製造されたことを特徴とする。

すなわち、本発明の半導体装置は、上記本発明の半導体装置の製造方法により製造されているため、薄膜トランジスタの欠陥接合リーク電流が低減されているとともに、光リーク電流が低減され、薄膜トランジスタのチャネル欠陥対策によりOn電流の改善が図られている。そのため、半導体装置の消費電力の低減、および能力の向上を図ることができる。

40

## 【0025】

本発明の電気光学装置の製造方法は、上記本発明の半導体装置の製造方法を用いることを特徴とする。

すなわち、本発明の電気光学装置の製造方法は、上記本発明の半導体装置の製造方法を用いているため、消費電力が低く、能力が向上した電気光学装置を製造することができる。

## 【0026】

本発明の電気光学装置は、上記本発明の電気光学装置の製造方法により製造されたこと

50

を特徴とする。

すなわち、本発明の電気光学装置は、上記本発明の電気光学装置の製造方法により製造されているため、電気光学装置の消費電力を低減することができ、画像表示能力の向上を図ることができる。

【0027】

本発明の電子機器は、上記本発明の電気光学装置を備えることを特徴とする。

すなわち、本発明の電子機器は、上記本発明の電気光学装置を備えているため、電子機器の消費電力を低減することができ、画像表示能力の向上を図ることができる。

【発明を実施するための最良の形態】

【0028】

10

(電気光学装置の製造方法)

[第1の実施の形態]

まず、本発明の電気光学装置を液晶パネルに適用した場合の一実施形態について説明する。図1は、本発明の電気光学装置の一実施形態である液晶パネルの全体構成を説明するための平面図であり、TFTアレイ基板をその上に形成された各構成要素とともに対向基板の側から見た状態を示した平面図である。また、図2は、図1のA-A'断面図であり、図3は、図1のB-B'断面図である。

【0029】

図1および図2、図3に示す液晶パネル(電気光学装置)は、一对の基板間に液晶が封入されたものであり、一方の基板をなす薄膜トランジスタ(Thin Film Transistor、以下、TFTと略記する)アレイ基板(半導体装置)10と、これに対向配置された他方の基板をなす対向基板20とを備えている。

20

図1は、TFTアレイ基板10をその上に形成された各構成要素とともに見た状態を示している。図1に示すように、TFTアレイ基板10の上には、シール材51がその縁に沿って設けられており、その内側には、シール材51に並行して額縁としての遮光膜(図1中には示さず)が設けられている。また、図1において、符号52は、表示領域を示している。なお、表示領域52は、額縁としての前記遮光膜の内側の領域であり、液晶パネルの表示に使用する領域である。また、表示領域の外側は非表示領域(図示せず)となっている。

【0030】

30

非表示領域には、データ線駆動回路101および外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられ、走査線駆動回路104がこの一辺に隣接する2辺に沿って設けられ、プリチャージ回路103が残る一辺に沿って設けられている。さらに、データ線駆動回路101、プリチャージ回路103、走査線駆動回路104と外部回路接続端子102との間をつなぐための複数の配線105が設けられている。

また、対向基板20のコーナー部に対応する位置には、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、シール材51とほぼ同じ輪郭を持つ対向基板20が当該シール材51によりTFTアレイ基板10に固着されている。

【0031】

40

また、図2および図3に示すように、TFTアレイ基板10は、石英などの光透過性の絶縁基板からなる基板本体(支持基板)10Aと、その液晶層50側表面上に形成され、ITO(Indium Tin Oxide)膜などの透明導電性膜からなる画素電極9aと、表示領域に設けられた画素スイッチング用TFT(薄膜トランジスタ)30および非表示領域に設けられた駆動回路用TFT(薄膜トランジスタ)31と、ポリイミド膜等の有機膜から形成され、ラビング処理等の所定の配向処理が施された配向膜16とを主体として構成されている。なお、前記の画素スイッチング用TFT(スイッチング素子)30および駆動回路用TFT(スイッチング素子)31は、後述するようにそれぞれ本発明における薄膜トランジスタの一例となるものである。

【0032】

50

他方、対向基板 20 は、透明なガラスや石英などの光透過性基板からなる基板本体 20 A と、その液晶層 50 側表面上に形成された対向電極 21 と、配向膜 22 と、金属などからなり、各画素部の開口領域以外の領域に設けられた遮光膜 23、および、遮光膜 23 と同じかあるいは異なる材料からなる額縁としての遮光膜 53 とを主体として構成されている。

このように構成され、画素電極 9a と対向電極 21 とが対向するように配置された TFT アレイ基板 10 と対向基板 20 との間には、液晶層 50 が形成されている。

#### 【0033】

また、図 2 に示すように、TFT アレイ基板 10 の基板本体 10 A の液晶層 50 側表面上において、各画素スイッチング用 TFT 30 に対応する位置には、遮光層 11a が設けられており、また、遮光層 11a と複数の画素スイッチング用 TFT 30 との間には、第 1 層間絶縁膜 12 が設けられている。第 1 層間絶縁膜 12 は、画素スイッチング用 TFT 30 を構成する半導体層（単結晶半導体層）1a を遮光層 11a から電氣的に絶縁するために設けられるものである。

#### 【0034】

図 2 および図 3 に示すように、本発明における薄膜トランジスタとなる画素スイッチング用 TFT 30 および駆動回路用 TFT 31 は、LDD (Lightly Doped Drain) 構造を有している。TFT 30 および TFT 31 の半導体層 1a は単結晶シリコンからなっており、走査線 3a からの電界によりチャンネルが形成される半導体層 1a のチャンネル領域 1a'、ゲート電極 3c からの電界によりチャンネルが形成される半導体層 1a のチャンネル領域 1k'、走査線 3a 及びゲート電極 3c と半導体層 1a とを絶縁するゲート絶縁膜 2、データ線（金属配線）6a、半導体層 1a の低濃度ソース領域 1b、1g 及び低濃度ドレイン領域 1c、1h、半導体層 1a の高濃度ソース領域（ソース領域）1d、1i 並びに高濃度ドレイン領域 1e、1j（ドレイン領域）を備えている。

#### 【0035】

また、この液晶パネルにおいては、図 2 に示すように、ゲート絶縁膜 2 を走査線 3a に対向する位置から延設して誘電体膜として用い、半導体膜 1a を延設して第 1 蓄積容量電極 1f とし、さらにこれらに対向する容量線 3b の一部を第 2 蓄積容量電極とすることにより、蓄積容量 70 が構成されている。容量線 3b および走査線 3a は、同一のポリシリコン膜、または、ポリシリコン膜と、金属単体、合金、金属シリサイド等の積層構造からなり、蓄積容量 70 の誘電体膜と画素スイッチング用 TFT 30 および駆動回路用 TFT 31 のゲート絶縁膜 2 とは、同一の高温酸化膜からなっている。また、画素スイッチング用 TFT 30 のチャンネル領域 1a'、ソース領域 1d、ドレイン領域 1e と、駆動回路用 TFT 31 のチャンネル領域 1k'、ソース領域 1i、ドレイン領域 1j と、第 1 蓄積容量電極 1f とは、同一の半導体層 1a からなっている。半導体層 1a は、前述したように単結晶シリコンによって形成されたもので、SOI (Silicon On Insulator) 技術が適用された TFT アレイ基板 10 に設けられたものである。

#### 【0036】

また、図 2 に示すように、走査線 3a、ゲート絶縁膜 2 及び第 1 層間絶縁膜 12 の上には第 2 層間絶縁膜 4 が形成されており、この第 2 層間絶縁膜 4 には、画素スイッチング用 TFT 30 の高濃度ソース領域 1d へ通じるコンタクトホール 5、及び画素スイッチング用 TFT 30 の高濃度ドレイン領域 1e へ通じるコンタクトホール 8 がそれぞれ形成されている。さらに、データ線 6a 及び第 2 層間絶縁膜 4 の上には第 3 層間絶縁膜 7 が形成されており、この第 3 層間絶縁膜 7 には画素スイッチング用 TFT 30 の高濃度ドレイン領域 1e へのコンタクトホール 8 が形成されている。また、画素電極 9a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

#### 【0037】

一方、図 3 に示すように、駆動回路用 TFT 31 には画素電極 9a は接続されておらず、駆動回路用 TFT 31 のソース領域 1i にはソース電極 6b が接続され、駆動回路用 TFT 31 のドレイン領域 1j にはドレイン電極 6c が接続されている。

10

20

30

40

50



## 【0038】

次に、このような構成の液晶パネル（電気光学装置）の製造方法に基づき、本発明の薄膜トランジスタの製造方法を説明する。

まず、図4～図11に基づき、図1および図2、図3に示した液晶パネルの製造方法におけるTFTアレ基板10の製造方法について説明する。なお、各図においては、その構成を見やすくするために、適宜尺度を変更して示している。

まず、図4および図5に基づいて、TFTアレ基板10の基板本体10Aの表面上に、遮光層11aと第1層間絶縁膜12とを形成する工程について詳細に説明する。なお、図4および図5は、各工程におけるTFTアレ基板の一部分を、図2に示した液晶パネルの断面図に対応させて示す工程図である。

10

## 【0039】

はじめに、石英基板、ハードガラス等の透光性の基板本体10Aを用意する。そして、この基板本体10Aを、好ましくは $N_2$ （窒素）等の不活性ガス雰囲気下、約850～1300、より好ましくは1000の高温でアニール処理し、後に実施される高温プロセスにおいて基板本体10Aに生じる歪みが少なくなるように前処理することが望ましい。すなわち、製造工程において処理される最高温度に合わせて、基板本体10Aを同じ温度かそれ以上の温度で熱処理しておくことが望ましい。

このように処理された基板本体10Aの表面上の全面に、図4(a)に示すように、Ti、Cr、W、Ta、Mo及びPbのうち少なくとも一つを含む、金属単体、合金、金属シリサイド等を、スパッタリング法、CVD法、電子ビーム加熱蒸着法などにより、例えば150～200nmの膜厚に堆積することにより、遮光材料層11を形成する。

20

## 【0040】

次に、基板本体10Aの表面上の全面にフォトレジストを形成し、最終的に形成する遮光層11aのパターンを有するフォトマスクを用いてフォトレジストを露光する。その後、フォトレジストを現像することにより、図4(b)に示すように、最終的に形成する遮光層11aのパターンを有するフォトレジスト207を形成する。

次に、フォトレジスト207をマスクとして遮光材料層11のエッチングを行い、その後、フォトレジスト207を剥離することにより、基板本体10Aの表面上における画素スイッチング用TFT30の形成領域に、図4(c)に示すように、所定のパターン（図2参照）を有する遮光層11aを形成する。遮光層11aの膜厚は、例えば150～200nmとする。

30

## 【0041】

次に、図5(a)に示すように、遮光層11aを形成した基板本体10Aの表面上に、スパッタリング法、CVD法などにより、第1層間絶縁膜12を形成する。このとき、遮光層11aを形成した領域上には、第1層間絶縁膜12の表層部に凸部12aが形成される。第1層間絶縁膜12の材料としては、酸化シリコンや、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス等を例示することができる。

次に、第1層間絶縁膜12の表面をCMP（化学的機械研磨）法などの方法を用いて研磨し、図5(b)に示すように前記凹部12aを除去して第1層間絶縁膜12の表面を平坦化する。第1層間絶縁膜12の膜厚については、約400～1000nm程度、より好ましくは800nm程度とする。

40

## 【0042】

次に、図6～図11に基づいて、第1層間絶縁膜12が形成された基板本体10AからTFTアレ基板10を製造する方法について説明する。なお、図6～図11は、各工程におけるTFTアレ基板の一部分を、図2に示した液晶パネルの断面図に対応させて示す工程図である。

図6(a)は、図5(b)の一部分を取り出して異なる縮尺で示す図である。図6(b)に示すように、図6(a)に示した表面が平坦化された第1層間絶縁膜12を有する基

50

板本体 10A と、単結晶シリコン基板 206a との貼り合わせを行う（基板形成工程）。

【0043】

貼り合わせに用いる単結晶シリコン基板 206a の厚さは例えば 600  $\mu\text{m}$  であり、予め単結晶シリコン基板 206a の基板本体 10A と貼り合わせる側の表面には、酸化膜層 206b が形成されているとともに、水素イオン ( $\text{H}^+$ ) が、例えば加速電圧 100 keV、ドーズ量  $10 \times 10^{16} / \text{cm}^2$  にて注入されている。酸化膜層 206b は、単結晶シリコン基板 206a の表面を 0.05 ~ 0.8  $\mu\text{m}$  程度酸化することにより形成される。

貼り合わせ工程は、例えば 300 で 2 時間熱処理することにより 2 枚の基板を直接貼り合わせの方法を採用することができる。

10

【0044】

また、貼り合わせ強度をさらに高めるためには、熱処理温度を上げて 450 程度にする必要があるが、石英などからなる基板本体 10A の熱膨張係数と単結晶シリコン基板 206a の熱膨張係数との間には大きな差があるため、このまま加熱すると単結晶シリコン層にクラックなどの欠陥が発生し、製造される TFT アレイ基板 10 の品質が劣化する恐れがある。クラックなどの欠陥の発生を抑制するためには、一度 300 にて貼り合わせのための熱処理を行った単結晶シリコン基板 206a を、ウエットエッチングまたは CMP によって 100 ~ 150  $\mu\text{m}$  程度まで薄くし、その後、さらに高温の熱処理を行うことが望ましい。例えば、80 の KOH 水溶液を用いて単結晶シリコン基板 206a の厚さが 150  $\mu\text{m}$  となるようにエッチングし、その後、基板本体 10A との貼り合わせを行い、さらに 450 にて再び熱処理することにより貼り合わせ強度を高めることが望ましい。

20

【0045】

次に、図 6 (c) に示すように、貼り合わせた単結晶シリコン基板 206a の貼り合わせ面側の酸化膜 206b と単結晶シリコン層 206 を残したまま、単結晶シリコン基板 206a を基板本体 10A から剥離（分離）するための熱処理を行う。

この基板の剥離現象は、単結晶シリコン基板 206a 中に導入された水素イオンによって、単結晶シリコン基板 206a の表面近傍のある層でシリコンの結合が分断されるために生じるものである。ここでの熱処理は、例えば、貼り合わせた 2 枚の基板を毎分 20 の昇温速度にて 600 まで加熱することにより行うことができる。この熱処理により、貼り合わせた単結晶シリコン基板 206a が基板本体 10A から分離し、基板本体 10A の表面上には約 200 nm  $\pm$  5 nm 程度の単結晶シリコン層 206 が形成される。

30

【0046】

単結晶シリコン層 206 の膜厚については、前述した単結晶シリコン基板 206a に対して行う水素イオン注入の加速電圧を変えることにより、例えば 10 nm ~ 3000 nm の範囲で任意に形成することができる。

なお、薄膜化した単結晶シリコン層 206 は、ここに述べた方法以外に、単結晶シリコン基板の表面を研磨して膜厚を 3 ~ 5  $\mu\text{m}$  とした後、PACE (Plasma Assisted Chemical Etching) 法によってその膜厚を 0.05 ~ 0.8  $\mu\text{m}$  程度までエッチングして仕上げる方法や、多孔質シリコン上に形成したエピタキシャルシリコン層を、多孔質シリコン層の選択エッチングによって貼り合わせ基板上に転写する ELTRAN (Epitaxial Layer Transfer) 法によっても得ることができる。

40

【0047】

さらに、第 1 層間絶縁膜 12 と単結晶シリコン層 206 との密着性を高め、貼り合わせ強度を高めるためには、基板本体 10A と単結晶シリコン層 206 とを貼り合わせた後に、急速熱処理法 (RTA) などにより加熱することが望ましい。加熱温度としては、600 ~ 1200、望ましくは酸化膜の粘度を下げ、原子的に密着性を高めるため 1050 ~ 1200 で加熱することが望ましい。

【0048】

50

次に、図6(d)に示すように、フォトリソグラフィ工程、エッチング工程等によるメサ型分離法により、所定パターンの半導体層1aを形成する。特に、データ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TF T 30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。なお、前記素子分離工程については、周知のLOCOS分離法やトレンチ分離法を用いてもよい。

#### 【0049】

次に、図6(e)に示すように、画素スイッチング用TF T 30を構成する半導体層1aと共に第1蓄積容量電極1fを約850~1300の温度、好ましくは約1000の温度で72分程度熱酸化することにより、約60nmの比較的薄い厚さの熱酸化シリコン膜を形成し、画素スイッチング用TF T 30のゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約30~170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。

10

#### 【0050】

次に、図7(a)に示すように、Nチャネルの半導体層1aに対応する位置にレジスト膜301を形成する一方で、図示を省略するPチャネルの半導体層1aにP(リン)などのV族元素のドーパント302を低濃度で(例えば、Pイオンを70keVの加速電圧、 $2 \times 10^{11} / \text{cm}^2$ のドーズ量にて)ドーピングする。

次に、図7(b)に示すように、図示を省略するPチャネルの半導体層1aと対応する位置にレジスト膜を形成する一方で、Nチャネルの半導体層1aにB(ホウ素)などのIII族元素のドーパント303を低濃度で(例えば、Bイオンを35keVの加速電圧、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量にて)ドーピングする。

20

#### 【0051】

次に、図7(c)に示すように、基板10の表面にレジスト膜305を形成する。そして、Pチャネルについては、図7(a)に示した工程の約1~10倍のドーズ量のPなどのV族元素のドーパント306、Nチャネルについては、図7(b)に示した工程の約1~10倍のドーズ量のBなどのIII族元素のドーパント306をそれぞれドーピングする。

次に、図7(d)に示すように、半導体層1aを延設してなる第1蓄積容量電極1fを低抵抗化するため、基板本体10A表面の第1蓄積容量電極1f以外の部分に対応する部分にレジスト膜307(走査線3aよりも幅が広い)を形成し、これをマスクとしてその上からPなどのV族元素のドーパント308を低濃度で(例えば、Pイオンを70keVの加速電圧、 $3 \times 10^{14} / \text{cm}^2$ のドーズ量にて)ドーピングする。

30

#### 【0052】

次に、図8(a)に示すように、第1層間絶縁膜12に遮光層11aに達するコンタクトホール13を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、あるいはウエットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。ただし、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

40

#### 【0053】

次に、図8(b)に示すように、減圧CVD法等によりポリシリコン層3を350nm程度の厚さで堆積し、その後、リン(P)を熱拡散してポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。これにより、ポリシリコン層3の導電性を高めることができる。さらに、ポリシリコン層3の導電性を高めるため、ポリシリコン層3の上部に、Ti、W、Co及びMoのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等を、スパッタリング法、CVD法、電子ビーム加熱蒸着法などにより、例えば150~200nmの膜厚に堆積した層構造にしてもよい。

50

次に、図 8 ( c ) に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図 2 に示した所定パターンの走査線 3 a と共に容量線 3 b を形成する。なお、この後、基板本体 1 0 A の裏面に残存するポリシリコンを基板本体 1 0 A の表面をレジスト膜で覆ってエッチングすることにより除去する。

【 0 0 5 4 】

次に、図 8 ( d ) に示すように、半導体層 1 a に駆動回路用 T F T 3 1 の P チャネルの L D D 領域を形成するために、N チャネルの半導体層 1 a に対応する位置をレジスト膜 3 0 9 で覆い、ゲート電極 3 c を拡散マスクとして、B などの III 族元素のドーパント 3 1 0 を低濃度で (例えば、 $B F_2$  イオンを 9 0 k e V の加速電圧、 $3 \times 1 0^{13} / c m^2$  のドーズ量にて) ドープし、P チャネルの低濃度ソース領域 1 g 及び低濃度ドレイン領域 1 h を形成する。

10

【 0 0 5 5 】

続いて、図 8 ( e ) に示すように、半導体層 1 a に画素スイッチング用 T F T 3 0 および駆動回路用 T F T 3 1 の P チャネルの高濃度ソース領域 1 d、1 i 及び高濃度ドレイン領域 1 e、1 j を形成するために、N チャネルの半導体層 1 a に対応する位置をレジスト膜 3 0 9 で覆った状態で、かつ、図示はしていないが走査線 3 a よりも幅の広いマスクでレジスト層を P チャネルに対応する走査線 3 a 上に形成した状態で、同じく B などの III 族元素のドーパント 3 1 1 を高濃度で (例えば、 $B F_2$  イオンを 9 0 k e V の加速電圧、 $2 \times 1 0^{15} / c m^2$  のドーズ量にて) ドープする。

【 0 0 5 6 】

次に、図 9 ( a ) に示すように、半導体層 1 a に画素スイッチング用 T F T 3 0 および駆動回路用 T F T 3 1 の N チャネルの L D D 領域を形成するため、P チャネルの半導体層 1 a に対応する位置をレジスト膜 (図示せず) で覆い、走査線 3 a (ゲート電極) を拡散マスクとして、P などの V 族元素のドーパント 6 0 を低濃度で (例えば、P イオンを 7 0 k e V の加速電圧、 $6 \times 1 0^{12} / c m^2$  のドーズ量にて) ドープし、N チャネルの低濃度ソース領域 1 b、1 g 及び低濃度ドレイン領域 1 c、1 h を形成する。

20

【 0 0 5 7 】

続いて、図 9 ( b ) に示すように、半導体層 1 a に画素スイッチング用 T F T 3 0 および駆動回路用 T F T 3 1 の N チャネルの高濃度ソース領域 1 d、1 i 及び高濃度ドレイン領域 1 e、1 j を形成するため、走査線 3 a よりも幅の広いマスクでレジスト 6 2 を N チャネルに対応する走査線 3 a 上に形成した後、同じく P などの V 族元素のドーパント 6 1 を高濃度で (例えば、P イオンを 7 0 k e V の加速電圧、 $4 \times 1 0^{15} / c m^2$  のドーズ量にて) ドープする (薄膜トランジスタ形成工程)。

30

【 0 0 5 8 】

次に、図 9 ( c ) に示すように、容量線 3 b 及び走査線 3 a を覆うように、例えば常圧又は減圧 C V D 法によって N S G、P S G、B S G、B P S G などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。この第 2 層間絶縁膜 4 の膜厚としては、約 5 0 0 ~ 1 5 0 0 n m とするのが好ましく、8 0 0 n m とするのがより好ましい。

この後、高濃度ソース領域 1 d、1 i 及び高濃度ドレイン領域 1 e、1 j を活性化するため、約 8 5 0 のアニール処理を 2 0 分程度行う。

40

【 0 0 5 9 】

続いて、図 9 ( d ) に示すように、半導体層 1 a の欠陥を水素終端するために、水素雰囲気下で 3 5 0 ~ 8 0 0 の熱処理を 3 0 分 ~ 2 4 0 分程度行う (水素化処理工程)。熱処理温度および処理時間は、欠陥の水素終端効率を上げるために、上述した範囲内で適宜変更することができる。

なお、熱処理を行うときの雰囲気は、上述した水素雰囲気でもよいが、水素および不活性ガス (例えば、 $N_2$ 、Ar、Ne など) の混合ガス雰囲気でもよい。この場合、雰囲気中の水素濃度を調節することができ、半導体層 1 a に導入される水素量を調節することができる。

50

## 【0060】

次に、図10(a)に示すように、データ線に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングによりあるいはウエットエッチングにより形成する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。

## 【0061】

次に、図10(b)に示すように、スパッタ処理等によって第2層間絶縁膜4の上に、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100~700nmの厚さ、好ましくは約350nmに堆積する。

さらに、図10(c)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成する(配線形成工程)。

## 【0062】

続いて、図10(d)に示すように、半導体層1aの欠陥をさらに半導体層1a内に残存する水素を用いて水素終端するために、不活性ガス(例えば、N<sub>2</sub>、Ar、Neなど)雰囲気下で200~350の熱処理を30分~240分程度行う(熱処理工程)。熱処理温度および処理時間は、欠陥の水素終端効率を上げるために、上述した範囲内で適宜変更することができる。

なお、熱処理を行うときの雰囲気は、上述した不活性ガス雰囲気でもよいが、水素雰囲気または水素および不活性ガス(例えば、N<sub>2</sub>、Ar、Neなど)の混合ガス雰囲気でもよい。この場合、半導体層1a内の水素濃度の低下を防止することができ、欠陥の水素終端効率の低下を防止することができる。

なお、この熱処理工程は、データ線6aの形成直後に行ってもよいし、さらに後の工程において行ってもよい。

次に、図11(a)に示すように、データ線6a上を覆うように、例えば常圧又は減圧CVD法により、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500~1500nmとするのが好ましく、さらに800nmとするのがより好ましい。

## 【0063】

次に、図11(b)に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電氣的に接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングあるいはウエットエッチングにより形成する。

次に、図11(c)に示すように、スパッタ処理等によって第3層間絶縁膜7の上に、ITO等の透明導電性薄膜9を約50~200nmの厚さに堆積する。

## 【0064】

さらに、図11(d)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。なお、本実施形態の液晶装置が反射型液晶装置である場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜16が形成される。

以上のようにして、TFTアレイ基板10が製造される。

## 【0065】

次に、対向基板20の製造方法及びTFTアレイ基板10と対向基板20とから液晶パネルを製造する方法について説明する。

図2に示した対向基板20については、基板本体20Aとしてガラス基板等の光透過性基板を用意し、基板本体20Aの表面上に、遮光膜23及び周辺見切りとしての遮光膜53を形成する。遮光膜23及び周辺見切りとしての遮光膜53は、例えばCr、Ni、A

10

20

30

40

50

1などの金属材料をスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。なお、これらの遮光膜23、53は、前記の金属材料の他、カーボンやTiなどをフォトレジストに分散させた樹脂ブラックなどの材料から形成してもよい。

#### 【0066】

その後、スパッタリング法などによって基板本体20Aの表面上の全面に、ITO等の透明導電性薄膜を約50～200nmの厚さに堆積し、対向電極21を形成する。さらに、対向電極21の表面上の全面にポリイミドなどの配向膜の塗布液を塗布し、その後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜22を形成する。

以上のようにして、対向基板20が製造される。

10

#### 【0067】

最後に、前述のように製造されたTFTアレイ基板10と対向基板20とを、配向膜16及び22が互いに対向するようにシール材51によって貼り合わせる。そして、真空吸引法などの方法により、両基板間の空間に例えば複数種類のネマティック液晶を混合してなる液晶を吸引し、所定の厚みを有する液晶層50を形成する。これにより、前記構造の液晶パネルが得られる。

#### 【0068】

このような液晶パネル（電気光学装置）の製造方法において、水素化処理工程により、半導体層1aに水素が導入されるとともに、熱処理により半導体層1a内に存在する水素が、半導体層1aの欠陥を水素終端することができる。

20

その結果、半導体層1aに形成されたTFT30、31内の欠陥も水素終端されるため、TFT30、31の欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、薄膜トランジスタのチャンネル欠陥対策によるOn電流の改善を図ることができる。

#### 【0069】

また、欠陥の水素終端化処理を、データ線6aの形成後に行っているため、データ線6aが水素化処理における熱処理によるダメージを受けることを防止することができる。また、逆に、水素化処理の熱処理温度を、データ線6aがダメージを受けるような高温（800以下）で行うことができる。すると、半導体層1a内の水素の移動が低温熱処理時より活発になり、欠陥の水素終端化率をより高めることができる。

30

#### 【0070】

また、欠陥の水素終端化処理およびデータ線6aの形成を行った後に、さらに熱処理を行うことにより、半導体層1a内に残存する水素が欠陥を水素終端させることができ、欠陥の水素終端効率を向上させることができる。

また、熱処理工程は、データ線6a形成の後に行われるため、データ線6a等への他の熱処理やプラズマ処理などによるダメージを、熱処理により除去することができる。

#### 【0071】

〔第1の実施の形態における変形例〕

次に、本発明に係る第1の実施の形態における変形例について図12を参照して説明する。

40

本実施の形態における液晶パネルの製造方法は、第1の実施の形態と略同様であるが、第1の実施の形態とは、半導体層の欠陥の水素終端を行う（水素化処理工程）タイミングが異なっている。よって、本変形例においては、図12を用いて水素化処理工程周辺のみを説明し、TFTの形成等の説明を省略する。

#### 【0072】

本変形例においては、TFT30およびTFT31のNチャンネルにLDD領域を形成し、TFT30およびTFT31の上に第2層間絶縁膜4を形成する所までは、第1の実施の形態を同様のため、その説明を省略する。

#### 【0073】

第2層間絶縁膜4を形成し、高濃度ソース領域1d、1i及び高濃度ドレイン領域1e

50

、1jを活性化するため、約850 のアニール処理を20分程度行い、その後、図12 (a)に示すように、データ線に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングによりあるいはウエットエッチングにより形成する。

#### 【0074】

次に、図12 (b)に示すように、スパッタ処理等によって第2層間絶縁膜4の上に、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100~700nmの厚さ、好ましくは約350nmに堆積する。

さらに、図12 (c)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成する。

#### 【0075】

続いて、図12 (d)に示すように、半導体層1aの欠陥を水素終端するために、水素雰囲気下で200~350の熱処理を30分~240分程度行う(水素化処理工程)。熱処理温度および処理時間は、欠陥の水素終端効率を上げるために、上述した範囲内で適宜変更することができる。

なお、熱処理を行うときの雰囲気は、上述した水素雰囲気でもよいが、水素および不活性ガス(例えば、N<sub>2</sub>、Ar、Neなど)の混合ガス雰囲気でもよい。この場合、雰囲気中の水素濃度を調節することができ、半導体層1aに導入される水素量を調節することができる。

なお、この水素化処理工程は、データ線6aの形成直後に行ってもよいし、さらに後の工程において行ってもよく、TFTアレイ基板10の製造工程における最終工程で行ってもよい。

#### 【0076】

このような液晶パネル(電気光学装置)の製造方法において、データ線6aを形成した後、水素化処理工程を行っているため、データ線6a等への他の熱処理やプラズマ処理などによるダメージを、水素化処理工程における熱処理により除去することができる。

また、水素化処理における熱処理を350以下の温度で行っているため、データ線6a等にダメージを与えることなく、半導体層1aの欠陥を水素終端させることができる。

#### 【0077】

##### 〔第2の実施の形態〕

次に、本発明に係る第2の実施の形態について図13を参照して説明する。

本実施の形態における液晶パネルの製造方法は、第1の実施の形態と略同様であるが、第1の実施の形態とは、半導体層の欠陥の水素終端化方法が異なっている。よって、本実施の形態においては、図13を用いて半導体層の欠陥の水素終端化周辺のみを説明し、TFTの形成等の説明を省略する。

#### 【0078】

本実施の形態においては、TFT30およびTFT31のNチャンネルにLDD領域を形成し、TFT30およびTFT31の上に第2層間絶縁膜4を形成する所までは、第1の実施の形態を同様のため、その説明を省略する。

#### 【0079】

第2層間絶縁膜4を形成した後は、高濃度ソース領域1d、1i及び高濃度ドレイン領域1e、1jを活性化するため、約850 のアニール処理を20分程度行う。

続いて、図13に示すように、半導体層1aの欠陥を水素終端するために、圧力が26.66Pa~666.5Pa(0.2Torr~5Torr)の水素雰囲気下において300W~3000Wで行うプラズマ処理を5分~60分程度実施する(水素化プラズマ処理工程)。プラズマ処理時の圧力、出力および処理時間は、欠陥の水素終端効率を上げるために、上述した範囲内で適宜変更することができる。

なお、プラズマ処理を行うときの雰囲気は、上述した水素雰囲気でもよいが、水素および不活性ガスであるArの混合ガス雰囲気でもよい。この場合、雰囲気中の水素濃度を調節することができ、半導体層1aに導入される水素イオン量を調節することができる。

10

20

30

40

50

なお、上述したようにプラズマ処理のみで半導体層 1 a の欠陥を水素終端してもよいし、第 1 の実施の形態で述べた水素化処理や熱処理を追加して行い欠陥の水素終端を行ってもよい。この場合、半導体層 1 a の欠陥を水素終端化率をより向上させることができる。

【0080】

このような液晶パネル（電気光学装置）の製造方法において、水素化プラズマ処理工程により、半導体層 1 a に水素イオンが導入されるとともに、水素イオンが半導体層 1 a 内の欠陥を水素終端することができる。

その結果、半導体層 1 a に形成された T F T 3 0、3 1 内の欠陥も水素終端されるため、T F T 3 0、3 1 の欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、T F T 3 0、3 1 のチャンネル欠陥対策による O n 電流の改善を図ることができる。

10

【0081】

また、T F T 3 0、3 1 を形成してからデータ線 6 a を形成するまでの間にプラズマ処理を行うため、プラズマ処理時には配線は形成されていない。そのため、プラズマの電荷がデータ線 6 a に溜まり、データ線 6 a を介して電荷が T F T 3 0、3 1 などにダメージを与えることを防止することができる。

【0082】

〔第 3 の実施の形態〕

次に、本発明に係る第 3 の実施の形態について図 1 4 を参照して説明する。

本実施の形態における液晶パネルの製造方法は、第 1 の実施の形態と略同様であるが、第 1 の実施の形態とは、半導体層の欠陥の水素終端化方法が異なっている。よって、本実施の形態においては、図 1 4 を用いて半導体層の欠陥の水素終端化周辺のみを説明し、T F T の形成等の説明を省略する。

20

【0083】

本実施の形態においては、T F T 3 0 および T F T 3 1 のデータ線 6 a 上を覆うように、N S G、P S G、B S G、B P S G などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 7 を形成する所までは、水素化処理工程を除くこと以外は、第 1 の実施の形態と同様のため、その説明を省略する。

【0084】

第 3 層間絶縁膜 7 を形成した後は、図 1 4 ( a ) に示すように、半導体層 1 a の欠陥を水素終端するために、第 3 層間絶縁膜 7 の上に、プラズマ C V D 法により水素化窒化シリコン層 7 a を形成し、3 0 0 ~ 3 5 0 の熱処理を行う（水素化処理工程）。熱処理を行うことにより、水素化窒化シリコン層 7 a に含まれる水素が水素化窒化シリコン層 7 a から放出され、放出された水素は半導体層 1 a に導入される。なお、熱処理温度は、欠陥の水素終端効率を上げるために、上述した範囲内で適宜変更することができる。

30

熱処理後、全ての水素化窒化シリコン層 7 a は、図 1 4 ( b ) に示すように、光透過率が低いため除去される。なお、水素化窒化シリコン層 7 a の除去領域は、上述のように全面であってもよいし、液晶装置による画像表示に影響を与える画素領域上の水素化窒化シリコン層 7 a のみを除去してもよい。

【0085】

40

このような液晶パネル（電気光学装置）の製造方法において、第 3 層間絶縁膜 7 上に形成された水素化窒化シリコン層 7 a に熱処理を行うことにより、水素化窒化シリコン層 7 a 内に含まれる水素が、半導体層 1 a 内に水素が導入されるとともに、熱処理により、半導体層 1 a 内の欠陥と水素とが結合して水素終端される。

その結果、半導体層 1 a に形成された T F T 3 0、3 1 内の欠陥も水素終端されるため、T F T 3 0、3 1 の欠陥接合リーク電流を低減させることができる。また、同時に光リーク電流を低減させることができるとともに、T F T 3 0、3 1 のチャンネル欠陥対策による O n 電流の改善を図ることができる。

また、水素化処理工程における熱処理を 3 5 0 以下の温度で行うことにより、データ線 6 a などにダメージを与えることなく、半導体層 1 a の欠陥を水素終端させることがで

50



きる。

【0086】

なお、本実施形態の液晶パネルでは、前述したように画素スイッチング用TFT30についてはLDD構造を有するものとしたが、低濃度ソース領域1bおよび低濃度ドレイン領域1cを設けなくてもよく、また、低濃度ソース領域1bおよび低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を採用してもよい。また、ゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソースおよびドレイン領域を形成するセルフアライン型のTFTとしてもよい。

【0087】

また、本実施形態の液晶パネルでは、画素スイッチング用TFT30の走査線3aの一部からなるゲート電極を、ソース・ドレイン領域間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート(ダブルゲート)あるいはトリプルゲート以上でTFTを構成すれば、チャンネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。さらに、これらのゲート電極の少なくとも1個をLDD構造あるいはオフセット構造にすれば、より一層、オフ電流を低減でき、安定したスイッチング素子を得ることができる。なお、このように2個以上のゲート電極を配置した場合、前述したようにエッチ残りに起因するゲート電極42、42間の短絡が防止されているものとなる。

また、本実施形態の液晶パネルでは、画素スイッチング用TFT30をNチャンネル型としたが、Pチャンネル型を用いても良く、さらにはNチャンネル型とPチャンネル型の両方のTFTを形成しても良い。

【0088】

また、本実施形態の液晶パネルでは、TFTアレイ基板10の非表示領域に駆動回路用TFT31が設けられているものとしたが、非表示領域に駆動回路用TFT31が設けられていないものとしてもよく、特に限定されない。

また、本実施形態の液晶パネルでは、画素スイッチング用TFT30を構成する半導体層と駆動回路用TFT31を構成する半導体層とを、同じ層厚としたが、異なる層厚としてもよい。

さらに、本実施形態の液晶パネルでは、TFTアレイ基板10は、SOI技術が適用されたものとしたが、SOI技術を適用したものでなくてもよく、特に限定されない。また、単結晶半導体層を形成する材料としては、単結晶シリコンに限定されるものではなく、化合物系の単結晶半導体などを使用してもよい。

【0089】

なお、本実施形態の液晶パネルでは、TFTアレイ基板10における基板本体10Aとして石英基板、ハードガラス等の透光性のものを用い、また遮光層11aを形成して画素スイッチング用TFT30に向かう光を遮断し、画素スイッチング用TFT30に光が照射されるのを防止して光リーク電流を抑えるようにしたが、基板本体10Aとして非透光性のものを用いることもでき、その場合には遮光層11aの形成を省略してもよい。

【0090】

また、本実施形態の液晶パネルでは、蓄積容量70を形成する方法として、半導体層との間で容量を形成するための配線である容量線3bを設けているが、容量線3bを設ける代わりに、画素電極9aと前段の走査線3aとの間で容量を形成しても良い。または、第1蓄積容量電極1fを形成する代わりに、容量線3bの上に、薄い絶縁膜を介して別の蓄積容量電極を形成しても良い。

また、画素電極9aと高濃度ドレイン領域1eとは、データ線6aと同一のAl膜や走査線3aと同一のポリシリコン膜を中継して電氣的に接続する構成としてもよい。

また、遮光層11aはポリシリコン膜3と接続されているが、図10(d)に示したデータ線に対するコンタクトホール5の形成工程と同時にコンタクトホールを形成し、金属膜6と接続しても良い。また、遮光層11aの電位を固定するために、上述したような各

10

20

30

40

50

画素毎にコンタクトをとらず、画素領域の周辺で一括して接続をしても良い。

【0091】

また、本実施形態の液晶パネルにおいては、TFTアレイ基板10上に、さらに製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

また、データ線駆動回路101および走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電気的および機械的に接続するようにしてもよい。

さらに、対向基板20の投射光が入射する側およびTFTアレイ基板10の出射光が出射する側に各々、例えば、TN(Twisted Nematic)モード、VA(Vertically Aligned)モード、PDLC(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

【0092】

なお、本発明の薄膜トランジスタを備えた電気光学装置としての液晶パネルは、反射型の液晶パネルにも、透過型の液晶パネルにも適用可能である。

また、前記の液晶パネルにおいては、例えばカラー液晶プロジェクタ(投射型表示装置)に適用することができる。その場合、3枚の液晶パネルがRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。したがって、前記の実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、遮光膜23の形成されていない画素電極9aに対向する所定領域に、RGBのカラーフィルタをその保護膜とともに対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶パネルを適用できる。

【0093】

さらに、対向基板20上に1画素に1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶パネルが実現できる。さらにまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付対向基板によれば、より明るいカラー液晶装置が実現できる。

【0094】

なお、本発明の薄膜トランジスタを備えた電気光学装置としては、前記の液晶パネルに限定されることなく、有機エレクトロルミネッセンス装置、電気泳動装置、プラズマディスプレイ装置等にも適用可能である。

また、本発明の半導体装置は、前記の画素スイッチング用TFT30のような、ゲート絶縁膜2を単結晶シリコン層(単結晶半導体層)の熱酸化による熱酸化膜2aと気相合成絶縁膜2bとの少なくとも二層からなる積層構造とした薄膜トランジスタを有したものであり、このような薄膜トランジスタを有したものであれば、メモリ等いずれの半導体装置にも適用可能である。

【0095】

[電子機器]

前記実施形態の製造方法で得られた液晶パネルを備える電子機器の例について説明する。

図15は、前記実施形態の電気光学装置(液晶装置)を用いた電子機器の他の例としての、携帯電話の一例を示す斜視図である。図15において、符号1000は携帯電話本体を示し、符号1001は上記の液晶装置を用いた液晶表示部を示している。

10

20

30

40

50

図15に示す携帯電話(電子機器)1000にあっては、上記各実施形態の液晶装置を備えたものであるので、信頼性の高い優れた表示部を備えた電子機器となる。

【0096】

また、本発明の電子機器としては、携帯電話以外にも、例えば投射型表示装置や、前記の液晶表示装置を用いた液晶表示部を有する腕時計型電子機器、さらにはワープロ、パソコンなどの携帯型情報処理装置にも適用可能である。

なお、本発明の技術範囲は上記の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であるのはもちろんである。

【図面の簡単な説明】

【0097】

10

【図1】本発明の電気光学装置の一例である液晶パネルの平面図である。

【図2】図1のA-A'断面図である。

【図3】図1のB-B'断面図である。

【図4】(a)~(c)は電気光学装置の製造工程図である。

【図5】(a)~(b)は電気光学装置の製造工程図である。

【図6】(a)~(e)は電気光学装置の製造工程図である。

【図7】(a)~(d)は電気光学装置の製造工程図である。

【図8】(a)~(e)は電気光学装置の製造工程図である。

【図9】(a)~(d)は電気光学装置の製造工程図である。

【図10】(a)~(d)は電気光学装置の製造工程図である。

20

【図11】(a)~(d)は電気光学装置の製造工程図である。

【図12】(a)~(d)は電気光学装置の製造工程図である。

【図13】電気光学装置の製造工程図である。

【図14】(a)、(b)は電気光学装置の製造工程図である。

【図15】電子機器としての携帯電話の一例を説明するための図である。

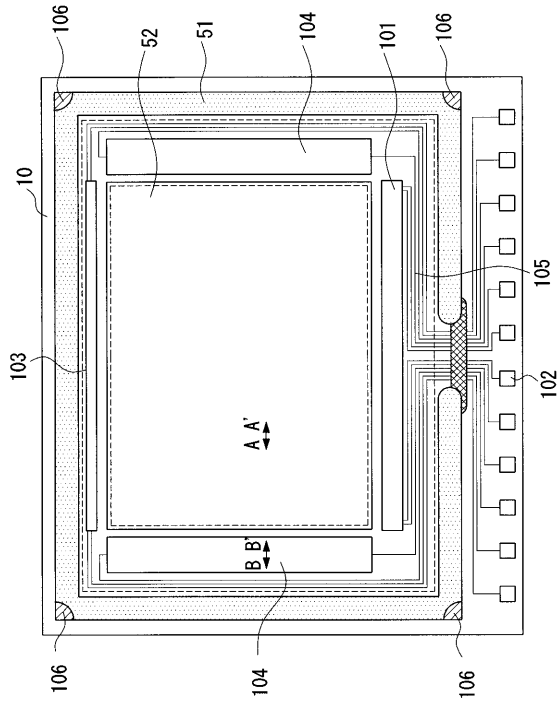
【符号の説明】

【0098】

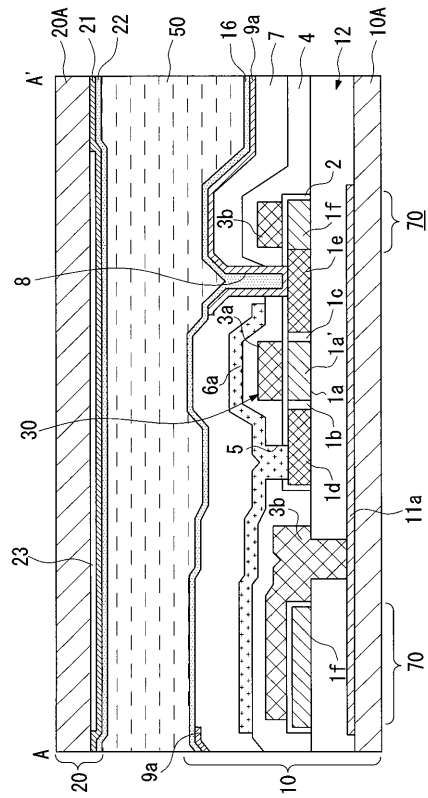
1a・・・半導体層(単結晶半導体層)、 6a・・・データ線(金属配線)、 7a  
 ・・・・水素化窒化シリコン層、 10・・・TFTアレイ基板(半導体装置)、 10A  
 ・・・・基板本体(支持基板)、 30、31・・・TFT(薄膜トランジスタ)、 10  
 00・・・携帯電話(電子機器)

30

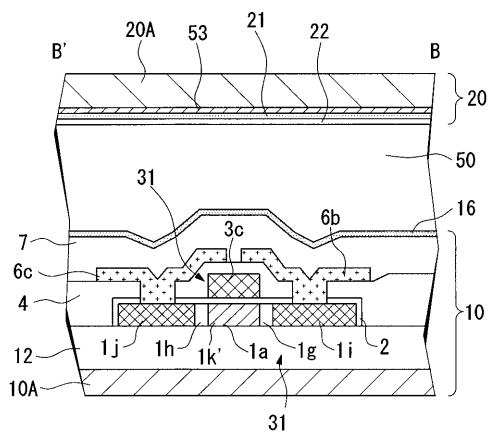
【 図 1 】



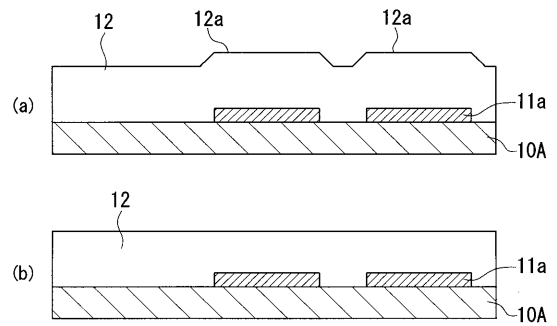
【 図 2 】



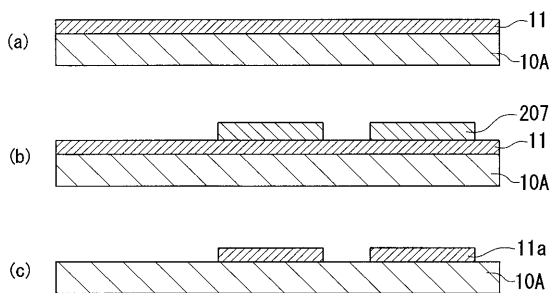
【 図 3 】



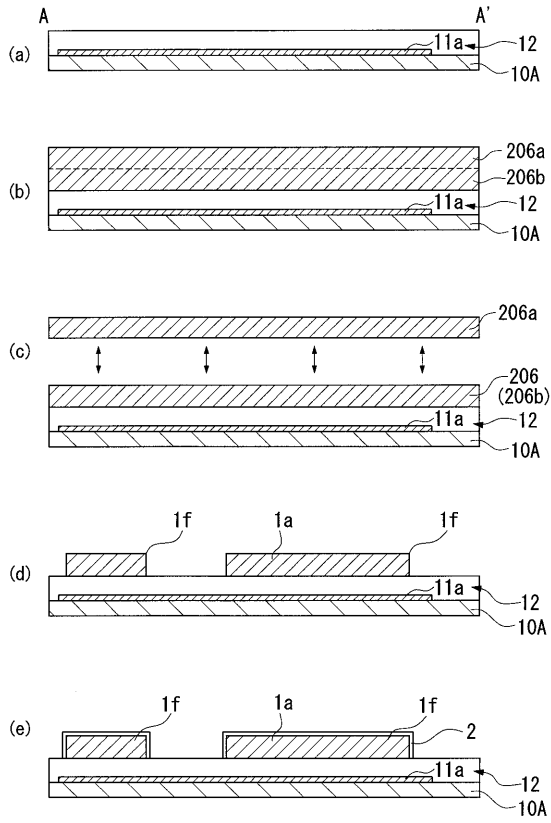
【 図 5 】



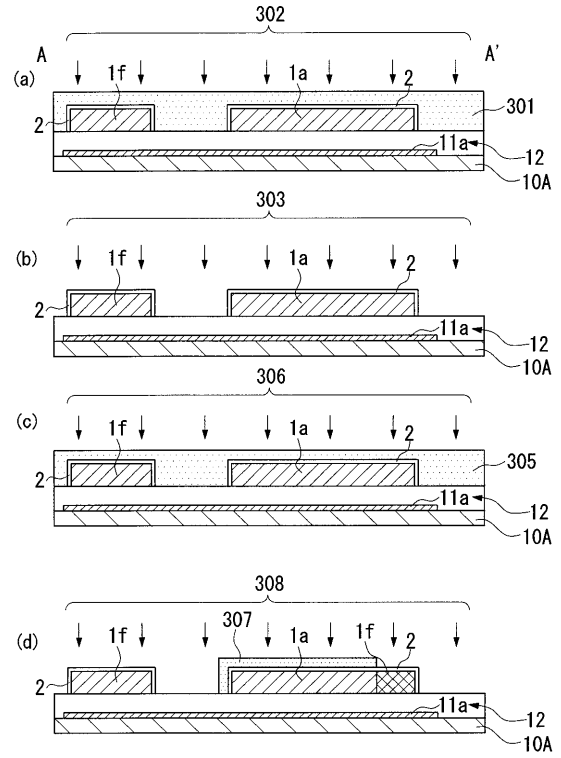
【 図 4 】



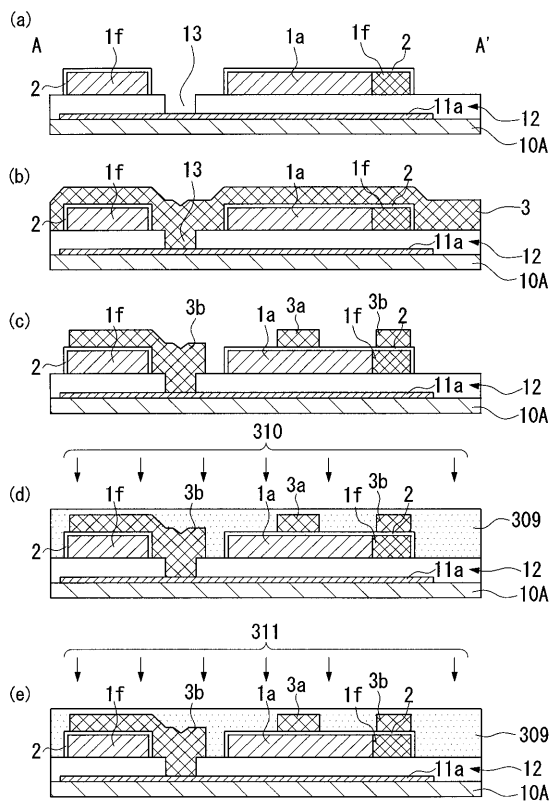
【 図 6 】



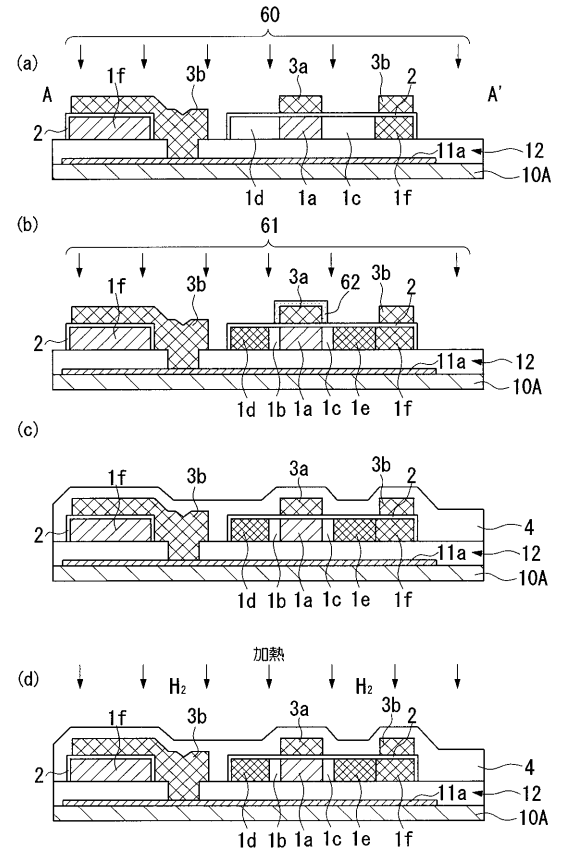
【 図 7 】



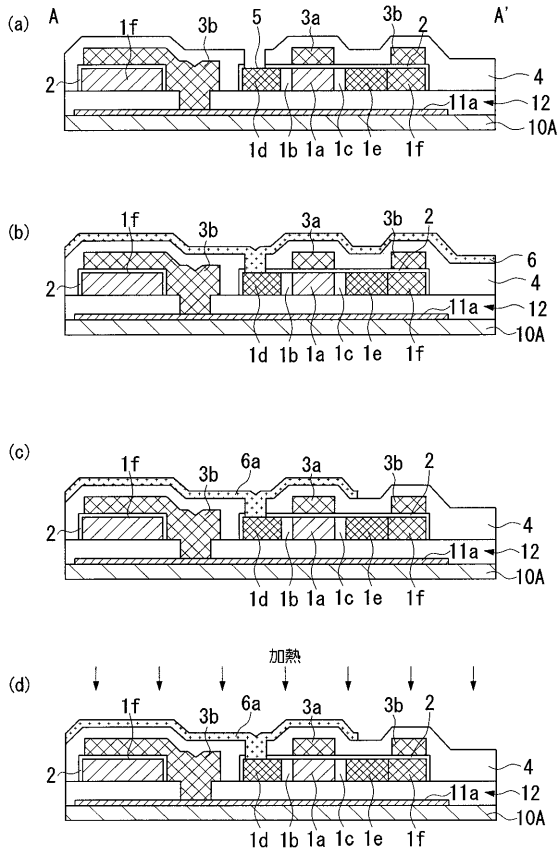
【 図 8 】



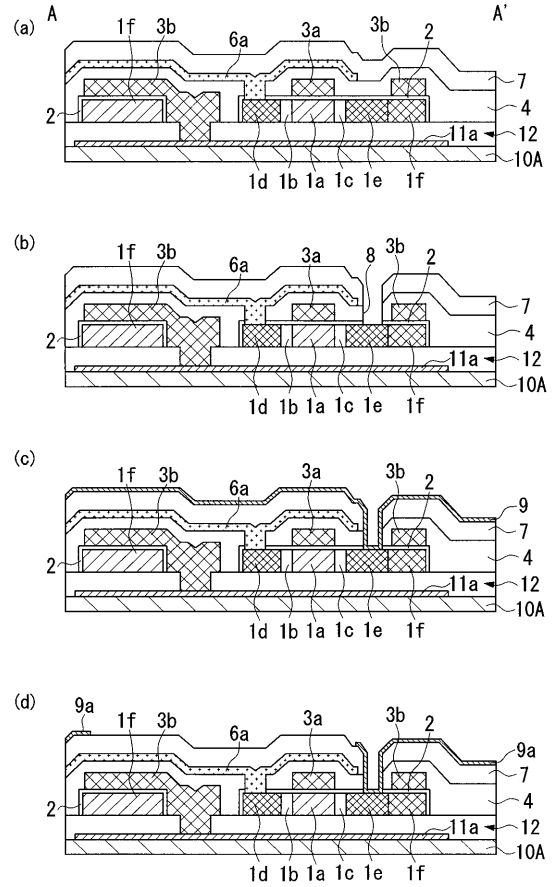
【 図 9 】



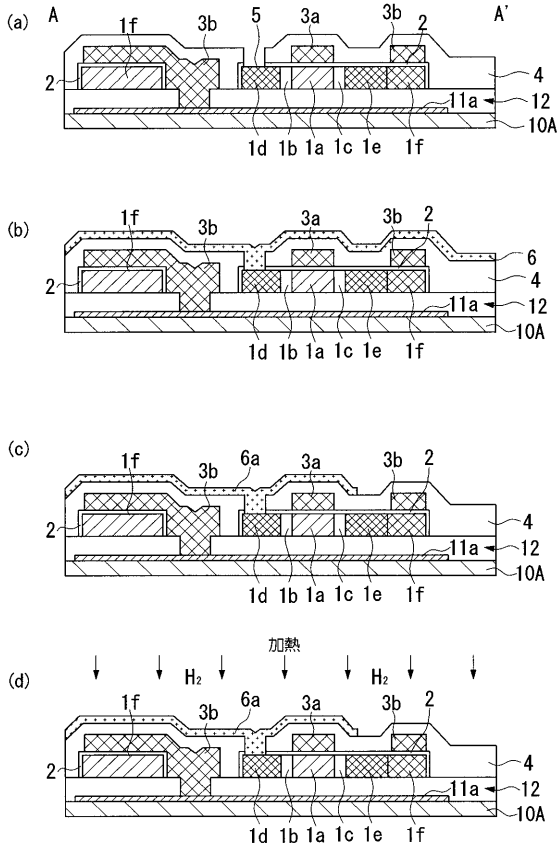
【 図 1 0 】



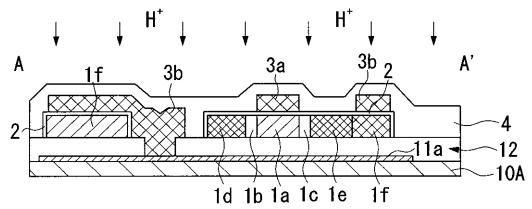
【 図 1 1 】



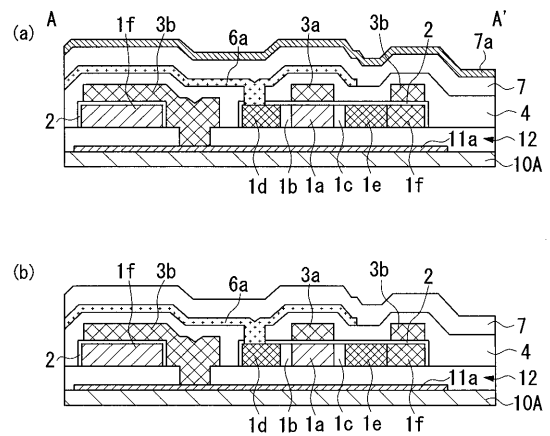
【 図 1 2 】



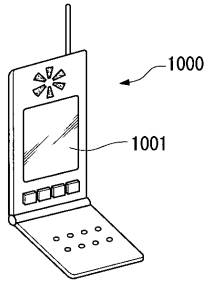
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

H 0 1 L 29/786

F I

H 0 1 L 29/78 6 2 7 D

テーマコード(参考)

Fターム(参考) 2H092 GA11 GA40 GA51 JA24 JA34 JA37 JB22 JB31 JB51 MA04  
 MA05 MA07 MA13 MA15 MA16 MA17 MA22 NA25 PA01 PA05  
 PA07 PA10 PA11 PA12 QA07 RA05 RA10  
 5F110 AA06 AA09 BB02 BB04 BB05 CC02 DD03 DD05 DD12 DD13  
 DD25 EE04 EE05 EE06 EE09 EE14 EE27 EE43 EE44 EE45  
 FF02 FF23 GG02 GG04 GG12 GG24 GG32 GG34 HJ01 HJ04  
 HJ13 HJ23 HL03 HL05 HL07 HM14 HM15 NN03 NN04 NN22  
 NN23 NN24 NN25 NN26 NN35 NN46 NN53 NN54 NN55 NN62  
 NN65 NN66 NN71 NN72 NN73 QQ11 QQ17 QQ23 QQ24