

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4582195号
(P4582195)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.	F I				
G09F 9/30 (2006.01)	G09F	9/30	3	3	8
G09G 3/30 (2006.01)	G09G	3/30			J
G09G 3/20 (2006.01)	G09G	3/20	6	2	1 J
H01L 27/32 (2006.01)	G09G	3/20	6	2	3 R
H01L 51/50 (2006.01)	G09G	3/20	6	7	0 A
請求項の数 4 (全 22 頁) 最終頁に続く					

(21) 出願番号	特願2008-140310 (P2008-140310)	(73) 特許権者	000002185
(22) 出願日	平成20年5月29日(2008.5.29)		ソニー株式会社
(65) 公開番号	特開2009-288467 (P2009-288467A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年12月10日(2009.12.10)	(74) 代理人	100098785
審査請求日	平成21年5月25日(2009.5.25)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	種田 貴之
			東京都港区港南1丁目7番1号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

駆動電流を生成する駆動トランジスタおよび前記駆動トランジスタの出力端に接続された電気光学素子を含む画素回路が行列状に配置され、前記駆動トランジスタの電源供給端にパルス状の電源電圧を供給する走査線である電源供給線が配線された画素アレイ部、
を備え、

前記画素回路ごとに、前記電源供給端と接続された引出し配線と、当該引出し配線と前記電源供給線との接続をとる電源コンタクト部とが1つずつ設けられ、

複数の前記駆動トランジスタに対応する前記電源コンタクト部の間を接続する電源共通接続線が設けられることにより、各駆動トランジスタは、前記電源共通接続線を介して所定の距離を隔てて配置された複数の前記電源コンタクト部に接続され、

前記電源共通接続線は、前記画素回路内で前記電源供給線と離れた位置に配線されている

表示装置。

【請求項2】

前記電源共通接続線で前記電源コンタクト部が接続されている前記複数の駆動トランジスタは、隣接する画素回路のものであり、

その一方の画素回路のレイアウトと他方の画素回路のレイアウトは、ミラー反転の関係にある

請求項1に記載の表示装置。

【請求項 3】

前記電源共通接続線は、対向する前記駆動トランジスタの前記電源供給端の間に配線されている

請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記電源供給線と交差するように映像信号線が配線されており、

前記電源共通接続線は前記映像信号線と交差しないように配線されており、

前記電源供給線は、前記映像信号線と交差する部分に、カット処理により配線間のショートを切り離すためのスリット部が形成されている

請求項 1 ~ 3 の内の何れか 1 項に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流駆動型の電気光学素子（表示素子や発光素子とも称される）を具備する表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、流れる電流によって輝度が変化する電流駆動型の電気光学素子を用いた表示装置がある。たとえば、有機エレクトロルミネセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

20

【0003】

有機 E L 素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機 E L 素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機 E L 素子は比較的低い印加電圧（たとえば 10 V 以下）で駆動できるため低消費電力である。また有機 E L 素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機 E L 素子の応答速度は非常に高速である（たとえば数 μ s 程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機 E L 素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

30

【0005】

電気光学素子として有機 E L 素子などの電流駆動型の素子を用いる有機 E L 表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機 E L 素子などに供給する。このような駆動方式では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となるため、一般的には、定電流駆動方式が採用される。ところが、プロセス変動により電気光学素子を駆動する駆動トランジスタの閾値電圧や移動度がばらついてしまう。また、有機 E L 素子などの電気光学素子の特性が経時的に変動する。このような駆動トランジスタの特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

40

【0006】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動トランジスタや電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている（たとえば特許文献 1）。

【0007】

50

【特許文献1】特開2007-310311号公報
【0008】

たとえば、特許文献1に記載の仕組みでは、駆動トランジスタの閾値電圧や移動度にはばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や移動度補正機能や、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献1に記載の仕組みでは、閾値補正機能や移動度補正機能の実現のため、駆動トランジスタの電源供給端(ドレイン)側を垂直走査線の一例である電源供給線に接続し、当該電源供給線にパルス状の電源電圧を供給して垂直走査する仕組みを採っている。有機EL素子のような電流発光型素子においては、発光素子に電流を流す必要があるため、駆動トランジスタの電源供給端側が適正に電源供給線に接続されていなければ正常な発光が得られない。ところが、トランジスタ作製工程上の不具合により、電源供給線と駆動トランジスタの電源供給端の間に接続異常が発生し、適正な発光が得られないことが起こる。

【0010】

たとえば、トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどにより、駆動トランジスタの電源供給端から引き出された引出し配線と電源供給線とを接続する接続孔が開かず、両者の接続ができていない状態が発生することがある。このような場合、駆動トランジスタに電源電圧が印加されず、その結果、滅点(点欠陥)を発生させてしまう。

【0011】

また、フォトリソグラフィやエッチングのミスあるいはダストなどのトランジスタ作製工程上の不具合に起因する層間ショートや同層ショートにより、電源供給線と書込走査線、映像信号線、あるいは他の電極部材(たとえばソースシールド)とのショートが発生することもある。走査線間のショートの場合、ショートが発生している横一列あるいは縦一列の全画素が正常に発光しないことになり線欠陥(滅線や輝線)となる。駆動トランジスタのソースシールドと電源供給線がショートしていると有機EL素子に電源電圧が直接に印加されてしまうため輝点となる。走査線間のショートに関しては様々な対策手法が考えられているが、駆動トランジスタのソースシールドと電源供給線のショートについては走査線間のショート対策と同様の手法を適用したのでは解決されない難点がある。

【0012】

本発明は、トランジスタ作製工程上の不具合を起因とする電源供給線と駆動トランジスタの電源供給端の間の接続に異常が発生する場合でも、その影響が表示性能に現われないようにすることのできる仕組みを提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明に係る表示装置の一形態は、駆動電流を生成する駆動トランジスタおよび駆動トランジスタの出力端に接続された電気光学素子を含む画素回路が行列状に配置され、駆動トランジスタの電源供給端にパルス状の電源電圧を供給する走査線である電源供給線が配線された画素アレイ部を備える。

【0014】

そして、画素回路ごとに、電源供給端と接続された引出し配線と、当該引出し配線と電源供給線との接続をとる電源コンタクト部とが1つずつ設けられている。また、複数の駆動トランジスタに対応する電源コンタクト部の間を接続する電源共通接続線が設けられることにより、各駆動トランジスタは、この電源共通接続線を介して所定の距離を隔てて配置された複数の電源コンタクト部に接続され、電源共通接続線は、画素回路内で電源供給線と離れた位置に配線されている。

【0015】

10

20

30

40

50

要するに、駆動トランジスタのそれぞれが使用し得る電源コンタクト部を、所定の距離を隔てて複数箇所に設けるレイアウト方式を採る。

【0016】

各駆動トランジスタが使用し得る電源コンタクト部が、離れて複数設けられていれば、何れかの箇所でコンタクト不良が生じていても、他方の箇所の電源コンタクト部により電源供給端と電源供給線との接続が維持される。

【0017】

また、電源共通接続線が設けられていることにより、何れか一方の駆動トランジスタ側の電源コンタクト部でコンタクト不良が発生していても、他方の駆動トランジスタ側の電源コンタクト部により電源供給端と電源供給線との接続が維持される。

10

【0018】

また、電源共通接続線が、画素回路内で電源供給線と離れた位置（つまり駆動トランジスタの電源供給端側）に配線されていることにより、電源供給線とソースシールドとのショートが発生していても、そのショート箇所をレーザなどでカットすることでショート状態を回避できる。このとき、カットにより電源供給線と駆動トランジスタの電源供給端との接続が切られ得るが、他方の駆動トランジスタ側の電源コンタクト部により電源供給端と電源供給線との接続が維持される。

【発明の効果】

【0019】

本発明の一形態によれば、トランジスタ作製工程上の不具合を起因とする電源供給線と駆動トランジスタの電源供給端との接続異常を回避できる。接続異常による表示欠陥を削減でき、高歩留まりの表示装置を実現できる。

20

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0021】

<表示装置の全体概要>

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。ここで示す構成例では、たとえば画素の表示素子（電気光学素子、発光素子）として電流駆動型の素子である有機EL素子を、また能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」や、単に「表示装置」とも称する）に適用した場合を例に採って説明する。薄膜トランジスタとしては、FET（Field-effect Transistor：電界効果トランジスタ）を使用する。

30

【0022】

表示装置1は、様々な電子機器、たとえば半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話などの携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号や電子機器内で生成した映像信号を、静止画像や動画像（映像）として表示するあらゆる分野の電子機器の表示部に利用できる。

40

【0023】

なお、以下の全体構成の説明においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する電気光学素子の全てに、後述する全ての実施形態（特にコンタクト不良対策やソースシールドショート対策）が同様に適用できる。

【0024】

図1に示すように、表示装置1は、表示パネル部100と、駆動信号生成部200（いわゆるタイミングジェネレータ）と、映像信号処理部220を備えている。表示パネル部100は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路P（画素

50

とも称される)が表示アスペクト比である縦横比が $X:Y$ (たとえば $9:16$)の有効映像領域を構成するように配置された画素アレイ部102を主要部に備える。駆動信号生成部200は、表示パネル部100を駆動制御する種々のパルス信号を発生するパネル制御部の一例である。駆動信号生成部200と映像信号処理部220とは、1チップのIC(Integrated Circuit; 半導体集積回路)に内蔵され、本例では、表示パネル部100の外部に配置されている。

【0025】

図1に示す構成の場合、表示パネル部100は、基板101の上に、画素回路Pが n 行 m 列のマトリクス状に配列された画素アレイ部102が配置されている。さらに画素回路Pを垂直方向に走査する垂直駆動部103、画素回路Pを水平方向に走査する水平駆動部106(水平セクタあるいはデータ線駆動部とも称される)が搭載され、さらに、外部接続用の端子部108(パッド部)が表示パネル部100の一辺の端部に配置されている。なお、必要に応じて、各駆動部103, 106と外部回路とのインタフェースをとるインタフェース(IF)部が搭載されることもある。

10

【0026】

垂直駆動部103としては、たとえば、書込走査部(ライトスキャナWS; Write Scan)104や電源供給能力を有する電源スキャナとして機能する駆動走査部(ドライブスキャナDS; Drive Scan)105を有する。画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から書込走査部104および駆動走査部105で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部106で駆動されるようになっている。

20

【0027】

垂直駆動部103(書込走査部104および駆動走査部105)と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成され、画素アレイ部102の画素回路Pを駆動する駆動回路として機能するようになっている。このように、実装状態では、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に搭載された構成となっている。

【0028】

なお図1に示す例では、パルス信号を表示パネル部100の外部から端子部108を介して入力する構成としているが、これらの各種のタイミングパルスを生産する駆動信号生成部200を半導体チップで構成し表示パネル部100上に搭載することも可能である。

30

【0029】

端子部108には、表示装置1の外部に配された駆動信号生成部200から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部220から映像信号 V_{sig} が供給されるようになっている。カラー表示対応の場合には、色別(本例ではR(赤), G(緑), B(青)の3原色)の映像信号 V_{sig_R}, G, B が供給される。

【0030】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルスSPDS, SPWSや垂直走査クロックCKDS, CKWS(必要に応じて位相反転した垂直走査クロックxCKDS, xCKWSも)など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルスSPHや水平走査クロックCKH(必要に応じて位相反転した水平走査クロックxCKHも)など必要なパルス信号が供給される。

40

【0031】

端子部108の各端子は、信号線199を介して、垂直駆動部103や水平駆動部106に接続されるようになっている。たとえば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。

【0032】

50

画素アレイ部 102 には、垂直走査側の各走査線 104WS₁ ~ 104WS_n, 105DSL₁ ~ 105DSL_n と水平走査側の走査線である映像信号線（データ線）106HS₁ ~ 106HS_m が形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタが形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【0033】

なお、製品形態としては、図示のように、表示パネル部 100、駆動信号生成部 200、および映像信号処理部 220 の全てを備えたモジュール（複合部品）形態の表示装置 1 として提供されることに限らず、たとえば、表示パネル部 100 のみで表示装置として提供することも可能であるし、画素アレイ部 102 のみで表示装置として提供することも可能である。

10

【0034】

たとえば、表示装置 1 は、封止された構成のモジュール形状のものをも含む。たとえば、画素アレイ部 102 に透明なガラスなどの対向部に貼り付けられて形成された表示パネル部 100 のみでなる表示モジュールとして構成される。透明な対向部には、表示層（本例であれば有機層やその両側の電極層）、カラーフィルタ、保護膜、遮光膜などが設けられる。この場合、画素アレイ部 102 の他にも、外部から画素アレイ部 102 への映像信号 Vsig や各種の駆動パルスを入出力するための回路部（垂直駆動部 103 や水平駆動部 106 に相当するもの）を搭載した FPC（フレキシブルプリントサーキット）との外部接続端子となる電気的接続端子が、表示パネル部 100 の辺縁に設けられる。その他の点は、基本的には、図 1 に示す構成の場合と同様である。

20

【0035】

<画素回路>

図 2 および図 2A は、本実施形態の画素回路 P を示す図である。図 2 では 1 画素分について示し、図 2A では 2 行 3 列分について示している。なお、表示パネル部 100 の基板 101 上において画素アレイ部 102 の周辺部に配置される垂直駆動部 103 および水平駆動部 106 も合わせて示している。

【0036】

駆動トランジスタを始めとする各トランジスタとしては MOS トランジスタ（FET）を使用する。この場合、駆動トランジスタについては、ゲート端 G を制御入力端として取り扱い、ソース端 S およびドレイン端 D の何れか一方を入力端として取り扱い、他方を出力端として取り扱う。また、特に有機 EL 素子 127 に駆動電流を供給する駆動トランジスタに関してはソース端 S およびドレイン端 D の何れか一方（ここではソース端 S とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端 D とする）として取り扱う。以下、2TR 構成での画素回路 P の一例について具体的に説明する。

30

【0037】

有機 EL 素子 127 は電流発光素子のため、有機 EL 素子 127 に流れる電流値を映像信号 Vsig に応じてコントロールすることで発色の階調を得る。その制御のために駆動トランジスタを使用する。この際、本実施形態の画素回路 P は、基本的に n チャネル型（以下 Nch 型とも記す）の FET を駆動トランジスタ 121 として使用する構成を採る。また、有機 EL 素子 127 の経時劣化による当該有機 EL 素子 127 への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機 EL 素子の電流 - 電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路（その 1）を備える。

40

【0038】

また駆動トランジスタ 121 の特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持する駆動方式を採用する。駆動トランジスタ 121 の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法として、2TR 構成の駆動回路をそのまま駆動信号一定化回路（その 1）として採用しつつ、各トラン

50

ジスタ121, 125の駆動タイミングを工夫することで対処する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号Vsigの劣化なくサンプリングできるため、良好な画質を得ることができる。

【0039】

また本実施形態の画素回路Pは、保持容量120の接続態様を工夫しており、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路(その2)の一例であるブートストラップ回路を構成している。有機EL素子127の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする(駆動電流変動を防ぐ)ブートストラップ機能を実現する駆動信号一定化回路(その2)を備えるのである。

【0040】

具体的には、図2および図2Aに示すように、本実施形態の画素回路Pは、それぞれNch型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127を有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量Celが存在する。図2では、この寄生容量Celを有機EL素子127(ダイオード状のもの)と並列に示す。

【0041】

駆動トランジスタ121のソース端(ノードND121)とゲート端(ノードND122)の間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。つまり、このような接続態様をとることで、ブートストラップ機能を実現する駆動信号一定化回路(その2)が構成される。有機EL素子127のカソード端Kは基準電位としてのカソード電位Vcathとされる。このカソード電位Vcathは、基準電位を供給する全画素共通のカソード配線Wcath(GND)に接続されている。

【0042】

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端(ノードND122)に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【0043】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える。具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位Vccと低電圧側の第2電位Vss(初期化電位Viniとも称する)とを切り替えて供給する電源電圧切替回路を具備している。駆動トランジスタ121のドレイン端側を第1電位Vccと第2電位Vssの2値をとる電源駆動パルスDSLで駆動することで、閾値補正に先立つ準備動作を行なうことを可能にしている。

【0044】

第2電位Vssとしては、映像信号線106HSにおける映像信号Vsigの基準電位であるオフセット電位Vofsより十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧Vgs(ゲート電位Vgとソース電位Vsの差)が駆動トランジスタ121の閾値電圧Vthより大きくなるように、電源供給線105DSLの低電位側の第2電位Vssを設定する。なお、オフセット電位Vofsは、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージしておくためにも利用する。

【0045】

10

20

30

40

50

このような画素回路Pでは、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端に第1電位V_{cc}が供給され、ソース端Sが有機EL素子127のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0046】

駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ(サンプリングトランジスタ125)を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流I_{ds}に与える影響を防ぐ(詳細は特許文献1を参照)。閾値補正機能や移動度補正機能は各トランジスタ121, 125の駆動タイミングを工夫することで対処されているので、2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。加えて、映像信号V_{sig}の劣化なくサンプリングできるため、良好な画質を得ることができる。

10

【0047】

<問題点>

ここで、本実施形態の表示装置1の駆動方式では、電源供給線105DSLをパルス駆動させることで画素回路Pを駆動させるため、電源ラインが全画素共通ではなく、垂直走査線の一例である電源供給線105DSLを使用し、各行で別々のパルスを入力している。このため、書込走査線104WSが横方向に、映像信号線106HSが縦方向に配線されるだけでなく、電源供給線105DSLも横方向に配線される(図2Aを参照)。各画素回路Pの駆動トランジスタ121の電源供給端であるドレインと電源供給線105DSLとの間は引出し配線121DLで接続される。

20

【0048】

ここで、トランジスタ作製工程上の不具合により、電源供給線105DSLと駆動トランジスタ121のドレインの間の引出し配線121DLに接続異常が発生すると、適正な発光が得られない。

【0049】

たとえば、トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどにより、引出し配線121DLと電源供給線105DSLとを接続する接続孔が開かず、両者の接続ができていない状態が発生することがある。この問題を以下コンタクト不良とも称する。このようなコンタクト不良が生じた場合、駆動トランジスタ121に電源電圧が印加されず滅点となる。

30

【0050】

また、トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどにより、電源供給線105DSLと駆動トランジスタ121のソースシールドがショートすると(図2AのA部参照)、有機EL素子127に電源電圧が直接印加され輝点となる。この問題を以下ソースシールド電源ショートとも称する。ショート部分にレーザーリペアなどを試みてもショート箇所に他の配線層が存在するケースではレーザーリペアすることができない。

40

【0051】

次に、トランジスタ作製工程の不具合に起因する前述の各種の問題を解消するための本実施形態の仕組みについて説明する。

【0052】

<第1実施形態>

図3~図4Aは、第1実施形態の仕組みを説明する図である。ここで、図3(1)は、画素回路Pを示す図であり、図3(2)は比較例の1画素分のレイアウト例を示す図であり、図3Aは、図3(2)を適用した比較例の2行4列分のレイアウト例を示す図である。図4は第1実施形態の1画素分のレイアウト例を示す図であり、図4Aは、図4を適用した第1実施形態の2行4列分のレイアウト例を示す図である。

【0053】

50

なお、後述する他の実施形態も含めて、各レイアウト図は模式図であり、配線関係を見易くすることを優先して記載しており、配線層の配置順は必ずしも実体と合っていない場合もある。基本的には、第1配線層L1が最下層側で、以下、第3配線層L3 第2配線層L2の順となることを付言しておく。

【0054】

第1実施形態の仕組みは、電源供給線105DSLと引出し配線121DLとのコンタクト不良を改善するコンタクト不良対策を採ったものである。そのため、1つの駆動トランジスタ121が使用し得る引出し配線121DLと電源供給線105DSLを接続するコンタクト部(以下電源コンタクト部DCと称する)を、距離を離して複数箇所設けるものである。つまり、駆動トランジスタ121ごとに、使用し得る電源コンタクト部DCを、所定の距離を隔てて複数箇所に設けるということである。各電源コンタクト部DCのコンタクト数は1つでもよいし複数でもよいが、好ましくは複数にする。

10

【0055】

たとえば、比較例および第1実施形態の何れも、書込走査線104WSや電源供給線105DSLや映像信号線106HSは、抵抗値を下げるため第2配線層L2にてアルミニウムやタングステンなどで配線している。なお、各走査線が交差する部分では比較的抵抗値が大きくなるモリブデンなどの第1配線層L1を使ってオーバーラップさせる。図示した例では、映像信号線106HSと書込走査線104WSや電源供給線105DSLが交差する部分で、映像信号線106HS側を一旦第1配線層L1を経由させている。

【0056】

20

また、各走査線とトランジスタ端子を接続する引出し配線は、たとえば、第1配線層L1や第2配線層L2やその他の配線層を使って配線する。たとえば、図示した例では、サンプリングトランジスタ125のゲートと書込走査線104WSを第1配線層L1の引出し配線125GL(ゲート配線)で接続している。また、駆動トランジスタ121のドレインと電源供給線105DSLを第1配線層L1および第2配線層L2とは異なる第3配線層L3の引出し配線121DLで接続している。第3配線層L3は、第2配線層L2よりも抵抗率の大きな配線部材を使用する。つまり、幅、長さ、厚さなどを同一条件としたとき、たとえば第2配線層L2よりも高抵抗のポリシリコンの層とする。

【0057】

保持容量120は、駆動トランジスタ121のゲートと接続されている第1配線層L1の電極と、駆動トランジスタ121のソースと接続されている第3配線層L3の電極とを比較的広い面積で対向配置させることで形成している。駆動トランジスタ121に対しては、駆動トランジスタ121のソースと接続されている第2配線層L2を利用したソースシールド121SSによりチャンネル(ゲート部)を覆うことで遮光対策を採っている。

30

【0058】

ここで、コンタクト不良対策としては、たとえば図3(2)や図3Aに示す比較例のように、電源コンタクト部DCでのコンタクト数を複数にすることが考えられる。図示した例では、駆動トランジスタ121のドレインからの引出し配線121DLを電源供給線105DSLまで引き延ばし、電源コンタクト部DCに2つのコンタクト穴(孔)を設けている。コンタクト穴が1個開かなくても他のコンタクト穴により接続がとられるときには駆動トランジスタ121には電源電圧が印加され、滅点の発生を防止することができる(図3AのA部参照)。

40

【0059】

しかしながら、実際には、フォトリソグラフィやエッチングのミスはある程度の範囲をもって起きてしまう確率が高い。そのため、電源コンタクト部DCに複数のコンタクト穴を設けたとしても、1個だけコンタクト穴が開いていない場合よりも、ある狭い範囲(ミス発生範囲と称する)においてコンタクト穴が開かず結局は全てが空いていない状況が発生するということが分った(図3AのB部参照)。つまり、電源コンタクト部DCに複数のコンタクト穴を設ける対策では、複数個のコンタクト穴の全てがミス発生範囲内に入っていない、コンタクト不良を抑制することは不十分である。

50

【 0 0 6 0 】

一方、コンタクト不良を改善する第 1 実施形態のレイアウトでは、第 2 配線層 L 2 の電源供給線 1 0 5 DSL とは別レイヤの第 3 配線層 L 3 である引出し配線 1 2 1 DL を引き延ばして、距離を離して複数の電源コンタクト部 DC を設けるようにしている。図 4、図 4 A に示す例では、駆動トランジスタ 1 2 1 のドレインからの引出し配線 1 2 1 DL_1 を電源供給線 1 0 5 DSL まで引き延ばして 1 箇所目の電源コンタクト部 DC に 2 つのコンタクト穴（孔）を設けている。さらに、引出し配線 1 2 1 DL と接続された引出し配線 1 2 1 DL_2 を平行に配線して、1 箇所目から離れた位置の 2 箇所目の電源コンタクト部 DC に 2 つのコンタクト穴（孔）を設けている。第 2 配線層 L 2 の電源供給線 1 0 5 DSL の下部にて第 3 配線層 L 3 の引出し配線 1 2 1 DL_2 を余分にレイアウトし、電源コンタクト部 DC を離れた位置で複数箇所に設けるレイアウト方式を採っている。

10

【 0 0 6 1 】

複数の電源コンタクト部 DC の距離をどの程度にするかは、フォトリソグラフィやエッチングのミスが発生するときのミス発生範囲に応じて設定する。電源コンタクト部 DC 間の距離が離れているほど、ミス発生範囲に対する余裕が大きくなる。具体的には、複数箇所の電源コンタクト部 DC の全てがミス発生範囲内に入ってしまうことがないようにすればよい。そうすれば、フォトリソグラフィやエッチングのミスが発生しても、少なくとも 1 箇所の電源コンタクト部 DC はそのミス発生範囲外に存在することになり、ほぼ確実にコンタクト穴が形成される。

【 0 0 6 2 】

こうすることで、ある箇所の電源コンタクト部 DC の全てのコンタクト穴が空かない場合でも、そこからある程度離れた位置にある別の電源コンタクト部 DC のコンタクト穴により引出し配線 1 2 1 DL と電源供給線 1 0 5 DSL の接続がとられる（図 4 A の A 部参照）。このように、ミス発生範囲を超える距離を保って複数の電源コンタクト部 DC を離して設けておけば、フォトリソグラフィやエッチングのミスがあったとしても、駆動トランジスタ 1 2 1 には電源電圧が印加されるので、減点の発生を防止することができる。点欠陥の原因となるフォトリソグラフィミスやエッチングミスによる電源供給線 1 0 5 DSL と駆動トランジスタ 1 2 1 のドレイン（引出し配線 1 2 1 DL）のコンタクト不良を防止することができ点欠陥を削減することができる。

20

【 0 0 6 3 】

第 3 配線層 L 3 の引出し配線 1 2 1 DL と第 2 配線層 L 2 の電源供給線 1 0 5 DSL との対向面積を増加させ、離れた場所に電源供給線 1 0 5 DSL と引出し配線 1 2 1 DL の電源コンタクト部 DC を設ける。こうすることで、コンタクト不良が発生した場合においても、ドレイン電圧を駆動トランジスタ 1 2 1 に印加することができ、減点の発生を抑制することができる。コンタクトマージンを増加し、点欠陥の原因となるフォトリソグラフィやエッチングミスによって発生するコンタクト不良による表示欠陥（点欠陥）を防止することができるので、高歩留まりを実現できる。

30

【 0 0 6 4 】

< 第 2 実施形態 >

図 5 ~ 図 5 F は、第 2 実施形態の仕組みを説明する図である。ここで、図 5 は第 2 実施形態（第 1 例）の 2 画素分のレイアウト例を示す図であり、図 5 A は、図 5 を適用した第 2 実施形態（第 1 例）の 2 行 4 列分のレイアウト例を示す図である。図 5 B は第 2 実施形態（第 2 例）の 2 画素分のレイアウト例を示す図であり、図 5 C は、図 5 B を適用した第 2 実施形態（第 2 例）の 2 行 5 列分のレイアウト例を示す図である。図 5 D は第 2 実施形態（第 3 例）の 2 画素分のレイアウト例を示す図であり、図 5 E は、図 5 D を適用した第 2 実施形態（第 3 例）の 2 行 5 列分のレイアウト例を示す図である。図 5 F は、第 2 実施形態の付加的効果を説明する図である。

40

【 0 0 6 5 】

第 2 実施形態の仕組みは、1 つの駆動トランジスタ 1 2 1 が使用し得る電源コンタクト部 DC を、距離を離して複数箇所設けることで、電源供給線 1 0 5 DSL と引出し配線 1 2 1

50

DLとのコンタクト不良を改善する点で第1実施形態と共通する。第1実施形態との相違点は、複数の画素回路Pの引出し配線121DLを電源供給線105DSLと平行に配置された電源共通接続線121DD_1により共通に接続する点にある。共通接続により、一方の駆動トランジスタ121用の引出し配線121DLとの電源コンタクト部DCが他方の駆動トランジスタ121用の電源コンタクト部DCとしても共用されるようにすることで、事実上、駆動トランジスタ121ごとに、使用し得る電源コンタクト部DCを、所定の距離を隔てて複数箇所に設ける構成を実現している。第1例と第2例および第3例の相違点は、同一行内で隣接する2つの画素回路Pの内の一方のレイアウトをミラー反転させるか否か（一方と他方の各画素回路Pのレイアウトがミラー反転の関係にあるか否か）である。第2例と第3例の相違点は、ミラー反転させた上で、引出し配線121DLが共通に接続される画素回路Pの組合せが異なることである。

10

【0066】

複数の駆動トランジスタ121のドレイン同士を電源共通接続線121DD_1で共通に接続する限り、その対象は何処の位置の画素回路Pのものであってもよい。配線のし易さを考慮すれば、近傍の（特に好ましくは隣接した）隣接した画素回路P同士で共通接続するのがよい。なお、複数の画素回路Pの引出し配線121DLを共通に接続する点では、後述する第3実施形態と同様であるが、第2実施形態では、その共通に接続する部分の配線（電源共通接続線121DD_1と称する）を、第1実施形態と同様に、電源供給線105DSLと並行に配置する点で異なる。

【0067】

20

たとえば、第2実施形態（第1例）および第2実施形態（第2例）では、2つの画素回路Pに対して、共通接続用の電源共通接続線121DD_1が各画素回路P用の映像信号線106HSと交差する組合せのレイアウト方式を採っている。一方、第2実施形態（第3例）では、ミラー配置した2つの画素回路Pに対して、共通接続用の電源共通接続線121DD_1が各画素回路P用の映像信号線106HSと交差しない組合せのレイアウト方式を採っている。第2例は電源共通接続線121DD_1の長さが短くなる方の組合せでミラー反転の関係にあり、第3例は電源共通接続線121DD_1の長さが長くなる方の組合せでミラー反転の関係にある。

【0068】

第1例～第3例の何れも、組合せ対象の各画素回路Pの引出し配線121DLを、電源供給線105DSLの下部において平行に配置した電源共通接続線121DD_1で接続するレイアウト方式を採っている。片側（駆動トランジスタ121_A）の引出し配線121DLの電源コンタクト部DCにコンタクト穴が開かず電源供給線105DSLと引出し配線121DLの接続ができない場合でも（図5A、図5C、図5Eの各A部参照）、電源共通接続線121DD_1を介して隣接するもう一方の駆動トランジスタ121_B側の引出し配線121DLの電源コンタクト部DCにより、電源供給線105DSLと駆動トランジスタ121_Aのドレインが接続される。こうすることで、コンタクト不良が発生した場合においても、ドレイン電圧を駆動トランジスタ121_Aに印加することができ、減点の発生を抑制することができる。コンタクトマージンを増加し、点欠陥の原因となるフォトリソグラフィやエッチングミスによって発生するコンタクト不良による点欠陥を防止することができるので、高歩留まりを実現できる。

30

40

【0069】

ここで、第1例～第3例を比べた場合、共通接続用の電源共通接続線121DD_1の長さ、つまり2つの画素回路P用の各電源コンタクト部DCの距離は、ミラー配置していない第1例の方がミラー配置している第2例よりも長く、また、第3例の方が第1例および第2例よりも長い。よって、ここで示す各画素回路Pのレイアウト例の場合には、ミラー配置の態様としては、第2例よりも第3例の方が好ましいことになる。

【0070】

これは、第1実施形態で説明したことから分るように、2画素の電源コンタクト部DCの全てがミス発生範囲内に入ってしまうことがないようにすることに基づく。つまり、2画

50

素をミラー配置して、引出し配線 1 2 1 DLで各引出し配線 1 2 1 DLを共通接続したとしても、各画素回路 P 用の電源コンタクト部 DCの全てがミス発生範囲内に入ってしまうと、引出し配線 1 2 1 DLと電源供給線 1 0 5 DSL との接続がとれなくなり、2画素とも滅点となるからである。引出し配線 1 2 1 DLと電源供給線 1 0 5 DSL のコンタクト不良対策の側面から第 1 例～第 3 例を比べた場合は、2画素の電源コンタクト部 DCの全てがミス発生範囲内に入ってしまうことがないようにすることがポイントになるので、電源コンタクト部 DC間の距離が最長となる第 3 例が最適で、以下第 1 例、第 2 例の順となる。

【 0 0 7 1 】

要するに、第 2 実施形態を適用する場合は、各画素回路 P のレイアウトがどのようなものであっても、ミラー配置の組合せとしては、2つの画素回路 P の各電源コンタクト部 DC間の距離が長くなる組合せにして、各駆動トランジスタ 1 2 1 のドレインからの各引出し配線 1 2 1 DLを電源共通接続線 1 2 1 DD_1で共通に接続するのが好ましいことになる。そうすれば、フォトリソグラフィやエッチングのミスが発生しても、少なくとも1箇所の電源コンタクト部 DCはそのミス発生範囲外に存在することになり、ほぼ確実にコンタクト穴が形成される。そして、このコンタクト穴および共通接続用の引出し配線 1 2 1 DLを介して、コンタクト穴が形成されていない方に電源供給ができるようになる。

【 0 0 7 2 】

また、第 3 例では電源共通接続線 1 2 1 DD_1が各画素回路 P 用の映像信号線 1 0 6 HSと交差しない組合せとしているので、各画素回路 P 用の映像信号線 1 0 6 HSと電源供給線 1 0 5 DSL が交差する部分に、走査線間ショート対策用のスリット穴 SH (Slit Hole) を平行に設け易い利点もある。第 1 例や第 2 例でもスリット穴 SHを設けることは不可能ではないが(たとえば第 2 例を参照)、平行配置されたスリット穴 SHの間に電源共通接続線 1 2 1 DD_1を配線しなければならず、電源共通接続線 1 2 1 DD_1およびスリット穴 SHの形成の容易さは第 3 例の方が高い。

【 0 0 7 3 】

トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどにより、同層ショートやダストなどを起因とする層間ショートにより、電源供給線 1 0 5 DSL と書込走査線 1 0 4 WSがショート(図 5 C、図 5 E の B 部)すると滅線が発生し、電源供給線 1 0 5 DSL と映像信号線 1 0 6 HSがショート(図 5 C、図 5 E の C 部)すると輝線および滅線が発生するなど、線欠陥となってしまう。

【 0 0 7 4 】

この走査線間のショート対策としては、たとえば、電源供給線 1 0 5 DSL において、他の配線(ここでは映像信号線 1 0 6 HS)とのクロス部分にスリット穴 SHをあけ、その近傍での同層ショートを、スリット部分を利用してスリット部の両端で電源供給線 1 0 5 DSL の側辺側をカット処理することでリペアする。レーザー光をカット処理に利用したレーザーリペアを適用することができる。

【 0 0 7 5 】

たとえば、図 5 C、図 5 E の B 部のショートに対しては、図 5 F (1) に示すように、スリット穴 SH_1側の両サイドで電源供給線 1 0 5 DSL の映像信号線 1 0 6 HS側の側辺側にレーザーで切り込み(図中の太い実線)を入れ、スリット穴 SH_1とレーザーの切り込みにより側辺を切り離す。図 5 C、図 5 E の C 部のショートに対しては、図 5 F (2) に示すように、スリット穴 SH_2側の両サイドで電源供給線 1 0 5 DSL の書込走査線 1 0 4 WS側の側辺側にレーザーで切り込み(図中の太い実線)を入れ、スリット穴 SH_2とレーザーの切り込みにより側辺を切り離す。

【 0 0 7 6 】

< 第 3 実施形態 >

図 6 ~ 図 6 F は、第 3 実施形態の仕組みを説明する図である。ここで、図 6 は第 3 実施形態(第 1 例)の 2 画素分のレイアウト例を示す図であり、図 6 A は、図 6 を適用した第 3 実施形態(第 1 例)の 2 行 4 列分のレイアウト例を示す図である。図 6 B は第 3 実施形態(第 2 例)の 2 画素分のレイアウト例を示す図であり、図 6 C は、図 6 B を適用した第

10

20

30

40

50

3実施形態(第2例)の2行4列分のレイアウト例を示す図である。図6Dは第3実施形態(第3例)の2画素分のレイアウト例を示す図であり、図6Eは、図6Dを適用した第3実施形態(第3例)の2行4列分のレイアウト例を示す図である。図6Fは、第3実施形態のソースシールド電源ショート対策効果を説明する図である。

【0077】

第3実施形態の仕組みは、1つの駆動トランジスタ121が使用し得る電源コンタクト部DCを、距離を離して複数箇所設けることで、電源供給線105DSLと引出し配線121DLとのコンタクト不良を改善する点で第1・第2実施形態と共通する。第1実施形態との相違点は、複数の(好ましくは隣接した)画素回路Pの駆動トランジスタ121の電源供給端であるドレインを共通に接続する点にある。第1例と第2例および第3例の相違点は、同一行内で隣接する2つの画素回路Pの内の一方のレイアウトをミラー反転させるか否か(一方と他方の各画素回路Pのレイアウトがミラー反転の関係にあるか否か)である。第2例と第3例の相違点は、ミラー反転させた上で、引出し配線121DLが共通に接続される画素回路Pの組合せが異なることである。

10

【0078】

なお、隣接した画素回路Pの駆動トランジスタ121のドレインを共通に接続する点では、前述の第2実施形態と似通っているが、第3実施形態では、その共通に接続する部分の配線(電源共通接続線121DD₂と称する)を、画素回路P内の駆動トランジスタ121のドレイン側に配置する点で異なる。このような仕組みを採ることで、トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどを起因とする、コンタクト不良やソースシールド電源ショートに対する対策を採るのである。第1・第2実施形態では、ソースシールド電源ショートに対する対策が採れないのと異なる。

20

【0079】

たとえば、第3実施形態(第1例)および第3実施形態(第2例)では、2つの画素回路Pに対して、共通接続用の電源共通接続線121DD₂が各画素回路P用の映像信号線106HSと交差する組合せのレイアウト方式を採っている。一方、第3実施形態(第3例)では、ミラー配置した2つの画素回路Pに対して、共通接続用の電源共通接続線121DD₂が各画素回路P用の映像信号線106HSと交差しない組合せのレイアウト方式を採っている。第2例は電源共通接続線121DD₂の長さが短くなる方の組合せでミラー反転の関係にあり、第3例は電源共通接続線121DD₂の長さが長くなる方の組合せでミラー反転の関係にある。

30

【0080】

第1例～第3例の何れも、組合せ対象の各画素回路Pの引出し配線121DLを画素回路P回路内に配置した電源共通接続線121DD₂で接続するレイアウト方式を採っている。電源共通接続線121DD₂は、電源供給線105DSLと平行にではなく、電源供給線105DSLから離れた駆動トランジスタ121のドレイン側に配線している点が第2実施形態と異なる。図示していないが、第1例～第3例の何れも、第2実施形態のように、スリット穴SHを設けて、走査線間のショート対策を採ってもよい。第3実施形態の場合、電源共通接続線121DD₂は電源供給線105DSLと他の走査線(映像信号線106HS)が交差する部分には配線されないため、第2実施形態(第3例)と同様に、その適用が容易である。

40

【0081】

片側(駆動トランジスタ121_A)の引出し配線121DLの電源コンタクト部DCにコンタクト穴が開かず電源供給線105DSLと引出し配線121DLの接続ができない場合でも(図6A、図6C、図6Eの各A部参照)、電源共通接続線121DD₂を介して隣接するもう一方の駆動トランジスタ121_Bの引出し配線121DL側の電源コンタクト部DCにより電源供給線105DSLと接続される。こうすることで、コンタクト不良が発生した場合においても、ドレイン電圧を駆動トランジスタ121_Aに印加することができ、滅点の発生を抑制することができる。コンタクトマージンを増加し、点欠陥の原因となるフォトリソグラフィやエッチングミスによって発生するコンタクト不良による表示欠陥(点欠陥)

50

を防止することができるので、高歩留まりを実現できる。

【0082】

また、トランジスタ作製工程上のフォトリソグラフィやエッチングのミスなどにより、ソースシールド電源ショートが発生した場合でも（図6A、図6C、図6Eの各B部参照）、ショート箇所をレーザーリペアすることができる。第2配線層L2の電源供給線105DSLと駆動トランジスタ121_Cのソースシールド121SSが同層ショートしているが、図の実線で同層ショート部をレーザーで切り込み（図中の太い実線）を入れてカットすることにより、電源供給線105DSLと駆動トランジスタ121のソースシールド121SSを分離することができる。

【0083】

このとき、図6F（ここでは第2例で示している）に示すように、ショート箇所には他の配線層（本例では引出し配線121DL_C）が存在するので、これも一緒に切り離される。その結果、同一の画素回路P内では、駆動トランジスタ121_Cのドレインと電源供給線105DSLとが切り離されてしまう。事実上、その引出し配線121DL_Cと電源供給線105DSLの接続をとる電源コンタクト部DCのコンタクト穴が全て空いていない状態と同じになる。

【0084】

しかしながら、第3実施形態の仕組みでは、電源共通接続線121DDを画素回路P内の駆動トランジスタ121のドレイン側に配置しているため、電源共通接続線121DD_2を介して隣接するもう一方の駆動トランジスタ121_Dの引出し配線121DL_D側の電源コンタクト部DCにより電源供給線105DSLと駆動トランジスタ121_Cのドレインが接続される。隣接画素の引出し配線121DLからドレイン電圧が他方の駆動トランジスタ121に印加されるため、滅点を発生することがない。こうすることで、従来の画素レイアウトでは困難であったソースシールド電源ショートが発生した場合においても、レーザーリペアでショート状態を解消でき、かつ、ドレイン電圧を駆動トランジスタ121に印加することができ、輝点や滅点の発生を抑制することができる。

【0085】

このように、第3実施形態の仕組みでは、コンタクトマージンを増加しコンタクト不良による滅点を防止できるし、ソースシールド電源ショートをレーザーリペアすることで輝点を防止できる。その結果、点欠陥（滅点や輝点）を削減し、高歩留まりを実現できる。

【0086】

ここで、第1例では電源共通接続線121DD_2の引回しが容易でないし、第3例では電源共通接続線121DD_2が長くなる。一方、第2例では組合せ対象の画素回路Pの対向する駆動トランジスタ121のドレインの間に電源共通接続線121DD_2が配線されているので、事実上、ドレイン同士を直接に、直線かつ最短距離で接続できる。

【0087】

また、第1例や第3例では、駆動トランジスタ121のソースから引出される保持容量120用の第3配線層L3と電源供給線105DSLとの間に電源共通接続線121DD_2を配線せざるを得ない。よって、ソースシールド電源ショートのレーザーリペア時に、この電源共通接続線121DD_2が障害となるので、電源共通接続線121DD_2を切断することがないように注意を要する。これに対して、第2例では、電源共通接続線121DD_2は、駆動トランジスタ121のソースから引出される保持容量120用の第3配線層L3と電源供給線105DSLとの間に配線する必要はなく、電源供給線105DSLから離れた画素回路P内の所定位置に配線できる。よって、ソースシールド電源ショートのレーザーリペア時に電源共通接続線121DD_2が障害となることもない。

【0088】

つまり、ソースシールド電源ショートの対策の側面から第1例～第3例を比べた場合、電源共通接続線121DD_2の引回しや長さなどを考慮したときには、第1例よりもミラー配置態様の第2例や第3例の方が好ましく、さらに、ミラー配置の態様としては、第3例よりも第2例の方が好ましいことになる。なお、引出し配線121DLと電源供給線105

10

20

30

40

50

DSL のコンタクト不良対策の側面から第 1 例～第 3 例を比べた場合は、第 2 実施形態と同様に、2 画素の電源コンタクト部 DC の全てがミス発生範囲内に入ってしまうことがないようにすることがポイントになるので、電源コンタクト部 DC 間の距離が最長となる第 3 例が最適で、以下第 1 例、第 2 例の順となる。

【図面の簡単な説明】

【0089】

【図 1】図 1 は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】本実施形態の画素回路を示す図（1 画素分）である。

【図 2 A】本実施形態の画素回路を示す図（2 行 3 列分）である。

10

【図 3】画素回路と、本実施形態に対する比較例の 1 画素分のレイアウト例を示す図である。

【図 3 A】本実施形態に対する比較例の 2 行 4 列分のレイアウト例を示す図である。

【図 4】第 1 実施形態の 1 画素分のレイアウト例を示す図である。

【図 4 A】第 1 実施形態の 2 行 4 列分のレイアウト例を示す図である。

【図 5】第 2 実施形態（第 1 例）の 2 画素分のレイアウト例を示す図である。

【図 5 A】第 2 実施形態（第 1 例）の 2 行 4 列分のレイアウト例を示す図である。

【図 5 B】第 2 実施形態（第 2 例）の 2 画素分のレイアウト例を示す図である。

【図 5 C】第 2 実施形態（第 2 例）の 2 行 5 列分のレイアウト例を示す図である。

【図 5 D】第 2 実施形態（第 3 例）の 2 画素分のレイアウト例を示す図である。

20

【図 5 E】第 2 実施形態（第 3 例）の 2 行 5 列分のレイアウト例を示す図である。

【図 5 F】第 2 実施形態の付加的効果を説明する図である。

【図 6】第 3 実施形態（第 1 例）の 2 画素分のレイアウト例を示す図である。

【図 6 A】第 3 実施形態（第 1 例）の 2 行 4 列分のレイアウト例を示す図である。

【図 6 B】第 3 実施形態（第 2 例）の 2 画素分のレイアウト例を示す図である。

【図 6 C】第 3 実施形態（第 2 例）の 2 行 4 列分のレイアウト例を示す図である。

【図 6 D】第 3 実施形態（第 3 例）の 2 画素分のレイアウト例を示す図であり、

【図 6 E】第 3 実施形態（第 3 例）の 2 行 4 列分のレイアウト例を示す図である。

【図 6 F】第 3 実施形態のソースシールド電源ショート対策効果を説明する図である。

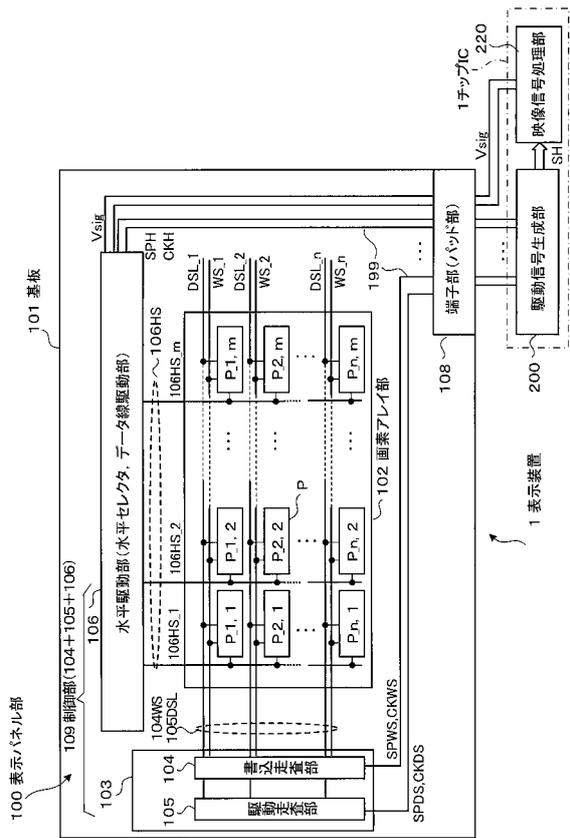
30

【符号の説明】

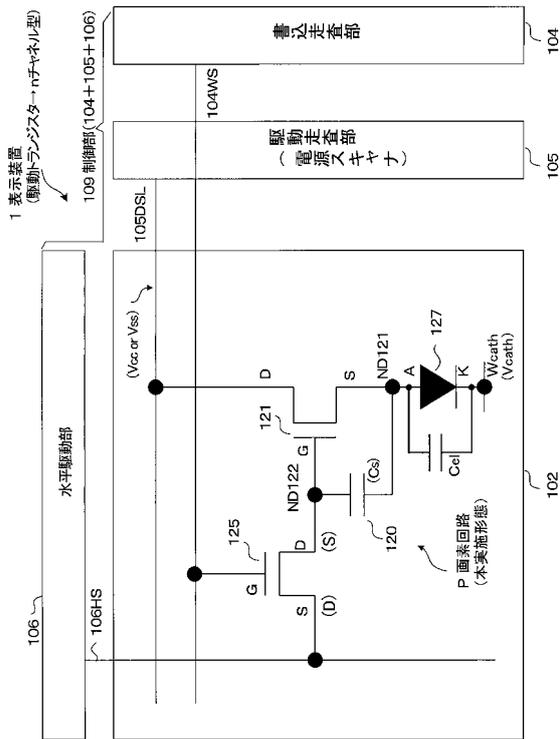
【0090】

1 ... 表示装置、1 0 0 ... 表示パネル部、1 0 1 ... 基板、1 0 2 ... 画素アレイ部、1 0 3 ... 垂直駆動部、1 0 4 ... 書込走査部、1 0 4 WS ... 書込走査線、1 0 5 ... 駆動走査部、1 0 5 DSL ... 電源供給線、1 0 6 ... 水平駆動部、1 0 6 HSH S ... 映像信号線、1 0 8 ... 端子部、1 0 9 ... 制御部、1 2 0 ... 保持容量、1 2 1 ... 駆動トランジスタ、1 2 1 DL ... 引出し配線、1 2 1 DD ... 電源共通接続線、1 2 1 SS ... ソースシールド、1 2 5 ... サンプリングトランジスタ、1 2 5 GL ... 引出し配線、1 2 7 ... 有機 EL 素子、2 0 0 ... 駆動信号生成部、2 2 0 ... 映像信号処理部、P ... 画素回路

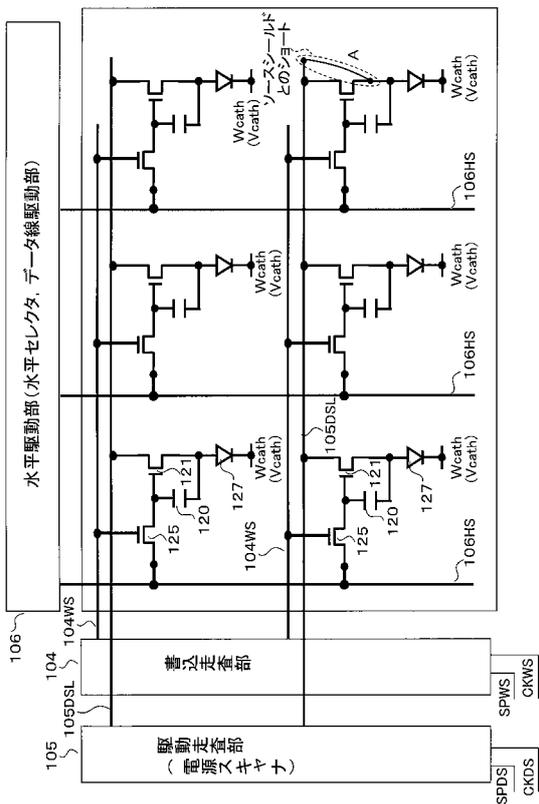
【図1】



【図2】

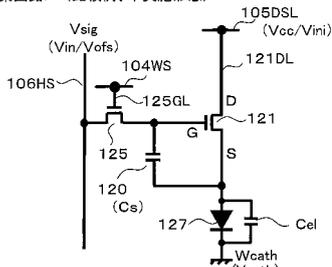


【図2A】

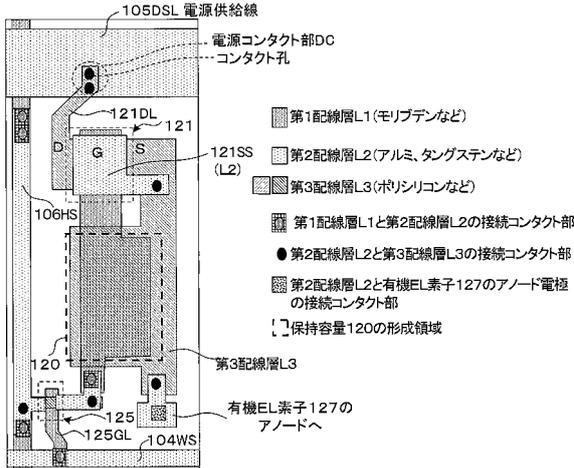


【図3】

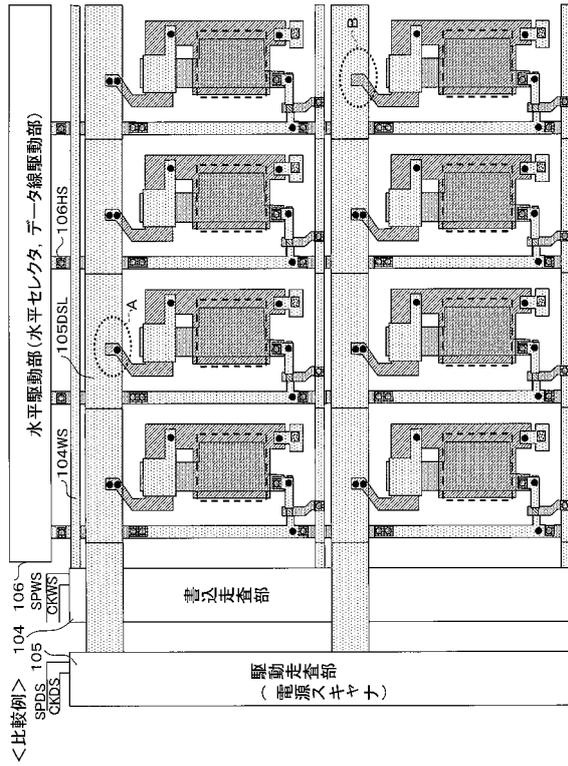
(1) 画素回路P (比較例、本実施形態)



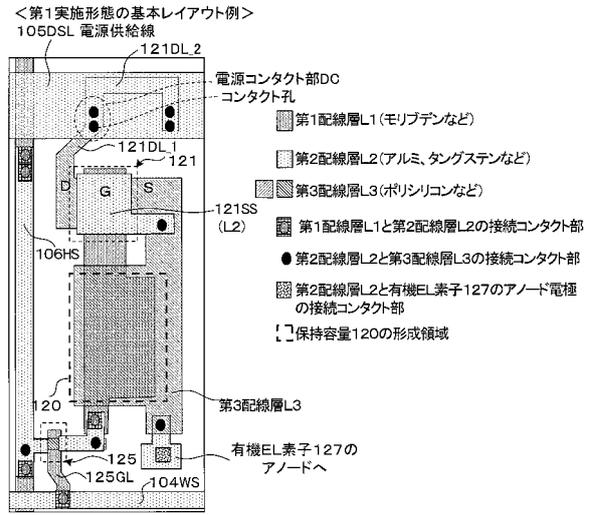
(2) 比較例のレイアウト



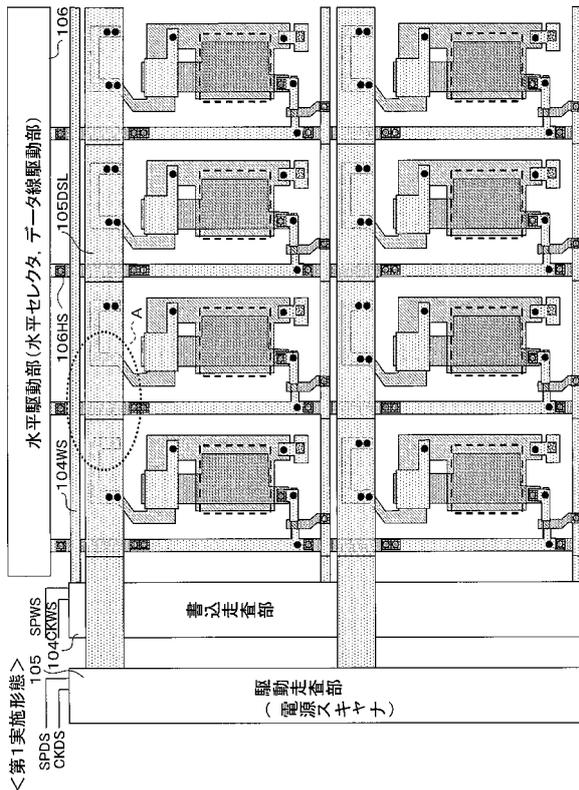
【図3A】



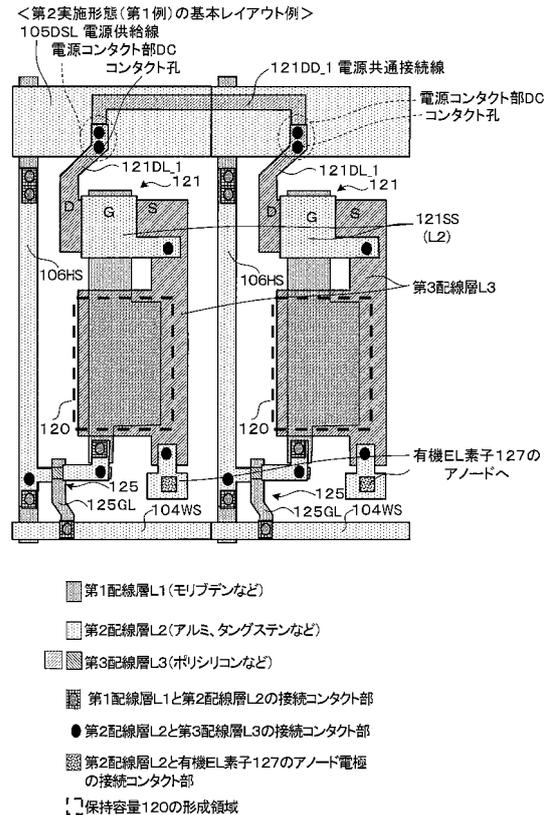
【図4】



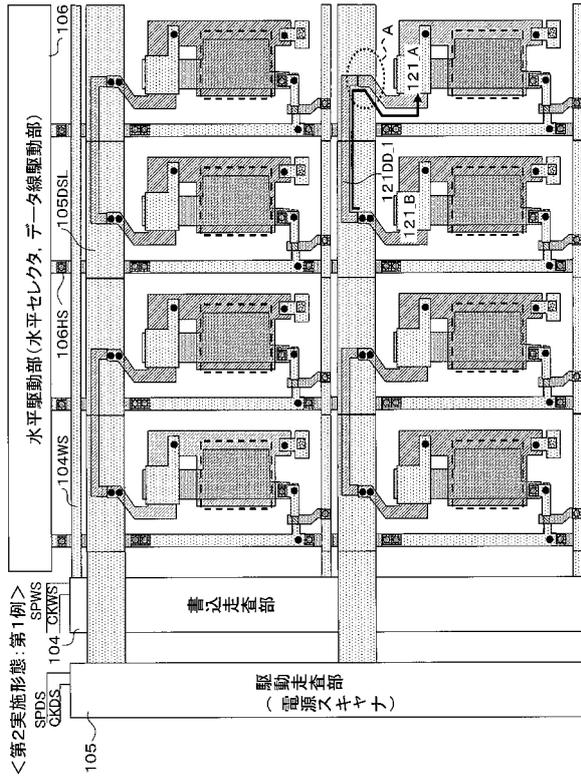
【図4A】



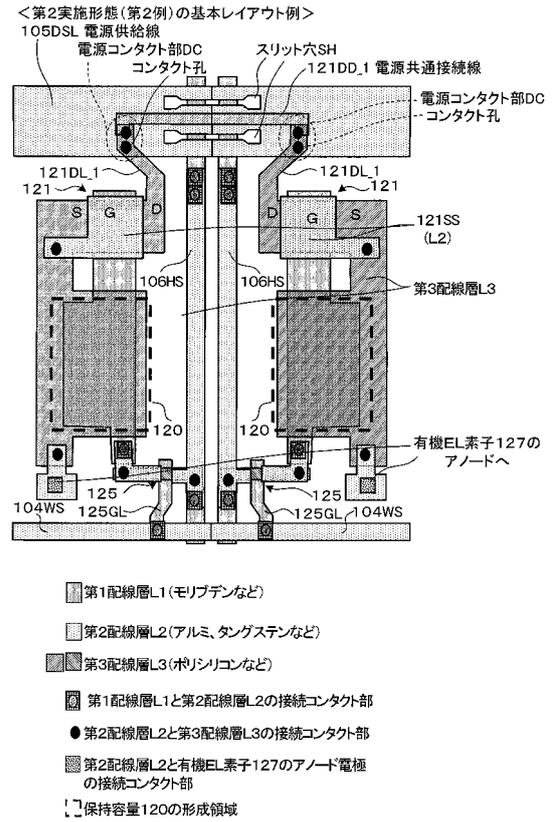
【図5】



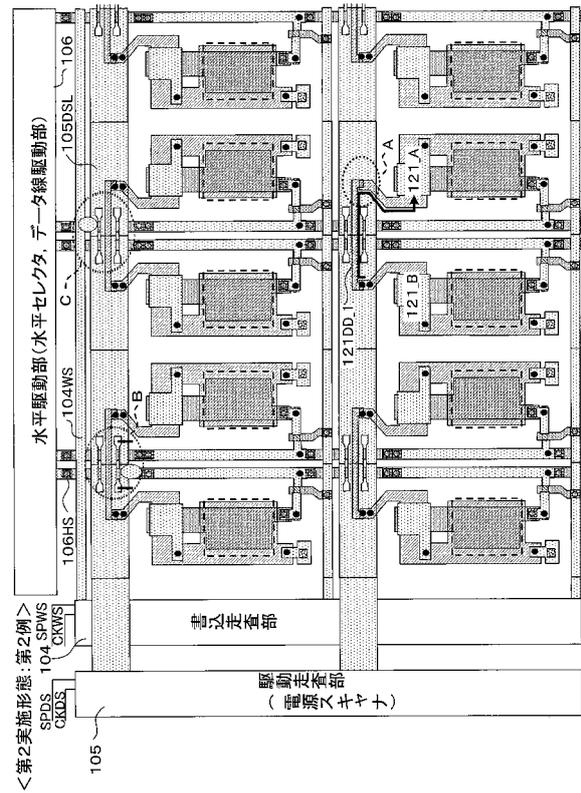
【図5A】



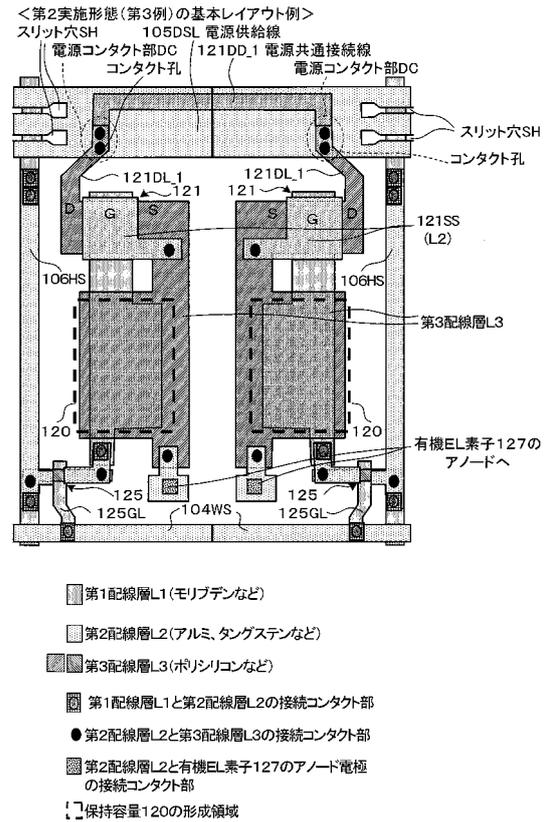
【図5B】



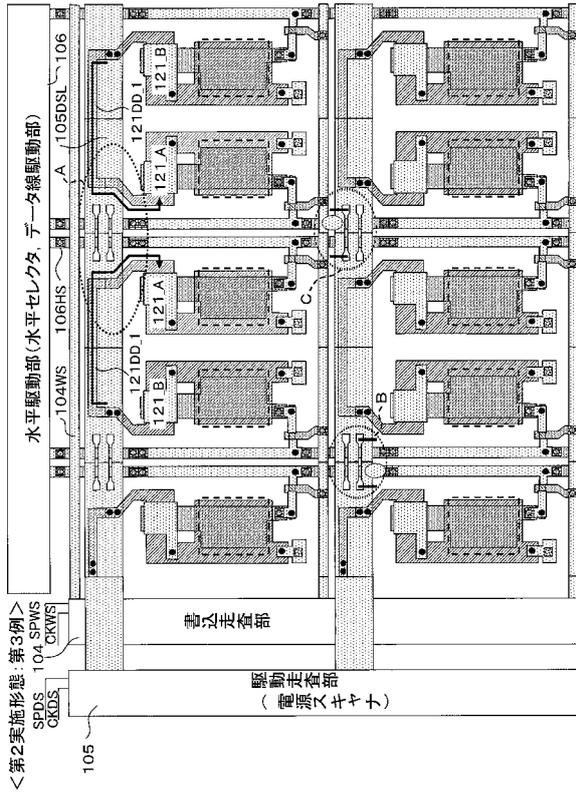
【図5C】



【図5D】



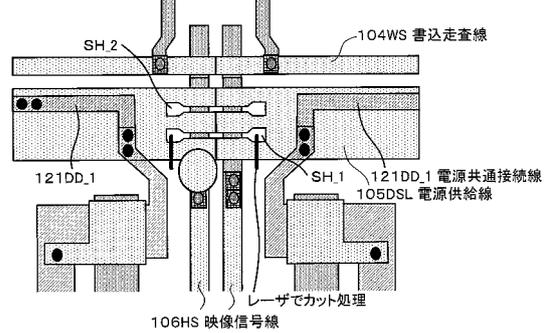
【図5E】



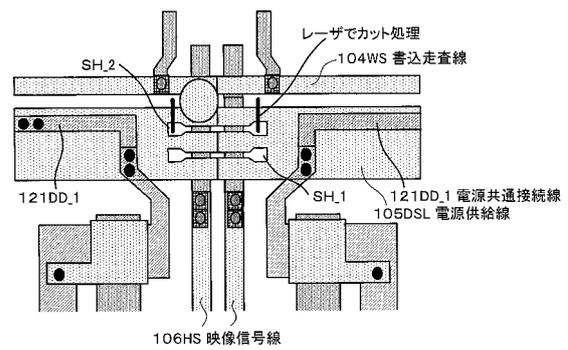
【図5F】

＜走査線間ショート対策＞

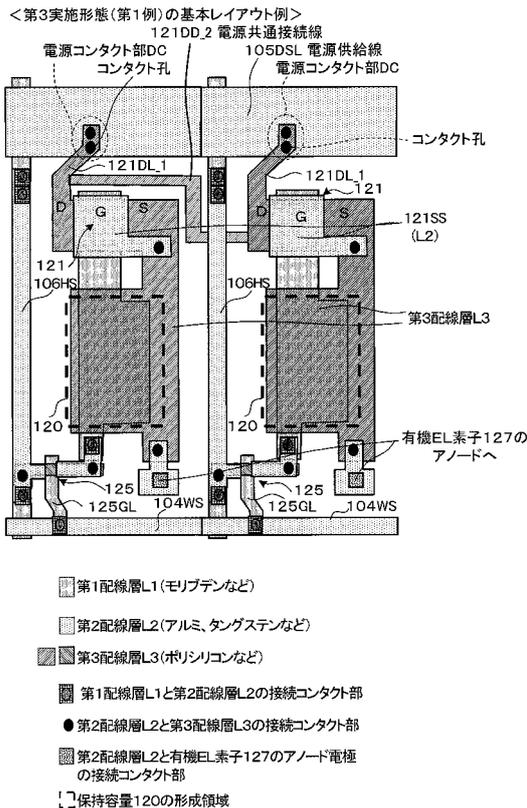
(1) B部の走査線間ショートに対するレーザーリペア



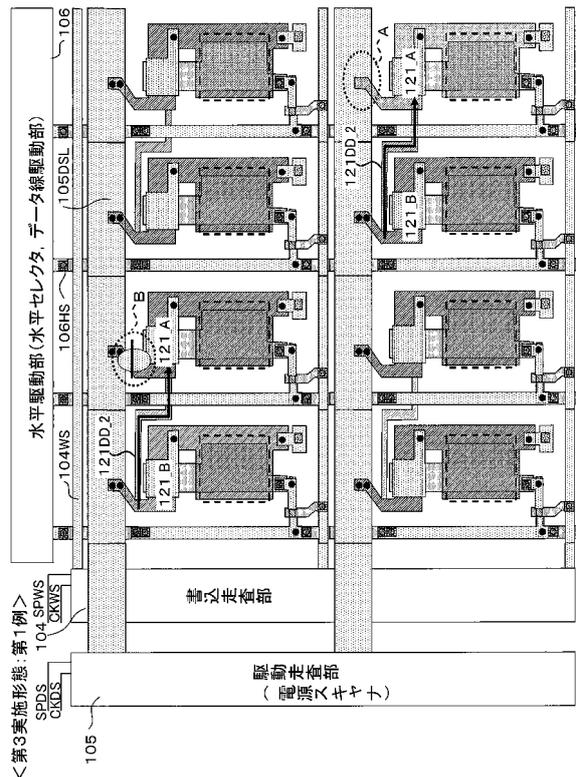
(2) C部の走査線間ショートに対するレーザーリペア



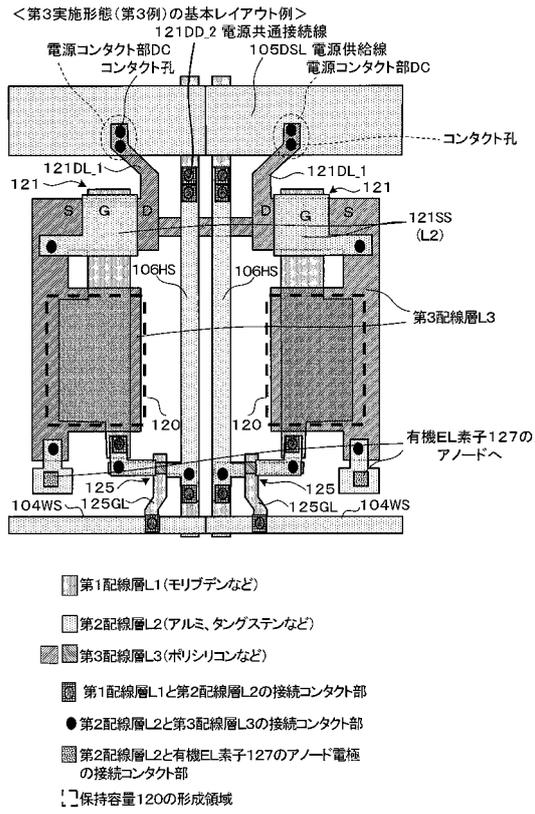
【図6】



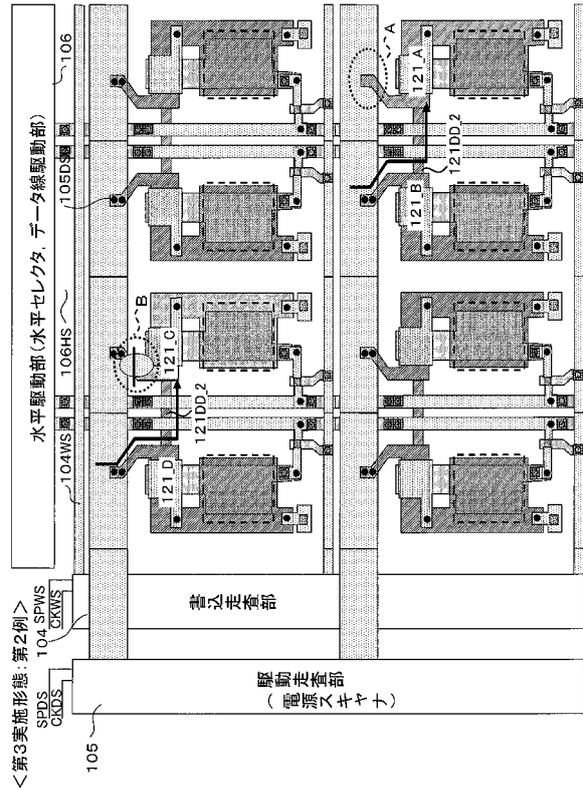
【図6A】



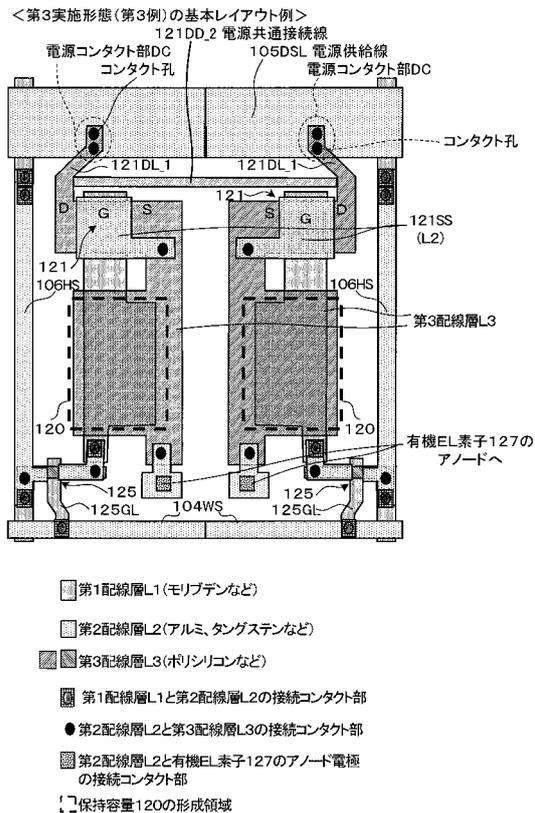
【図6B】



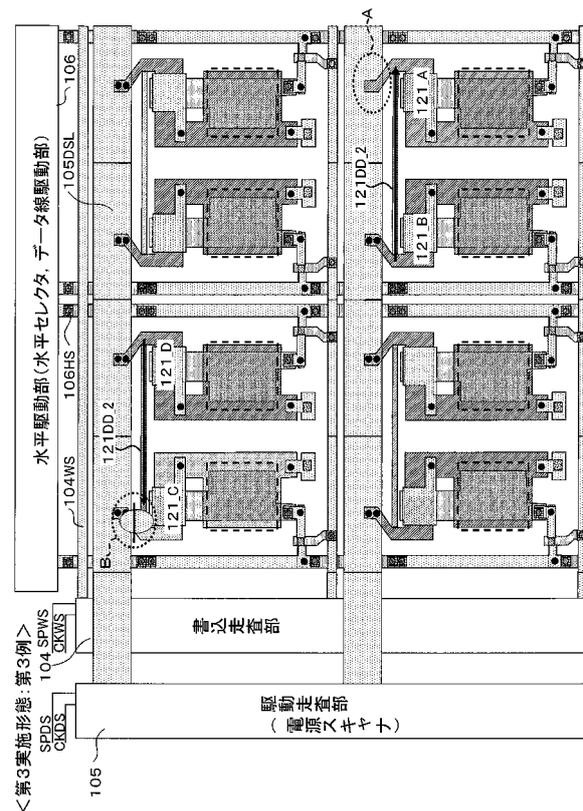
【図6C】



【図6D】



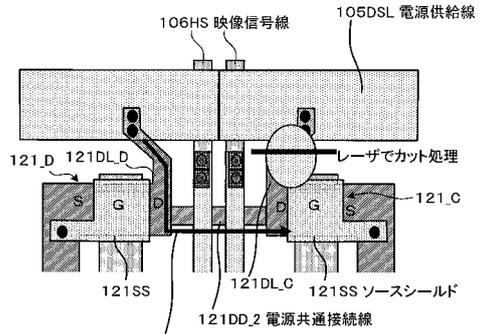
【図6E】



【図 6 F】

<第3実施形態>

* ソースシールド電源ショート対策



ソースシールド電源ショートをレーザーリペアしても、
電源共通接続線121DD_2の存在により電源供給が可能

フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B 33/08	(2006.01)	G 0 9 G	3/20	6 2 4 B
		G 0 9 F	9/30	3 6 5 Z
		H 0 5 B	33/14	A
		H 0 5 B	33/08	

(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 飯田 幸人
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 佐藤 久則

(56)参考文献 特開2007-148215(JP,A)
特開2002-032037(JP,A)
特開2001-109405(JP,A)
特開昭63-221325(JP,A)
特開2008-010815(JP,A)
特開2005-338592(JP,A)
特開2007-148219(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5、1 / 1 3 5 - 1 / 1 3 6 8、
G 0 9 F 9 / 0 0 - 9 / 3 0、9 / 3 0 7 - 9 / 4 6、
G 0 9 G 3 / 0 0 - 3 / 0 8、3 / 1 2 - 3 / 1 6、3 / 1 9 - 3 / 2 6、
3 / 3 0 - 3 / 3 4、3 / 3 8、
H 0 1 L 2 7 / 3 2、5 1 / 5 0、
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8