

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-26347

(P2013-26347A)

(43) 公開日 平成25年2月4日(2013.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 N	5 F 0 3 3
HO 1 L 23/532 (2006.01)	HO 1 L 21/316 M	5 F 0 5 8
HO 1 L 21/316 (2006.01)	HO 1 L 21/318 B	
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 M	
HO 1 L 21/312 (2006.01)	HO 1 L 21/316 X	

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2011-158282 (P2011-158282)
 (22) 出願日 平成23年7月19日 (2011.7.19)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明
 (74) 代理人 100108785
 弁理士 箱崎 幸雄

最終頁に続く

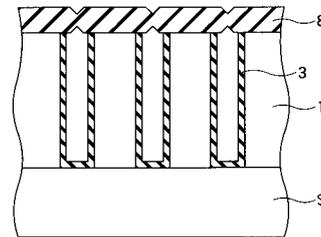
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 良好なエアギャップを有する半導体装置およびその製造方法を提供する。

【解決手段】 実施形態の半導体装置の製造方法は、基体上にライン・アンド・スペース構造を形成する工程と、前記ライン・アンド・スペース構造のラインの側壁および上面に絶縁膜材料で第1の膜を成膜する工程と、前記第1の膜を選択的に除去して前記ライン構造の頂面を露出させる工程と、前記ライン・アンド・スペース構造を跨ぐ第2の膜を塗布成膜法により成膜する工程と、前記第2の膜を熱処理により硬化させる工程と、を持つ。前記第1の膜の厚さは前記スペースの幅の1/2未満であり、前記第2の膜は、前記第1の膜に対する濡れ性が悪い材料で前記ライン・アンド・スペース構造を覆うことにより成膜される。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

基体上にライン・アンド・スペース構造を形成する工程と、
前記ライン・アンド・スペース構造のラインの側壁および上面に絶縁膜材料で第 1 の膜をスペースの幅の 1 / 2 未満の厚さで成膜する工程と、
前記第 1 の膜を選択的に除去してラインの頂面を露出させる工程と、
前記第 1 の膜に対して濡れ性の悪い材料で前記ライン・アンド・スペース構造を覆い、
前記ライン・アンド・スペース構造を跨ぐ第 2 の膜を塗布成膜法により成膜する工程と、
前記第 2 の膜を熱処理により硬化させる工程と、
を備える、
半導体装置の製造方法。

10

【請求項 2】

前記第 1 の膜を選択的に除去する工程に先立って、前記第 1 の膜に対して濡れ性の良好な材料をスペース内に埋め込んで第 3 の膜を成膜する工程と、
前記第 2 の膜の成膜前に前記第 3 の膜を除去する工程と、
をさらに備え
前記ライン・アンド・スペース構造の頂面は、前記第 3 の膜に引き続いて前記第 1 の膜を選択的に除去することにより露出する、
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 3】

基体と、
前記基体上に所定間隔で互いに平行に配置されたラインパターンで構成されたライン・アンド・スペース構造と、
前記ラインパターンの側面に絶縁膜材料で形成された第 1 の膜と、
前記ラインパターン間のスペースを跨ぐように前記ライン・アンド・スペース構造の上に前記第 1 の膜に対して濡れ性の悪い材料で形成された第 2 の膜と、
を備え、
前記スペース内には、少なくともその底面の全面が露出するエアギャップが形成された半導体装置。

30

【請求項 4】

前記第 2 の膜の底面は、前記金属配線の底面よりも上方に位置することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記ラインパターンは、金属配線と、前記金属配線上に形成された酸化膜との積層体であり、
前記第 1 の膜は、炭素を含有する酸化膜または低誘電率材料で形成される、
ことを特徴とする請求項 3 または 4 に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体装置およびその製造方法に関する。

40

【背景技術】**【0002】**

近年の半導体装置の微細化においては、高速化・低消費電力化に寄与するために抵抗および容量のより一層の低減が求められている。例えば、容量の低減に注目した場合、低誘電率の層間絶縁膜の開発は急務であり、低誘電率化の一つの方法として、例えば配線間のスペースにエアギャップを有する半導体装置が知られている。

【0003】

エアギャップを形成する技術の一つとして塗布成膜法カバレッジの悪い CVD 法を用いる方法が知られているが、段差被覆性が悪い条件を用いたとしても、配線間の全部または

50

一部が覆われてしまう。

【0004】

このように、従来から、配線間にほとんど絶縁膜が埋め込まれない、すなわち空隙率の大きいエアギャップを形成することは容易でなかった。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-295935号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

本発明が解決しようとする課題は、空隙率の大きいエアギャップを有する半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

実施形態の半導体装置の製造方法は、基体上にライン・アンド・スペース構造を形成する工程と、前記ライン・アンド・スペース構造のラインの側壁および上面に絶縁膜材料で第1の膜を成膜する工程と、前記第1の膜を選択的に除去して前記ライン領域の頂面を露出させる工程と、前記ライン・アンド・スペース領域を跨ぐ第2の膜を塗布成膜法により成膜する工程と、前記第2の膜を熱処理により硬化させる工程と、を持つ。前記第1の膜の厚さは前記スペースの幅の1/2未満であり、前記第2の膜は、前記第1の膜に対して濡れ性の悪い材料で前記ライン・アンド・スペース構造を覆うように成膜される。

20

【図面の簡単な説明】

【0008】

【図1A】実施形態1による半導体装置の主要部を示す略示断面図。

【図1B】図1Aに示す半導体装置の変形例の一つを示す略示断面図。

【図2A】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図2B】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図2C】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図2D】実施形態1による半導体装置の製造方法を説明する略示断面図。

30

【図3】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図4】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図5】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図6】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図7】実施形態1による半導体装置の製造方法を説明する略示断面図。

【図8】実施形態2による半導体装置の製造方法を説明する略示断面図。

【図9】実施形態2による半導体装置の主要部を示す略示断面図。

【図10】図9示す半導体装置の変形例の一つを示す略示断面図。

【図11】実施形態3による半導体装置の製造方法を説明する略示断面図。

【図12】実施形態3による半導体装置の製造方法を説明する略示断面図。

40

【図13】実施形態3による半導体装置の製造方法を説明する略示断面図。

【発明を実施するための形態】

【0009】

以下、実施の形態のいくつかについて図面を参照しながら説明する。図面においては、同一の部分には同一の参照番号を付し、その重複説明を適宜省略する。

【0010】

(1) 実施形態1による半導体装置

図1Aは、実施形態1による半導体装置の主要部を示す略示断面図である。図1Aに示す半導体装置は、基板5と、ライン・アンド・スペース構造体1と、第1絶縁膜3と、第2絶縁膜7とを備える。

50

基板 S は、シリコン基板であり、本実施形態において例えば基体に対応する。基板 S は、シリコン基板に限ることは勿論なく、例えばガラス基板でもセラミック基板でもよい。

【0011】

ライン・アンド・スペース構造体 1 は、シリコン基板上に所定の間隔でラインパターンとスペースパターンとが交互に繰り返し配置されたものである。ラインパターンは金属で形成され、本実施形態において金属配線をなす。

第 1 絶縁膜 3 は、ライン・アンド・スペース構造体 1 の金属配線の側面および底面に、例えばシリコン窒化膜で成膜される。第 1 絶縁膜 3 の厚さは、スペースの幅を W_1 とすると、 $(1/2) \times W_1$ 未満である。本実施形態において、第 1 絶縁膜 3 は例えば第 1 の膜に対応する。

【0012】

第 2 絶縁膜 7 は、絶縁膜 3 に対して濡れ性の悪い材料、例えば MSQ (Methyl Silsesquioxane) などの炭素を含有したシリコン酸化膜で、ライン・アンド・スペース構造体 1 のスペースを跨ぐようにライン・アンド・スペース構造体 1 の上に形成される。本実施形態において、第 2 絶縁膜 7 は例えば第 2 の膜に対応する。このような構造により、図 1 A の半導体装置において、ライン・アンド・スペース構造体 1 の各金属配線間には、第 1 絶縁膜 3 および第 2 絶縁膜 7 で囲まれたエアギャップが形成される。後に製造方法の実施の形態として説明するように、実際の製造工程においては第 2 絶縁膜 7 の材料である MSQ が若干量だけスペース内に流れ込む場合があるために、第 2 絶縁膜 7 のスペース内の底面が図 1 の点線に示す形状になることがあり、さらに、図 1 B の変形例の一点鎖線に示すような形状になることもあるが、図 1 B の一点鎖線を越えて流れ込むことは無く、少なくとも第 1 絶縁膜 3 の底面は全て露出している。この結果、本実施形態の半導体装置は、良好なエアギャップ構造を備える。これにより、配線抵抗および容量のいずれにおいても低減された半導体装置が提供される。

【0013】

なお、上述の説明では第 2 絶縁膜 7 として濡れ性の悪い材料である MSQ を一例として示したが、ここでいう「濡れ性」は、下地材料上に第 2 絶縁膜 7 を、液体状の原材料薬液を用いて塗布成膜法により形成する場合において、仮に薬液が孤立した状態を保てるような微量だけを滴下した場合に、その薬液の表面張力や下地材料と薬液との界面張力によって決まる、接触角を用いて定量的に定義することができる。一般に、「濡れ性」は固体上に液体をおいたときの広がり方で表すことができ、固体と液体とがある角度で接触しているとき、上記角度を接触角といい、接触角が小さいほど濡れ性がよく、接触角が大きいほど濡れ性が悪い、といわれる。本件明細書における「濡れ性」とは、下地材料の上に絶縁膜を形成する際に、該絶縁膜を形成するための材料を含有する薬液を下地材料に滴下したときの接触角から定量化することができる。本実施形態においては、第 2 絶縁膜 7 を形成するための、第 2 絶縁膜 7 の材料を含有する薬液を、下地材料に滴下したときの接触角から定量化できる。接触角の実際の測定においては薬液は固化しており、固体（下地絶縁膜 3）上に固体（第 2 の絶縁膜 7）が形成された構造となるが、薬液を用いた塗布成膜法による MSQ 等の形成においては、その固化時においても形状が大きく変わることはないため、濡れ性の評価が可能になる。

【0014】

図 1 A に示す半導体装置の製造方法を、実施形態 1 および 2 による半導体装置の製造方法として図 1 A 乃至図 8 を参照しながら説明する。

【0015】

(2) 実施形態 1 による半導体装置の製造方法

図 2 A 乃至図 7 は、実施形態 1 による半導体装置の製造方法を説明する略示断面図である。

まず、図 2 A に示すように、基板 S 上に、金属の積層膜 2 を形成し、次に、図 2 B に示すように、フォトレジスト R を形成する。次に、ドライエッチングにより図 2 C に示すように積層膜 2 を選択的に除去し、最後にフォトレジスト R を除去することにより、図 2 D

10

20

30

40

50

に示すようにライン・アンド・スペース構造体 1 を形成する。

【0016】

次に、図 3 に示すように、例えば CVD (Chemical Vapor Deposition) 法を用いてライン・アンド・スペース構造体 1 の表面、および基板 S で表面が露出した領域上にのみ絶縁膜材料、例えばシリコン窒化膜で第 1 絶縁膜 4 を成膜する。このとき、第 1 の絶縁膜 4 の厚さは、ライン・アンド・スペース構造体 1 のスペースの幅を W_1 とすると、 $(1/2) \times W_1$ 未満とする。

続いて、図 4 に示すように、スペース内部への埋め込みが可能な、第 1 絶縁膜 4 に対して良好な濡れ性を有する材料、例えばアモルファスシリコン膜、あるいはシリコン酸化膜を、第 3 の膜 6 として、ライン・アンド・スペース構造体 1 を覆うように成膜する。これにより、第 3 の膜 6 は各スペース内部を充填する。

10

【0017】

次に、CMP (Chemical Mechanical Polishing) により第 3 の膜 6、および第 1 の絶縁膜 4 のうちラインの上部に成膜された部分を除去し、図 5 に示すように、ライン・アンド・スペース構造体 1 の頂面を露出させる。これにより、第 1 絶縁膜 4 および第 3 絶縁膜 6 は、それぞれ第 1 絶縁膜 3 および第 3 の膜 5 となる。

【0018】

その後、図 6 に示すように、スペース内部に埋め込まれた第 3 の膜 5 をウェットエッチングにより除去する。

【0019】

続いて、絶縁膜 3 に対して濡れ性の悪い材料、例えば MSQ などの炭素を含有したシリコン酸化膜で第 2 絶縁膜 8 をライン・アンド・スペース構造体 1 へ塗布成膜法により成膜する。このとき第 2 絶縁膜 8 は、絶縁膜 3 に対する濡れ性の悪さのため、スペース領域の第 1 絶縁膜 3 上には成膜されない。これにより、図 7 に示すように、スペース領域に第 2 絶縁膜 8 が流れ込まれずに第 1 絶縁膜 3 が存在しないライン上部に成膜される。これにより、各スペース領域を跨いでライン・アンド・スペース構造体 1 の頂面を繋ぐように第 2 絶縁膜 8 が成膜される。絶縁膜 3 に対する第 2 絶縁膜 8 の濡れ性の評価のため、第 2 絶縁膜 8 の材料を含有する薬液を下地の絶縁膜 3 に滴下したときの接触角を測定したところ、約 90 度であった。

20

【0020】

その後は、高温での熱処理を行うことで第 2 絶縁膜 8 を硬化させて第 2 絶縁膜 7 とする。これにより、スペース内、即ち、金属配線間にエアギャップが良好に形成されて図 1 に示す半導体装置が提供される。

30

【0021】

本実施形態によれば、ライン・アンド・スペース構造体 1 を覆うように第 1 絶縁膜 4 に対して良好な濡れ性を有する材料で第 3 の絶縁膜 6 を成膜することにより各スペース領域を第 3 の絶縁膜 6 で一旦充填するので、その後の CMP 工程において、パターン倒れの懸念が解消される。これにより、エアギャップ構造を安定的に形成することができる。第 1 絶縁膜 4 に対する第 3 の絶縁膜 6 の濡れ性の評価のため、第 3 の絶縁膜 6 の材料を含有する薬液を下地の絶縁膜 4 に滴下したときの接触角を測定したところ、約 40 度であった。

40

【0022】

(3) 実施形態 2 による半導体装置の製造方法

図 8 は、実施形態 2 による半導体装置の製造方法を説明する略示断面図である。

まず、前述した実施形態 1 による半導体装置の製造方法と同様にして基板 S 上にライン・アンド・スペース構造体 1 を形成し (図 2 参照)、例えば CVD 法を用いてライン・アンド・スペース構造体 1 の表面に絶縁膜材料、例えばシリコン窒化膜で第 1 絶縁膜 4 を成膜する (図 3 参照)。このとき、第 1 絶縁膜 4 の厚さは、ライン・アンド・スペース構造体 1 のスペースの幅を W_1 とすると、 $(1/2) \times W_1$ 未満とする。

【0023】

次いで、スペース領域を除いて、ライン・アンド・スペース構造体 1 の頂面に形成され

50

ている第1絶縁膜4をCMPによって除去することにより、図8に示すように、第1絶縁膜3とする。

【0024】

続いて、前述した実施形態1と同様に、第1絶縁膜3に対して濡れ性の悪い絶縁膜材料、例えばMSQなどの炭素を含有したシリコン酸化膜をライン・アンド・スペース構造体1上へ塗布成膜法により成膜し、スペース領域を跨いでライン・アンド・スペース構造体1の頂面を繋ぐ第2絶縁膜8を成膜し(図7参照)、その後は、高温の熱処理で第2絶縁膜8を硬化させて第2絶縁膜7とすることにより、スペース領域、即ち、金属配線間にエアギャップが形成されて図1に示す半導体装置が提供される。なお、第2絶縁膜8の材料を含有する薬液を下地の第1絶縁膜3に滴下した際の接触角は約80度であった。

10

【0025】

本実施形態によれば、上述した実施形態1による製造方法のように、第1絶縁膜4に対して良好な濡れ性を有する第3の絶縁膜6で各スペース領域を一旦充填することなく、第2絶縁膜8を直接ライン・アンド・スペース構造体1上に成膜するので、実施形態1と比較してより少ない工程数で良好なエアギャップを金属配線間に形成することができる。

【0026】

また、上述した実施形態1および2の半導体装置の製造方法によれば、塗布材料であるMSQなどの炭素を含有したシリコン酸化膜について、本来持ち得る絶縁膜としての特性を劣化させることなく、エアギャップを良好に形成させることが可能となる。これにより、低誘電率化が実現されるとともに、機械強度や耐熱性に優れた層間絶縁膜を備える半導体装置が提供される。

20

【0027】

(4) 実施形態2による半導体装置

図9は、本実施形態による半導体装置の主要部を示す略示断面図である。図9に示す半導体装置は、基板Sと、シリコン酸化膜22と、ライン・アンド・スペース構造体と、側壁膜25と、エアギャップ形成用絶縁膜30と、を備える。

基板Sは、シリコン基板であり、本実施形態において例えば基体に対応する。基板Sは、シリコン基板に限ることはなく、例えばガラス基板でもセラミック基板でもよい。

【0028】

シリコン酸化膜22は、基板S上に形成される。シリコン酸化膜22上には、間隔W2で互いに平行に配置されたラインパターンで構成されるライン・アンド・スペース構造体が形成される。各ラインパターンは、金属配線層23とプラズマシリコン窒化膜24が順次に形成された積層体で構成される。ラインパターンの側壁には、例えばシリコン酸化膜で側壁膜25が成膜される。そして、ライン・アンド・スペース構造体の上には、スペース領域を跨いでプラズマシリコン窒化膜24および側壁膜25の頂面を繋ぐように、側壁膜25に対して濡れ性の悪い材料、例えばMSQなどの炭素を含有したシリコン酸化膜でエアギャップ形成用絶縁膜30が成膜されている。スペース領域の底面(シリコン酸化膜22の上面)は少なくともその全面が露出しており、本実施形態において、エアギャップ形成用絶縁膜30のスペース領域における底面の高さは、金属配線層23の底面よりも高い。また、エアギャップ形成用絶縁膜30のスペース領域における底面の高さが金属配線層23の頂面よりも高いとさらに望ましい。配線間容量がさらに低減されるからである。このように、本実施形態では、配線間容量に寄与する、金属配線層23の側面にエアギャップ形成用絶縁膜30が形成されていないので、ラインパターン間でエアギャップが良好に形成されている。本実施形態において、側壁膜25は例えば第1の膜に対応し、エアギャップ形成用絶縁膜30は例えば第2の膜に対応する。

30

40

【0029】

図9に示す半導体装置について、ライン幅30nmおよびスペース幅30nmの場合で配線間容量を測定したところ、エアギャップを形成していない場合の構造の容量の約65%にまで容量が低減しており、また、その容量のばらつきは、平均値に対して1%がわずかに±5%であった。

50

【0030】

以上述べた実施形態1および2による半導体装置においては、ライン・アンド・スペース構造体のスペース内にエアギャップが良好に形成されているので、配線抵抗および容量のいずれもが低減されており、高速動作・低消費電力の双方が実現される。

【0031】

図9では、金属配線23の上にシリコン窒化膜24が形成され、これらの積層体の側壁にシリコン酸化膜で側壁膜25が形成された構造を示したが、これら材料の組み合わせに限られるものでは決していない。本実施形態のライン・アンド・スペース構造体で、その上面に塗布・形成される膜の材料とラインパターンの側面に形成される材料とが互いに異なっており、かつ、ラインパターンの側面に形成される材料に対して、上面に塗布・形成される膜の濡れ性が悪ければ、図9の構造と同様の効果を得ることができる。例えば、側壁膜として有機系の膜でもよいし、他の低誘電率絶縁膜材料でもよい。その場合は、金属配線23の上でエアギャップ形成用絶縁膜30と接する膜は、図9のシリコン窒化膜24でなく、他の材料、例えばシリコン酸化膜でもよい。

10

【0032】

このような構造の一例を本実施形態の変形例として図10に示す。図10に示す半導体装置の側壁膜28においては、シリコン酸化膜中に炭素(C)が5%以上の濃度で含まれている。また、金属配線23の上にはシリコン酸化膜29が成膜されてその頂面でエアギャップ形成用絶縁膜30と接している。

20

【0033】

側壁膜として炭素(C)を含む材料、または低誘電率材料を用いることにより、これらの材料の濡れ性が悪いために良好なエアギャップが形成されることに加え、これらの材料の比誘電率が、概略2.5~3.5であり、シリコン酸化膜の4.2、またはシリコン窒化膜の7.5よりも小さいので、配線間容量をさらに低減することができる。

【0034】

(5) 実施形態3による半導体装置の製造方法

図9に示す半導体装置の製造方法を、実施形態3による半導体装置の製造方法として以下に説明する。図11乃至図13は、本実施形態による半導体装置の製造方法を説明する略示断面図である。

30

【0035】

まず、基板S上にシリコン酸化膜22を成膜し、次いで、金属、プラズマシリコン窒化膜23をシリコン酸化膜22上に積層した後、図示しないフォトリソを形成して既知のドライエッチングを行って該積層体を選択的に除去し、最後にフォトリソを除去して図11に示すように、金属配線23およびプラズマシリコン窒化膜24でなるラインパターンが所定間隔W2で互いに平行に配置されたライン・アンド・スペース構造体を形成する。

【0036】

このとき、シリコン窒化膜24の肩部は、シリコン窒化膜24と金属配線23の加工のためのエッチングの際に、レジスト自体がエッチングされることにより、なだらかな傾きを持つ形状となる。また、本実施形態において、金属配線23の幅、およびその間隔の幅W2は、例えばいずれも25nmとなっており、金属配線23の材料は、例えばタンゲステン(W)であり、その厚さは100nm、その上層のシリコン窒化膜は75nmとなっている。

40

【0037】

次いで、ALD(Atomic Layer Deposition)-CVD法により、図12に示すようにシリコン酸化膜26を成膜し、金属配線23の側面をカバーする。本実施形態において、シリコン酸化膜26の厚さは例えば4nmである。この厚さは、後の工程で隙間をエアギャップとして残すため、スペース幅W2の1/2未満であることが望ましい。この一方、シリコン酸化膜26の厚さは、後工程による加工でシリコン酸化膜26自体が消滅しない程度、即ち概略2nm程度以上は必要である。

50

【0038】

続いて、シリコン酸化膜26のうち金属配線23の側面に形成されている部分を残すように、ドライエッチングを行い、図13に示すような側壁膜25を形成する。これは公知の異方性のあるドライエッチングにより形成することができる。図13の例においても、側壁膜25の厚さはスペース幅W2の1/2未満であることが望ましい。

【0039】

その後は、前述した実施形態1および2と同様にして、側壁膜25に対して濡れ性が悪い材料、例えばMSQなどの炭素を含有したシリコン酸化膜をライン・アンド・スペース構造体上に塗布して高温の熱処理で硬化させてエアギャップ形成用絶縁膜30とする。エアギャップ形成用絶縁膜30は、側壁膜25に対する濡れ性の悪さから、スペース領域に入らずに、プラズマシリコン窒化膜24の頂面および側壁膜25の上端部にのみ成膜する。これにより、図9に示す配線間エアギャップ構造が提供される。なお、エアギャップ形成用絶縁膜30の材料を含有する薬液を下地の側壁膜25に滴下した際の接触角は約65度であった。

10

【0040】

また、側壁膜25に代えて、側壁膜28としてCを5%以上の濃度で含むシリコン酸化膜を用いてもよく、この場合には配線間の容量をさらに下げることができる。

【0041】

このように、本実施形態によれば、特性ばらつきの少ないエアギャップ構造を安定的に形成することができる。

20

【0042】

なお、上述の実施形態では、ライン・アンド・スペース構造体にエアギャップ構造を形成する場合を取り挙げて説明したが、これに限ることなく、トレンチ構造にも適用でき、同様のエアギャップ構造を実現することができる。

【0043】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

30

【0044】

また、塗布成膜法により絶縁膜を形成した場合に、その濡れ性は下地材料、および塗布材料によって異なるが、濡れ性の悪さを特長として成膜する場合には概略60度以上の接触角があれば、また、濡れ性のよさを特長として成膜する場合には概略45度以下の接触角であれば、それぞれ本発明の趣旨を反映したエアギャップ構造の形成が可能である。

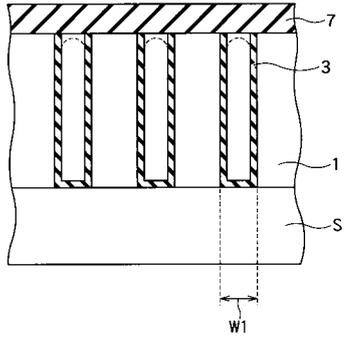
【符号の説明】

【0045】

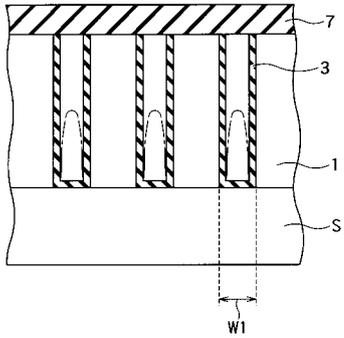
1...ライン・アンド・スペース構造体、2...金属の積層膜、3, 4...絶縁膜、5, 6...絶縁膜(下地に対する濡れ性が良好)、7, 8, 30...エアギャップ形成用絶縁膜(下地材料により濡れ性が異なる)、22, 25, 26, 29...シリコン酸化膜、23...金属配線層、24...プラズマシリコン窒化膜、28...炭素を含むシリコン酸化膜、R...フォトレジスト、S...基板、W1...スペース幅、W2...スペース幅

40

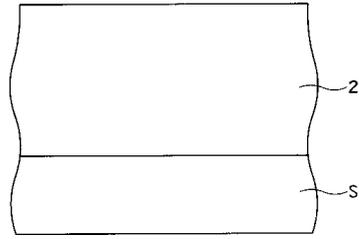
【 図 1 A 】



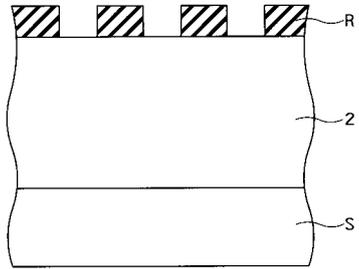
【 図 1 B 】



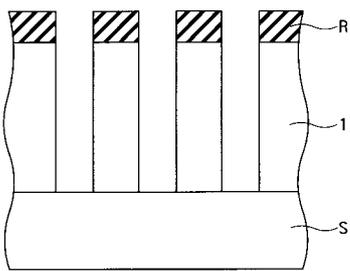
【 図 2 A 】



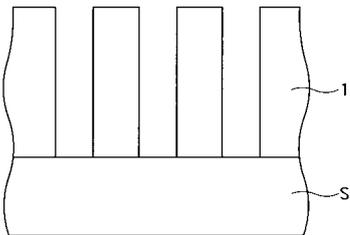
【 図 2 B 】



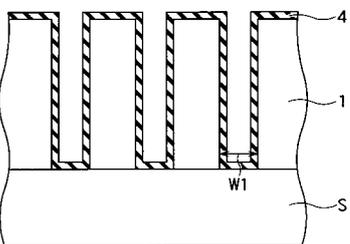
【 図 2 C 】



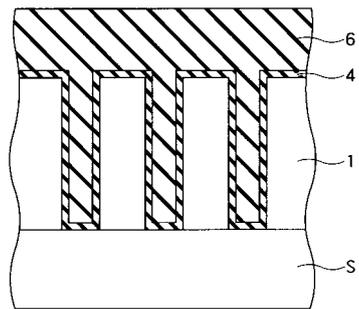
【 図 2 D 】



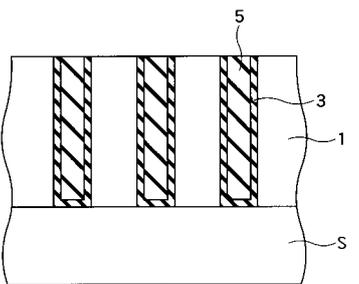
【 図 3 】



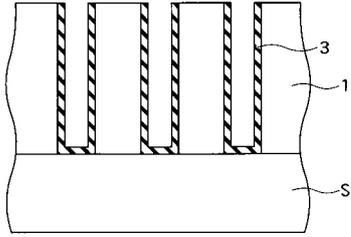
【 図 4 】



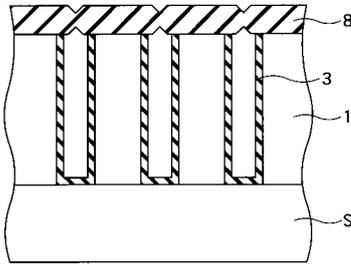
【 図 5 】



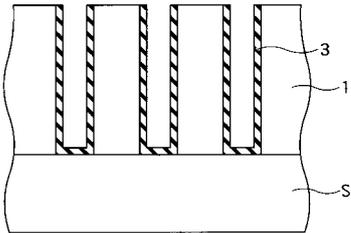
【 図 6 】



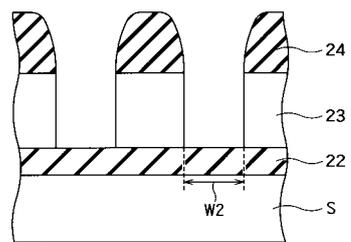
【 図 7 】



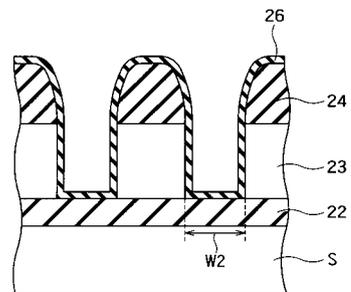
【 図 8 】



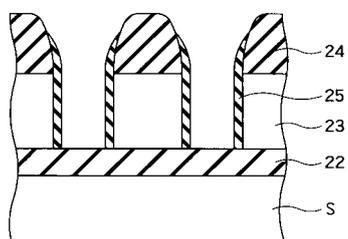
【 図 1 1 】



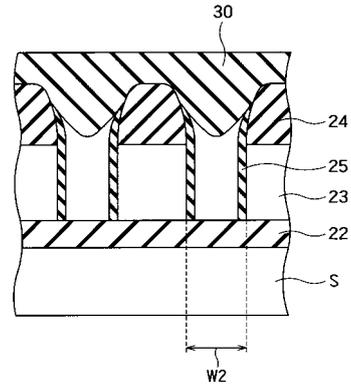
【 図 1 2 】



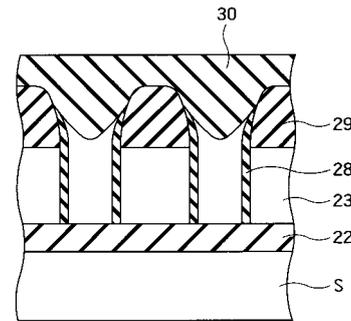
【 図 1 3 】



【 図 9 】



【 図 1 0 】



 フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/312 C

(72)発明者 古 橋 貢 至
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 島 田 美代子
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 水 島 一 郎
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 中 尾 慎 一
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F033 GG03 QQ08 QQ09 QQ11 QQ16 QQ19 QQ48 QQ74 RR04 RR06
RR21 RR30 SS11 SS22 TT01 TT08 WW01 XX25
5F058 AA10 AD05 AD10 AD11 AF04 AG01 AH02 BA20 BC02 BC08
BD04 BD10 BD19 BF02 BJ02