(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0066503
(43) 공개일자 2020년06월10일

(51) 국제특허분류(Int. Cl.)
*H01L 27/32* (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
*H01L 27/3272* (2013.01)
*H01L 27/3225* (2013.01)
(21) 출원번호 10-2018-0153025
(22) 출원일자 2018년11월30일
심사청구일자 없음

(71) 출원인
**삼성디스플레이 주식회사**
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
**엄누리**
경기도 용인시 기흥구 삼성로 1 (농서동)
**김재원**
경기도 용인시 기흥구 삼성로 1 (농서동)
*(뒷면에 계속)*
(74) 대리인
**리앤목특허법인**

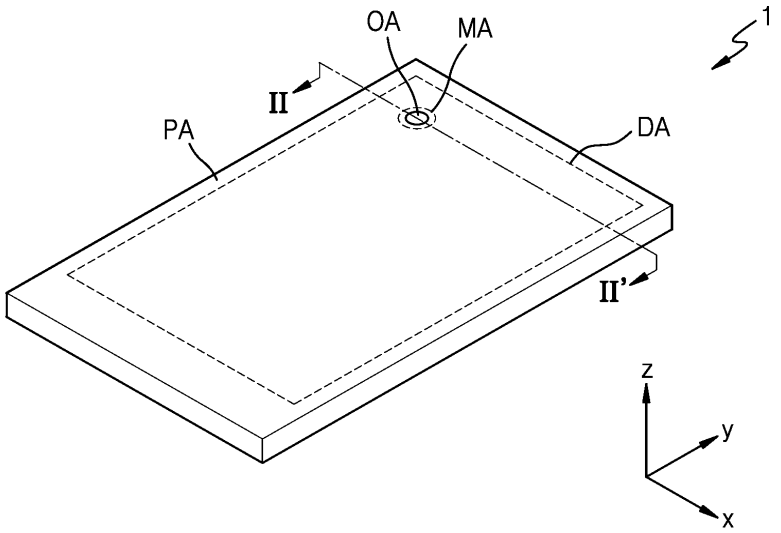
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **표시 패널**

## (57) 요 약

본 발명은, 제1영역, 상기 제1영역을 둘러싸는 제2영역과, 상기 제1영역 및 상기 제2영역 사이의 제3영역을 포함하는 기판, 상기 제2영역에 배치된 복수의 표시소자들, 상기 제3영역에서 상기 제1영역의 가장자리를 따라 우회하는 복수의 배선들, 상기 복수의 배선들 중 적어도 일부를 커버하는 제1전극층 및 상기 제1전극층 위에 위치하며, 상기 제1전극층의 적어도 일부와 접촉하는 제2전극층;을 구비하는, 표시 패널을 제공한다.

*대 표 도* - 도1



(52) CPC특허분류
*H01L 27/3258* (2013.01)
*H01L 27/3276* (2013.01)
*H01L 51/52* (2013.01)
(72) 발명자
**박현애**
경기도 용인시 기흥구 삼성로 1 (농서동)
**박형준**
경기도 용인시 기흥구 삼성로 1 (농서동)
**성승우**
경기도 용인시 기흥구 삼성로 1 (농서동)
**안준용**
경기도 용인시 기흥구 삼성로 1 (농서동)
**인윤경**
경기도 용인시 기흥구 삼성로 1 (농서동)
**장동현**
경기도 용인시 기흥구 삼성로 1 (농서동)
**조승한**
경기도 용인시 기흥구 삼성로 1 (농서동)
**조준영**
경기도 용인시 기흥구 삼성로 1 (농서동)

# 명 세 서

## 청구범위

### 청구항 1

제1영역, 상기 제1영역을 둘러싸는 제2영역과, 상기 제1영역 및 상기 제2영역 사이의 제3영역을 포함하는 기판;

상기 제2영역에 배치된 복수의 표시소자들;

상기 제3영역에서 상기 제1영역의 가장자리를 따라 우회하는 복수의 배선들;

상기 복수의 배선들 중 적어도 일부를 커버하는 제1전극층; 및

상기 제1전극층 위에 위치하며, 상기 제1전극층의 적어도 일부와 접촉하는 제2전극층;을 구비하는, 표시 패널.

### 청구항 2

제 1 항에 있어서,

상기 제1전극층과 상기 제2전극층 사이에 배치되며, 상기 제1전극층의 적어도 일부를 노출시키는 개구부를 갖는 제1절연층;을 더 구비하며,

상기 제2전극층은 상기 제1절연층의 상기 개구부를 통해 상기 제1전극층과 접촉하는, 표시 패널.

### 청구항 3

제 2 항에 있어서,

상기 제1전극층은 상호 이격된 복수의 홀들을 포함하는, 표시 패널.

### 청구항 4

제 3 항에 있어서,

상기 복수의 홀들을 각각 커버하며, 상호 이격된 복수의 돌기들을 더 포함하는, 표시 패널.

### 청구항 5

제 4 항에 있어서,

상기 돌기들은 상기 제1절연층과 동일한 물질을 포함하는, 표시 패널.

### 청구항 6

제 1 항에 있어서,

상기 제1전극층은 상기 제1영역과 대응하는 홀을 구비한, 표시 패널.

### 청구항 7

제 1 항에 있어서,

상기 제1전극층은 정전압을 갖는, 표시 패널.

### 청구항 8

제 1 항에 있어서,

상기 복수의 표시소자들은, 화소전극 및 대향전극과, 이들 사이에 배치된 발광층을 구비하는, 표시 패널.

### 청구항 9

제 8 항에 있어서,

상기 제1전극층은 상기 화소전극과 동일한 물질을 포함하는, 표시 패널.

**청구항 10**

제 8 항에 있어서,

상기 제1전극층은 상기 화소전극과 동일 층상에 배치된, 표시 패널.

**청구항 11**

제 10 항에 있어서,

상기 제1전극층 및 상기 화소전극 아래에 배치되며, 유기절연물을 포함하는 제2절연층을 더 포함하는, 표시 패널.

**청구항 12**

제 8 항에 있어서,

상기 제2전극층은 상기 대향전극과 동일한 물질을 포함하는, 표시 패널.

**청구항 13**

제 1 항에 있어서,

상기 복수의 배선들은,

제1방향으로 연장되어 상기 복수의 표시소자들에 데이터신호를 인가하는 복수의 데이터라인들;

상기 제1방향과 교차하는 제2방향으로 연장되어 상기 복수의 표시소자들에 스캔신호를 인가하는 복수의 스캔라인들;을 구비하는, 표시 패널.

**청구항 14**

제1영역, 상기 제1영역을 둘러싸는 제2영역과, 상기 제1영역 및 상기 제2영역 사이의 제3영역을 포함하는 기판;

상기 제2영역에 배치되며, 화소전극, 및 대향전극, 및 상기 화소전극 및 상기 대향전극 사이에 배치된 발광층을 각각 구비하는 복수의 표시소자들;

상기 제3영역에서 상기 제1영역의 가장자리를 따라 우회하는 복수의 배선들;

상기 제3영역에 위치하는 적어도 하나의 그루브;

상기 복수의 배선들 중 적어도 일부를 커버하는 제1전극층; 및

상기 제1전극층 위에 위치하며, 상기 제1전극층의 적어도 일부와 접촉하는 제2전극층;을 구비하는, 표시 패널.

**청구항 15**

제 14 항에 있어서,

상기 그루브는 상기 배선들보다 상기 제1영역에 더 인접한, 표시 패널.

**청구항 16**

제 14 항에 있어서,

상기 그루브는, 상기 제1영역 및 상기 제1전극층 중 상기 제1영역에 인접한 제1가장자리 사이에 위치하는, 표시 패널.

**청구항 17**

제 14 항에 있어서,

상기 제1전극층은 상기 대향전극과 동일한 전압 레벨을 갖는, 표시 패널.

**청구항 18**

제 14 항에 있어서,

상기 제1전극층은 상기 화소전극과 동일한 물질을 포함하고,

상기 제2전극층은 상기 대향전극과 동일한 물질을 포함하는, 표시 패널.

**청구항 19**

제 14 항에 있어서,

상기 제1전극층 아래에 배치된 유기 절연층을 더 포함하고,

상기 제1전극층은 복수의 홀들을 포함하는, 표시 패널.

**청구항 20**

제 19 항에 있어서,

상기 복수의 홀들을 각각 커버하는 복수의 돌기들을 더 포함하는, 표시 패널.

**청구항 21**

제 14 항에 있어서,

상기 복수의 표시소자들을 커버하며, 무기봉지층 및 유기봉지층을 포함하는 봉지층;을 더 구비하는, 표시 패널.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명의 실시예들은 표시영역 내측에 제1영역을 구비한 표시 패널 및 이를 포함하는 표시 장치에 관한 것이다.

### *배 경 기 술*

[0002] 근래에 표시 장치는 그 용도가 다양해지고 있다. 또한, 표시 장치의 두께가 얇아지고 무게가 가벼워 그 사용의 범위가 광범위해지고 있는 추세이다.

[0003] 표시 장치 중 표시영역이 차지하는 면적을 확대하면서, 표시 장치에 접목 또는 연계하는 다양한 기능들이 추가되고 있다. 면적을 확대하면서 다양한 기능을 추가하기 위한 방안으로서 표시영역에 다양한 구성요소를 배치할 수 있는 표시 장의 연구가 이루어지고 있다.

## *발명의 내용*

### *해결하려는 과제*

[0004] 본 발명의 표시영역 내에 다양한 종류의 컴포넌트들을 배치할 수 있는 제1영역을 갖는 표시 패널과 이를 포함하는 표시 장치를 제공할 수 있다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

### *과제의 해결 수단*

[0005] 본 발명의 일 측면에 따르면, 제1영역, 상기 제1영역을 둘러싸는 제2영역과, 기 제1영역 및 상기 제2영역 사이의 제3영역을 포함하는 기판, 상기 제2영역에 배치된 복수의 표시소자들, 상기 제3영역에서 상기 제1영역의 가장자리를 따라 우회하는 복수의 배선들, 상기 복수의 배선들 중 적어도 일부를 커버하는 제1전극층 및 상기 제1전극층 위에 위치하며, 상기 제1전극층의 적어도 일부와 접촉하는 제2전극층을 구비하는, 표시 패널이 제공된다.

[0006] 상기 제1전극층과 상기 제2전극층 사이에 배치되며, 상기 제1전극층의 적어도 일부를 노출시키는 개구부를 갖는 제1절연층을 더 구비하며, 상기 제2전극층은 상기 제1절연층의 상기 개구부를 통해 상기 제1전극층과 접촉할 수 있다.

[0007] 상기 제1전극층은 상호 이격된 복수의 홀들을 포함할 수 있다.

[0008] 상기 복수의 홀들을 각각 커버하며, 상호 이격된 복수의 돌기들을 더 포함할 수 있다.

[0009] 상기 돌기들은 상기 제1절연층과 동일한 물질을 포함할 수 있다.

[0010] 상기 제1전극층은 상기 제1영역과 대응하는 홀을 구비할 수 있다.

[0011] 상기 제1전극층은 정전압을 가질 수 있다.

[0012] 상기 복수의 표시소자들은, 화소전극 및 대향전극과, 이들 사이에 배치된 발광층을 구비할 수 있다.

[0013] 상기 제1전극층은 상기 화소전극과 동일한 물질을 포함할 수 있다.

[0014] 상기 제1전극층은 상기 화소전극과 동일 층상에 배치될 수 있다.

[0015] 상기 제1전극층 및 상기 화소전극 아래에 배치되며, 유기절연물을 포함하는 제2절연층을 더 포함할 수 있다.

[0016] 상기 제2전극층은 상기 대향전극과 동일한 물질을 포함할 수 있다.

[0017] 상기 복수의 배선들은, 제1방향으로 연장되어 상기 복수의 표시소자들에 데이터신호를 인가하는 복수의 데이터라인들, 상기 제1방향과 교차하는 제2방향으로 연장되어 상기 복수의 표시소자들에 스캔신호를 인가하는 복수의 스캔라인들을 구비할 수 있다.

[0018] 본 발명의 다른 측면에 따르면, 제1영역, 상기 제1영역을 둘러싸는 제2영역과, 상기 제1영역 및 상기 제2영역 사이의 제3영역을 포함하는 기판, 상기 제2영역에 배치되며, 화소전극, 및 대향전극, 및 상기 화소전극 및 상기 대향전극 사이에 배치된 발광층을 각각 구비하는 복수의 표시소자들, 상기 제3영역에서 상기 제1영역의 가장자리를 따라 우회하는 복수의 배선들, 상기 제3영역에 위치하는 적어도 하나의 그루브, 상기 복수의 배선들 중 적어도 일부를 커버하는 제1전극층; 및 상기 제1전극층 위에 위치하며, 상기 제1전극층의 적어도 일부와 접촉하는 제2전극층을 구비하는, 표시 패널이 제공된다.

[0019] 상기 그루브는 상기 배선들보다 상기 제1영역에 더 인접할 수 있다.

[0020] 상기 그루브는, 상기 제1영역 및 상기 제1전극층 중 상기 제1영역에 인접한 제1가장자리 사이에 위치할 수 있다.

[0021] 상기 제1전극층은 상기 대향전극과 동일한 전압 레벨을 가질 수 있다.

[0022] 상기 제1전극층은 상기 화소전극과 동일한 물질을 포함하고, 상기 제2전극층은 상기 대향전극과 동일한 물질을 포함할 수 있다.

[0023] 상기 제1전극층 아래에 배치된 유기 절연층을 더 포함하고, 상기 제1전극층은 복수의 홀들을 포함할 수 있다.

[0024] 상기 복수의 홀들을 각각 커버하는 복수의 돌기들을 더 포함할 수 있다.

[0025] 상기 복수의 표시소자들을 커버하며, 무기봉지층 및 유기봉지층을 포함하는 봉지층을 더 구비할 수 있다.

## *발명의 효과*

[0026] 상술한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 센서나 카메라 등과 같은 전자요소와 대응되는 제1영역 주변 배선들을 용이하게 차폐(shield)할 수 있는 한편, 상기 배선들의 배치를 단순화할 수 있다.

[0027] 그러나, 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

## *도면의 간단한 설명*

[0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 도시한 사시도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 도시한 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 도시한 단면도이다.

도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 도시한 단면도들이다.

도 5a 내지 도 5d는 본 발명의 다른 실시예에 따른 표시 패널을 개략적으로 도시한 단면도들이다.

도 6은 본 발명의 일실시예에 따른 표시 패널을 개략적으로 도시한 평면도이다.

도 7은 본 발명의 일실시예에 따른 표시 패널 중 어느 하나의 화소를 개략적으로 도시한 등가회로도이다.

도 8은 본 발명의 일 실시예에 따른 표시 패널 중 제1영역 및 중간영역에 배치된 구성요소를 도시한 평면도이다.

도 9는 도 8의 IX-IXI'선에 따른 단면도이다.

도 10은 도 9의 표시 패널의 일부를 확대하여 도시한 단면도이다.

도 11a 및 도 11b는 도 9의 XI부분을 발췌하여 확대한 단면도들이다.

도 12a는 도 8의 W부분의 일 예를 확대하여 도시한 평면도이다.

도 12b는 도 12a의 A-A'선에 따른 단면도이다.

도 13a는 도 8의 W부분의 다른 예를 확대하여 도시한 평면도이다.

도 13b는 도 13a의 B-B'선에 따른 단면도이다.

도 14a는 도 8의 W부분의 다른 예를 확대하여 도시한 평면도이다.

도 14b는 도 14a의 C-C'선에 따른 단면도이다.

## *발명을 실시하기 위한 구체적인 내용*

[0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0030] 본 명세서에서 사용되는 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0031] 본 명세서에서 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0032] 본 명세서에서 사용되는 x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.

[0033] 이하, 본 발명에 따른 실시예들을 도면을 참조하여 상세히 설명하기로 하며, 도면을 참조하여 설명함에 있어 실질적으로 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해 일부 층 및 영역의 두께를 과장되게 나타내었다.

[0034] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타낸 사시도이다.

[0035] 도 1을 참조하면, 표시 장치(1)는 제1영역(OA) 및 제1영역(OA)을 적어도 부분적으로 둘러싸는 표시영역인 제2영역(DA)을 포함한다. 표시 장치(1)는 제2영역(DA)에 배치된 복수의 화소들에서 방출되는 빛을 이용하여 소정의 이미지를 제공할 수 있다. 도 1은 제2영역(DA)의 내측에 하나의 제1영역(OA)이 배치된 것을 도시하며, 제1영역(OA)은 제2영역(DA)에 의해 전체적으로 둘러싸일 수 있다. 제1영역(OA)은 도 2를 참조하여 후술할 컴포넌트가 배치되는 영역일 수 있다.

[0036] 제1영역(OA)과 표시영역인 제2영역(DA) 사이에는 중간영역으로서 제3영역(MA)이 배치되며, 제2영역(DA)은 제4영역인 외곽영역(PA)에 의해 둘러싸일 수 있다. 제3영역(MA) 및 외곽영역(PA)은 화소들이 배치되지 않은 일종의

비표시영역일 수 있다. 제3영역(MA)은 제2영역(DA)에 의해 전체적으로 둘러싸이고, 제2영역(DA)은 외곽영역(PA)에 의해 전체적으로 둘러싸일 수 있다.

[0037] 이하에서는, 본 발명의 일 실시예에 따른 표시 장치(1)로서, 유기 발광 표시 장치를 예로 하여 설명하지만, 본 발명의 표시 장치는 이에 제한되지 않는다. 다른 실시예로서, 무기 발광 표시 장치(또는 무기 EL 표시 장치, Inorganic Light Emitting Display), 퀀텀닷 발광 표시 장치(Quantum dot Light Emitting Display) 등과 같이 다양한 방식의 표시 장치가 사용될 수 있다.

[0038] 도 1에는 제1영역(OA)이 하나 구비되며 대략 원형인 것을 도시하고 있으나 본 발명은 이에 한정되지 않는다. 제1영역(OA)의 개수는 2개 이상일 수 있으며, 각각의 형상은 원형, 타원형, 다각형, 별 형상, 다이아몬드 형상 등 다양하게 변경될 수 있음은 물론이다.

[0039] 도 2는 본 발명의 일 실시예에 따른 표시 장치를 간략하게 나타낸 단면도로서, 도 1의 II-II'선에 따른 단면에 대응할 수 있고, 도 3은 본 발명의 다른 실시예에 따른 표시 장치를 간략하게 나타낸 단면도이다.

[0040] 도 2를 참조하면, 표시 장치(1)는 표시 패널(10), 표시 패널(10) 상에 배치되는 입력감지층(40), 및 광학 기능층(50)을 포함할 수 있으며, 이들은 윈도우(60)로 커버될 수 있다. 표시 장치(1)는 휴대폰(mobile phone), 노트북, 스마트 워치와 같은 다양한 전자 기기일 수 있다.

[0041] 표시 패널(10)은 이미지를 표시할 수 있다. 표시 패널(10)은 제2영역(DA)에 배치된 화소들을 포함한다. 화소들은 표시요소 및 이와 연결된 화소회로를 포함할 수 있다. 표시요소는 유기발광다이오드, 무기발광다이오드, 또는 퀀텀닷 발광다이오드 등을 포함할 수 있다.

[0042] 입력감지층(40)은 외부의 입력, 예컨대 터치 이벤트에 따른 좌표정보를 획득한다. 입력감지층(40)은 감지전극(sensing electrode 또는 touch electrode) 및 감지전극과 연결된 신호라인(trace line)들을 포함할 수 있다. 입력감지층(40)은 표시 패널(10) 위에 배치될 수 있다. 입력감지층(40)은 뮤추얼 캡 방식 또는/및 셀프 캡 방식으로 외부 입력을 감지할 수 있다.

[0043] 입력감지층(40)은 표시 패널(10) 상에 직접 형성되거나, 별도로 형성된 후 광학 투명 점착제(OCA, optical clear adhesive)와 같은 점착층을 통해 결합될 수 있다. 예컨대, 입력감지층(40)은 표시 패널(10)을 형성하는 공정 이후에 연속적으로 이뤄질 수 있으며, 이 경우 점착층은 입력감지층(40)과 표시 패널(10) 사이에 개재되지 않을 수 있다. 도 2에는 입력감지층(40)이 표시 패널(10)과 광학 기능층(50) 사이에 개재된 것을 도시하지만, 다른 실시예로서, 입력감지층(40)은 광학 기능층(50) 위에 배치될 수 있다.

[0044] 광학 기능층(50)은 반사 방지층을 포함할 수 있다. 반사 방지층은 윈도우(60)를 통해 외부에서 표시 패널(10)을 향해 입사하는 빛(외부광)의 반사율을 감소시킬 수 있다. 반사 방지층은 위상지연자(retarder) 및 편광자(polarizer)를 포함할 수 있다. 위상지연자는 필름타입 또는 액정 코팅타입일 수 있고, λ/2 위상지연자 및/또는 λ/4 위상지연자를 포함할 수 있다. 편광자 역시 필름타입 또는 액정 코팅타입일 수 있다. 필름타입은 연신형 합성수지 필름을 포함하고, 액정 코팅타입은 소정의 배열로 배열된 액정들을 포함할 수 있다. 위상지연자 및 편광자는 보호필름을 더 포함할 수 있다. 위상지연자 및 편광자 자체 또는 보호필름이 반사방지 층의 베이스층으로 정의될 수 있다.

[0045] 다른 실시예로, 반사 방지층은 블랙매트릭스와 컬러필터들을 포함할 수 있다. 컬러필터들은 표시 패널(10)의 화소들 각각에서 방출되는 빛의 색상을 고려하여 배열될 수 있다. 또 다른 실시예로, 반사 방지층은 상쇄간섭 구조물을 포함할 수 있다. 상쇄간섭 구조물은 서로 다른 층 상에 배치된 제1 반사층과 제2 반사층을 포함할 있다. 제1 반사층 및 제2 반사층에서 각각 반사된 제1 반사광과 제2 반사광은 상쇄 간섭될 수 있고, 그에 따라 외부광 반사율이 감소될 수 있다.

[0046] 광학 기능층(50)은 렌즈층을 포함할 수 있다. 렌즈층은 표시 패널(10)에서 방출되는 빛의 출광 효율을 향상시키거나, 색편차를 줄일 수 있다. 렌즈층은 오목하거나 볼록한 렌즈 형상을 가지는 층을 포함하거나, 또는/및 굴절률이 서로 다른 복수의 층을 포함할 수 있다. 광학 기능층(50)은 전술한 반사 방지층 및 렌즈층을 모두 포함하거나, 이들 중 어느 하나를 포함할 수 있다.

[0047] 표시 패널(10), 입력감지층(40), 및 광학 기능층(50)은 개구를 포함할 수 있다. 이와 관련하여, 도 2에는 표시 패널(10), 입력감지층(40), 및 광학 기능층(50)이 각각 제1 내지 제3개구(10H, 40H, 50H)를 포함하며, 제1 내지 제3개구(10H, 40H, 50H)들이 서로 중첩되는 것을 도시한다. 제1 내지 제3개구(10H, 40H, 50H)들은 제1영역(OA)에 대응하도록 위치한다. 다른 실시예로, 표시 패널(10), 입력감지층(40), 및/또는 광학 기능층(50) 중 적어

도 하나는 개구를 포함하지 않을 수 있다. 예컨대, 표시 패널(10), 입력감지층(40), 및 광학 기능층(50) 중에서 선택된 어느 하나, 또는 두 개의 구성요소는 개구를 포함하지 않을 수 있다. 또는, 표시 패널(10), 입력감지층(40), 및 광학 기능층(50)은, 도 3에 도시된 바와 같이 개구를 포함하지 않을 수 있다.

[0048] 제1영역(OA)은 전술한 바와 같이 표시 장치(1)에 다양한 기능을 부가하기 위한 컴포넌트(20)가 위치하는 일종의 컴포넌트 영역(예, 센서 영역, 카메라 영역, 스피커 영역, 등)일 수 있다. 컴포넌트(20)는 도 2에 도시된 바와 같이 제1 내지 제3개구(10H, 40H, 50H) 내에 위치할 수 있다. 또는, 컴포넌트(20)는 도 3에 도시된 바와 같이 표시 패널(10)의 아래에 배치될 수 있다.

[0049] 컴포넌트(20)는 전자요소를 포함할 수 있다. 예컨대, 컴포넌트(20)는 빛이나 음향을 이용하는 전자요소일 수 있다. 예컨대, 전자요소는 적외선 센서와 같이 빛을 이용하는 센서, 빛을 수광하여 이미지를 촬상하는 카메라, 빛이나 음향을 출력하고 감지하여 거리를 측정하거나 지문 등을 인식하는 센서, 빛을 출력하는 소형 램프이거나, 소리를 출력하는 스피커 등을 포함할 수 있다. 빛을 이용하는 전자요소의 경우, 가시광, 적외선광, 자외선광 등과 같이 다양한 파장 대역의 빛을 이용할 수 있다. 일부 실시예에서, 제1영역(OA)은 컴포넌트(20)로부터 외부로 출력되거나 외부로부터 전자요소를 향해 진행하는 빛 또는/및 음향이 투과할 수 있는 투과영역(transmission area)으로 이해될 수 있다.

[0050] 다른 실시예로, 표시 장치(1)가 스마트 워치나 차량용 계기판으로 이용되는 경우, 컴포넌트(20)는 시계 바늘이나 소정의 정보(예, 차량 속도 등)를 지시하는 바늘과 같은 부재일 수 있다. 표시 장치(1)가 시계 바늘이나 차량용 계기판을 포함하는 경우, 컴포넌트(20)가 윈도우(60)를 관통하여 외부로 노출될 수 있으며, 윈도우(60)는 제1영역(OA)에 대응하는 개구를 포함할 수 있다.

[0051] 컴포넌트(20)는 전술한 바와 같이 표시 패널(10)의 기능과 관계된 구성요소(들)를 포함하거나, 표시 패널(10)의 심미감을 증가시키는 액세서리와 같은 구성요소 등을 포함할 수 있다. 도 2 및 도 3에는 도시되지 않았으나 윈도우(60)와 광학 기능층(50) 사이에는 광학 투명 점착제 등을 포함하는 층이 위치할 수 있다.

[0052] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 나타낸 단면도들이다.

[0053] 도 4a 내지 도 4c를 참조하면, 표시 패널(10)은 기판(100) 상에 배치된 표시요소층(200)을 포함한다. 기판(100)은 글래스재를 포함하거나 고분자 수지를 포함할 수 있다. 예컨대, 기판(100)은 $SiO_2$를 주성분으로 하는 글래스재를 포함하거나, 강화 플라스틱과 같은 수지를 포함할 수 있다.

[0054] 표시요소층(200)은 제2영역(DA)과 대응하도록 위치하며, 복수의 화소를 구비한다. 표시요소층(200)은 각 화소에 대응하는 화소회로 및 화소회로에 전기적으로 연결된 표시요소를 포함한다. 화소회로는 박막트랜지스터 및 스토리지 커패시터를 포함할 수 있으며, 표시요소는 유기발광다이오드(organic light-emitting diode, OLED)를 포함할 수 있다.

[0055] 표시요소층(200)은 봉지부재(300)로서 기판(100)과 마주보는 봉지기판(340)을 포함한다. 기판(100)과 봉지기판(340) 사이에는 실링재(350)가 배치된다. 실링재(350)는 기판(100)과 봉지기판(340) 사이에서 표시요소층(200)을 둘러싼다. 예컨대, 실링재(350)는 제3영역(MA)에서 표시요소층(200)의 제1에지(내측 에지, inner edge)를 둘러싸도록 배치되며, 외곽영역(PA)에서 표시요소층(200)의 제2에지(외측 에지, outer edge)를 둘러싸도록 배치될 수 있다. 주면(main surface)에 수직한 방향에서 보았을 때, 제1영역(OA)은 실링재(350)에 의해 전체적으로 둘러싸일 수 있으며, 표시요소층(200)의 제2에지도 실링재(350)에 의해 전체적으로 둘러싸일 수 있다.

[0056] 표시 패널(10)은 제1영역(OA)에 대응하는 제1개구(10H)를 포함할 수 있다. 이와 관련하여, 도 4a에는 기판(100) 및 봉지기판(340)이 각각 제1영역(OA)에 대응하는 관통홀(100H, 340H)을 포함하는 것을 도시한다. 표시요소층(200)도 제1영역(OA)에 대응하는 관통홀을 포함할 수 있다.

[0057] 다른 실시예로서, 도 4b에 도시된 바와 같이 봉지기판(340)은 제1영역(OA)에 대응하는 관통홀(340H)을 포함하나, 기판(100)은 관통홀을 포함하지 않을 수 있다. 표시요소층(200)도 제1영역(OA)에 대응하는 관통홀을 포함할 수 있다.

[0058] 이때 도 4c에 도시된 바와 같이 제1영역(OA)에는 보조표시요소층(200C)이 위치할 수 있다. 보조표시요소층(200C)은 표시요소층(200A)의 표시요소와 다른 구조 또는/및 다른 방식으로 동작하는 표시요소를 포함할 수 있다. 일 실시예로, 표시요소층(200A)의 각 화소가 능동형 유기발광다이오드를 포함하고 보조표시요소층(200C)은 수동형 유기발광다이오드를 포함하는 화소들을 구비할 수 있다. 보조표시요소층(200C)이 능동형 유기발광다이오드의 표시요소를 포함하는 경우, 해당 표시요소 아래에는 화소회로를 이루는 구성요소들이 존재하지 않을 수 있

다. 예컨대, 화소회로층(200B) 중 보조표시요소층(200C) 아래에는 각 화소마다 배치되는 트랜지스터 및 스토리지 커패시터가 존재하지 않는다.

[0059] 또 다른 실시예로, 보조표시요소층(200C)은 표시요소층(200A)과 동일한 타입(예, 능동형 유기발광다이오드)의 표시요소를 포함할 수 있으나, 그 아래의 화소회로가 다를 수 있다. 예컨대, 보조표시요소층(200C) 아래의 화소회로(예, 기판과 트랜지스터 사이에 차광막을 갖는 화소회로 등)는 표시요소층(200A) 아래의 화소회로와 다른 구조를 포함하 수 있다. 또는, 보조표시요소층(200C)의 표시요소들은 표시요소층(200A)의 표시요소들과 다른 제어 신호에 따라 동작할 수 있다.

[0060] 보조표시요소층(200C)이 배치된 제1영역(OA)에는 비교적 높은 투과율을 요하지 않는 컴포넌트(예컨대, 적외선 센서 등)가 배치될 수 있다. 이 경우, 표시요소층(200A)은 컴포넌트 영역이자 보조 표시영역으로 이해될 수 있다. 표시요소층(200A)은 박막봉지층(300)으로 커버될 수 있으며, 무기층(520)은 박막봉지층(300)을 커버할 수 있다. 무기층(520)은 제3영역(MA)에서 박막봉지층(300) 보다 더 연장될 수 있다. 무기층(520)은 제1영역(OA)의 보조표시요소층(200C)도 커버할 수 있다. 도시되지는 않았으나 보조표시요소층(200C)과 무기층(520) 사이에는 보조표시요소층(200C)을 커버하는 봉지층이 배치될 수 있으며, 보조표시요소층(200C) 상의 봉지층은 표시요소층(200A) 상의 박막봉지층(300)과 동일한 구조를 갖거나 서로 다른 구조를 가질 수 있다.

[0061] 또 다른 실시예로, 도 4d에 도시된 바와 같이 기판(100) 및 봉지기판(340)은 각각 제1영역(OA)에 대응하는 관통홀을 포함하지 않을 수 있다. 표시요소층(200)은 제1영역(OA)에 대응하는 관통홀을 포함할 수 있다. 또 다른 실시예로, 도 3c의 표시 패널(10) 중 제3영역(MA)에 배치된 실링재(350)는 생략될 수 있다. 또한, 표시요소층(200)은 제1영역(OA)과 대응하는 관통홀을 포함하지 않을 수 있으며, 제1영역(OA)에는 비교적 높은 투과율을 요하지 않는 컴포넌트(20, 도 2)가 배치됨으로써 제1영역(OA)은 컴포넌트(20)에서 사용하는 빛이 투과하는 투과영역으로 사용될 수 있다. 표시요소층(200)이 제1영역(OA)과 대응하는 관통홀을 구비하지 않더라도, 표시요소층(200) 중 제1영역(OA)과 대응하는 부분은, 화소회로(PC, 도 9, 도 10)를 이루는 구성요소들(예, 트랜지스터, 스토리지 커패시터, 배선 등)을 포함하지 않음으로써 투과율을 확보할 수 있다.

[0062] 이때 도 4e에 도시된 바와 같이 제1영역(OA)에는 보조표시요소층(200C)이 위치할 수 있으며, 이에 대한 구체적인 설명은 도 4c를 참조하여 설명한 내용으로 갈음한다.

[0063] 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 표시 패널을 개략적으로 나타낸 단면도들이다.

[0064] 도 5a를 참조하면, 표시 패널(10)은 기판(100) 상에 배치된 표시층(200)을 포함한다. 기판(100)은 글래스재를 포함하거나 고분자 수지를 포함할 수 있다. 기판(100)은 다층으로 형성될 수 있다. 예컨대, 기판(100)은 도 4a의 확대도에 도시된 바와 같이, 제1베이스층(101), 제1배리어층(102), 제2베이스층(103), 및 제2배리어층(104)을 포함할 수 있다.

[0065] 제1 및 제2베이스층(101, 103)은 각각 고분자 수지를 포함할 수 있다. 예컨대, 제1 및 제2베이스층(101, 103)은 폴리에테르술폰(PES, polyethersulfone), 폴리아릴레이트(PAR, polyarylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethyelenene napthalate), 폴리에틸렌 테레프탈레이드(PET, polyethyeleneterepthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 등과 같은 고분자 수지를 포함할 수 있다. 전술한 고분자 수지는 투명할 수 있다.

[0066] 제1 및 제2배리어층(102, 104)은 각각, 외부 이물질의 침투를 방지하는 배리어층으로서, 실리콘나이트라이드(SiNx), 실리콘옥사이드(SiOx)와 같은 무기물을 포함하는 단층 또는 다층일 수 있다.

[0067] 표시층(200)은 복수의 화소를 구비한다. 표시층(200)은 각 화소마다 배치되는 표시요소들을 포함하는 표시요소층(200A), 및 각 화소마다 배치되는 화소회로와 절연층들을 포함하는 화소회로층(200B)을 포함할 수 있다. 각 화소회로는 박막트랜지스터 및 스토리지 커패시터를 포함할 수 있으며, 각 표시요소는 유기발광다이오드(organic light-emitting diode, OLED)를 포함할 수 있다.

[0068] 표시층(200)의 표시요소들은 박막봉지층(300)과 같은 봉지부재로 커버될 수 있으며, 박막봉지층(300) 상에는 무기층(520)이 배치된다. 무기층(520)은 제3영역(MA)에서 박막봉지층(300)의 끝단을 커버할 수 있다. 무기층(520)은 제3영역(MA)에서 박막봉지층(300)의 끝단 보다 제1영역(OA)을 향해 더 연장될 수 있으며, 박막봉지층(300)의 끝단의 아래에 배치된 층과 접촉할 수 있다. 무기층(520)은 무기절연물을 포함할 수 있으며, 무기절연물은

예컨대 실리콘나이트라이드, 실리콘옥사이드, 실리콘옥시나이트라이드 등을 포함할 수 있다.

[0069] 표시 패널(10)이 다층인 기판(100) 및 박막봉지층(300)을 포함하는 경우, 표시 패널(10)의 유연성(flexibility)을 향상시킬 수 있다. 표시 패널(10)은 표시 패널(10)을 관통하는 제1개구(10H)를 포함할 수 있다. 제1개구(10H)는 제1영역(OA)에 위치할 수 있으며, 이 경우 제1영역(OA)은 일종의 개구영역일 수 있다.

[0070] 도 5a는 기판(100), 박막봉지층(300) 및 무기층(520)이 각각 표시 패널(10)의 제1개구(10H)에 대응하는 관통홀(100H, 300H, 520H)을 포함하는 것을 도시한다. 표시층(200)도 제1영역(OA)에 대응하는 관통홀(200H)을 포함할 수 있다.

[0071] 다른 실시예로, 도 5b에 도시된 바와 같이 기판(100)은 제1영역(OA)에 대응하는 관통홀을 포함하지 않을 수 있다. 표시요소층(200A)은 제1영역(OA)에 위치하지 않을 수 있으며, 화소회로층(200B)은 제1영역(OA)에 배치될 수 있다. 박막봉지층(300)은 제1영역(OA)에 대응하는 관통홀(300H)을 포함할 수 있다. 무기층(520)은 도 5b에 도시된 바와 같이 제1영역(OA)에 대응하는 관통홀(520H)을 포함하거나, 도 5c에 도시된 바와 같이 관통홀을 구비하지 않은 채 제1영역(OA)을 커버할 수 있다.

[0072] 도 5a 내지 도 5c에는 제1영역(OA)에는 표시요소층(200A)이 배치되지 않은 것을 도시하나, 본 발명은 이에 한정되지 않는다. 다른 실시예로서, 도 5d에 도시된 바와 같이 제1영역(OA)에는 보조표시요소층(200C)이 위치할 수 있다. 보조표시요소층(200C)에 대한 구체적인 설명은 도 4c를 참조하여 설명한 내용으로 갈음한다.

[0073] 도 6은 본 발명의 일실시예에 따른 표시 패널을 개략적으로 나타낸 평면도이고, 도 7은 본 발명의 일실시예에 따른 표시 패널 중 어느 하나의 화소를 개략적으로 나타낸 등가회로도이다.

[0074] 도 6을 참조하면, 표시 패널(10)은 제2영역(DA), 제1영역(OA) 및 제3영역(MA), 및 외곽영역(PA)을 포함할 수 있다. 도 6은 표시 패널(10) 중 기판(100)의 모습으로 이해될 수 있다. 예컨대, 기판(100)이 제2영역(DA), 제1영역(OA) 및 제3영역(MA), 및 외곽영역(PA)을 갖는 것으로 이해될 수 있다.

[0075] 표시 패널(10)은 제2영역(DA)에 배치된 복수의 화소(P)들을 포함한다. 각 화소(P)는 도 7에 도시된 바와 같이 화소회로(PC), 및 화소회로(PC)에 연결된 표시요소로서, 유기발광다이오드(OLED)를 포함한다. 화소회로(PC)는 제1박막트랜지스터(T1), 제2박막트랜지스터(T2), 및 스토리지 커패시터(Cst)를 포함할 수 있다. 각 화소(P)는 유기발광다이오드(OLED)를 통해 예컨대, 적색, 녹색, 또는 청색의 빛을 방출하거나, 적색, 녹색, 청색 또는 백색의 빛을 방출할 수 있다.

[0076] 제2박막트랜지스터(T2)는 스위칭 박막트랜지스터로서, 스캔라인(SL) 및 데이터라인(DL)에 연결되며, 스캔라인(SL)으로부터 입력되는 스위칭 전압에 따라 데이터라인(DL)으로부터 입력된 데이터 전압을 제1박막트랜지스터(T1)로 전달할 수 있다. 스토리지 커패시터(Cst)는 제2박막트랜지스터(T2)와 구동전압선(PL)에 연결되며, 제2박막트랜지스터(T2)로부터 전달받은 전압과 구동전압선(PL)에 공급되는 제1전원전압(ELVDD)의 차이에 해당하는 전압을 저장할 수 있다.

[0077] 제1박막트랜지스터(T1)는 구동 박막트랜지스터로서, 구동전압선(PL)과 스토리지 커패시터(Cst)에 연결되며, 스토리지 커패시터(Cst)에 저장된 전압 값에 대응하여 구동전압선(PL)으로부터 유기발광다이오드(OLED)를 흐르는 구동 전류를 제어할 수 있다. 유기발광다이오드(OLED)는 구동 전류에 의해 소정의 휘도를 갖는 빛을 방출할 수 있다. 유기발광다이오드(OLED)의 대향전극(예, 캐소드)는 제2전원전압(ELVSS)을 공급받을 수 있다.

[0078] 도 7은 화소회로(PC)가 2개의 박막트랜지스터와 1개의 스토리지 커패시터를 포함하는 것을 설명하고 있으나, 본 발명은 이에 한정되지 않는다. 박막트랜지스터의 개수 및 스토리지 커패시터의 개수는 화소회로(PC)의 설계에 따라 다양하게 변경될 수 있음은 물론이다.

[0079] 다시 도 6을 참조하면, 제3영역(MA)은 제1영역(OA)을 둘러쌀 수 있다. 제3영역(MA)은 빛을 방출하는 유기발광다이오드와 같은 표시요소가 배치되지 않은 영역으로, 제3영역(MA)에는 제1영역(OA) 주변에 배치된 화소(P)들에 신호를 제공하는 신호라인들이 지나갈 수 있다. 외곽영역(PA)에는 각 화소(P)에 스캔신호를 제공하는 스캔 드라이버(1100), 각 화소(P)에 데이터신호를 제공하는 데이터 드라이버(1200), 및 제1 및 제2전원전압을 제공하기 위한 메인 전원배선(미도시) 등이 배치될 수 있다. 도 6에는 데이터 드라이버(1200)가 기판(100)의 일 측변에 인접하게 배치된 것을 도시하나, 다른 실시예에 따르면, 데이터 드라이버(1200)는 표시 패널(10)의 일 측에 배치된 패드와 전기적으로 접속된 FPCB(flexible Printed circuit board) 상에 배치될 수 있다.

[0080] 도 8은 본 발명의 일 실시예에 따른 표시 패널 중 제1영역 및 중간영역에 배치된 구성요소를 도시한 평면도이고, 도 9는 도 8의 IX-IX' 선에 따른 단면도이며, 도 10은 도 9의 표시 패널의 일부를 확대하여 도시한

단면도이다.

[0081] 먼저 도 8 및 도 9를 참조하면, 본 발명의 일 실시예에 따른 표시 패널은 기판의 일면에 대응하여 제1영역(OA)과 제1영역(OA)을 둘러싸는 제2영역(DA), 그리고 제1영역(OA)과 제2영역(DA) 사이에 위치한 제3영역(MA)을 포함한다.

[0082] 이때 제1영역(OA)의 가장자리를 제1라인(E1)이라 하고, 제2영역(DA)과 제3영역(MA) 의 경계를 제3라인(E3)이라 하면, 제3영역(MA)은 제1라인(E1)과 제3라인(E3)을 내외측 가장자리로 하는 링 형상의 영역으로 정의될 수 있다. 또한, 제3영역(MA)은 제2라인(E2)을 중심으로 2개의 영역으로 구획될 수 있으며, 이 중 제1영역(OA)에 인접한 영역을 제3-1영역(MA1)이라 하고, 이 중 제2영역(DA)에 인접한 영역을 제3-2영역(MA2)이라 정의하기로 한다.

[0083] 제1영역(OA)을 중심으로 화소(P)들이 제2영역(DA)에 배치된다. 화소(P)들은 제1영역(OA)을 중심으로 상호 이격될 수 있다. 평면상에서, 제1영역(OA)을 중심으로 위와 아래에 각각 화소(P)들이 배치되고, 제1영역(OA)을 중심으로 좌우에 각각 화소(P)들이 배치될 수 있다.

[0084] 화소(P)들에 각종 신호 및 전압을 인가하는 배선들 중 일부는 제2라인(E2)과 제3라인(E3)을 내외측 가장자리로 하는 링 형상의 영역인 제3-2영역(MA2)에 배치된다.

[0085] 구체적으로, 상기 배선들 중 제1영역(OA)과 인접한 신호라인들은 제1영역(OA)을 우회할 수 있다. 제2영역(DA)을 지나는 데이터라인들 중 일부 데이터라인(DL)은, 제1영역(OA)을 사이에 두고 위와 아래에 각각 배치된 화소(P)들에 데이터신호를 제공하도록 y방향으로 연장되되, 제3-2영역(MA2)에서 제1영역(OA)의 가장자리인 제1라인(E1)을 따라 우회할 수 있다. 제2영역(DA)을 지나는 스캔라인들 중 일부 스캔라인(SL)은, 제1영역(OA)을 사이에 두고 좌우에 각각 배치된 화소(P)들에 스캔신호를 제공하도록 x방향으로 연장되되, 제3-2영역(MA2)에서 제1영역(OA)의 가장자리인 제1라인(E1)을 따라 우회할 수 있다.

[0086] 한편, 제1라인(E1)과 제2라인(E2)을 내·외측 가장자리로 하는 링 형상의 영역인 제3-1영역(MA1)에는 하나 또는 그 이상의 그루브(G)들이 위치한다. 이때 그루브(G)들은 서로 이격될 수 있다. 도 8은 제3-1영역(MA1)에 3 개의 그루브(G)들이 위치한 것을 도시하나, 다른 실시예로서, 제3-1영역(MA1)에는 1개, 2개, 또는 4개 이상의 그루브(G)들이 배치될 수 있다.

[0087] 그루브(G)들이 제3-1영역(MA1)에 배치됨에 따라, 그루브(G)들은 제1영역(OA)의 가장자리인 제1라인(E1)을 우회하는 데이터라인(DL) 또는/및 스캔라인(SL)의 우회 부분들 보다 제1영역(OA)에 더 인접하게 위치할 수 있다.

[0088] 평면상에서 그루브(G)들은 제3-1영역(MA1)에서 제1영역(OA)을 전체적으로 둘러싸는 링 형상일 수 있다. 평면상에서 제1영역(OA)의 중심(O)에 대한 그루브(G)들 각각의 반지름은 제1영역(OA)의 반지름 보다 크게 형성될 수 있다. 구체적으로, 제1영역(OA)의 반지름을 제1반지름(R1)이라 하고, 제3-1영역(MA1)의 외측 반지름을 제2반지름(R2)이라 하면, 그루브(G)들 각각의 반지름은 제1반지름(R1)보다 크고 제2반지름(R2)보다는 작을 수 있다.

[0089] 도 9에 도시된 실시예에 따르면, 표시 패널(10)의 제1영역(OA)은 제1개구(10H)를 포함하는 영역일 수 있고, 그루브(G)들은 제1개구(10H)로부터 이격되되 기판(100)의 두께 방향인 -z방향으로 오목한 형상을 가질 수 있다.

[0090] 도 9를 참조하면, 표시 패널(10)은 개구영역인 제1영역(OA), 표시영역인 제2영역(DA), 및 제1영역(OA)과 제2영역(DA) 사이의 비표시영역인 제3영역(MA)을 포함한다.

[0091] 구체적으로, 표시영역인 제2영역(DA)에는 기판(100) 상의 화소회로(PC) 및 화소회로(PC)에 연결된 화소전극(221), 그리고 화소전극(221) 상에 순차적으로 적층된 중간층(222)과 대향전극(223)이 배치된다.

[0092] 기판(100)은 다층일 수 있다. 예컨대, 기판(100)은 순차적으로 적층된, 제1베이스층(101), 제1배리어층(102), 제2베이스층(103), 및 제2배리어층(104)을 포함할 수 있다.

[0093] 제1 및 제2베이스층(101, 103)은 각각 고분자 수지를 포함할 수 있다. 예컨대, 제1 및 제2베이스층(101, 103)은 폴리에테르술폰(PES, polyethersulfone), 폴리아릴레이트(PAR, polyarylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethyelenene napthalate), 폴리에틸렌 테레프탈레이드(PET, polyethyeleneterepthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 등과 같은 고분자 수지를 포함할 수 있다. 전술한 고분자 수지는 투명할 수 있다.

[0094] 제1 및 제2배리어층(102, 104)은 각각, 외부 이물질의 침투를 방지하는 배리어층으로서, 실리콘나이트라이드(SiNx) 및/또는 실리콘옥사이드(SiOx)와 같은 무기물을 포함하는 단층 또는 다층일 수 있다.

[0095] 화소회로(PC)는 기판(100) 상에 배치되며, 박막트랜지스터 및 스토리지 커패시터 등을 포함한다. 화소전극(221), 중간층(222)의 발광층, 및 대향전극(223)을 포함하는 유기발광다이오드는 소정의 빛을 방출하며, 박막봉지층(300)에 의해 커버된다. 이하 도 10을 참조하여 제2영역(DA)에 배치된 구성요소들에 대하여 구체적으로 설명한다.

[0096] 도 10을 참조하면, 표시영역인 제2영역(DA)에는 화소회로(PC) 및 화소회로(PC)에 전기적으로 연결된 유기발광다이오드(OLED)가 배치될 수 있다.

[0097] 기판(100) 상에 위치하는 박막트랜지스터(TFT) 및 스토리지 커패시터(Cst) 및 이들에 전기적으로 연결된 화소전극(221)을 형성한다. 화소회로(PC)는 기판(100) 상에 배치되며, 화소회로(PC) 상에는 유기발광 다이오드(OLED)가 위치할 수 있다.

[0098] 기판(100)은 고분자 수지 또는 글래스를 포함할 수 있다. 일 실시예로, 기판(100)은 폴리에테르술폰(PES, polyethersulfone), 폴리아릴레이트(PAR, polyarylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethyelenene napthalate), 폴리에틸렌 테레프탈레이드(PET, polyethyeleneterepthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 또는/및 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 등과 같은 고분자 수지를 포함할 수 있으며, 플렉서블한 성질을 가질 수 있다. 기판(100)은 $SiO_2$를 주성분으로 하는 글래스재를 포함하거나, 강화 플라스틱과 같은 수지를 포함할 수 있으며, 리지드(rigid)한 성질을 가질 수 있다. 기판(100)은 전술한 고분자 수지를 포함하는 층, 및 전술한 고분자 수지층 상에 위치하는 배리어층의 적층 구조일 수 있으며, 이 경우 기판(100)의 가요성(flexibility)을 향상시킬 수 있다. 배리어층은 실리콘나이트라이드(SiNx), 실리콘옥시나이트라이드(SiON), 및 실리콘옥사이드(SiOx) 등을 포함할 수 있다.

[0099] 기판(100) 상에는 불순물이 박막트랜지스터(TFT)의 반도체층(Act)으로 침투하는 것을 방지하기 위해 형성된 버퍼층(201)이 형성될 수 있다. 버퍼층(201)은 실리콘나이트라이드, 실리콘옥시나이트라이드 및 실리콘옥사이드와 같은 무기 절연물을 포함할 수 있으며, 전술한 무기 절연물을 포함하는 단층 또는 다층일 수 있다.

[0100] 버퍼층(201) 상에는 화소회로(PC)가 배치될 수 있다. 화소회로(PC)는 박막트랜지스터(TFT) 및 스토리지 커패시터(Cst)를 포함한다. 박막트랜지스터(TFT)는 반도체층(Act), 게이트전극(GE), 소스전극(SE), 드레인전극(DE)을 포함할 수 있다. 도 10에 도시된 박막트랜지스터(TFT)는 도 7을 참조하여 설명한 구동 박막트랜지스터에 대응할 수 있다. 본 실시예에서는 게이트전극(GE)이 게이트절연층(203)을 가운데 두고 반도체층(Act) 상에 배치된 탑 게이트 타입을 도시하였으나, 또 다른 실시예에 따르면 박막트랜지스터(TFT)는 바텀 게이트 타입일 수 있다.

[0101] 반도체층(Act)은 폴리 실리콘을 포함할 수 있다. 또는, 반도체층(Act)은 비정질(amorphous) 실리콘을 포함하거나, 산화물 반도체를 포함하거나, 유기 반도체 등을 포함할 수 있다. 게이트전극(GE)은 저저항 금속 물질을 포함할 수 있다. 게이트전극(GE)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질을 포함할 수 있고, 상기의 재료를 포함하는 다층 또는 단층으로 형성될 수 있다.

[0102] 반도체층(Act)과 게이트전극(GE) 사이의 게이트절연층(203)은 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드, 알루미늄옥사이드, 티타늄옥사이드, 탄탈륨옥사이드, 및 하프늄옥사이드 등과 같은 무기 절연물을 포함할 수 있다. 게이트절연층(203)은 전술한 물질을 포함하는 단층 또는 다층일 수 있다.

[0103] 소스전극(SE) 및 드레인전극(DE)은 전도성이 좋은 재료를 포함할 수 있다. 소스전극(SE) 및 드레인전극(DE)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질을 포함할 수 있고, 상기의 재료를 포함하는 다층 또는 단층으로 형성될 수 있다. 일 실시예로, 소스전극(SE) 및 드레인전극(DE)은 Ti/Al/Ti의 다층으로 형성될 수 있다.

[0104] 스토리지 커패시터(Cst)는 제1층간절연층(205)을 사이에 두고 중첩하는 하부 전극(CE1)과 상부 전극(CE2)을 포함한다. 스토리지 커패시터(Cst)는 박막트랜지스터(TFT)와 중첩될 수 있다. 이와 관련하여, 도 10은 박막트랜지스터(TFT)의 게이트전극(GE)이 스토리지 커패시터(Cst)의 하부 전극(CE1)인 것을 도시하고 있다. 다른 실시예로서, 스토리지 커패시터(Cst)는 박막트랜지스터(TFT)와 중첩하지 않을 수 있다. 스토리지 커패시터(Cst)는 제2층간절연층(207)으로 커버될 수 있다.

[0105] 제1 및 제2층간절연층(205, 207)은 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드, 알루미늄옥사이드, 티타늄옥사이드, 탄탈륨옥사이드, 하프늄옥사이드 등과 같은 무기 절연물을 포함할 수 있다. 제1 및 제2층간절연층(205, 207)은 전술한 물질을 포함하는 단층 또는 다층일 수 있다.

[0106] 박막트랜지스터(TFT) 및 스토리지 커패시터(Cst)를 포함하는 화소회로(PC)는 평탄화 절연층(209)으로 커버될 수 있다. 평탄화 절연층(209)은 상면이 대략 편평한 면을 포함할 수 있다. 평탄화 절연층(209)은 Polymethylmethacrylate(PMMA)나 Polystylene(PS)과 같은 일반 범용고분자, 페놀계 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자, 및 이들의 블렌드와 같은 유기 절연물을 포함할 수 있다. 일 실시예로, 평탄화 절연층(209)은 폴리이미드를 포함할 수 있다. 또는, 평탄화 절연층(209)은 무기 절연물을 포함하거나, 무기 및 유기절연물을 포함할 수 있다.

[0107] 화소전극(221)은 평탄화 절연층(209) 상에 형성될 수 있다. 화소전극(221)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드($In_2O_3$; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 또는 알루미늄징크옥사이드(AZO; aluminum zinc oxide)와 같은 도전성 산화물을 포함할 수 있다. 다른 실시예로, 화소전극(221)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크로뮴(Cr) 또는 이들의 화합물을 포함하는 반사막을 포함할 수 있다. 또 다른 실시예로, 화소전극(221)은 전술한 반사막의 위/아래에 ITO, IZO, ZnO 또는 $In_2O_3$로 형성된 막을 더 포함할 수 있다.

[0108] 화소전극(221) 상에는 화소정의막(211)이 형성될 수 있다. 화소정의막(211)은 화소전극(221)의 상면을 노출하는 개구를 포함하되, 화소전극(221)의 가장자리를 커버할 수 있다. 화소정의막(211)은 유기 절연물을 포함할 수 있다. 또는, 화소정의막(211)은 실리콘나이트라이드(SiNx)나 실리콘옥시나이트라이드(SiON), 또는 실리콘옥사이드(SiOx)와 같은 무기 절연물을 포함할 수 있다. 또는, 화소정의막(211)은 유기절연물 및 무기절연물을 포함할 수 있다.

[0109] 중간층(222)은 발광층(222b)을 포함한다. 중간층(222)은 발광층(222b)의 아래에 배치된 제1기능층(222a) 및/또는 발광층(222b)의 위에 배치된 제2기능층(222c)을 포함할 수 있다. 발광층(222b)은 소정의 색상의 빛을 방출하는 고분자 또는 저분자 유기물을 포함할 수 있다.

[0110] 제1기능층(222a)은 단층 또는 다층일 수 있다. 예컨대 제1기능층(222a)이 고분자 물질로 형성되는 경우, 제1기능층(222a)은 단층구조인 홀 수송층(HTL: Hole Transport Layer)으로서, 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나 폴리아닐린(PANI: polyaniline)으로 형성할 수 있다. 제1기능층(222a)이 저분자 물질로 형성되는 경우, 제1기능층(222a)은 홀 주입층(HIL: Hole Injection Layer)과 홀 수송층(HTL)을 포함할 수 있다.

[0111] 제2기능층(222c)은 언제나 구비되는 것은 아니다. 예컨대, 제1기능층(222a)과 발광층(222b)을 고분자 물질로 형성하는 경우, 제2기능층(222c)을 형성하는 것이 바람직하다. 제2기능층(222c)은 단층 또는 다층일 수 있다. 제2기능층(222c)은 전자 수송층(ETL: Electron Transport Layer) 및/또는 전자 주입층(EIL: Electron Injection Layer)을 포함할 수 있다.

[0112] 중간층(222) 중 발광층(222b)은 제2영역(DA)에서 각 화소마다 배치될 수 있다. 발광층(222b)은 화소정의막(211)의 개구를 통해 노출된 화소전극(221)의 상면과 접촉할 수 있다.

[0113] 대향전극(223)은 일함수가 낮은 도전성 물질로 이루어질 수 있다. 예컨대, 대향전극(223)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크로뮴(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 합금 등을 포함하는 (반)투명층을 포함할 수 있다. 또는, 대향전극(223)은 전술한 물질을 포함하는 (반)투명층 상에 ITO, IZO, ZnO 또는 $In_2O_3$과 같은 층을 더 포함할 수 있다. 대향전극(223)은 제2영역(DA)뿐만 아니라 제3영역(MA) 상에도 형성될 수 있다. 중간층(222) 및 대향전극(223)은 열 증착법에 의해 형성될 수 있다.

[0114] 캡핑층(230)은 대향전극(223) 상에 위치할 수 있다. 예컨대, 캡핑층(230)은 LiF를 포함할 수 있으며, 열 증착법에 의해 형성될 수 있다. 또는, 캡핑층(230)은 실리콘옥사이드, 실리콘 나이트라이드, 실리콘옥시나이트라이드와 같은 무기절연물을 포함할 수 있다. 또는, 캡핑층(230)은 생략될 수 있다.

[0115] 화소정의막(211) 상에는 스페이서(213)가 형성될 수 있다. 스페이서(213)는 폴리이미드와 같은 유기 절연물을

포함할 수 있다. 또는, 스페이서(213)는 실리콘나이트라이드나 실리콘옥사이드와 같은 무기 절연물을 포함하거나, 유기절연물 및 무기절연물을 포함할 수 있다.

[0116] 스페이서(213)는 화소정의막(211)과 다른 물질을 포함할 수 있다. 또는, 스페이서(213)는 화소정의막(211)과 동일한 물질을 포함할 수 있으며, 이 경우 화소정의막(211)과 스페이서(213)는 하프톤 마스크 등을 이용한 마스크 공정에서 함께 형성될 수 있다. 일 실시예로서, 화소정의막(211) 및 스페이서(213)는 폴리이미드를 포함할 수 있다.

[0117] 유기발광다이오드(OLED)는 박막봉지층(300)으로 커버된다. 박막봉지층(300)은 적어도 하나의 유기봉지층 및 적어도 하나의 무기봉지층을 포함할 수 있다. 일 실시예로, 도 7은 박막봉지층(300)이 제1 및 제2무기봉지층(310, 330) 및 이들 사이에 개재된 유기봉지층(320)을 포함하는 것을 도시한다. 다른 실시예에서 유기봉지층의 개수와 무기봉지층의 개수 및 적층 순서는 변경될 수 있다.

[0118] 제1 및 제2무기봉지층(310, 330)은 알루미늄옥사이드, 티타늄옥사이드, 탄탈륨옥사이드, 하프늄옥사이드, 징크옥사이드, 실리콘옥사이드, 실리콘나이트라이드, 또는 실리콘옥시나이트라이드와 같은 하나 이상의 무기 절연물을 포함할 수 있으며, 화학기상증착법(CVD) 등에 의해 형성될 수 있다. 유기봉지층(320)은 폴리머(polymer)계열의 소재를 포함할 수 있다. 폴리머 계열의 소재로는 실리콘계 수지, 아크릴계 수지, 에폭시계 수지, 폴리이미드 및 폴리에틸렌 등을 포함할 수 있다.

[0119] 표시 패널(10) 상에는 입력감지층(40)이 배치될 수 있다. 도 10에는 입력감지층(40)이 표시 패널(10) 상에 직접 형성되면서 박막봉지층(300)과 접촉하는 것을 도시한다.

[0120] 다시 도 9를 참조하면, 표시 패널(10)의 비표시영역인 제3영역(MA)은, 상대적으로 개구영역인 제1영역(OA) 또는 제1개구(10H)에 인접한 제3-1영역(MA1) 및 상대적으로 표시영역인 제2영역(DA)에 인접한 제3-2영역(MA2)을 포함할 수 있다.

[0121] 제3-2영역(MA2)은 신호라인들, 예컨대 도 8을 참조하여 설명한 데이터라인(DL)들이 지나는 영역일 수 있다. 도 9에 도시된 데이터라인(DL)들은 제1영역(OA)을 우회하는 데이터라인들에 해당할 수 있다. 제3-2영역(MA2)은 데이터라인(DL)들이 지나는 배선영역 또는 우회영역일 수 있다.

[0122] 데이터라인(DL)들은 도 9에 도시된 바와 같이 절연층을 사이에 두고 교번적으로 배치될 수 있다. 또는, 도시되지는 않았으나, 데이터라인(DL)들은 동일한 절연층(예, 제2층간절연층: 207) 상에 배치될 수 있다. 이웃한 데이터라인(DL)들이 절연층(예컨대, 제2층간절연층: 207)을 사이에 두고 아래와 위에 각각 배치되는 경우, 이웃한 데이터라인(DL)들 사이의 갭(피치)을 줄일 수 있으며, 이에 따라 제3영역(MA)의 폭을 줄일 수 있다.

[0123] 또한, 제3-2영역(MA2)에는 도 8을 참조하여 설명한 제1영역(OA)을 우회하는 스캔라인(SL)들도 위치할 수 있다. 스캔라인(SL)들은 데이터라인(DL)들과 층을 달리하여 배치될 수 있으며, 일 예로 스캔라인(SL)들은 데이터라인(DL)들보다 하부층에 배치될 수 있다.

[0124] 제3-2영역(MA2)에 위치한 배선들(DL, SL)의 우회부분 상에는 제1전극층(221M)이 배치된다. 이때 제1전극층(221M)은 상기 배선들(DL, SL)의 우회부분을 커버하도록 배치된다. 제1전극층(221M)과 배선들(DL, SL) 사이에는 적어도 하나의 절연층(205)(207)(209)이 개재될 수 있다.

[0125] 다시 도 8을 참조하면, 제1전극층(221M)은 제3-2영역(MA2) 전체에 대응하도록 배치될 수 있으며, 이 경우 제1전극층(221M)은 제3-2영역(MA2)을 정의하는 역할을 할 수 있다. 즉, 기판(100)에 있어서 제1전극층(221M)이 위치하는 영역이 제3-2영역(MA2)으로 정의될 수 있다.

[0126] 일 실시예로, 제1전극층(221M)은 제1영역(OA)과 대응하는 홀을 구비할 수 있으며, 상기 홀은 제1영역(OA)의 제1반지름(R1)보다 클 수 있다. 구체적으로, 제1전극층(221M)은 제2라인(E2)과 제3라인(E3)에 대응하는 내외측 가장자리를 갖는 링 형상의 패턴일 수 있다.

[0127] 따라서, 제1전극층(221M)은 제3-2영역(MA2)에 위치하는 배선들(DL, SL)의 우회부분은 커버하되, 제3-1영역(MA1)에 배치된 그루브(G)들은 커버하지 않을 수 있다.

[0128] 다시 도 8 및 도 9를 참조하면, 제1전극층(221M) 상에는 제1절연층(211PR)이 배치된다. 이때 제1절연층(211PR)은 제1전극층(221M)의 제2라인(E2)과 제3라인(E3)에 대응하는 가장자리들을 커버하도록 배치될 수 있다.

[0129] 제1절연층(211PR)은 제1전극층(221M)의 적어도 일부를 노출시키는 개구부를 갖는다. 상기 개구부는 평면 형상을 가질 수도 있고, 또는 아일랜드 형상을 가질 수도 있다. 전자의 경우, 제1절연층(211PR)은 상호 이격된 복수의

돌기들을 포함하는 것일 수 있다.

[0130] 제1전극층(221M) 상에는 제2전극층(223)이 배치된다. 구체적으로, 제2전극층(223)은 제1전극층(221M)의 상기 개구부를 통해 노출된 부분과 접촉하게 된다.

[0131] 제2전극층(223)에는 정전압이 인가될 수 있으며, 이로써 제2전극층(223)과 제2전극층(223)에 접촉하는 제1전극층(221M)이 등전위로 플로팅(floating)되어 제1전극층(221M) 하부에 위치하는 배선들(DL, SL)이 차폐될 수 있다.

[0132] 일 실시예로, 제1전극층(221M)은 화소회로(PC)에 포함된 화소전극(221)과 동일 물질을 포함할 수 있다. 또한, 제1전극층(221M)은 화소전극(221)과 동일 층상에 배치된 것일 수 있다.

[0133] 일 실시예로, 제2전극층(223)은 화소회로(PC)에 포함된 대향전극(223)과 동일 물질을 포함할 수 있다. 또한, 제2전극층(223)은 대향전극(223)과 동일 층상에 배치된 것으로, 대향전극(223)의 일부일 수 있다.

[0134] 일 실시예로, 제1절연층(211PR)은 화소회로(PC)에 포함된 화소정의막(211)과 동일 물질을 포함할 수 있다. 또한, 제1절연층(211PR)은 화소정의막(211)과 동일 층상에 배치된 것일 수 있다.

[0135] 제3-1영역(MA1)은 그루브들이 배치되는 일종의 그루브영역으로서, 도 8 및 도 9는 제3-1영역(MA1)에 위치하는 3개의 그루브(G)를 도시하지만, 그 개수는 다양하게 변경될 수 있음은 전술한 바와 같다.

[0136] 그루브(G)들 각각은 서로 다른 물질을 포함하는 제1층 및 제2층을 포함하는 다층 막에 형성될 수 있는데, 일 실시예로서 도 9는 그루브(G)가 기판(100)에 구비된 서브층에 형성된 것을 도시한다.

[0137] 그루브(G)는 제2배리어층(104)의 일부 및 제2베이스층(103)의 일부를 제거하여 형성될 수 있다. 이때 그루브(G)는 중간층(222)을 형성하는 공정 이전에 형성될 수 있다.

[0138] 일 실시예로, 중간층(222) 중 일부, 예컨대 제3영역(MA)까지 연장되는 제1 및/또는 제2기능층(도 10의 222a, 222c)은 그루브(G)를 중심으로 단절될 수 있다. 이로써 제1개구(10H)를 통해 침투한 외부의 수분이 유기봉지층(320)을 통해 표시영역인 제2영역(DA)의 유기발광다이오드로 진행하는 것을 방지할 수 있다.

[0139] 이와 같이 제2기능층(도 10의 222a, 222c)은 그루브(G)를 중심으로 단절된 경우, 제1 및 제2기능층(도 10의 222a, 222c)은 발광층(도 10의 222b)과 달리, 도 9의 표시영역인 제2영역(DA)뿐만 아니라 비표시영역인 제3영역(MA) 에도 존재할 수 있다.

[0140] 다른 실시예로, 중간층(222) 중 일부인 제1 및 제2기능층(도 10의 222a, 222c)은 비표시영역인 제3영역(MA)에서 아예 제거되거나, 애초에 표시영역인 제2영역(DA)에만 존재하는 것일 수도 있다. 이러한 경우 수분 침투를 방지하기 위한 그루브(G)는 생략될 수 있다.

[0141] 이하 도 11a 및 도 11b를 참조하여, 제1 및 제2기능층(도 10의 222a, 222c)이 제3영역(MA)에 존재하는 경우와 존재하지 않는 경우에 대해 좀 더 구체적으로 설명한다.

[0142] 도 11a 및 도 11b는 도 9의 XI부분을 발췌하여 확대한 단면도들이다.

[0143] 먼저 도 11a는 중간층(도 9의 222)의 일부인 제1 및 제2기능층(222a, 222c)이 제3영역(MA)에 존재하지 않는 경우를 도시한 것이다.

[0144] 도 11a를 참조하면, 제3영역(MA)에 위치하는 배선의 일부, 예컨대 데이터라인(DL)의 우회부분(도 8 참조) 상에 제1전극층(221M)이 배치된다. 이때 제1전극층(221M)의 일부를 노출시키는 개구부(211OP)를 갖는 제1절연층(211PR)이 제1전극층(221M) 상에 배치되며, 제1절연층(211PR) 상에 제2전극층(223)이 배치될 수 있다.

[0145] 이때 제3영역(MA)에는 제2전극층(223, 도 9의 대향전극(223)과 동일 층상에 배치)과 제1전극층(221M, 도 9의 화소전극(221)과 동일 층상에 배치) 사이에 제1 및 제2기능층(222a, 222c)과 같은 개재층이 존재하지 않으므로, 제2전극층(223)은 제1전극층(221M)과 직접적으로(directly) 접촉할 수 있게 된다.

[0146] 다음으로 도 11b는 중간층(도 9의 222)의 일부인 제1 및 제2기능층(222a, 222c)이 제3영역(MA)에 존재하는 경우를 도시한 것이다.

[0147] 도 11b를 참조하면, 도 11a와 마찬가지로 제3영역(MA)에 위치하는 배선의 일부, 예컨대 데이터라인(DL)의 우회부분(도 8 참조) 상에 제1전극층(221M)이 배치된다. 이때 제1전극층(221M)의 일부를 노출시키는 개구부(211OP)를 갖는 제1절연층(211PR)이 제1전극층(221M) 상에 배치된다.

[0148] 한편, 도 11a와 달리 제1절연층(211PR) 상에는 중간층(도 9의 222)의 일부인 제1 및 제2기능층(222a, 222c)이 배치되며, 제1 및 제2기능층(222a, 222c) 상에 제2전극층(223)이 배치될 수 있다.

[0149] 이때 제3영역(MA)에는 제2전극층(223)과 제1전극층(221M) 사이에 제1 및 제2기능층(222a, 222c)과 같은 개재층이 존재하므로, 제2전극층(223)이 제1전극층(221M)과 직접적으로(directly) 접촉할 수 없다.

[0150] 따라서, 레이저빔 등을 이용하여 제1 및 제2기능층(222a, 222c)의 일부를 선택적으로 제거하여 제1절연층(211PR)의 개구부(211OP) 내에서 제1전극층(221M)의 일부를 외부로 노출시킨 후, 제2전극층(223)을 제1전극층(221M)과 직접적으로(directly) 접촉시킬 수 있다.

[0151] 이하 도 12a 내지 도 14b를 참조하여, 상술한 제1전극층(221M), 제1절연층(211PR) 및 제2전극층(223)을 포함하는 표시패널(10A)(10B)(10C)의 평면상의 구조에 대해 좀 더 구체적으로 설명한다.

[0152] 도 12a는 도 8의 W부분의 일 예를 확대하여 도시한 평면도이고, 도 12b는 도 12a의 A-A' 선에 따른 단면도이다.

[0153] 도 12a 및 도 12b를 참조하면, 제1전극층(221M)은 복수의 홀(221H)들을 가질 수 있다. 이는 제1전극층(221M)의 하부에 유기 절연층인 평탄화 절연층(209)이 배치됨에 따라, 평탄화 절연층(209)의 아웃개싱(out-gasing)을 수행하기 위해 평탄화 절연층(209)의 상부층인 제1전극층(221M)에 일종의 벤트홀(vent hole)을 형성한 것이다.

[0154] 그러나, 제1전극층(221M)에 구비된 복수의 홀(221H)들을 통해 제1전극층(221M)의 단면이 외부에 노출됨에 따라, 공정 중에 제1전극층(221M)에 은(Ag)과 같은 금속이 석출되는 문제가 발생할 수 있다. 따라서, 제1전극층(221M)의 단면이 노출되지 않도록 제1절연층(211PR)을 이용하여 복수의 홀(221H)들을 커버할 수 있다.

[0155] 제1전극층(221M)의 복수의 홀(221H)들은 상호 이격된 것일 수 있으며, 따라서 복수의 홀(221H)들 각각을 커버하는 제1절연층(211PR) 또한 상호 이격된 돌기들일 수 있다.

[0156] 일 실시예로, 복수의 홀(221H)들은 서로 교번하여 배치될 수 있다. 여기서 서로 교번하여 배치된다 함은, 복수의 홀(221H)들이 하나의 열로 배치된 제1홀 및 제2홀과, 상기 제1홀 및 제2홀에 이웃하되 상기 열과 다른 열에 배치된 제3홀을 포함하는 경우, 상기 제3홀은 상기 제1홀 및 제2홀 사이에 배치되는 것을 의미한다.

[0157] 또한, 제1전극층(221M)의 제2라인(E2) 및 제3라인(E3)에 대응하는 가장자리들도 제1전극층(221M)의 단면이 노출되는 부분일 수 있다. 따라서, 제1전극층(221M)의 가장자리들도 제1절연층(211PR)과 동일한 물질을 포함하는 커버부재(211E)로 커버할 수 있다.

[0158] 상기 커버부재(211E)는 돌기들을 포함하는 제1전극층(221M)과 달리 길게 연장된 스트립(strip) 형상을 가질 수 있으며, 이로써 상기 커버부재(211E)의 제1영역(OA) 쪽 가장자리는 제1전극층(221M)의 가장자리에 대응하는 제2라인(E2)보다 제1영역(OA)에 더 인접하게 배치된다. 이와 마찬가지로, 상기 커버부재(211E)의 제2영역(DA) 쪽 가장자리는 제1전극층(221M)의 가장자리에 대응하는 제3라인(E3)보다 제2영역(DA)에 더 인접하게 배치된다.

[0159] 한편, 제1전극층(221M)의 복수의 홀(221H)들 각각을 커버하기 위해, 제1절연층(211PR)은 도 12b에 도시된 바와 같이 복수의 홀(221H)들 각각에 대응하는 복수의 돌기들일 수 있다.

[0160] 일 실시예로, 복수의 홀(221H)들 각각을 커버하는 제1절연층(211PR) 돌기의 단면은 복수의 홀(221H)들과 동일한 형상을 가질 수 있다.

[0161] 한편, 도 12a에는 복수의 홀(221H)들이 사각형 홀인 것으로 도시되어 있으나, 그 형상은 (타)원형, 삼각형 등으로 다양하게 변형될 수 있다.

[0162] 이러한 돌기들 상에는 제2전극층(223)이 배치되며, 제2전극층(223)은 제1전극층(221M)의 상기 돌기들에 의해 커버되지 않는 부분과 접촉하게 된다. 이로써 제1전극층(221M)은 제2전극층(223)과 동일한 전압 레벨을 갖게 되어 제1전극층(221M) 하부에 위치한 데이터라인(DL) 등의 배선을 차폐할 수 있다.

[0163] 도 13a는 도 8의 W부분의 다른 예를 확대하여 도시한 평면도이고, 도 13b는 도 13a의 B-B' 선에 따른 단면도이다.

[0164] 이하에서는 도 12a 및 도 12b를 참조하여 설명한 실시예와의 차이점을 위주로 설명하기로 한다.

[0165] 도 13a 및 도 13b를 참조하면, 제1절연층(211PR)은 제1전극층(221M)의 복수의 홀(221H)들 중 이웃하는 적어도 둘 이상의 홀(221H)들을 하나의 세트로 하여 커버하는 것일 수도 있다.

[0166] 이러한 경우에도 제1절연층(211PR)은 상호 이격된 돌기들일 수 있고, 다만 도 12a 및 도 12b에 도시된 돌기들보

다 크기가 클 수 있다.

[0167] 이와 같이 제1절연층(211PR)이 적어도 둘 이상의 홀(221H)들을 커버하되 상호 이격된 돌기들을 포함함에 따라, 도 13b에 도시된 바와 같이 제2전극층(223)과 제1전극층(221M) 간의 접촉면적이나 접촉빈도는 감소할 수 있으나, 제1절연층(211PR)을 이용하여 복수의 홀(221H)들을 커버링하는 공정의 소요 시간을 감축할 수 있다.

[0168] 도 14a는 도 8의 W부분의 다른 예를 확대하여 도시한 평면도이고, 도 14b는 도 14a의 C-C' 선에 따른 단면도이다.

[0169] 이하에서는 도 12a 내지 도 12b를 참조하여 설명한 실시예와의 차이점을 위주로 설명하기로 한다.

[0170] 도 14a 및 도 14b를 참조하면, 제1절연층(211PR)은 제1전극층(221M)의 복수의 홀(221H)들 각각을 커버하는 복수의 돌기들일 수 있다.

[0171] 다만, 제1절연층(211PR) 돌기들의 단면은 복수의 홀(221H)들과 상이한 형상을 가질 수 있다. 일 실시예로, 복수의 홀(221H)들은 사각형 홀일 수 있으나, 상기 돌기들의 단면은 원형일 수 있다.

[0172] 이와 같이 제1절연층(211PR)이 복수의 홀(221H)들과 상이한 형상을 갖는 복수의 돌기들을 포함함에 따라, 도 14a에 도시된 바와 같이 제1절연층(211PR)의 돌기와 제1전극층(221M)의 홀(221H) 간의 중첩되는 면적이 줄어들게 되어 제2전극층(223)과 제1전극층(221M) 간의 접촉면적이 증가할 수 있다.

[0173] 이상에서 설명한 바와 같이, 본 발명의 일 실시예에 따른 표시 패널은 센서나 카메라 등과 같은 전자요소와 대응되는 제1영역 주변 배선들을 용이하게 차폐(shield)할 수 있는 한편, 상기 배선들의 배치를 단순화하는 효과가 있다.

[0174] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

## *부호의 설명*

[0175] 10: 표시 패널

100: 기판

221M: 제1전극층

221H: 제1전극층의 홀

211PR: 제1절연층

211OP: 개구부

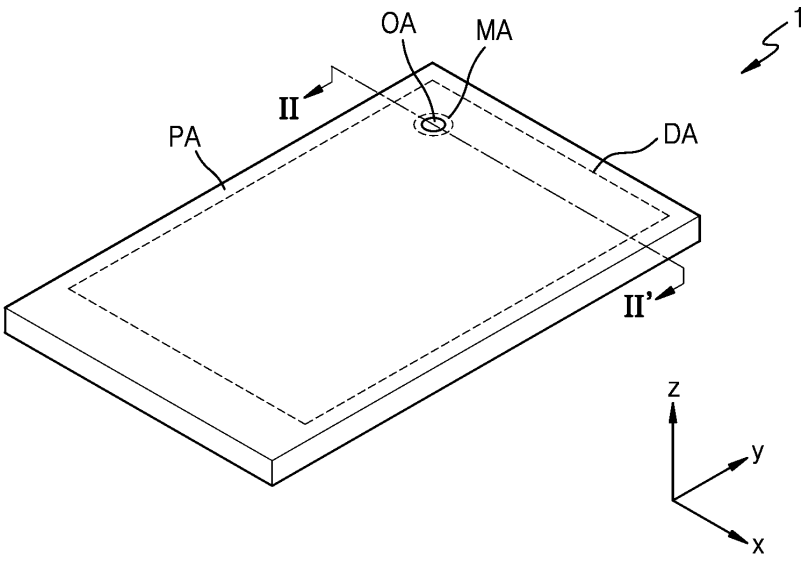
223: 제2전극층

DL: 데이터라인

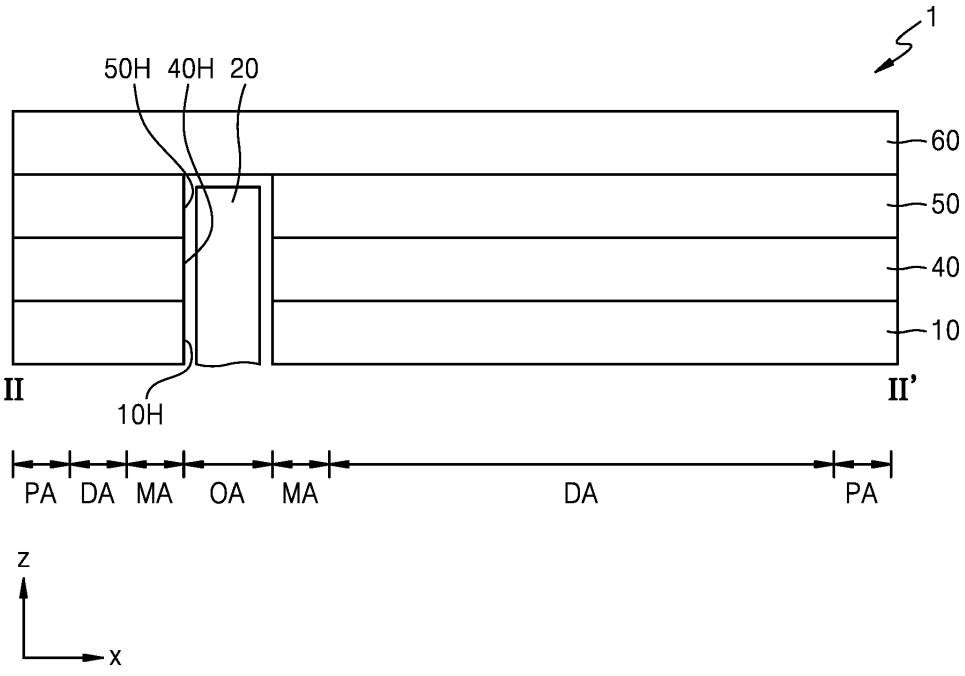
SL: 스캔라인

도면

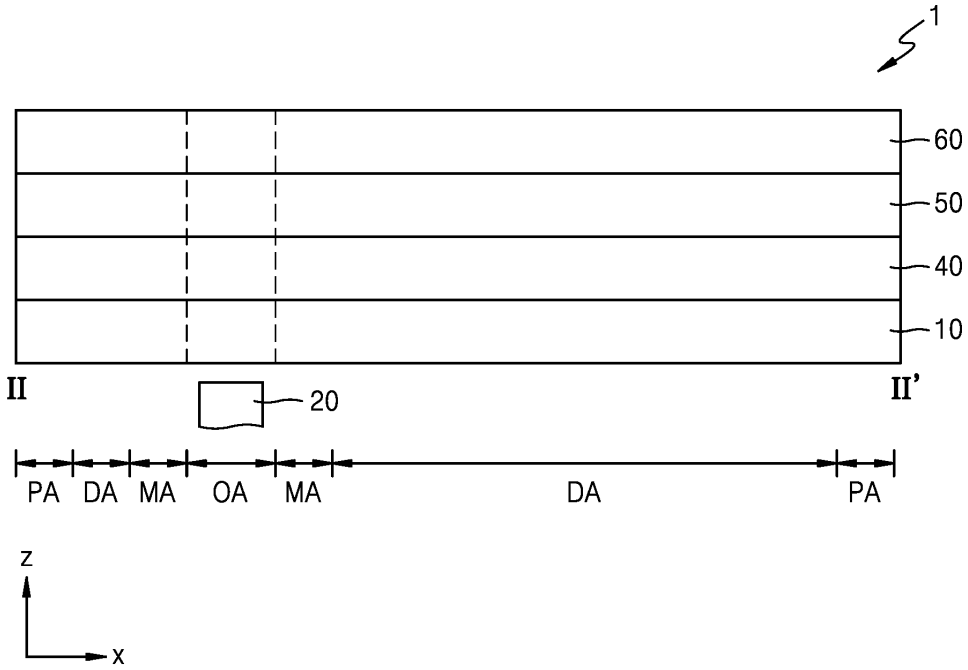
도면1


OA
MA
1
II
PA
DA
II'
z
y
x

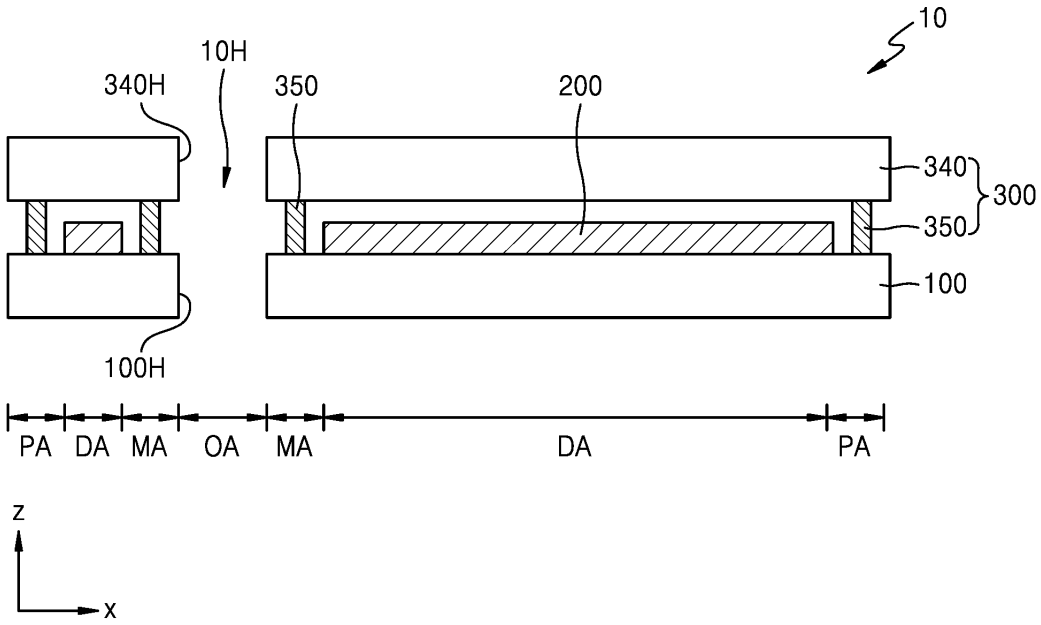
도면2


1
50H
40H
20
60
50
40
10
II
II'
10H
PA
DA
MA
OA
MA
DA
PA
z
x

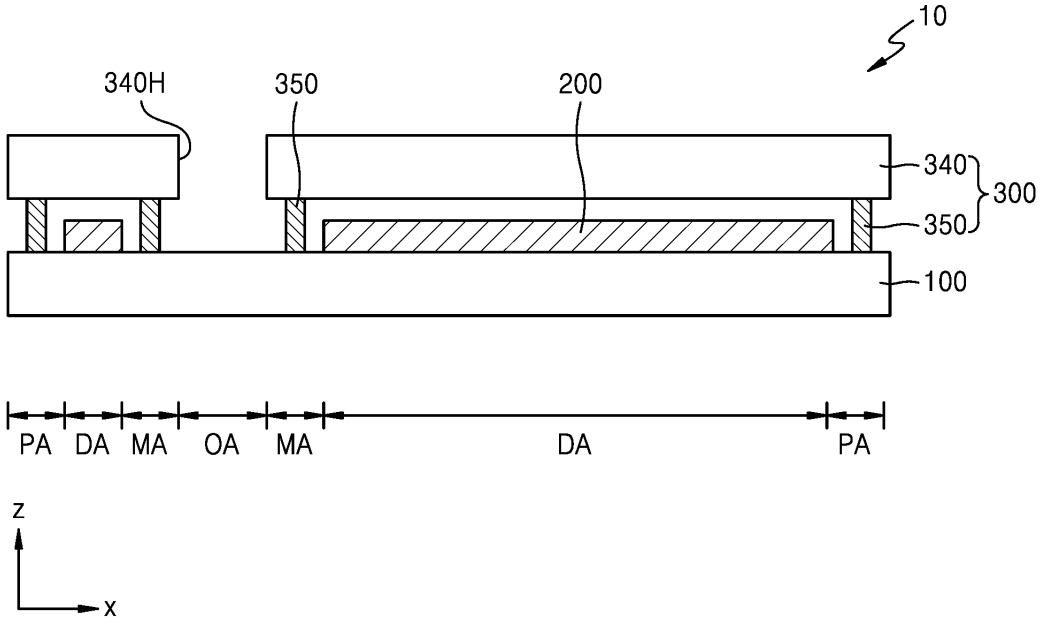
도면3


1
60
50
40
10
II
20
II'
PA
DA
MA
OA
MA
DA
PA
z
x

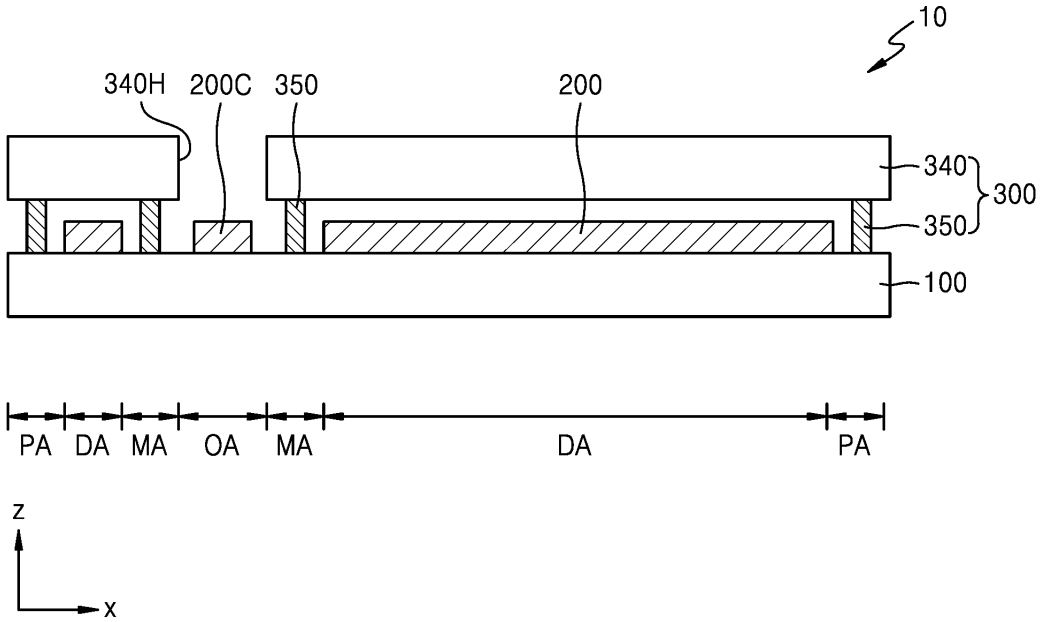
도면4a


10
10H
340H
350
200
340
300
350
100
100H
PA
DA
MA
OA
MA
DA
PA
z
x

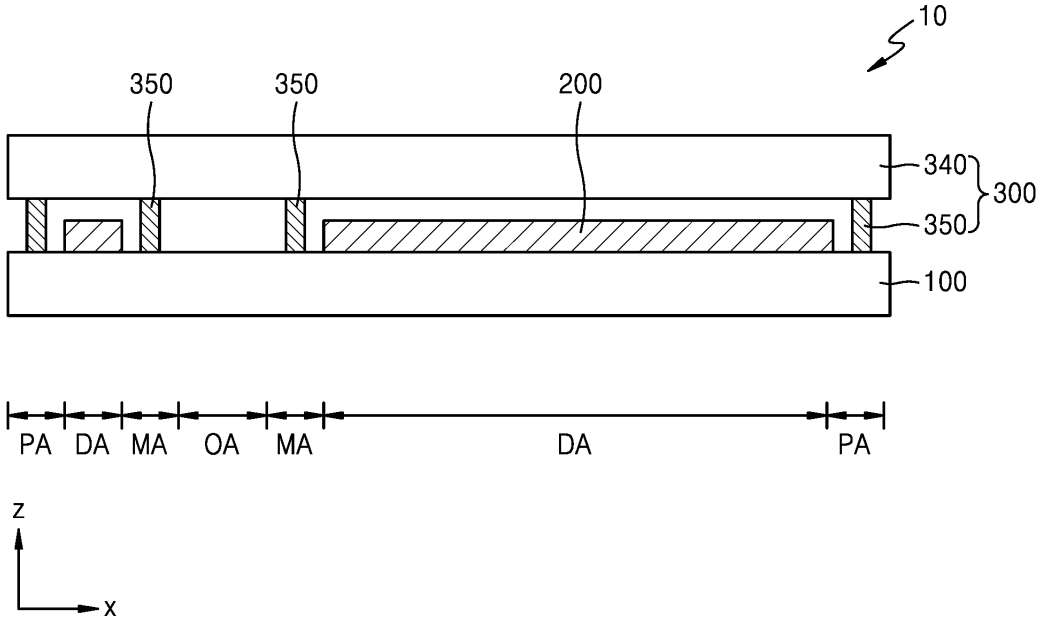
도면4b


10
340H
350
200
340
300
350
100
PA
DA
MA
OA
MA
DA
PA
z
x

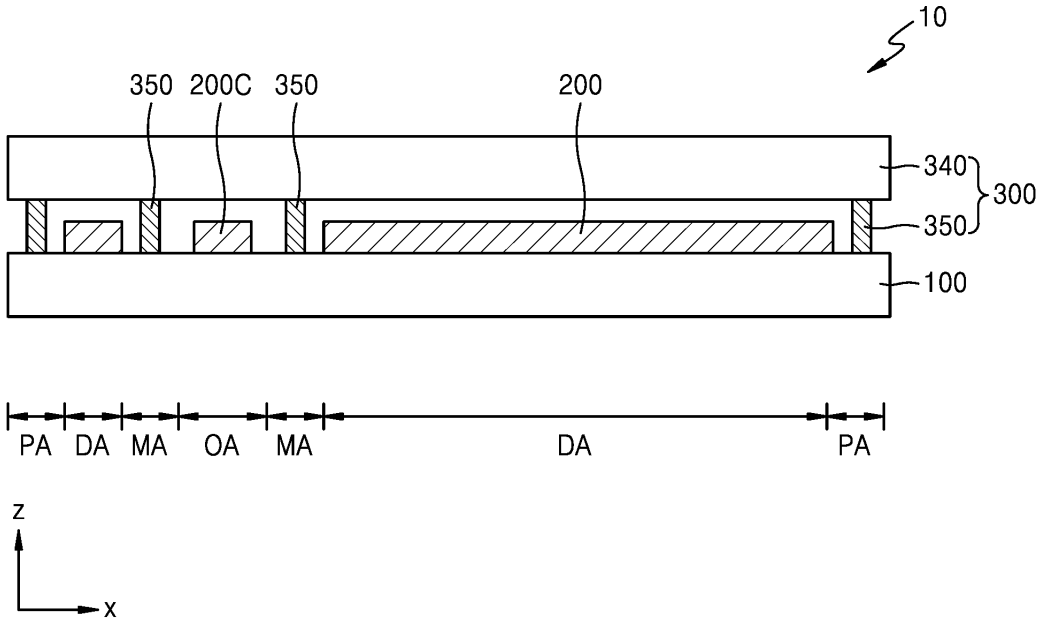
도면4c


10
340H
200C
350
200
340
300
350
100
PA
DA
MA
OA
MA
DA
PA
z
x

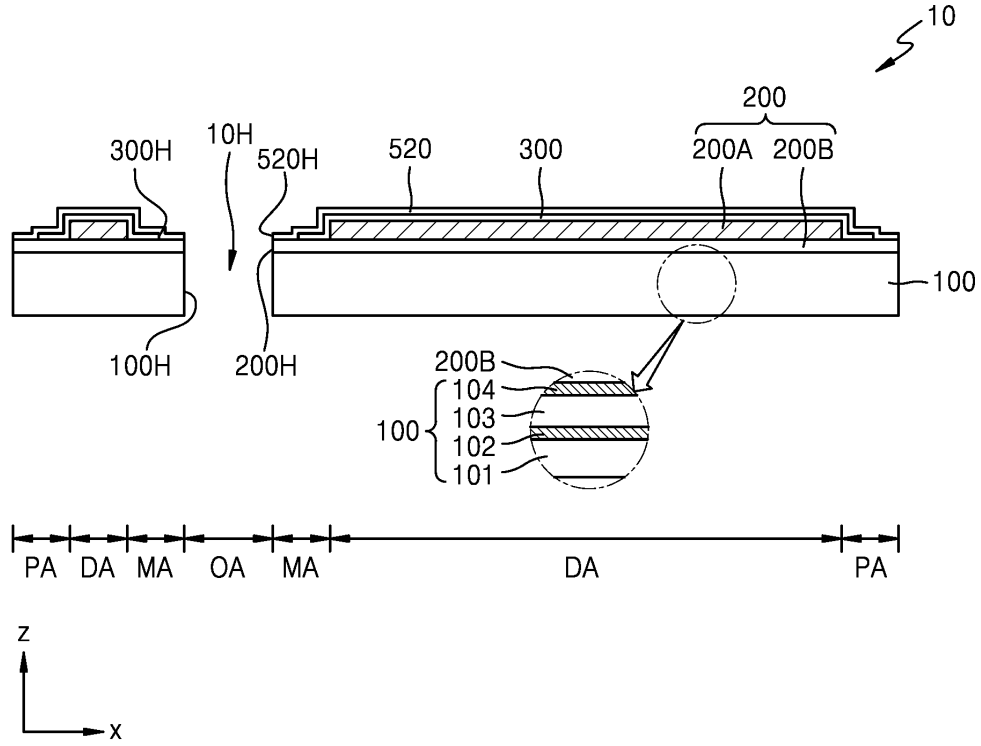
도면4d


10
350
350
200
340
300
350
100
PA
DA
MA
OA
MA
DA
PA
z
x

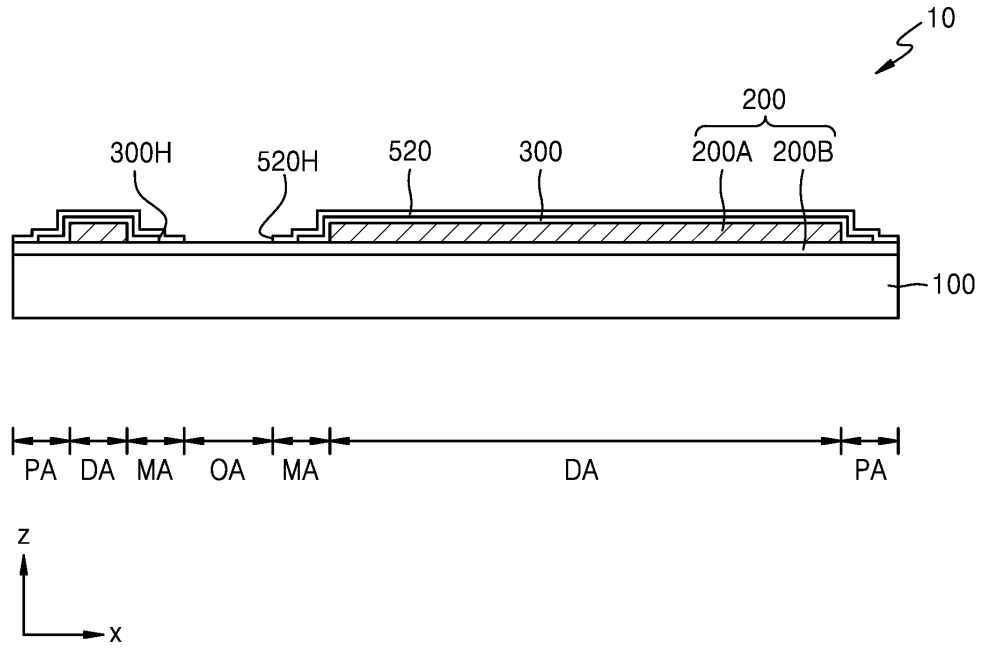
도면4e


10
350
200C
350
200
340
300
350
100
PA
DA
MA
OA
MA
DA
PA
z
x

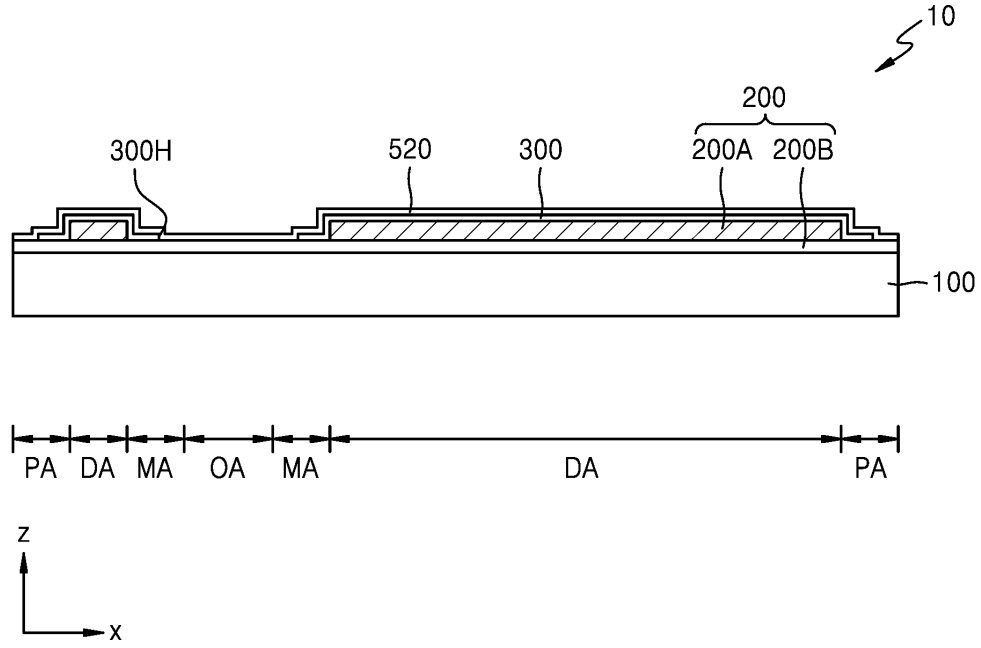
도면5a


10
200
300H
10H
520H
520
300
200A
200B
100
100H
200H
200B
104
103
102
101
100
PA
DA
MA
OA
MA
DA
PA
z
x

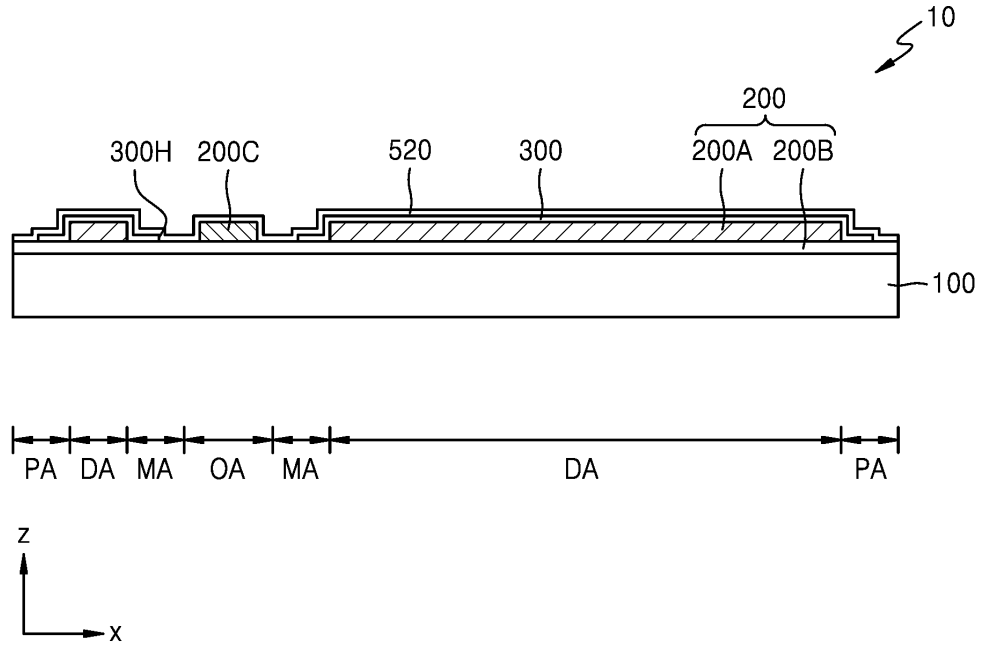
도면5b


10
200
300H
520H
520
300
200A
200B
100
PA
DA
MA
OA
MA
DA
PA
z
x

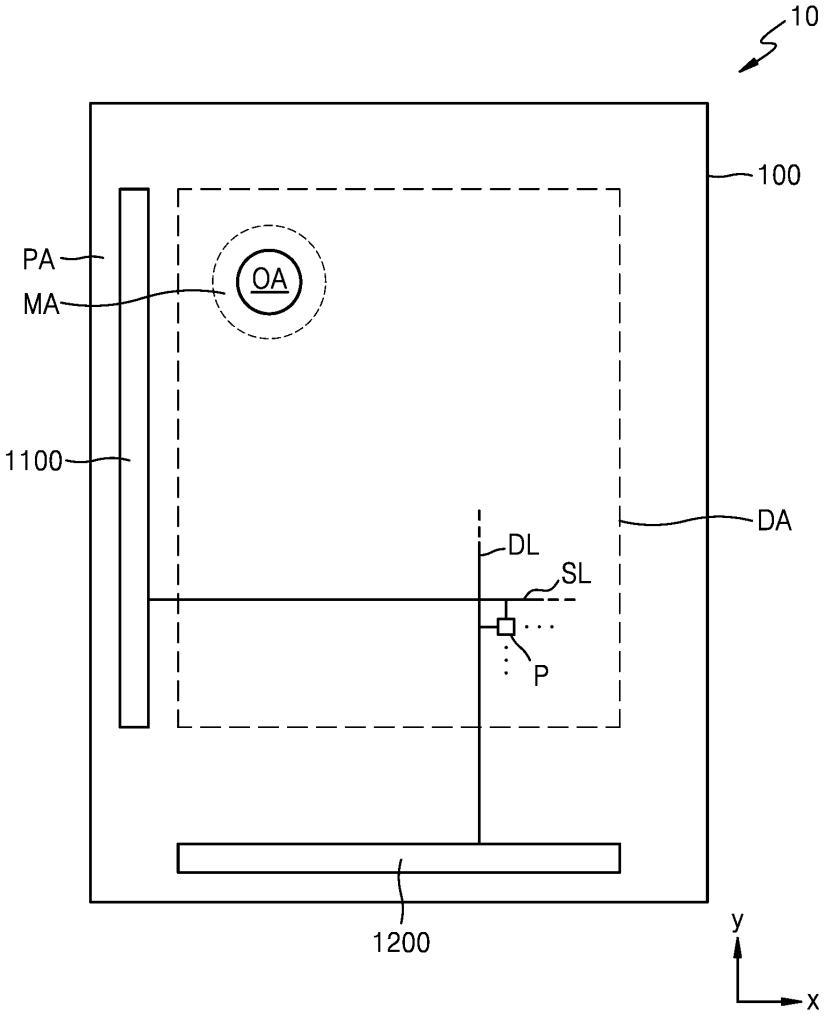
도면5c


10
200
300H
520
300
200A
200B
100
PA
DA
MA
OA
MA
DA
PA
z
x

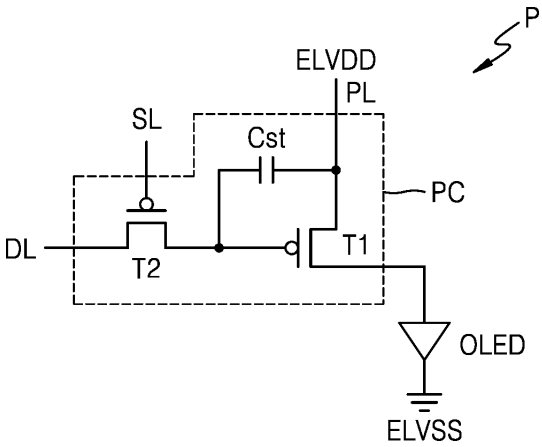
도면5d


10
200
300H
200C
520
300
200A
200B
100
PA
DA
MA
OA
MA
DA
PA
z
x

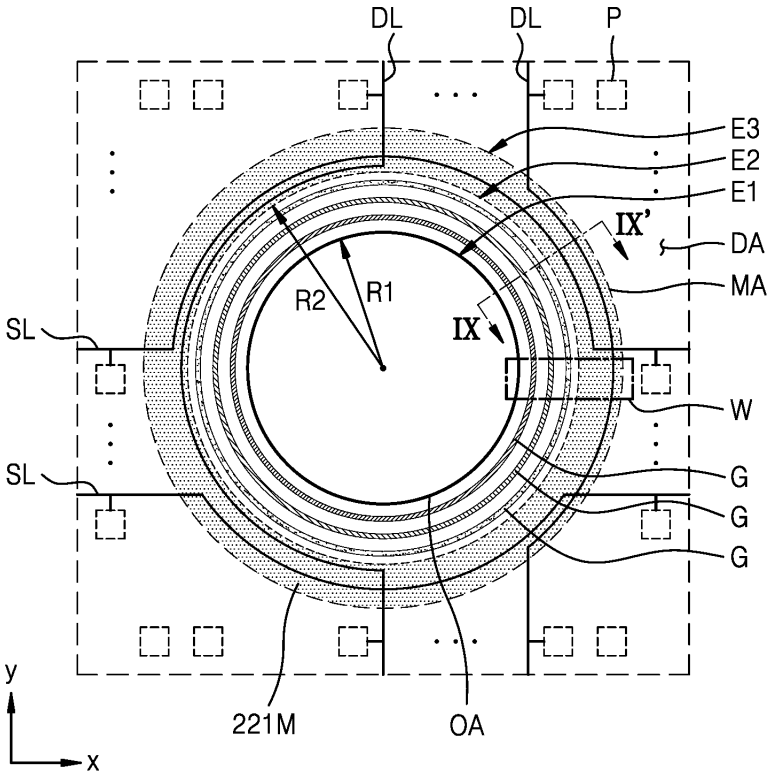
도면6


10
100
PA
MA
OA
1100
DA
DL
SL
P
1200
y
x

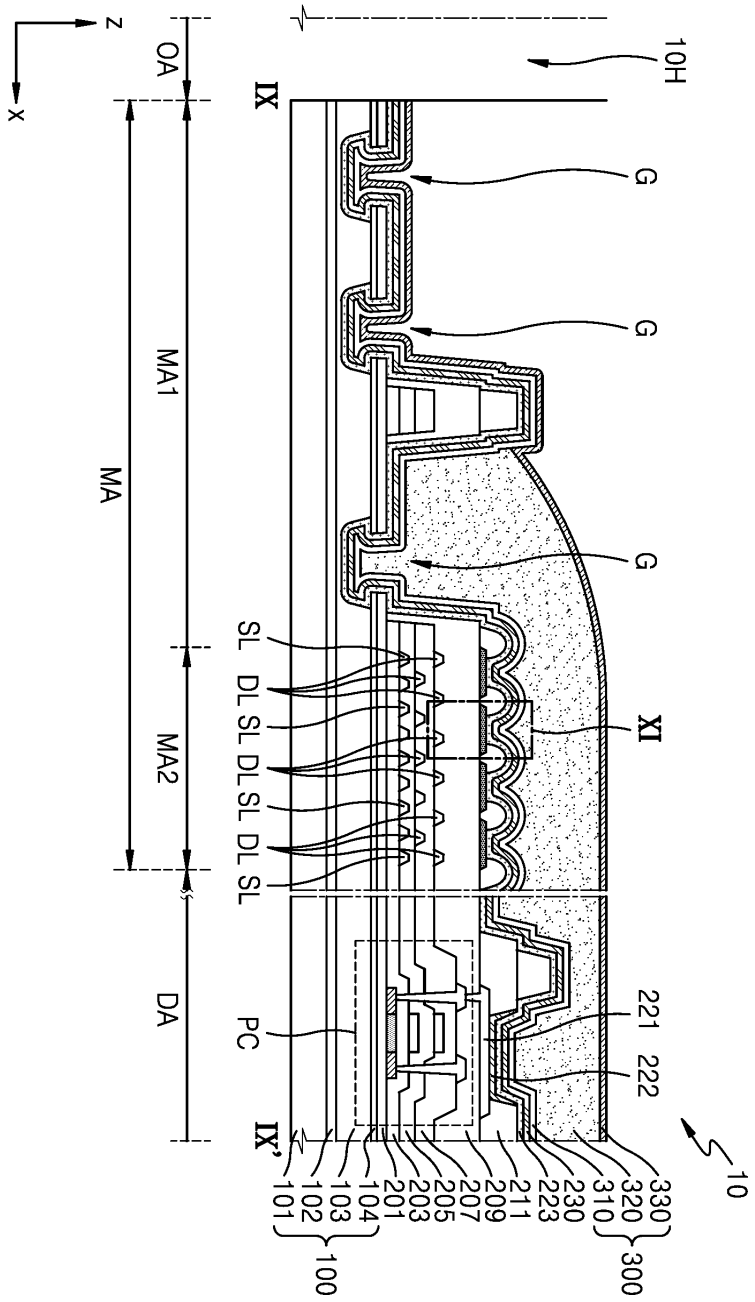
도면7


P
ELVDD
PL
SL
Cst
PC
DL
T2
T1
OLED
ELVSS

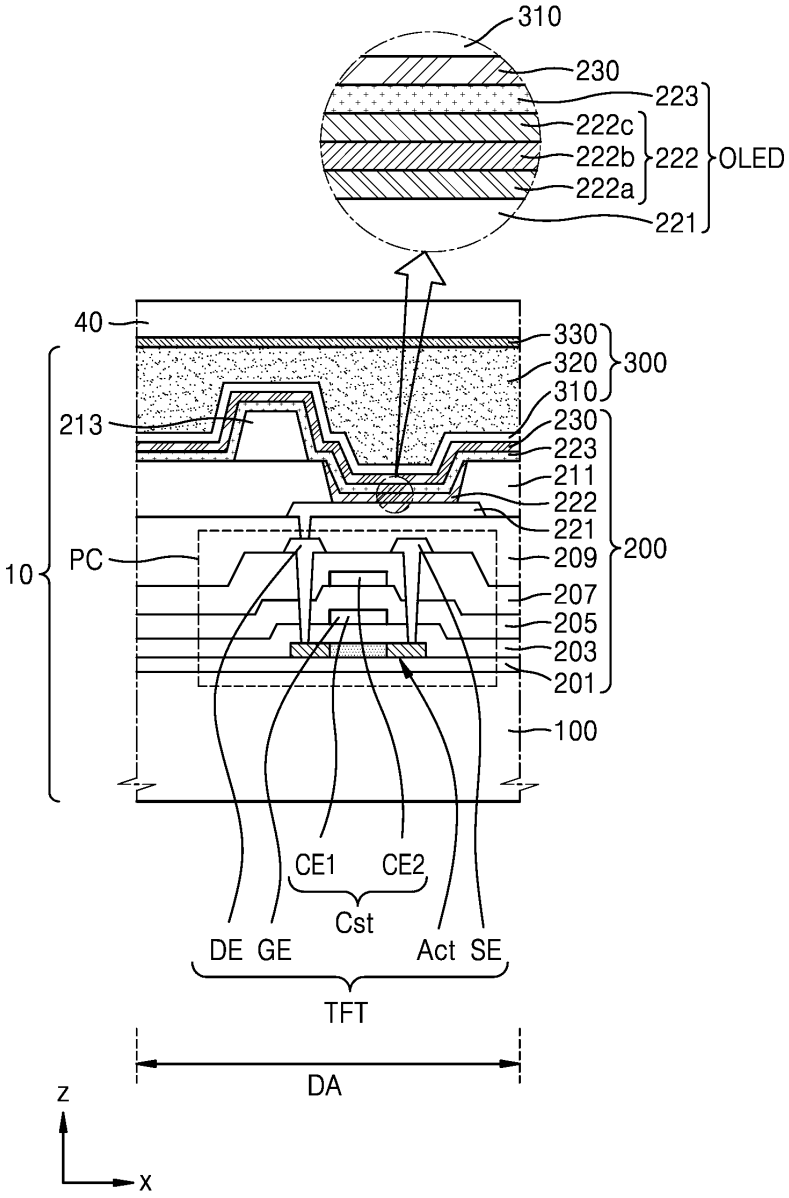
도면8



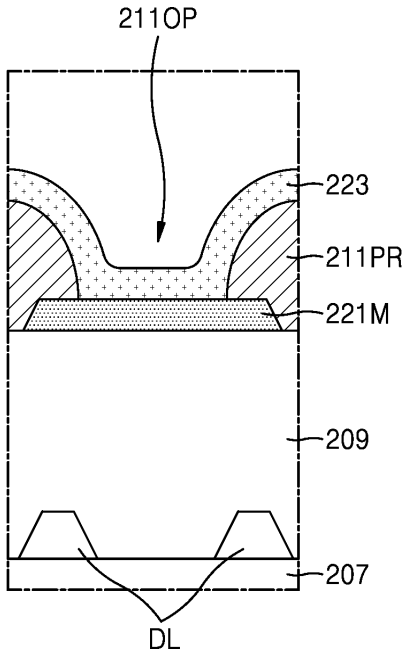
도면9


z
x
OA
MA
MA1
MA2
DA
IX
IX'
XI
10H
G
G
G
SL
DL
SL
DL
SL
DL
SL
PC
221
222
10
101
102
103
104
201
203
205
207
209
211
223
230
310
320
330
100
300

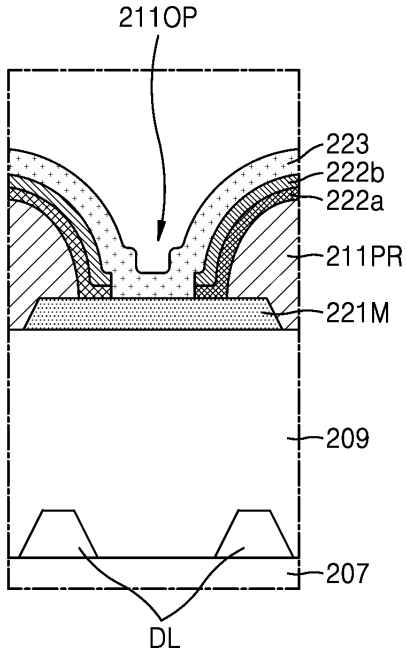
도면10


310
230
223
222c
222b
222
222a
OLED
221
40
330
320
300
310
213
230
223
211
222
221
PC
209
200
10
207
205
203
201
100
CE1
CE2
Cst
DE
GE
Act
SE
TFT
DA
z
x

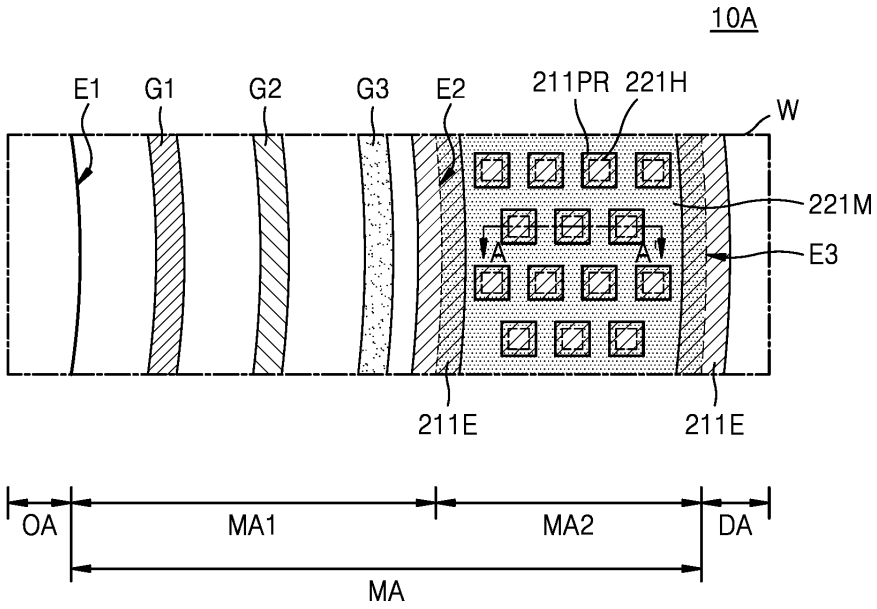
도면11a


211OP
223
211PR
221M
209
207
DL

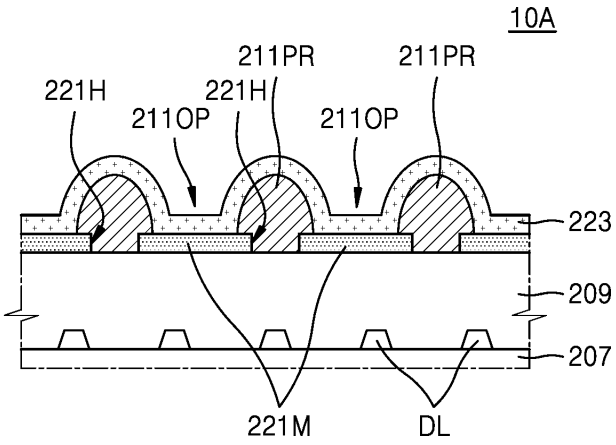
도면11b


211OP
223
222b
222a
211PR
221M
209
207
DL

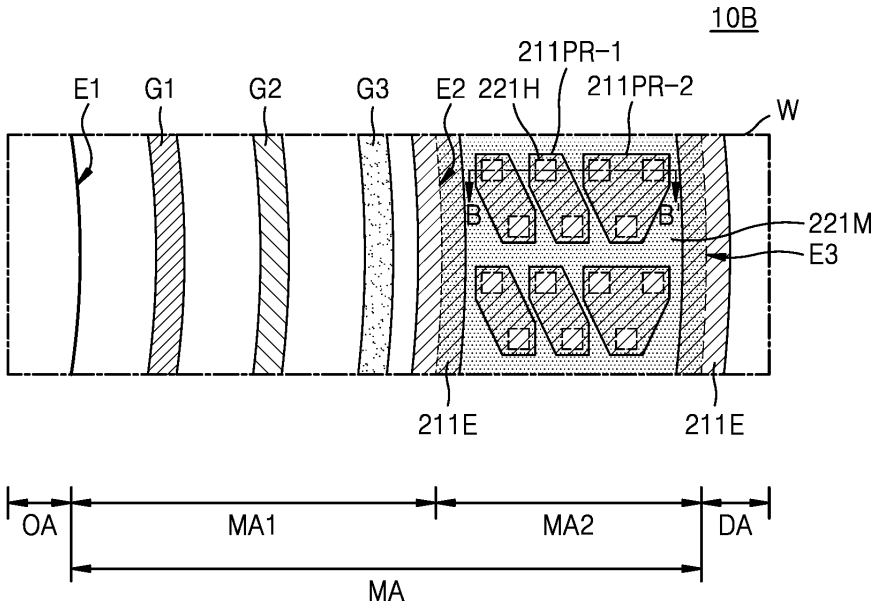
도면12a


10A
E1
G1
G2
G3
E2
211PR
221H
W
221M
E3
A
A
211E
211E
OA
MA1
MA2
DA
MA

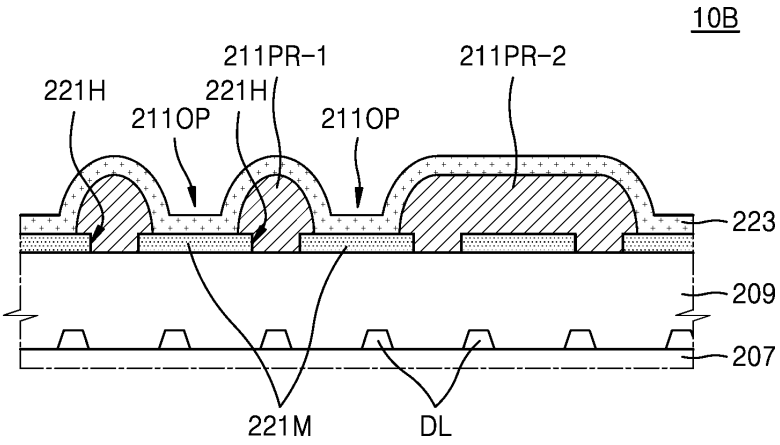
도면12b


10A
211PR
211PR
221H
221H
211OP
211OP
223
209
207
221M
DL

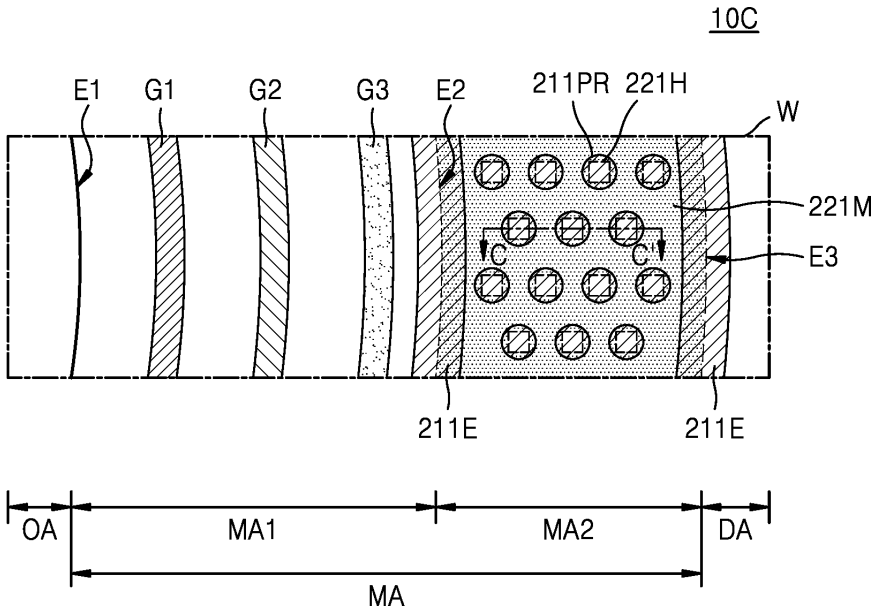
도면13a


10B
211PR-1
E1
G1
G2
G3
E2
221H
211PR-2
W
B
B'
221M
E3
211E
211E
OA
MA1
MA2
DA
MA

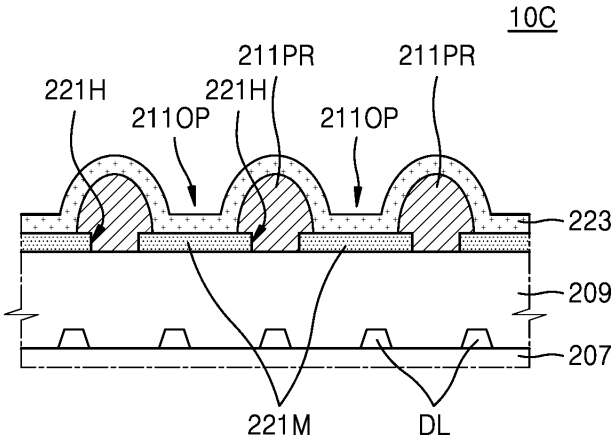
도면13b


10B
211PR-1
211PR-2
221H
221H
211OP
211OP
223
209
207
221M
DL

도면14a


10C
E1
G1
G2
G3
E2
211PR
221H
W
221M
E3
C
C'
211E
211E
OA
MA1
MA2
DA
MA

도면14b


10C
211PR
211PR
221H
221H
211OP
211OP
223
209
207
221M
DL