



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I500092 B

(45) 公告日：中華民國 104 (2015) 年 09 月 11 日

(21) 申請案號：098114595

(22) 申請日：中華民國 98 (2009) 年 05 月 01 日

(51) Int. Cl. : **H01L21/60 (2006.01)**

(30) 優先權：2008/05/02 日本 2008-120291

(71) 申請人：神港精機股份有限公司 (日本) SHINKO SEIKI COMPANY, LTD. (JP)

日本

大野恭秀 (日本) OHNO, YASUhide (JP)

日本

(72) 發明人：大野恭秀 OHNO, YASUhide (JP) ; 谷口慶輔 TANIGUCHI, KEISUKE (JP) ; 竹內達也 TAKEUCHI, TATSUYA (JP) ; 萩原泰三 HAGIHARA, TAIZO (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP 2001-308144A

US 2004/0072387A1

審查人員：王世賢

申請專利範圍項數：6 項 圖式數：10 共 23 頁

(54) 名稱

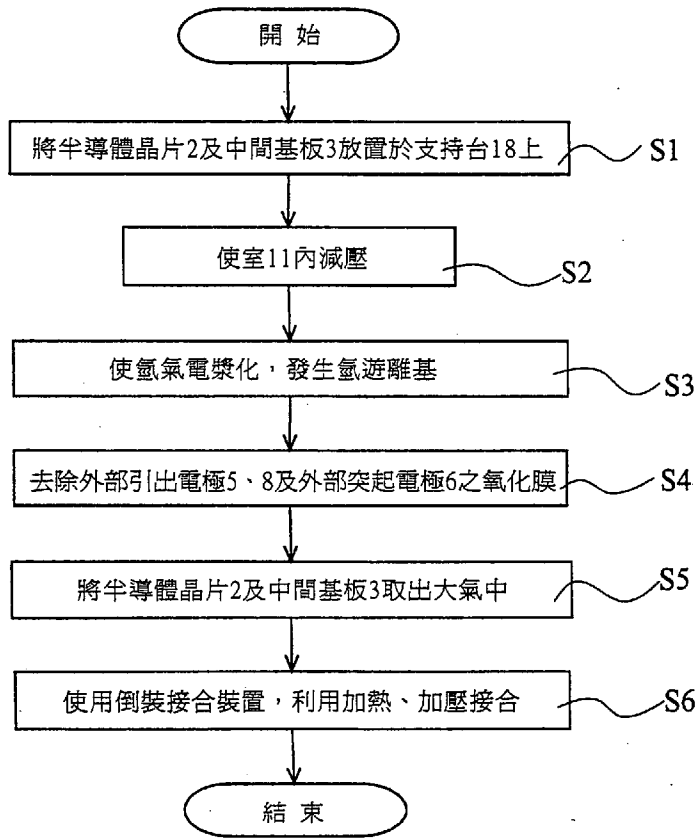
接合方法及接合裝置

JOINING METHOD AND JOINING APPARATUS

(57) 摘要

本發明提供一種不引起被接合物互相間之電接觸性惡化之下，能容易的在低溫實行接合之接合方法及裝置。接合方法包括：對在表面分別具有被接合物的第 1 及第 2 基板之該等被接合物表面，藉氫遊離基實施氧化膜還原處理；繼之使氧化膜還原處理後之該等被接合物定位；然後施加荷重予該等第 1 及第 2 基板使該等被接合物互相接合。

圖2



- S1 . . . 將半導體晶片 2 及中間基板 3 放置於支持台 18 上
- S2 . . . 使室 11 內減壓
- S3 . . . 使氫氣電漿化，發生氫遊離基
- S4 . . . 去除外部引出電極 5、8 及外部突起電極 6 之氧化膜
- S5 . . . 將半導體晶片 2 及中間基板 3 取出大氣中
- S6 . . . 使用倒裝接合裝置，利用加熱、加壓接合

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98114595

※申請日： 98.5.1 ※IPC 分類：H01L21/60(2006.01)

一、發明名稱：(中文/英文)

接合方法及接合裝置

JOINING METHOD AND JOINING APPARATUS

二、中文發明摘要：

本發明提供一種不引起被接合物互相間之電接觸性惡化之下，能容易的在低溫實行接合之接合方法及裝置。接合方法包括：

對在表面分別具有被接合物的第1及第2基板之該等被接合物表面，藉氫遊離基實施氧化膜還原處理；繼之使氧化膜還原處理後之該等被接合物定位；然後施加荷重予該等第1及第2基板使該等被接合物互相接合。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

- S1 將半導體晶片 2 及中間基板 3 放置於支持台 18 上
- S2 使室 11 內減壓
- S3 使氫氣電漿化，發生氫遊離基
- S4 去除外部引出電極 5、8 及外部突起電極 6 之氧化膜
- S5 將半導體晶片 2 及中間基板 3 取出大氣中
- S6 使用倒裝接合裝置，利用加熱、加壓接合

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於基板之接合方法及該方法所用之裝置。

【先前技術】

已有之基板與基板之接合技術為倒裝接合法(flip-chip bonding)，它是在免除從相當於一個基板之半導體晶片引出導入線(lead line)至別的基板(例如印刷基板或插入板(interposer)等)之下，經由一個 2 維配置之俗稱隆起物(bump)的突出電極將半導體晶片接續於另一基板之方法。即，依倒裝接合法係使用半導體晶片與位於另一基板表面上之突起電極互相接合，或使半導體晶片與另一基板之一個表面上之突起電極及另一表面上之引出電極接續。

但，依現行的方法為，在實行突起電極與引出電極之接續(亦稱接合)時，主要使用焊劑(flux)。此焊劑係為了還原及去除突起電極表面及內部之氧化物及／或防止突起電極表面之氧化目的而使用，但若是在接合突起電極與引出電極後在基板上焊劑殘留時會大大影響半導體之可靠性(reliability)。為此，避免焊劑留存在半導體晶片及基板之間的隙縫中，須將該殘留焊劑清除乾淨。

但，依倒裝接合法時，半導體晶片與基板之間的隙縫僅為約 50 微米(μm)以下，因此殘留焊劑之清除極為困難。為克服此項困難，最近紛紛倡儀不使用焊劑之突起電極與引出電極之接合技術，其一例為日本特開 2005-230830 號專利公報揭示之使用一種以醇或有機酸為主成分之接著劑暫時性的將突起電

極固定於引出電極上，然後將該突起電極曝露於含有遊離基氣體（例如氫遊離基）之氣氛中一邊進行突起電極表面之氧化膜的還原處理（去除），一邊實行熱處理使突起電極接合於引出電極上。另一例為日本特開 2007-266054 號專利公報揭示之實行電極表面之氧化膜還原處理後，在大氣中實行突起電極與引出電極之定位，進而在氧濃度低的氣氛下使其熔融接合。

然而，上述之二技術均需於氧化膜還原處理後實行熱處理而將突起電極加熱至其熔融溫度（融點）以上溫度。此種加熱對於半導體有不利的影響，絕非可取。

【發明內容】

本發明有鑑於上述先前技術的問題，提供一種不引起被接合物互相間之電接觸性惡化之下，能容易的在低溫實行接合之接合方法及裝置。

依本發明的接合方法包括：

對在表面分別具有被接合物的第 1 及第 2 基板之該等被接合物表面，藉氫遊離基(hydrogen radical)實施氧化膜還原處理；繼之使氧化膜還原處理後之該等被接合物定位；然後施加荷重(load)予該等第 1 及第 2 基板使該等被接合物互相接合。

上述第 1 基板之被接合物可作為設於上述第 1 基板表面之電極。在此場合，上述第 2 基板之被接合物即為設於第 2 基板表面之電極表面上所設的突起電極，將上述第 1 基板及第 2 基板，於上述氧化膜還原處理後，取出於大氣中而藉上述荷重，在高溫下實行接合。定位與加熱之順序並無限制，可視情形決定。例如，被接合物為銅或錫合金時，在電極被加壓前曝露於

大氣之溫度及時間最好限定於下式所示範圍：

$$\text{Log}(t) \leq 3(1000/T - 2) \quad (1)$$

式中：t 為曝露時間（分）

T 為加熱溫度(K)

如圖 6 所示，依 2 階段以上之加熱曲線加熱時，曝露時間與加熱溫度最好為可滿足下式條件：

$$\sum (\log(t_n) / \{3(1000/T_n - 2)\}) \leq 1 \quad (2)$$

t_n ， T_n 分別為第 n 階段的時間、溫度。

上述第 1 及第 2 基板之被接合物可為設置於上述第 1 及第 2 基板表面的面狀體。

本發明之接合裝置備有：

對在表面分別具有被接合物的第 1 及第 2 基板之該等被接合物表面，藉氫遊離基實施氧化膜還原處理所用之手段；使上述氧化膜還原處理後之該等被接合物定位所用之手段；及於上述定位後施加荷重於該等第 1 及第 2 基板，使該等被接合物互相接合所用之手段。

使被接合物互相接合時，若是藉加熱熔融被接合物，需加熱至被接合物之融點以上的溫度，但加熱至如此高溫時，被接合物的表面會被氧化致使無法接合。但，依本發明之接合方法及裝置，對被接合物的表面實施氫遊離基照射而去除表面的氧化膜，即可延遲此種氧化，使不被氧化下在被接合物之融點以

下的溫度實行接合。

【實施方式】

爰佐以附圖詳細說明本發明之實施例於下：

圖 1 依本發明第 1 實施例製造之半導體裝置 1，此半導體裝置 1 係由第 1 基板(例如半導體晶片 2)及第 2 基板(例如中間基板 3)貼合所成。

半導體晶片 2 備有半導體元件 4、外部引出電極 5 及突起電極 6。半導體元件 4 係在其內部含有例如積體電路(未圖示)者；外部引出電極 5 係形成於半導體元件 4 的表面，例如接續於其積體電路之一端而突起電極 6 係形成於外部引出電極 5 的表面。

中間基板 3 係用以使例如半導體晶片 2 的外部引出電極 5 與設置於用以配設半導體裝置 1 之印刷電路基板(未圖示)的背面之電極墊片(未圖示)電連接之插入板(interposer)，而此中間基板 3 具有絕緣基板 7、貫穿內部之小孔(未圖示)及形成於該中間基板 3 的背面且連接於該小孔之外部引出電極 8。

上述外部引出電極 5、8 之至少表面係由諸如含有鋁、鎳、銅、金、鉑、鈮、銀、銻、錫等金屬所構成。突起電極 6 則由不含雜質(不純物)之錫或含有銀、銅、鈹、銻、鎳、金、磷及鉛之至少一種不純物之錫，藉由電鍍、印刷、滾塗或蒸鍍等形成。

茲配合圖 2 及圖 3 詳細說明本發明半導體裝置 1 之製造方法的一實施例。

首先說明半導體裝置 1 之製造時所用之氧化膜去除裝置

10。

氧化膜去除裝置 10 係用以去除被覆於外部引出電極 5、8 及突起電極 6 表面之氧化膜的裝置。此裝置 10 如圖 3 顯示，備有由互相空間的分離之電漿發生室 11A 及處理室 11B 構成之室(chamber)11。在電漿發生室 11A 經由導波管 13 及微波導入窗 12 配設有一用來發生微波 w 之微波發生裝置 14，及經由供給管 15 配設有一用來供給氫氣(H_2)之氫氣供給源 16。如此，在電漿發生室 11A 可藉微波發生裝置 14 發生之微波 w 將氫氣供給源 16 所供給的氫氣電漿化而產生氫遊離基(hydrogen radical)，即遊離基氣體。

於電漿發生室 11A 及電漿發生領域 p 更靠近處理室 11B 側設有遮板(shield)17。此遮板 17 例如可由鐵絲網等構成，用以儘可能捕集存在於電漿中之無用的荷電粒子，同時將發生於電漿發生室 11A 內之電漿中所含的氣體導入處理室 11B 中。如此便可經由該遮板 17 從電漿發生室 11A 將含有氫遊離基的氣體導入處理室 11B 中。

於處理室 11B 設置有一供放置處理對象物(半導體晶片 2、中間基板 3)之支持台 18。支持台 18 之支持半導體晶片 2 及中間基板 3 的部分設有加熱器 19 及冷卻器 20，供依所定程序加熱及冷卻半導體晶片 2 及中間基板 3。在處理室 11B 另外在其底面經由排氣口 21 分別裝有真空泵 22 及壓力計 23。真空泵 22 係用以將室 11 內之氣體排出外部使室 11 內的壓力降壓，而壓力計 23 係用以量測室 11 內的壓力。另外，在處理室 11B 經由供給管 24 裝設有氫氣體源 25。此氫氣體源 25 亦可裝

置於電漿發生室 11A 側。壓力計 23 之測值傳送至控制部 26，而該控制部 26 便根據測值控制氫氣體源 16、真空泵 22 及氫氣體源 25，使處理對象物曝露於氫遊離基氣體中。

氧化膜的去除

使用上述構成之氧化膜去除裝置 10 去除被覆於外部引出電極 5、8 及突起電極 6 表面之氧化膜。其具體的步驟包括：

1) 首先打開室 11，將半導體晶片 2、中間基板 3 以外部引出電極 5、8 及突起電極朝向上方狀態放置於支持台 18 上。圖 3 中例示在支持台 18 上放置有半導體晶片 2 之狀態。然後關閉室 11，開動真空泵 22 而將室 11 內的氣體排出減壓(步驟 S2)；

2) 繼之，開動微波發生裝置 14 發生微波 w ，同時開動氫氣體源 16 發生氫氣，於是氫氣即可因微波 w 作用電漿化而發生氫遊離基(即遊離基氣體)(步驟 S3)。

結果，發生於電漿發生室 11A 之氫遊離基隨著氣流通過遮板 17 流入處理室 11B 中；及

3) 放置於支持台 18 上之半導體晶片 2 及中間基板 3 之外部引出電極 5、8 或突起電極 6 乃曝露於通過遮板 17 而來之含氫遊離基氣體中，於是被覆於外部引出電極 5、8 或突起電極 6 表面之氧化膜便與氫遊離基發生化學變化將其從表面去除(步驟 S4)。

定位、接合

打開室 11 從支持台 18 將半導體晶片 2 及中間基板 3 取出大氣中後(步驟 S5)，利用倒裝接合機實施兩者之接合(步驟

S6)。

此時須將加壓前待接合之面曝露於下式所示溫度及時間條件下：

$$\text{Log}(t) \leq 3(1000/T - 2) \quad (1)$$

式中：t 為曝露時間 (分)

T 為加熱溫度(K)

將被接合物高溫加熱時，表面會被氧化致使無法接合。但藉氧化膜還原處理其表面，尤其利用氫遊離基照射去除表面之氧化膜時，可延遲此氧化，並且在式(1)所示溫度及時間範圍內不被氧化，得以進行接合。另外，欲對被接合物進行固相接合(solid phase bonding)時，若表面無氧化膜，則在 100~200°C 及施加 1Mpa~6Mpa 之荷重即能達成接合。應知，溫度在 100°C 以下時被接合物互相之擴散會不充分，200°C 以上時會軟化。為使接合部表面之凹凸平坦化，需施加至少 1Mpa 之荷重，但 6Mpa 以上時，會招致接合部表面之突起（即突起電極 6）之過度壓扁。在接合時附帶施加超音波時可更增加進接合強度。

次簡單說明本發明導出上示式(1)的過程於下。

對成份 Sn(96.5%)-Ag(3.5%)之焊料球（球徑 760 μm）利用氫遊離基處理實行表面氧化膜還原而去除氧化膜後，置於大氣中之熱板(hot plate)上經一定之加熱溫度(T)及時間(t)之放冷後，依奧格電子光譜分析(Auger spectroscopy analysis)測定表面氧化膜的厚度。結果發現在一定溫度經一段時間未見有氧化

膜厚度的增加，但在某溫度下經一定時間厚度即急激增加。將此溫度(T)及增加開始時間(t)之關係以式表示結果獲得如式(1)所示關係式。

另外，在實施二階段以上之加熱的場合，經實驗確認，如式(2)所示，由各階段的氧化膜形成開始時間之積算值(即式(2)中的時間 t_n 的合計值)決定。

另外又確認，若是實施氧化膜還原處理，在上述之氧化膜急激增加之加熱時間前，氧化膜幾乎不存在，即使在大氣中加熱亦可接合；但若是無實施氧化膜還原處理，則在遠比此加熱條件低溫度且短時間內有氧化膜之成長。

表 1 為例示可作為突起電極 6 之元素 (Sn 錫、Ag 銀、Cu 銅、Bi 鉍、In 銻、Ni 鎳、Au 金、P 磷及 Pb 鉛) 之組合 (材料 A1~A33)。表 1 中之數值表示含有率(%), 又錫(Sn)欄之「殘」係表示元素(材料)總量為 100 時，從 100 減去含有元素量之值。又，材料 B1 及材料 B2 係表示因該等材料中含有鋅(Zn)，因此在氧化膜中含有較高比率之 ZnO，比起含有 SnO 時難以化學的去除氧化膜，故不適合作為本發明實施例之突起電極 6 之材料使用，在表中僅供比較而列示。

表 1

	Ag	Cu	Zn	Bi	In	Ni	Au	P	Pb	Sn
材料 A1	0.39	0.5	—	—	—	—	—	—	—	殘
材料 A2	0.79	0.5	—	—	—	—	—	—	—	殘
材料 A3	1.21	0.5	—	—	—	—	—	—	—	殘
材料 A4	1.82	0.5	—	—	—	—	—	—	—	殘
材料 A5	2.22	0.5	—	—	—	—	—	—	—	殘
材料 A6	2.75	0.5	—	—	—	—	—	—	—	殘
材料 A7	3	0.5	—	—	—	—	—	—	—	殘
材料 A8	3.44	0.5	—	—	—	—	—	—	—	殘
材料 A9	3.9	0.5	—	—	—	—	—	—	—	殘
材料 A10	—	—	—	—	—	—	—	—	3	殘
材料 A11	—	—	—	—	—	—	—	—	5	殘
材料 A12	—	—	—	—	—	—	—	—	10	殘
材料 A13	—	—	—	—	—	—	—	—	37	殘
材料 A14	—	—	—	—	—	—	—	5×10^{-4}	37	殘
材料 A15	—	—	—	—	—	—	—	—	40	殘
材料 A16	2	—	—	—	—	—	—	—	36	殘
材料 A17	2	—	—	—	—	—	—	—	—	殘
材料 A18	3	—	—	—	—	—	—	—	—	殘
材料 A19	3.5	—	—	—	—	—	—	—	—	殘
材料 A20	—	0.7	—	—	—	—	—	—	—	殘
材料 A21	1.2	0.5	—	—	—	0.05	—	—	—	殘
材料 A22	—	—	—	—	42	—	—	—	—	殘
材料 A23	—	—	—	—	5	—	—	—	—	殘
材料 A24	—	—	—	—	50	—	—	—	—	殘
材料 A25	—	—	—	—	—	—	0.005	—	—	殘
材料 A26	—	—	—	—	—	—	10	—	—	殘
材料 A27	—	—	—	—	—	—	79	—	—	殘
材料 A28	—	—	—	—	—	—	80	—	—	殘
材料 A29	—	—	—	—	—	—	—	—	—	100
材料 A30	2.5	0.8	—	—	—	—	—	—	—	殘
材料 A31	3.8	0.7	—	—	—	—	—	—	—	殘
材料 A32	3.5	0.7	—	—	—	—	—	—	—	殘
材料 A33	2	0.5	—	3	—	—	—	—	—	殘
材料 B1	—	—	9	—	—	—	—	—	—	殘
材料 B2	—	—	8	8	—	—	—	—	—	殘

表 2 係以表 1 所示材料 A1~A33 及 B1、B2 作為突起電極 6 材料，及以銅(Cu)(材料 C1)及金(Au)(材料 C2)作為外部引出電極材料使用，利用氫遊離基、氫與氬(Ar)之混合氣體、含蟻酸有機酸氯化氣體、氫氣體、氫及氮的混合等氣體之任一種實行氧化膜還原處理，在改變接合溫度（加熱溫度 T）、接合荷重及加熱時間（在施加荷重前曝露於上述加熱溫度之大氣中之時間 t）之條件測得之晶片抗切強度(die shear strength)。表中之雙圈(◎)代表接合後的晶片抗切強度為 2Mpa 以上，單圈(○)代表 2Mpa 以下 0.5Mpa 以上，而又號(x)為 0.5Mpa 以下。雙圈及單圈之場合，其加熱溫度及加熱時間滿足上示式(1)的關係。

表 2

No.	突起電極	外部引出電極	化學的處理	接合溫度	接合荷重	加熱時間	晶片抗切強度
1~33	A1~A33	Cu	氫遊離基	150°C	2MPa	1min	◎(A1~A33)
34	A18	Cu	氫遊離基	200°C	1MPa	0.5min	◎
35	A18	Au	氫遊離基	170°C	2MPa	2min	◎
36	A18	Au	氫與氬氣的混合	170°C	2MPa	2min	◎
37	A18	Au	含蟻酸有機酸氯化氣體	170°C	21MPa	2min	◎
38	A18	Cu	氫遊離基	130°C	4MPa	10min	◎
39~40	B1, B2	Cu	氫遊離基	170°C	2MPa	2min	x
41	A18	Cu	氫遊離基	90°C	2MPa	50min	x
42	A18	Au	無	170°C	2MPa	2min	x
43	A18	Au	氫遊離基	170°C	0.5MPa	0.5min	○
44	A9	Cu	氫遊離基	170°C	6MPa	5min	◎
45	A9	Cu	氫遊離基	100°C	4MPa	10min	◎
46	A9	Cu	氫遊離基	150°C	3MPa	9min	◎
47	A18	Au	氫氣體	170°C	21MPa	2min	◎
48	A18	Au	氫及氮的混合	170°C	2MPa	2min	◎
49	A18	Au	氫遊離基	2 段加熱★	3MPa	2 段加熱★	◎
50	A9	Au	氫遊離基	2 段加熱★	4MPa	2 段加熱★	◎

表 2 中：

- 1) 2 段加熱★代表在 150°C 加熱 2 分鐘，在 170°C 加熱 2 分鐘。
- 2) 接合係使具有 50 μm ϕ 形狀之突起電極 4000 個之半導體晶片接合於具有相同形狀之外部引出電極之基板。
- 3) 加熱時間表示施加荷重前在加熱溫度下曝露於大氣中之時間。
- 4) No.35 為施加超音波之場合。
- 5) No.1~38, 44~50 為本發明實施例。
- 6) No.39~43 為比較實施例。

由此可知，依本發明之半導體裝置 1 的製造方法時，可以防止突起電極 6 與外部引出電極 B 之電接觸性的惡化下容易實現接合強度高之倒裝接合(flip chip bonding)。

雖然，在上面例示接合突起電極 6 與外部引出電極 B 的接合，依本發明 1，此接合亦可同樣實施於突起電極與突起電極之接合。另外，上面雖例示半導體晶片 2 與中間基板 3 之接合，但應知可同樣實施於半導體晶片 2 印刷電路板之接合。

雖然，在上面的實施例中有揭示一個半導體晶片 2 與中間基板 3 之倒裝接合，但不限定於此，可同樣適用於如圖 4 所示之半導體晶片 2 與中間基板 3 之間設置有一在半導體元件之上面亦具有外部引出電極 5 之半導體晶片 9 之半導體裝置。

上述半導體晶片 2 由一個或多個半導體晶片 9 構成之半導

體元件係相當於本發明之「第一基板」之一例。另外本發明亦可適用於如圖 5 所示之中間基板 3 上設有多數之半導體晶片 2 之半導體裝置。此多數之半導體晶片 2 係相當於本發明之「第一基板」之一例。

本發明之接合方法之第 2 實施例係如圖 7 所示，係接合形成於第一基板 2a 及第二基板 3a 之面狀體，例如銅製之膜 5a 及 8a，之方法。接合之方法如圖 8 所示，與第一實施例同樣，使用氧化膜去除裝置 10，對膜 5a、8a 實行氧化膜還原處理後，從該裝置 10 取出第一及第二基板 2a、3a，利用習知之定位裝置 100 實行第一及第二基板 2a、3a 之定位，使膜 5a、8a 對準後，藉加熱加壓裝置 102 在銅的融點(1085°C)以下的較低溫度加熱及加壓（施加荷重），使膜體 5a、8a 互相接合。

例如加熱至 150°C 及施加 0.3Mpa 壓力時膜體 5a、8a 不接合，但加熱至 200°C、施加 0.3 Mpa 壓力時，以及加熱至 250°C、施加壓力 0.3 Mpa 時則均可使膜體 5a、8a 接合。又，在實施氧化膜還原處理後，放置於大氣中經 60 秒後加熱及加壓時，膜體 5a、8a 亦能互相接合。

本發明之第 3 實施形態之接合方法，如圖 9 所示，係使形成於第一基板 2a 及第二基板 3a 之線狀體，例如融點 120°C 之錫—銻合金焊料製的框 5b、8b，互相接合而將框 5b、8b 之內部密封。接合程序如圖 8 所示，使用氧化膜去除裝置 10 對框 5b、8b 實施氧化膜還原處理後從該裝置 10 取出該第一及第二基板 2a、3a，繼之利用習知之定位裝置 100 對準框 5b、8b 之位置使第一及第二基板 2a、3a 定位，然後利用加熱加壓裝置

102，加熱至融點以下溫度並加壓使框 5b、8b 互相接合。

例如加熱至 50°C 及施加 30Mpa 壓力時，框 5b、8b 不接合，但加熱至 80°C、施加 15Mpa 壓力時，及加熱至 80°C、施加 15Mpa 壓力時，以及加熱至 100°C、施加 30Mpa 壓力時則均可使框 5b、8b 互相接合。又，在實施氧化膜還原處理後，放置於大氣中經 60 分鐘後加熱及加壓時，框 5b、8b 亦能互相接合。

若是膜體 5a、8a 及框 5b、8b 為使用上述第 1 及第 2 實施例所用之銅或錫合金以外之金屬時，從氧化膜還原處理至加壓時之膜 5a、8a 以及框 5b、8b 所曝露的環境，依上述實驗結果最好是將溫度及時間設定於下式所示範圍：

$$\text{Log}(t) \leq 3(1000/T - 3) \quad (3)$$

式中：t 為曝露時間（分）

T 為加熱溫度(T)

此式(3)係與式(1)、(2)相同程序導出者。

上述第 2 及第 3 實施例係分別使用定位裝置及接合裝置 102，但亦可使用一種備有定位裝置之接合裝置。此外，亦可使用如圖 10 所示之一台兼備有氧化膜去除裝置、定位裝置及加熱加壓裝置之功能的接合裝置。

此接合裝置具有將圖 3 所示氧化膜去除裝置 10 轉動 90 度之配置態樣，其中對應於圖 3 之構件以同一符號表示，因此對其說明從略。

如圖 10 所示，在處理室 11B 中設有放置第一基板 2a 或 2b 之支持台 18a 及放置第二基板 3a 或 3b 之支持台 18b。在支

持台 18a 之支持第一基板 2a 或 2b 的部分與氧化膜去除裝置 10 之支持台 18 同樣，設有加熱器及冷卻器（均未圖示）。在支持台 18b 之支持第二基板 3a 或 3b 的部分亦設有加熱器及冷卻器（均未圖示）。此等支持台 18a 及 18b 分別連結於設置於處理室 11B 外部的昇降裝置 180a、180b，而可分別作箭號所示之昇降動作。當使支持台 18a 下降而使支持台 18b 上昇時，即可使支持台 18a 上之第一基板 8a 或 8b 之膜體 5a 或框 5b 與支持台 18b 上之第二基板 3a 或 3b 之膜體 8a 及框 8b 互相對向壓接而達成接合。即，在對向壓接（加壓）時，藉支持台 18a、18b 內的加熱器將膜體 5a、5b 或框 8a、8b 加熱至融點以下溫度。另外，在支持台 18b 設置有使第一基板 2a 及第二基板 3a 或 3b 互相定位所用之銷體(pin)200，即在支持台 18a 設置可插通銷體 200 之孔（未圖示），利用此銷體 200 與孔之塔配發揮定位裝置之功能。

【圖式簡單說明】

圖 1 為依本發明第 1 實施例製造之半導體裝置 1 的示意圖。

圖 2 為製造圖 1 之半導體裝置之流程圖。

圖 3 為製造圖 1 之半導體裝置所用之氧化膜去除裝置的示意圖。

圖 4 為可依本發明第 1 實施例製造之另一種半導體裝置的示意圖。

圖 5 為依本發明第 1 實施例可製造之另一種半導體裝置的

示意圖。

圖 6 為依本發明第 1 實施例之一變形例的溫度與時間之關係圖。

圖 7 為依本發明第 2 實施例製造之基板的示意圖。

圖 8 為圖 7 所示基板之製造程序用裝置。

圖 9 為依本發明第 3 實施例製造之基板的示意圖。

圖 10 為製造圖 9 所示基板所用之另一接合裝置的示意圖。

【主要元件符號說明】

2	半導體晶片	3	中間基板
5、8	外部引出電極	6	突起電極
10	氧化膜去除裝置	11A	電漿發生室
11B	處理室	14	微波發生裝置
15	供給管	16	氫氣供給源
17	遮板	18	支持台
19	加熱器	20	冷卻器
22	真空泵	23	壓力計
25	氫氣體源	26	控制部

七、申請專利範圍：

1. 一種接合方法，包括：

對於設置於第一基板表面之被接合物表面與設置於第二基板之被接合物表面，利用氫遊離基實施氧化膜還原處理；及

將該氧化膜還原處理後之該第一基板及第二基板取出於大氣中，在大氣中，對於該第一及該第二基板之被接合物實施定位，然後於該第一及第二基板施加荷重使該被接合物互相接合，

在該施加荷重實行接合之前，將該被接合物放置於大氣中之曝露時間及溫度係在下式(1)所示範圍內：

$$\text{Log}(t) \leq 3(1000/T - 2) \quad (1)$$

式中：t 為曝露時間（分）

T 為加熱溫度(K)。

2. 如請求項 1 之接合方法，其中該荷重，係 1Mpa~6Mpa。

3. 如請求項 2 之接合方法，其中該加熱溫度，係 100℃ ~ 200℃。

4. 如請求項 1~3 中任一項之接合方法，其中該第一基板之被接合物係設置於該第一基板表面之電極，該第二基板之被接合物係設置於該第二基板表面之突起電極。

5. 如請求項 1~3 中任一項之接合方法，其中該第一及第二基板之該被接合物係設置於其表面之面狀體。

6. 如請求項 1~3 中任一項之接合方法，其中該第一及

第二基板之該被合物係設置於其表面之線狀體。

圖1

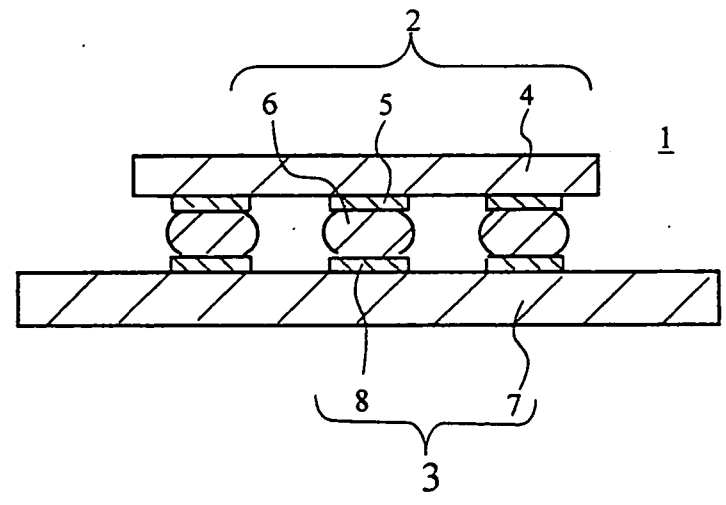


圖2

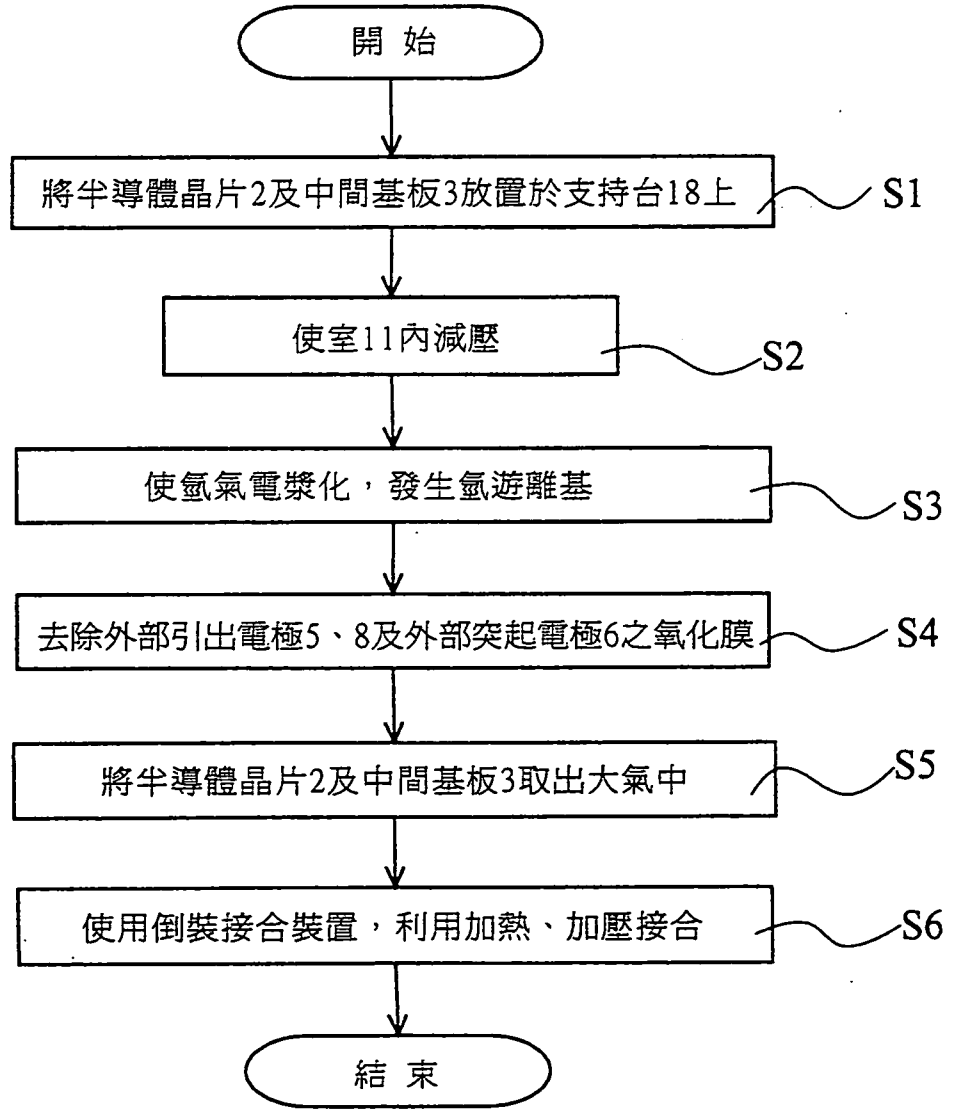


圖3

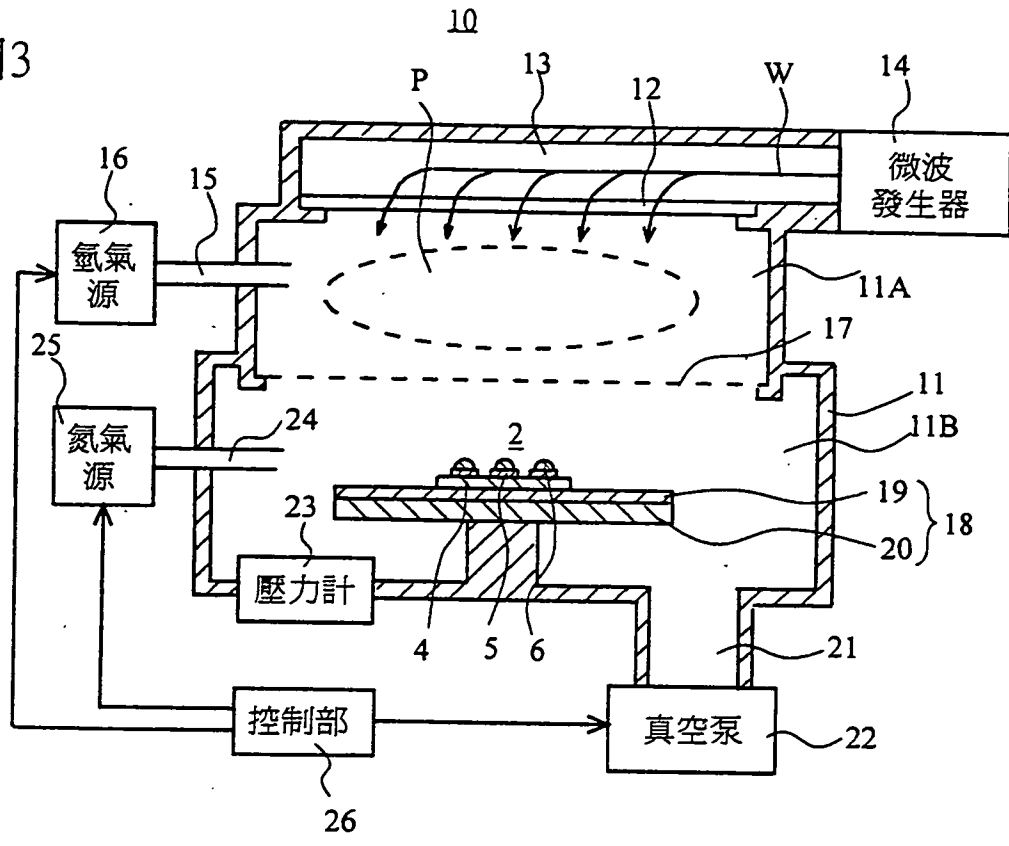


圖4

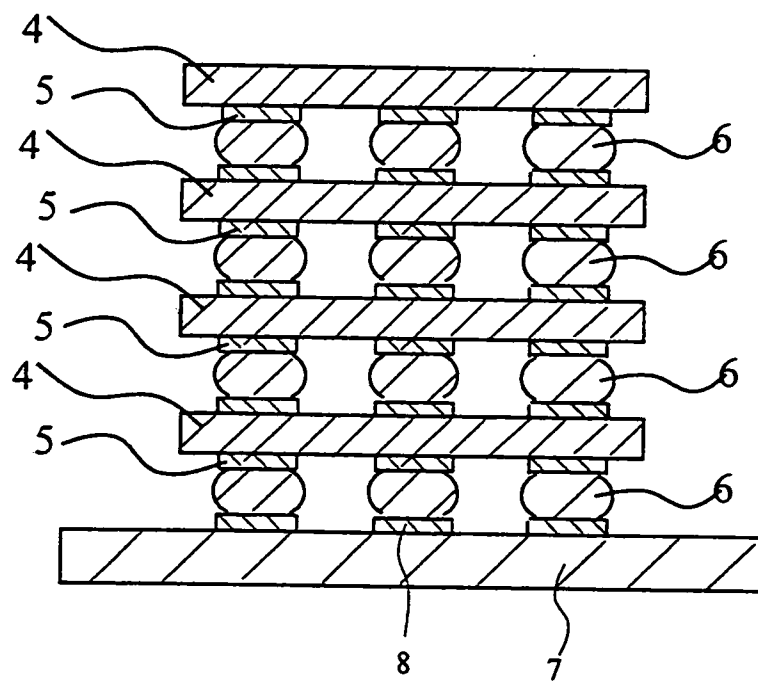


圖5

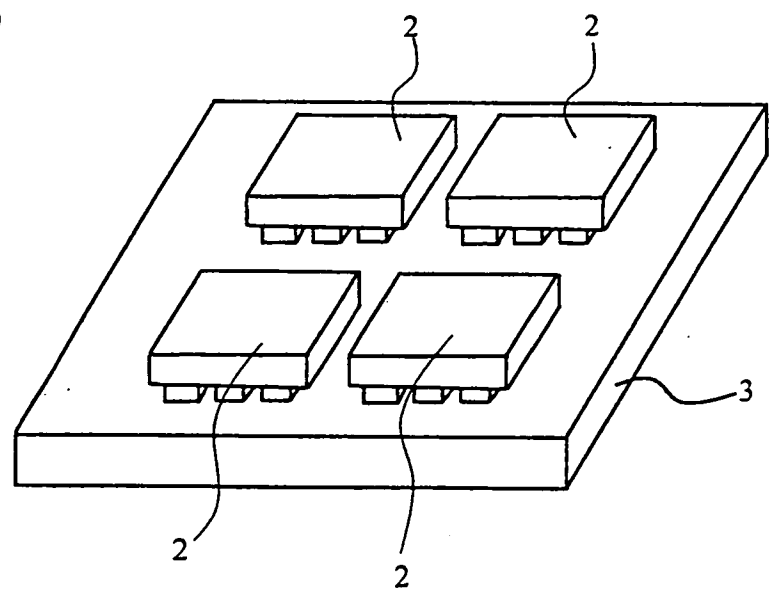


圖6

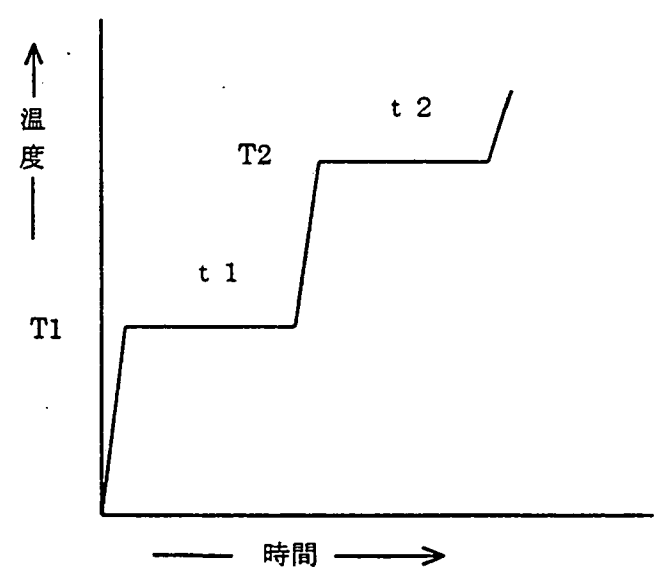


圖7

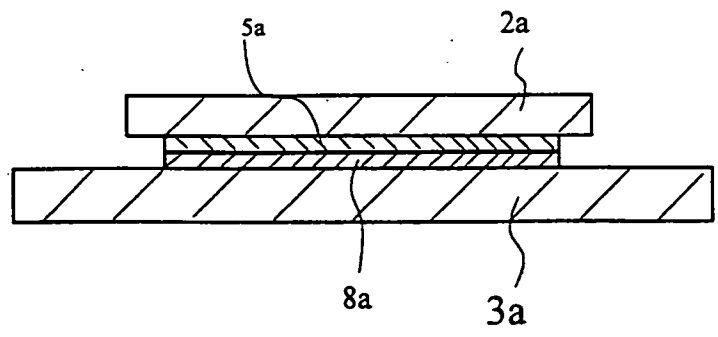


圖8

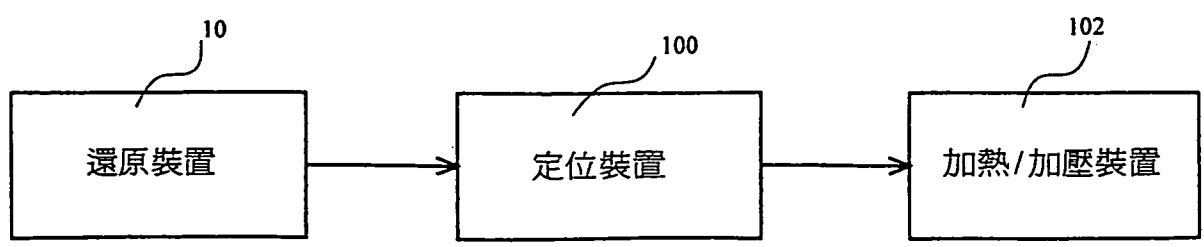


圖9

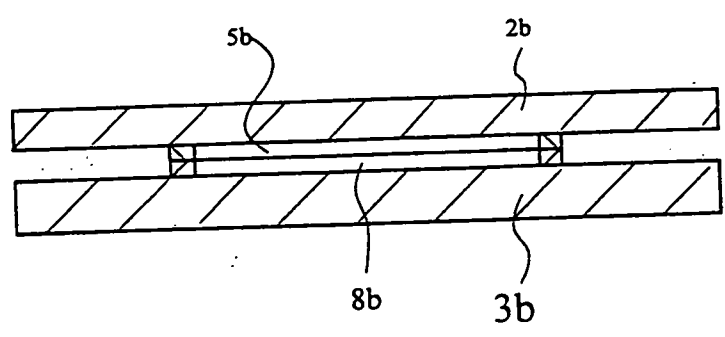


圖10

