



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I790245 B

(45)公告日：中華民國 112 (2023) 年 01 月 21 日

(21)申請案號：107122257

(22)申請日：中華民國 107 (2018) 年 06 月 28 日

(51)Int. Cl. : C23C16/513 (2006.01)

H01L31/0445(2014.01)

(30)優先權：2017/06/28 日本

2017-126782

(71)申請人：日商鐘化股份有限公司(日本) KANEKA CORPORATION (JP)
日本

(72)發明人：足立大輔 ADACHI, DAISUKE (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201342397A

審查人員：蘇家弘

申請專利範圍項數：16 項 圖式數：4 共 49 頁

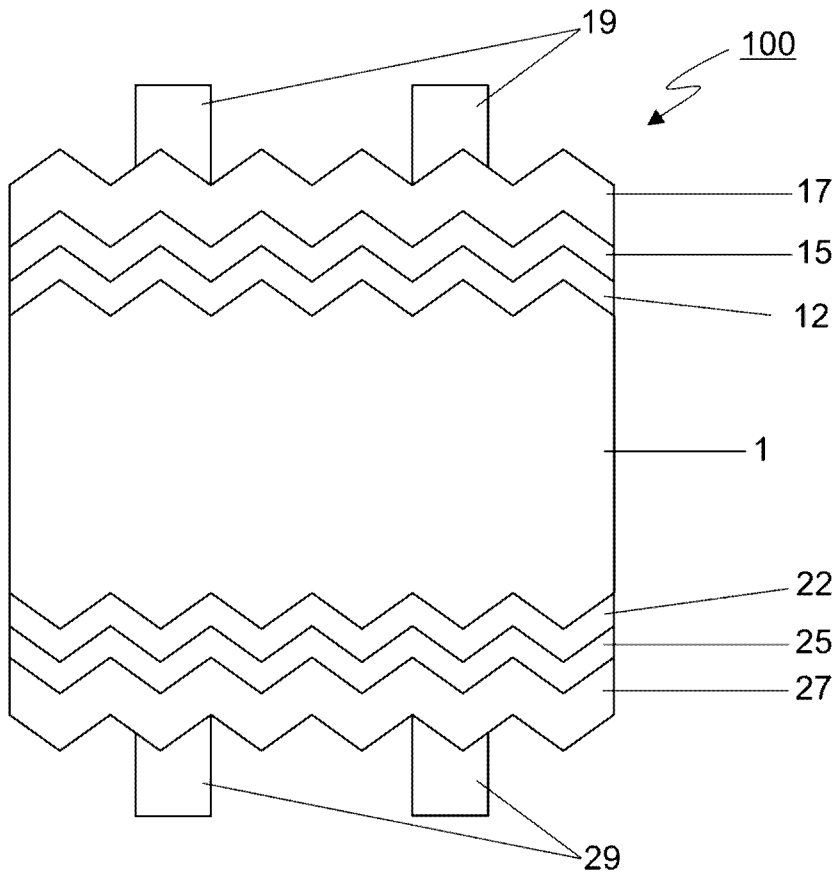
(54)名稱

光電轉換裝置之製造方法

(57)摘要

本發明係關於一種於導電型單晶矽基板(1)之第一主面上依序具有本徵矽系薄膜(12)及導電型矽系薄膜(15)之結晶矽系太陽電池(100)之製造方法。於在導電型單晶矽基板上形成本徵矽系層後，進行一面向 CVD 腔室內導入氫氣及含矽氣體一面將本徵矽系層之表面暴露於氫電漿中之電漿處理。電漿處理時之向 CVD 腔室內之氫導入量為含矽氣體導入量之 150~2500 倍，藉由電漿處理而於紋理之凹部之本徵矽系層上形成薄膜。

指定代表圖：



符號簡單說明：

1 . . . 導電型單晶矽基板

12、22 . . . 本徵矽系薄膜

15、25 . . . 導電型矽系薄膜

17、27 . . . 透明導電層

19、29 . . . 金屬電極

100 . . . 結晶矽系太陽電池

【圖1】



I790245

【發明摘要】

【中文發明名稱】

光電轉換裝置之製造方法

【中文】

本發明係關於一種於導電型單晶矽基板(1)之第一主面上依序具有本徵矽系薄膜(12)及導電型矽系薄膜(15)之結晶矽系太陽電池(100)之製造方法。於在導電型單晶矽基板上形成本徵矽系層後，進行一面向CVD腔室內導入氫氣及含矽氣體一面將本徵矽系層之表面暴露於氫電漿中之電漿處理。電漿處理時之向CVD腔室內之氫導入量為含矽氣體導入量之150~2500倍，藉由電漿處理而於紋理之凹部之本徵矽系層上形成薄膜。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

1	導電型單晶矽基板
12、22	本徵矽系薄膜
15、25	導電型矽系薄膜
17、27	透明導電層
19、29	金屬電極
100	結晶矽系太陽電池

【發明說明書】

【中文發明名稱】

光電轉換裝置之製造方法

【技術領域】

【0001】

本發明係關於一種製造於單晶矽基板表面具有異質接面之結晶矽系光電轉換裝置之方法。

【先前技術】

【0002】

作為轉換效率較高之太陽電池，已知有於單晶矽基板之表面具有非晶質矽薄膜之異質接面太陽電池。於異質接面太陽電池中，藉由在單晶矽基板與導電型矽系薄膜之間插入本徵矽層，而獲得存在於結晶矽基板表面之缺陷(主要是矽之懸鍵)之藉由氫進行之封端等鈍化效果。

【0003】

單晶矽基板上之本徵矽系薄膜一般而言係藉由使用矽烷(SiH_4)等含矽氣體之電漿CVD(chemical vapor deposition，化學氣相沈積)而製膜。本徵矽系薄膜亦可能導致由光吸收或電阻引起之發電損耗。為了提高針對矽基板之鈍化效果並且降低發電損耗，而提出了關於異質接面太陽電池之本徵矽系薄膜之形成方法的數個嘗試方案。

【0004】

於專利文獻1中，提出有藉由自結晶矽基板側朝向導電型矽系薄膜側使本徵矽之光學帶隙變寬而減少光吸收。具體而言，於藉由僅使用矽烷氣體之電漿CVD在結晶矽基板上形成膜厚4 nm之本徵非晶質矽層後，於其

之上一面導入相對於矽烷為20倍之氫一面形成膜厚4 nm之本徵非晶質矽層，藉此使導電型矽系薄膜側之本徵非晶質矽層之帶隙變大。

【0005】

於專利文獻2中，揭示有如下方法，即，於結晶矽基板上導入相對於矽烷為6倍之氫而藉由電漿CVD形成膜厚1~3 nm之本徵非晶質矽層後，導入相對於矽烷為100倍之氫而形成膜厚3 nm以上之本徵微晶矽系層。於專利文獻2中，記載有設置於本徵非晶質矽層與導電型矽系薄膜之間之微晶矽系層作為防止氫自本徵非晶質矽層向導電型矽系薄膜之擴散、及摻雜物自導電型矽系薄膜向本徵非晶質矽層之擴散之阻擋層而發揮作用。

【0006】

於專利文獻3中，提出有如下方法，即，於結晶矽基板上形成膜厚1~10 nm之本徵非晶質矽層後進行氫電漿處理，其後進而形成本徵非晶質矽層。若於形成本徵非晶質矽層後進行氫電漿處理，則結晶矽基板表面隔著矽層暴露於氫電漿中，因此抑制對結晶矽基板表面之電漿損傷，並且獲得針對基板表面之鈍化效果。於專利文獻4及專利文獻5中，提出有反覆進行本徵非晶質矽層之形成與氫電漿處理。

【0007】

於專利文獻5中，記載有除了藉由氫電漿處理獲得鈍化效果之外，還藉由在本徵非晶質矽層之形成時一面導入相對於矽烷等原料氣體為2~6倍之氫一面進行CVD製膜，而提高鈍化效果。

[先前技術文獻]

[專利文獻]

【0008】

[專利文獻1]日本專利特開2002-76409號公報

[專利文獻2]日本專利特開2014-49675號公報

[專利文獻3]WO2012/043124號說明書

[專利文獻4]日本專利特開2014-72406號公報

[專利文獻5]WO2012/085155號說明書

【發明內容】

[發明所欲解決之問題]

【0009】

藉由如專利文獻3~5中所揭示般，於在單晶矽基板上形成本徵矽系層後進行氫電漿處理，可期望藉由界面之缺陷減少、或膜質改善所獲得之異質接面太陽電池之轉換效率提高。尤其若提高氫電漿處理時之功率密度，則有藉由氫電漿而蝕刻本徵矽系層，並且膜質改善效果提高之傾向。

【0010】

於結晶矽系太陽電池之量產時，一般於製膜托盤上載置複數個矽基板，而藉由電漿CVD進行矽系層之製膜。對矽系層之表面之氫電漿處理可於矽系層製膜用之CVD腔室內在一直設置有製膜托盤之狀態下實施。

【0011】

根據本發明人等之研究，判明了存在如下情況，即，若於製膜托盤上載置複數個矽基板而進行氫電漿處理，則因CVD腔室內之矽基板之位置之不同，而產生轉換特性之差、尤其是開路電壓(Voc)之差。尤其若不進行CVD腔室內之維護而一面更換製膜托盤一面連續地實施複數個批次之製膜，則可見隨著連續製膜批次之數量之增加，由腔室內之基板之位置之不同(於托盤上之中央部載置基板而製作之電池單元、與於托盤上之端

部附近載置基板而製作之電池單元)引起之電池單元之特性差變得明顯之傾向。

【0012】

於將複數個電池單元串聯連接而將太陽電池模組化之情形時，模組之電流由表示最小電流值之電池單元之電流所規定。於將複數個電池單元並聯連接而將太陽電池模組化之情形時，模組之電壓由表示最小電壓值之電池單元之電壓所規定。即，於將複數個電池單元串聯及/或並聯地連接而成之太陽電池模組中，模組效率受特性最低之電池單元影響。因此，若電池單元製作時之批次內或批次間之電池單元特性之不均較大，則模組效率大幅度降低。

【0013】

鑒於上述內容，本發明之目的在於提供一種異質接面太陽電池之製造方法，其係藉由本徵矽系層之氫電漿處理而提高轉換特性，且即便於連續製膜批次之數量增加之情形時，亦可抑制批次內及批次間之電池單元特性之不均，且適合量產。

[解決問題之技術手段]

【0014】

本發明係關於一種製造於導電型單晶矽基板之一側之主面上依序具有本徵矽系薄膜、及導電型矽系薄膜之結晶矽系太陽電池之方法。於將本徵矽系層製膜後，進行將矽系層之表面暴露於氫電漿中之電漿處理。藉由在電漿處理時之氛圍中含有少量之含矽氣體，而即便於連續製膜批次之數量增加之情形時，轉換特性亦較高，且可抑制電池單元特性之不均。

【0015】

於本發明之結晶矽系太陽電池之製造方法中，進行如下電漿處理，即，於將表面具有紋理之導電型單晶矽基板上設置有本徵矽系層之複數個基板配置於CVD腔室內之狀態下，一面向CVD腔室內導入氫氣及含矽氣體一面將本徵矽系層之表面暴露於氫電漿中。電漿處理時之向CVD腔室內之氫導入量為含矽氣體導入量之150~2500倍。

【0016】

藉由電漿處理，而於紋理之凹部之本徵矽系層上形成薄膜。伴隨於此，紋理之凹部中之矽系薄膜較電漿處理前厚度變大。藉由電漿處理所形成之薄膜較佳為本徵非晶質矽。

【0017】

電漿處理時之功率密度較佳為55~1000 mW/cm²。電漿處理時之功率密度、與氫氣之導入量相對於含矽氣體導入量之比的乘積較佳為15000~150000 mW/cm²。

【0018】

電漿處理中之製膜速率較佳為0.1 nm/秒以下。電漿處理後之膜厚 d_1 與電漿處理前之膜厚 d_0 之差 d_1-d_0 較佳為1.5 nm以下。 $(d_1-d_0)/d_1$ 較佳為大於0且為0.2以下。

【0019】

本徵矽系層較佳為一面向CVD腔室內導入含矽氣體一面藉由電漿CVD而形成。於本徵矽系層之形成中，除導入含矽氣體以外，亦可將氫導入CVD腔室內。本徵矽系層形成時之向CVD腔室內之氫之導入量較佳為未達含矽氣體導入量之50倍。

【0020】

導電型單晶矽基板與導電型矽系薄膜之間之本徵矽系薄膜可於膜厚方向分割成複數個子層而形成，並對任一子層之表面實施電漿處理。於本徵矽系薄膜自導電型單晶矽基板側起依序分割成第一子層至第 n 子層之 n 層子層而形成之情形時，於形成任一子層後實施上述電漿處理。較佳為於形成與導電型單晶矽基板相接之第一子層後、及形成與導電型矽系薄膜相接之第 n 子層後實施電漿處理。

【0021】

上述 n 為2以上之整數。例如於 $n=2$ 之情形時，本徵矽系薄膜係藉由積層第一子層及第二子層，並對第一子層及/或第二子層之表面實施電漿處理而形成。複數個子層分別較佳為以1~6 nm之膜厚形成。其中，與矽基板相接之第一子層較佳為以1~6 nm之膜厚形成。

[發明之效果]

【0022】

根據本發明之方法，而獲得轉換效率較高之結晶矽系太陽電池。另外，即便於連續製膜批次之數量增加之情形時，批次內及批次間之電池單元特性之不均亦較小，而可使電池單元之品質穩定。因此，減少CVD腔室內之維護頻度，可提高太陽電池之生產效率。進而，由於電池單元特性之不均較小，故而於將複數個電池單元電性連接而製成太陽電池模組之情形時，可提高模組特性。

【圖式簡單說明】

【0023】

圖1係藉由一實施形態所獲得之結晶矽系光電轉換裝置之模式性剖視圖。

圖2(A)、(B)係用以對在1個腔室內對複數個基板進行氫電漿蝕刻處理之情形時之膜厚變化進行說明之概念圖。

圖3(A)、(B)係用以對本發明中之電漿處理進行說明之概念圖。

圖4(A)~(D)係用以對針對複數個子層之電漿處理進行說明之概念圖。

【實施方式】

【0024】

圖1係表示結晶矽系太陽電池之一形態之模式性剖視圖。圖1之太陽電池100於矽基板1之第一主面(p層側)及第二主面(n層側)分別依序具備本徵矽系薄膜12、22及導電型矽系薄膜15、25。第一主面上之導電型矽系薄膜15與第二主面上之導電型矽系薄膜25具有不同之導電型。即，第一主面上之導電型矽系薄膜15為p型，第二主面上之導電型矽系薄膜25為n型。於導電型矽系薄膜15、25上分別形成有透明導電層17、27及金屬電極19、29。

【0025】

矽基板1為n型或p型之導電型單晶矽基板。於將電洞與電子進行比較之情形時，一般電子具有較大之遷移率。因此，於矽基板1為n型單晶矽基板之情形時，有太陽電池之轉換特性變高之傾向。太陽電池100之受光面可為p層側、n層側之任一側。於異質接面太陽電池中，若將受光面側之異質接面設為反向接面，則設置較強之電場，可有效率地分離並回收光生成載子(電子及電洞)。因此，於矽基板為n型之情形時，較佳為將p層側作為受光面。於如圖1所示般於兩側之透明導電層上具備經圖案化之金屬電極之情形時，亦可將p層側及n層側之兩面作為受光面。

【0026】

就光封閉之觀點而言，於矽基板1之表面形成有稜錐形狀之紋理(凹凸構造)。為了於表面形成紋理，較佳為具有(100)面方位之單晶矽基板。其原因在於：於蝕刻單晶矽基板之情形時，藉由應用了(100)面與(111)面之蝕刻速率不同之各向異性蝕刻，而容易地形成稜錐形狀之紋理構造。

【0027】

本微矽系薄膜12、22及導電型矽系薄膜15、25係包含矽系材料之薄膜。藉由在單晶矽基板1與導電型矽系薄膜15、25之間具有本微矽系薄膜12、22，而有效地進行矽基板表面之鈍化。

【0028】

本微矽系薄膜係不含摻雜物、或摻雜物濃度極其低之矽系薄膜。具體而言，本微矽系薄膜12、22之摻雜物濃度為p型或n型之矽系薄膜15、25之摻雜物濃度之二十分之一以下。本微矽系薄膜21、22之摻雜物濃度較佳為導電型矽系薄膜15、25之摻雜物濃度之一百分之一以下。本微矽系薄膜12、22尤佳為不含摻雜物。為了提高矽基板表面之鈍化效果，本微矽系薄膜12、22較佳為實質上由矽及氫所構成之非摻雜氫化矽。作為矽系材料，可列舉矽，此外，亦可列舉碳化矽、氮化矽、矽鍺等矽合金。

【0029】

矽系材料之製膜方法並無特別限定，較佳為電漿CVD法。關於電漿CVD，由於可於同一腔室內進行製膜與電漿處理，故而可簡化步驟。

【0030】

於藉由電漿CVD進行之矽系材料之製膜中，作為原料氣體，使用SiH₄、Si₂H₆等含矽氣體。關於原料氣體，亦可將經H₂等稀釋者導入至腔

室內。作為用以將導電型(p型或n型)之矽製膜之摻雜物氣體，可較佳地使用 B_2H_6 或 PH_3 。由於P或B等摻雜物之添加量微量即可，故而摻雜物氣體可使用預先經原料氣體或 H_2 等稀釋之混合氣體。藉由將包含 CH_4 、 CO_2 、 NH_3 、 GeH_4 等異種元素之氣體添加至上述氣體中，可將碳化矽、氮化矽、矽鍺等矽合金製膜。利用電漿CVD之製膜條件較佳為基板溫度 $100\sim 300^\circ C$ 、壓力 $20\sim 2600 Pa$ 、功率密度 $3\sim 500 mW/cm^2$ 。

【0031】

[向矽基板上之製膜及電漿處理]

對矽基板1之第一主面上之本徵矽系薄膜12、及矽基板1之第二主面上之本徵矽系薄膜22之至少一者進行電漿處理。電漿處理係一面向CVD腔室內導入氫氣及含矽氣體一面於含矽之氫氣氛圍下實施。

【0032】

以下，以本徵矽系薄膜12向矽基板1之第一主面上之形成為例，關於對本徵矽系層之表面之電漿處理進行說明。

【0033】

<本徵矽系層之製膜>

本徵矽系層較佳為藉由電漿CVD而製膜。於藉由電漿CVD對本徵矽系層進行製膜之情形時，首先，將矽基板導入至電漿CVD裝置之腔室內。亦可將複數個矽基板載置於製膜托盤等載置構件上而導入至腔室內。另外，亦可藉由抽吸方式等將矽基板固定於腔室內之特定位置。藉由將複數個矽基板導入至腔室內，以1個批次進行向複數個矽基板上之製膜，可提高太陽電池之生產效率。

【0034】

於將矽基板向腔室內導入後，視需要進行基板之加熱。其後，將含矽氣體、及視需要將氫等稀釋氣體導入至腔室內，而於矽基板1上形成本徵矽系層。

【0035】

本徵矽系層係與矽基板相鄰之層，並作為矽基板表面之鈍化層發揮作用。為了有效地進行鈍化，較佳為與矽基板之界面附近之製膜初始部分為非晶質。因此，本徵矽系層較佳為以高速率進行製膜。本徵矽系層之製膜速率較佳為0.1 nm/秒以上，更佳為0.15 nm/秒以上，進而較佳為0.2 nm/秒以上。藉由提高製膜速率，而抑制矽之磊晶生長，從而容易形成非晶質膜。

【0036】

向形成有紋理之基板上之製膜速率係將與紋理之斜面垂直之方向設為膜厚方向，而用剖面之藉由穿透式電子顯微鏡(TEM)觀察所求出之膜厚除以製膜時間所獲得之值。關於在形成有紋理之基板上藉由電漿CVD所形成之膜，一般而言，有凹凸之前端(頂點)部分之膜厚較大，自凹凸之中腹部至凹部之膜厚變小之傾向(例如參照WO98/43304號)。以下，只要無特別說明，就將凹凸之凹部中之膜厚及製膜速率設為形成有紋理之基板上之膜厚及製膜速率。將凸部於高度方向進行3等分，將距離表面(頂點)最近之1/3之區域設為頂部，將距離表面最遠之1/3之區域設為凹部，並將剩餘之1/3之區域設為中腹部。凹部之膜厚係指凹部之中央(凸部之高度之1/6之部分)處之膜厚。

【0037】

<電漿處理>

於將矽基板上設置有本微矽系層之複數個基板配置於CVD腔室內之狀態下，一面向CVD腔室內導入氫氣及含矽氣體一面實施電漿處理。藉由電漿處理，而使本微矽系層之表面暴露於氫電漿中，從而有太陽電池之轉換特性、尤其是開路電壓(Voc)及填充因數(FF)提高之傾向。於本發明中，藉由在電漿處理時向CVD腔室內除導入氫以外亦導入SiH₄等含矽氣體，而即便於連續製膜批次之數量增加之情形時，亦能抑制批次內及批次間之特性之不均。

【0038】

圖2係表示先前技術之一般之氫電漿處理之概要之概念圖，圖3係表示本發明中之電漿處理之概要之概念圖。於圖2及圖3中，圖示了在一方向排列3片矽基板1L、1C、1R而進行氫電漿處理之情況。此外，為了使關於膜厚之變化及膜厚分佈之說明簡潔明瞭，而於圖2及圖3中省略了基板之紋理之圖示。

【0039】

(先前技術之氫電漿處理)

於先前技術之一般之氫電漿處理中，首先，於3片矽基板1L、1C、1R之主面上分別形成膜厚 d_0 之本微矽系層120L、120C、120R(圖2(A))。如上所述般，形成有紋理之基板上之本微矽系層之膜厚於微觀下在紋理之頂部與凹部處不同，但若以1片基板上之膜厚之平均來看，則本微矽系層120L、120C、120R之膜厚並未見明確之差。

【0040】

其後，若一面向CVD腔室內導入氫一面進行電漿放電，則使本微矽系層之表面暴露於氫電漿中，而藉由氫電漿蝕刻使得膜厚減少。因此，電

漿處理後之本徵矽系薄膜1201L、1201C、1201R之膜厚變得小於電漿處理前之本徵矽系層120L、120C、120R之膜厚(圖2(B))。

【0041】

於一般之氫電漿蝕刻中，使用氫氣、或氫氣與惰性氣體之混合氣體。若使氫電漿蝕刻時之電漿功率密度變高，則有藉由氫電漿所獲得之鈍化效果得到提高之傾向。另一方面，根據本發明人等之研究，於以高功率密度進行氫電漿處理之情形時，可見根據腔室內之矽基板之位置(製膜位置)而太陽電池之轉換特性不同，從而於批次內電池單元特性產生不均之傾向。尤其若不進行CVD腔室內之維護而更換矽基板後連續地實施複數個批次之製膜，則可見隨著連續製膜批次之數量之增加而轉換特性之不均變大之傾向。

【0042】

進一步研究之結果為，配置於腔室內之製膜面之中央(平行板電極之中央)附近的矽基板1C(例如配置於製膜托盤之中央附近之基板)與配置於製膜面之端部之矽基板1L、1R(例如配置於製膜托盤之端部之基板)相比，可見氫電漿蝕刻後之本徵矽系層之膜厚變小之傾向。

【0043】

認為氫電漿蝕刻後之膜厚於腔室內之中央附近相對地變小係與腔室內之中央附近之電漿蝕刻量相對較大有關聯。將該情況於圖2(B)中模式性地表示。於圖2(B)中，箭頭之長度對應於電漿強度，將因中央部之電漿強度與端部相比較大，而中央部之蝕刻量變大之情況模式性地進行表示。由於中央部之電漿蝕刻量相對較大，故而中央之矽基板1C上之本徵矽系層1201C之膜厚 d_{1C} 與端部之矽基板1L、1R上之本徵矽系層1201L、1201R

之膜厚 d_{IL} 、 d_{IR} 相比變小。

【0044】

作為中央附近之電漿蝕刻量相對較大之原因，考慮到製膜面內之電漿強度之分佈之影響。於CVD製膜時，由於電漿功率密度較小，故而製膜面內之電漿功率之分佈較小，而製膜厚度 d_0 之不均較小。另一方面，認為由於氫電漿蝕刻係以高於非晶質矽層之製膜之功率密度實施，故而製膜面內之電漿強度之分佈變大，電漿強度之面內分佈產生電漿蝕刻量之面內分佈(電漿蝕刻後之膜厚分佈)。

【0045】

根據本發明人等之研究，可見隨著連續製膜批次之數量之增加，而批次內之膜厚差擴大，伴隨於此太陽電池之轉換特性之不均變大之傾向。於剛實施腔室內之清掃等維護後之製膜批次中，認為由於製膜面內之電漿強度之分佈較小，故而藉由氫電漿處理所形成之膜厚變化在批次內之差較小。推斷為，因伴隨於連續製膜批次之數量之增加引起的向腔室內壁等之附著膜之堆積量之增大等，而導致如圖2(B)模式性所示般，產生電漿強度之面內分佈，而與端部附近相比中央部附近之電漿強度變大。

【0046】

於太陽電池所使用之矽基板之尺寸(例如6英吋左右)之範圍內，電漿強度之分佈或膜厚之分佈較小，但於以1個批次處理複數個矽基板之情形時，可見基板間之膜厚分佈變得明顯之傾向。使用製膜面積較大之大型CVD腔室，可見一次性處理之基板之數量越增加則批次內之基板間之膜厚分佈越變大之傾向，於製膜面積為 0.3 m^2 以上之情形時，該傾向明顯，於為 0.5 m^2 以上之情形時，尤其明顯。

【0047】

(本發明中之氫電漿處理)

於本發明中，一面將氫及含矽氣體導入至CVD腔室內一面進行電漿處理。圖3係表示本發明中之電漿處理之概要之概念圖。首先，與圖2(A)同樣地，於矽基板1L、1C、1R之主面上分別形成膜厚 d_0 之本徵矽系層120L、120C、120R(圖3(A))。其後，一面向CVD腔室內導入氫及含矽氣體一面進行電漿放電，而實施電漿處理(圖3(B))。作為含矽氣體，與CVD製膜中所使用之原料氣體同樣地使用 SiH_4 或 Si_2H_6 等。

【0048】

電漿處理時之向CVD腔室內之氫導入量設為含矽氣體導入量之150~2500倍。氫導入量相對於含矽氣體導入量之比(氫稀釋倍率)較佳為200~1500倍，更佳為250~1000倍。電漿處理時之氛圍氣體可含有氮氣、氬氣、氫氣等惰性氣體，亦可微量地含有 B_2H_6 、 PH_3 等摻雜物氣體。電漿處理較佳為於氫濃度為80體積%以上之氛圍下進行。電漿處理時之氫濃度更佳為90體積%以上，進而較佳為95體積%以上。

【0049】

電漿處理時之基板溫度較佳為 $100\text{ }^\circ\text{C}$ ~ $300\text{ }^\circ\text{C}$ 。壓力較佳為20 Pa~2600 Pa。就提高藉由氫電漿所獲得之鈍化效果之觀點而言，電漿處理較佳為使氫導入量大於CVD製膜時之氫導入量，以較高之壓力實施。電漿處理時之壓力更佳為100 Pa以上，進而較佳為150 Pa以上，尤佳為200 Pa以上。

【0050】

就提高藉由氫電漿所獲得之鈍化效果之觀點而言，電漿功率密度較

佳為 55 mW/cm^2 以上，更佳為 60 mW/cm^2 以上，進而較佳為 70 mW/cm^2 以上，尤佳為 80 mW/cm^2 以上。另一方面，若電漿處理時之功率密度過高，則存在膜厚之控制變得困難之情況。另外，若功率密度過高，則存在產生膜質之降低、或對單晶矽基板表面之電漿損傷，而太陽電池之轉換特性降低之情況。因此，電漿功率密度較佳為 1000 mW/cm^2 以下，更佳為 800 mW/cm^2 以下，進而較佳為 400 mW/cm^2 以下，尤佳為 200 mW/cm^2 以下。

【0051】

非晶質矽之製膜中之氫氣之導入量一般設為含矽氣體之10倍以下。已知若氫氣相對於含矽氣體之導入量之比(氫稀釋倍率)變大，則生成微晶矽。微晶矽之製膜中之氫稀釋倍率一般為30~100倍左右。於本發明中，較一般之矽材料之CVD製膜而言含矽氣體之導入量較少，於高氫濃度之氛圍下實施電漿處理。因此，認為於本發明中之電漿處理中，並行且競爭性地發生藉由氫電漿進行之本微矽系層表面之蝕刻、與藉由氛圍中所存在之含矽氣體進行之CVD製膜。因而，藉由電漿處理所獲得之膜厚之變化速度(蝕刻速率或製膜速率)以藉由氫電漿所獲得之蝕刻速率與CVD製膜速率之差之形式表現。

【0052】

如上所述般，有隨著連續製膜批次之數量之增加而產生電漿強度之面內分佈，從而中央部附近之電漿強度與端部附近相比變大之傾向。於本發明中之電漿處理中，認為若產生電漿強度之面內分佈，則於電漿強度相對較大之部位，電漿蝕刻量(蝕刻速率)及藉由CVD所獲得之製膜量(製膜速率)均相對地變大。同樣地，認為於電漿強度相對較小之部位，蝕刻速

率及製膜速率均相對地變小。

【0053】

藉由如此在電漿處理時導入含矽氣體，而以填補因氫電漿蝕刻所造成之膜厚之減少之方式對矽系材料進行CVD製膜。因此，認為即便於產生電漿強度之面內分佈之情形時，膜厚之不均亦較小，而可降低太陽電池之轉換特性之不均。另外，於本發明中之電漿處理中，由於電漿功率密度或氫導入量(CVD腔室內之氫分壓)與不使用含矽氣體之先前之氫電漿處理等同，故而氫電漿量亦等同。因此，抑制膜厚之不均，並且獲得與先前之氫電漿處理等同之較高之鈍化效果。

【0054】

若一面導入氫及含矽氣體一面進行電漿處理，則根據導入氣體量或電漿功率密度等條件而可能產生膜厚增加之情況(製膜模式)及膜厚減少之情況(蝕刻模式)之任一情況。若含矽氣體之導入量較少，則藉由氫電漿進行之蝕刻占主導，與圖2(B)所示之情況同樣地，膜厚減少。於本發明中，為了降低起因於電漿處理之基板間之膜厚分佈，而將氫導入量設為含矽氣體導入量之2500倍以下，以製膜模式進行電漿處理。

【0055】

另一方面，若氫稀釋倍率過小，則有製膜速度變大，而電漿處理之效果降低之傾向。另外，若電漿處理時之製膜量變大，則有基板間之膜厚分佈變大之傾向。因此，電漿處理中之氫導入量設為含矽氣體導入量之150倍以上。

【0056】

有如下之傾向，即，電漿功率密度越大且氫稀釋倍率越大(含矽氣體

導入量越小)，則電漿蝕刻速度越大且電漿處理時之製膜速率越小。就兼顧鈍化效果與膜厚不均之降低之觀點而言，電漿處理時之功率密度、與氫氣之導入量相對於含矽氣體導入量之比(氫稀釋倍率)的乘積較佳為15000~150000 mW/cm²之範圍。功率密度與氫稀釋倍率之乘積更佳為20000~120000 mW/cm²，進而較佳為30000~100000 mW/cm²，尤佳為40000~90000 mW/cm²。電漿處理時之製膜速率較佳為大於0且為0.1 nm/秒以下，更佳為0.02~0.08 nm/秒，進而較佳為0.03~0.07 nm/秒。

【0057】

電漿處理後之本徵矽系薄膜之膜厚 d_1 與電漿處理前之本徵矽系層之膜厚 d_0 之差 d_1-d_0 較佳為大於0且為1.5 nm以下，更佳為0.1~1.2 nm，進而較佳為0.2~1 nm。如上所述般，膜厚係凹凸之凹部處之測定值。於在1片矽基板之面內，凹凸之凹部處之製膜厚度或電漿處理時之膜厚變化量存在不均之情形時，將基板之面內中央部之 d_1-d_0 定義為膜厚變化量。以1個批次對複數個矽基板進行電漿處理之情形時之膜厚變化量係以各矽基板1L、1C、1R之面內中央部之 d_1-d_0 之平均定義。電漿處理時之製膜速率係自 d_1-d_0 及電漿處理時間而算出。

【0058】

膜厚變化量 d_1-d_0 相對於電漿處理前之膜厚 d_0 之比 $(d_1-d_0)/d_1$ 較佳為大於0且為0.2以下，更佳為0.01~0.15，進而較佳為0.03~0.1。於膜厚變化過大之情形時，存在膜質變化變大，而藉由本徵矽所獲得之對矽基板之鈍化效果降低之情況。

【0059】

於本發明中，藉由電漿處理而於矽基板之紋理之凹部形成薄膜

129L、129C、129R。藉由電漿處理，可於紋理之中腹部及頂部亦形成薄膜，從而矽基板上之整體膜厚變大。電漿處理時之紋理之中腹部及頂部之製膜速率與凹部之製膜速率等同，但紋理之頂部由於容易受到電漿蝕刻之影響，故而有與凹部相比電漿處理時之製膜速率變小之傾向。藉由電漿處理，亦可於紋理之凹部使膜厚變大，於頂部藉由蝕刻使膜厚變小。就於整個矽基板表面使膜厚均勻而提高特性之觀點而言，較佳為藉由電漿處理而於紋理之頂部亦形成薄膜，從而矽基板上之整個薄膜之膜厚變大。為了於紋理之頂部亦形成薄膜，電漿處理時之氫稀釋倍率較佳為1000倍以下，更佳為800倍以下。電漿處理時之紋理之凹部之製膜速率較佳為0.03 nm/秒以上，更佳為0.04 nm/秒以上。

【0060】

電漿處理時間較佳為3秒以上，更佳為5秒以上，進而較佳為10秒以上。藉由將電漿處理時間設為上述範圍，而獲得藉由氫電漿所獲得之鈍化效果，從而可期望提高太陽電池之特性。即便使電漿處理時間變得過長亦無法期望鈍化效果之進一步提高，另一方面，存在膜厚分佈變大之情況。因此，電漿處理時間較佳為140秒以下，更佳為100秒以下，進而較佳為60秒以下。

【0061】

如上所述，為了提高作為矽基板1表面之鈍化層之作用，本微矽系薄膜12之製膜初始部分較佳為非晶質。另外，若本微矽系薄膜中含有微晶，則有微晶之表面或內部所產生之缺陷成為載子再結合中心，因載子壽命之降低而導致太陽電池之轉換特性(尤其是開路電壓)降低之傾向。因此，較佳為電漿處理時所形成之薄膜129L、129C、129R亦為非晶質膜。另外，

若電漿處理氛圍中含有B或P等導電型決定雜質，則存在導電型決定雜質混入薄膜中而招致特性降低之情況。因此，藉由電漿處理所形成之薄膜129L、129C、129R較佳為本徵非晶質矽系材料，尤佳為本徵非晶質矽。

【0062】

若一面導入相對於SiH₄等含矽氣體為100倍左右之氫一面實施電漿CVD製膜，則存在形成微晶矽之情況。另一方面，為了形成微晶矽，必須產生結晶核。於製膜厚度較小之情形時，即便以高氫稀釋倍率亦不產生結晶核，而容易形成非晶質矽。尤其若膜厚未達2 nm，則幾乎不發生結晶化，而形成非晶質矽膜。於以150倍以上之氫稀釋倍率進行電漿處理之情形時，因電漿蝕刻之影響而令製膜速率極小，容易控制膜厚。因此，於電漿處理中，可以不產生微晶矽之方式控制膜厚變化量，而抑制微晶之生成。

【0063】

如上所述，對形成了本徵矽系層後之矽基板進行電漿處理。可於藉由電漿CVD而形成本徵矽系層後，不將基板取出，而於同一CVD腔室內進行電漿處理。於該情形時，可連續進行本徵矽系層之形成與電漿處理，亦可暫時停止電漿放電。於連續進行本徵矽系層之形成與電漿處理之情形時，可為了降低腔室內之含矽氣體濃度，而於持續電漿放電之狀態下停止供給原料氣體。於本徵矽系層之形成後暫時停止電漿放電之情形時，較佳為於停止了電漿放電之狀態下實施腔室內之氣體置換，降低腔室內之原料氣體(含矽氣體)之濃度，於腔室內成為以氫為主成分之氣體氛圍後再次開始放電，而開始電漿處理。

【0064】

[製膜及電漿處理之變化例]

圖3中表示藉由1次CVD製膜而於矽基板上形成膜厚 d_0 之本徵矽系層之形態，可將本徵矽系層分割成複數個子層而形成。於形成複數個子層之情形時，於形成任一子層後且於形成下一層之前實施上述電漿處理。亦可於每次形成各子層後實施電漿處理。

【0065】

例如，可如圖4所示般，製膜為第一子層與第二子層該2層，於各子層之製膜後實施電漿處理。於圖4所示之形態中，首先，於複數個矽基板1L、1C、1R之主面上分別形成第一子層121L、121C、121R(圖4(A))。其後，藉由第一子層121L、121C、121R之表面之電漿處理而形成薄膜，第一子層之膜厚變大(圖4(B))。於電漿處理後之第一子層121L、121C、121R上形成第二子層122L、122C、122R(圖4(C))。藉由第二子層122L、122C、122R之表面之電漿處理而形成薄膜，第二子層之膜厚變大(圖4(D))。

【0066】

第一子層及第二子層可藉由與上述本徵矽系層之製膜相同之製膜條件而形成。藉由在第一子層1210L、1210C、1210R向矽基板1L、1C、1R上之形成後且在第二子層1220L、1220C、1220R之形成前進行電漿處理(以下，有時記載為「中間電漿處理」)，不僅使得膜質提高，亦使得本徵矽系薄膜12與矽基板1之界面之鈍化效果提高。

【0067】

認為藉由電漿處理所獲得之開路電壓之提高係由藉由暴露於氫電漿中所獲得之膜質改善(藉由向膜中之氫導入所獲得之懸鍵之封端等)、及界

面特性之改善所引起。

【0068】

藉由在第一子層1210L、1210C、1210R之製膜後且在第二子層1220L、1220C、1220R之製膜前進行中間電漿處理，可經由第一子層1210L、1210C、1210R而對矽基板1L、1C、1R之表面亦發揮藉由氫電漿所獲得之鈍化效果。

【0069】

第一子層1210L、1210C、1210R作為減輕對矽基板表面之電漿損傷之保護層發揮作用。藉由在將第一子層製膜後進行中間電漿處理，而有如下傾向，即，抑制對矽基板1L、1C、1R之電漿損傷，並且藉由矽基板表面之鈍化效果或矽基板表面之缺陷減少效果，而提高太陽電池之轉換特性。

【0070】

於在形成第一子層後進行中間電漿處理之情形時，就兼顧對基板之電漿損傷之減少及基板表面之鈍化效果之觀點而言，較佳為中間電漿處理前之紋理之凹部中所設置之第一子層之膜厚為1~6 nm，更佳為1.5~5 nm，進而較佳為2~4 nm。另外，若第一子層之膜厚為該範圍，則遍及第一子層之膜厚方向整體容易獲得藉由電漿處理所獲得之膜質改善效果。

【0071】

於在膜厚方向分割成複數個子層而進行積層之情形時，可不論本徵矽系薄膜12之整體設定膜厚如何，而將第一子層之膜厚設為上述範圍。另外，由於可將各個子層之膜厚設定得較小，故而遍及子層之膜厚方向整體容易獲得藉由氫電漿所獲得之膜質改善效果。

【0072】

於設置複數個子層之情形時，第一子層以外之子層之製膜厚度亦較佳為6 nm以下，更佳為5 nm以下，進而較佳為4 nm以下。藉由使各子層之製膜厚度變小，可遍及子層之膜厚方向整體發揮藉由氬電漿所獲得之膜質改善效果。各個子層之製膜厚度較佳為1 nm以上，更佳為1.5 nm以上，進而較佳為2 nm以上。若各子層之製膜厚度過小，則變得容易產生覆蓋不良。另外，於各子層之製膜厚度過小之情形時，有為了將本徵矽系薄膜12設為特定膜厚而必須增加所需之子層之積層數，從而生產效率降低之傾向。若與矽基板相接而設置之第一子層之製膜厚度為上述範圍，則藉由對第一子層之表面之電漿處理，可對矽基板1之表面亦發揮藉由氬電漿所獲得之鈍化效果，並且可減少對矽表面之電漿損傷。

【0073】

由於藉由電漿處理而形成薄膜，故而電漿處理後之第一子層121L、121C、121R之膜厚變得大於電漿處理前之第一子層1210L、1210C、1210R之膜厚。即便於如上所述般隨著連續製膜批次之數量之增加而產生電漿強度之面內分佈之情形時，亦由於電漿蝕刻量與藉由CVD所獲得之製膜量保持平衡，故而可抑制批次內或批次間之膜厚之不均。

【0074】

於對第一子層之電漿處理後，形成第二子層1220L、1220C、1220R(圖4(C))。其後，藉由如圖4(D)所示般對第二子層實施電漿處理，可期望藉由對矽系層之鈍化效果所獲得之膜質改善，亦可期望與形成於第二子層122L、122C、122R上之導電型矽系薄膜15之界面接合之提高。

【0075】

本微矽系薄膜亦可藉由3個以上之子層之積層而形成。若子層之積層數 n (n 為2以上之整數)過大，則存在因本微矽系薄膜之膜厚增加而串聯電阻增大，太陽電池之填充因數降低之情況。另外，若子層之積層數 n 較大，則太陽電池之生產效率降低。因此， n 較佳為2~4，更佳為2~3，尤佳為 $n=2$ 。

【0076】

於本微矽系薄膜自矽基板側依序分割成第一子層至第 n 子層之 n 層子層而形成之情形時，於形成第一子層至第 n 子層之任一層後，一面向腔室內導入含矽氣體及氫一面實施電漿處理。於電漿處理後之子層之表面，較佳為形成薄膜。

【0077】

於 n 為3以上之情形時，可僅對1個子層實施電漿處理，亦可對複數個子層實施電漿處理。例如於 $n=3$ 之情形時，可於將第一子層製膜後實施中間電漿處理，於第二子層之製膜後不進行氫電漿處理，而將第三子層製膜並對第三子層之表面實施電漿處理。另外，亦可於第一子層形成後、第二子層形成後、及第三子層形成後分別實施電漿處理。針對各子層之電漿處理之條件可同一，亦可不同。

【0078】

於 n 為3以上之情形時，亦較佳為對第一子層之表面進行中間電漿處理。藉由如上所述般對與矽基板1相接之第一子層之表面進行中間電漿處理，而有矽基板表面之鈍化效果或矽基板表面之缺陷減少效果得到提高之傾向。

【0079】

[導電型矽系薄膜]

於實施了電漿處理之本徵矽系薄膜12上，形成p型矽系薄膜作為導電型矽系薄膜15。藉由與對界面進行電漿處理之本徵矽系薄膜相接地設置導電型矽系薄膜，而有界面接合變得良好，轉換特性提高之傾向。導電型矽系薄膜之膜厚較佳為3 nm~20 nm之範圍。

【0080】

於實施了電漿處理後，亦可不自CVD腔室取出基板，而於同一CVD腔室內形成p型矽系薄膜15。藉由於同一CVD腔室內連續地向矽基板上形成本徵矽系薄膜及導電型矽系薄膜，可簡化步驟，而提高太陽電池之生產效率。若於同一CVD腔室內形成導電型矽系薄膜與本徵矽系薄膜，則存在滯留於腔室內之摻雜物混進本徵矽系薄膜之膜中之情況，但由於在本徵矽系薄膜之厚度為3 nm以上之情形時，雜質不會擴散至矽基板，故而對矽基板表面之鈍化效果產生之影響較小。

【0081】

以上，以於矽基板1上形成本徵矽系薄膜12及p型矽系薄膜15之情況(p層側之矽系薄膜之形成)為例進行了說明，於本發明之製造方法中，只要藉由上述方法實施p層側之矽系薄膜之形成及n層側之矽系薄膜之形成之至少一者即可。尤其藉由使用上述方法實施p層側之矽系薄膜之形成，可見太陽電池之轉換特性之明顯提高。另外，藉由使用上述方法形成p層側及n層側之矽系薄膜之兩者，可期望進一步之轉換特性之提高效果。

【0082】

[透明導電層]

於導電型矽系薄膜15、25上形成透明導電層17、27。透明導電層為

導電性氧化物層。作為導電性氧化物，例如可將氧化鋅、氧化銮、氧化錫等單獨或混合而使用。於導電性氧化物中，可添加導電性摻雜劑。例如作為添加至氧化鋅中之摻雜劑，可列舉：鋁、鎵、硼、矽、碳等。作為添加至氧化銮中之摻雜劑，可列舉：鋅、錫、鈦、鎢、鉬、矽等。作為添加至氧化錫中之摻雜劑，可列舉氟等。透明導電層可製膜為單層膜，亦可製膜有複數層。

【0083】

透明導電層17、27之膜厚就透明性及導電性之觀點而言，較佳為10 nm以上且140 nm以下。透明導電層只要具有載子向集電極之輸送所需之導電性即可。若透明導電層之膜厚過大，則存在因透明導電層之光吸收而使透過率減少，從而導致使太陽電池之轉換特性降低之情況。

【0084】

作為透明導電層之製膜方法，較佳為濺鍍法等物理氣相沈積法或利用有機金屬化合物與氧或水之反應之化學氣相沈積(MOCVD)等。於任一製膜方法中，均可將熱或藉由電漿放電等所獲得之能量用於製膜。

【0085】

[集電極]

於透明導電層17、27上形成集電極19、29。作為集電極之材料，使用銀、銅、金、鋁、錫等金屬。受光面側之集電極形成為圖案狀。背面側之集電極可形成於透明導電層上之整面，亦可形成為圖案狀。圖案狀之集電極可藉由導電膏之塗佈或鍍覆等而形成。作為導電膏向透明導電層上之塗佈方法，可列舉：噴墨、網版等印刷法、或噴霧等。

【0086】

[模組化]

結晶矽系太陽電池較佳為於實用時進行模組化。太陽電池之模組化係藉由適當之方法而進行。例如藉由將引板等互連連接器連接於集電極，而形成將複數個太陽電池串聯或並聯連接而成之太陽電池串。於太陽電池或太陽電池串連接有用以與外部線路電性連接之配線，藉由使用密封材及玻璃板等進行密封，而獲得太陽電池模組。

【0087】

於將複數個電池單元串聯及/或並聯連接而成之太陽電池模組中，模組效率受到特性最低之電池單元之特性影響。如上所述般，根據本發明之製造方法，而獲得轉換特性優異且批次內或批次間之轉換特性之不均較少之結晶矽系太陽電池。於將藉由本發明之製造方法所獲得之複數個電池單元模組化之情形時，由於電池單元間之電壓或電流之不均較少，故而可較高地維持模組效率。

[實施例]**【0088】**

以下，藉由實施例具體地說明本發明，但本發明並不限於以下實施例。於以下例中，形成有紋理之矽基板上之薄膜之膜厚係藉由剖面之穿透式電子顯微鏡(TEM)觀察而求出。將與紋理之斜面垂直之方向設為膜厚方向，自TEM觀察圖像讀取紋理之凹部之膜厚。

【0089】

[製膜實驗例：藉由電漿處理所獲得之製膜速率之評價]

(對矽基板之紋理之形成)

將入射面之面方位為(100)、厚度為200 μm 之6英吋n型單晶矽晶圓於

丙酮中進行清洗後，浸漬於2重量%之HF(Hydrogen Fluoride，氟化氫)水溶液中3分鐘而去除表面之氧化矽膜，使用超純水進行沖洗。將清洗後之矽基板浸漬於70°C之5/15重量%之KOH(Potassium hydroxide，氫氧化鉀)/異丙醇水溶液中15分鐘後，使用超純水進行沖洗，而獲得露出(111)面之形成有稜錐形狀之紋理之單晶矽基板。

【0090】

(本徵矽層之製膜)

於能夠載置25片(5列、5行)矽基板之製膜托盤(托盤面積：0.93 m²，製膜面之面積：0.67 m²)上之面內中央部(3、3位址)，載置形成有紋理之矽基板。將載置有矽基板之托盤向CVD腔室內導入，於基板溫度150°C、壓力120 Pa、H₂/SiH₄流量比10/3、功率密度11 mW/cm²之條件(以下，將該條件記載為「標準製膜條件」)下進行30秒鐘製膜，而形成紋理之凹部之膜厚約為5 nm之本徵矽層。

【0091】

(電漿處理)

於將本徵矽層製膜後，暫時停止電漿放電，將H₂及SiH₄以表1之「電漿處理條件1」中所示之H₂/SiH₄流量比向CVD腔室內導入，進行氣體置換。於進行30秒鐘氣體置換後，再次開始電漿放電，而於表1之「電漿處理條件1」中所示之H₂/SiH₄流量比、功率密度、壓力及基板溫度下實施30秒鐘電漿處理。

【0092】

與上述同樣地，形成紋理之凹部之膜厚約為5 nm之本徵矽層，將氣體置換時及電漿處理時之H₂/SiH₄流量比及電漿處理時之功率密度變更為

表1中所示之電漿處理條件2~10，而實施氣體置換及30秒之電漿處理。此外， H_2/SiH_4 流量比 ∞ 表示不導入 SiH_4 而僅導入 H_2 進行氣體置換及電漿處理(氫電漿蝕刻)。

【0093】

<評價結果>

將「標準製膜條件」及「電漿處理條件1~10」中之氫稀釋倍率(H_2/SiH_4 流量比)、功率密度、壓力、基板溫度、及製膜速率示於表1。製膜速率係藉由將於3個部位測定出之電漿處理前之基板之中央附近中之紋理之凹部之薄膜之膜厚 d_0 所得之平均、與於3個部位測定出之電漿處理後之基板之中央附近中之紋理之凹部之薄膜之膜厚 d_1 所得之平均之差記為膜厚變化量 d_1-d_0 ，並將膜厚變化量除以電漿處理時間而算出。

【0094】

[表1]

	H_2/SiH_4	功率密度 (mW/cm ²)	壓力(Pa)	基板溫度 (°C)	製膜速率(nm/ 秒)(凹凸凹部)
標準製膜條件	3.3	11	120		0.16
電漿處理條件	1	3000	520	150	-0.08
	2	2000			0.01
	3	1000			0.03
	4	500			0.06
	5	200			0.08
	6	100			0.11
	7	50			0.13
	8	∞			-0.08
	9	2000			0.005
	10	∞			-0.04

【0095】

如表1所示般，於電漿處理條件8及電漿處理條件10之電漿處理(氫電漿蝕刻)中，蝕刻速率較大，相對於此，藉由導入 H_2 及 SiH_4 而使蝕刻速率變小，於電漿功率密度為 100 mW/cm^2 之情形時，若氫稀釋倍率為2000倍以下則製膜速率成為正數(製膜模式)。另外，自電漿處理時之功率密度 100 mW/cm^2 之情況(實驗例1)與 30 mW/cm^2 之情況(實驗例5)之對比可知，電漿處理時之功率密度越大，製膜速率變得越小(蝕刻速度變得越大)。自該等結果可知，藉由調整電漿處理時之 H_2/SiH_4 流量比及電漿功率密度，可任意調整電漿處理中之製膜速率。

【0096】

[製膜實驗例：批次間及批次內之膜厚不均之評價]

<實驗例1>

(第1批次之製膜)

於能夠載置25片(5列、5行)矽基板之製膜托盤(托盤面積： 0.93 m^2 ，製膜面之面積： 0.67 m^2)上之面內中央部(3、3位址)及端部(1、1位址)，分別載置形成有紋理之矽基板。將載置有矽基板之托盤向CVD腔室內導入，以標準製膜條件進行11秒鐘製膜，而形成膜厚約 2.5 nm 之本徵矽層(第一子層)。

【0097】

於將第一子層製膜後，暫時停止電漿放電，將 H_2 及 SiH_4 以 H_2/SiH_4 流量比2000/1向CVD腔室內導入，進行氣體置換。於進行30秒鐘氣體置換後，再次開始電漿放電，而於電漿處理條件1下進行20秒鐘之電漿處理。暫時停止電漿放電，以 H_2/SiH_4 流量比成為10/3之方式將 SiH_4 向CVD腔室內導入而進行氣體置換後，再次開始電漿放電，而以標準製膜條件進行11

秒鐘製膜，從而於電漿處理後之第一子層上形成膜厚約2.5 nm之本徵矽層(第二子層)。

【0098】

於形成第二子層後，暫時停止電漿放電，將 H_2 及 SiH_4 以 H_2/SiH_4 流量比2000/1向CVD腔室內導入，而進行約30秒鐘氣體置換。其後，再次開始電漿放電，於電漿處理條件1下進行20秒鐘之電漿處理。電漿處理時之 SiH_4 氣體之供給量與對第一子層之電漿處理同樣地，將 H_2/SiH_4 流量比調整為2000/1。

【0099】

於已對第二子層之表面進行電漿處理之本徵矽薄膜上，於基板溫度 $150^\circ C$ 、壓力60 Pa、含 B_2H_6 之 H_2/SiH_4 之流量比為3/1、功率密度 $11 mW/cm^2$ 之條件下形成膜厚約為4 nm之p型矽薄膜。作為含 B_2H_6 之 H_2 ，使用藉由 H_2 而將 B_2H_6 濃度稀釋至5000 ppm之混合氣體。

【0100】

(第2~9批次之製膜)

於第1批次之製膜結束後，將製膜托盤自CVD裝置取出，於製膜托盤上之面內中央部及端部分別載置其他矽基板，而進行第2批次之製膜。於第2批次之製膜中，與第1批次同樣地，進行約2.5 nm之第一子層之形成、對第一子層之電漿處理、約2.5 nm之第二子層之形成、對第二子層之電漿處理及p型矽薄膜之形成之一連串操作。反覆進行該等一連串操作，進行製膜直至第9批次。

【0101】

(第10批次之製膜及膜厚測定)

於第10批次中，與第1~9批次同樣地，進行第一子層之形成、對第一子層之電漿處理、第二子層之形成、及對第二子層之電漿處理後，自CVD裝置取出製膜托盤。對分別載置於托盤之中央部及端部之矽基板之中央附近中之紋理凹部之本徵矽薄膜的膜厚進行測定，將3個部位之平均設為電漿處理後之膜厚 d_1 。

【0102】

(第11~第998批次之製膜)

於與第1~9批次相同之條件下，反覆進行一連串操作而進行第11~第998批次之製膜。

【0103】

(第999、1000批次之製膜及膜厚測定)

於第999批次之製膜中，進行第一子層之形成、對第一子層之電漿處理、及第二子層之形成後，自CVD裝置取出製膜托盤，而於3個部位測定矽基板之中央附近中之紋理凹部之薄膜之膜厚，並將3個部位之平均設為電漿處理前之膜厚 d_0 。於第1000批次之製膜中，與第10批次同樣地，進行第一子層之形成、對第一子層之電漿處理、第二子層之形成、及對第二子層之電漿處理後，自CVD裝置取出製膜托盤，而於3個部位測定矽基板之中央附近中之紋理凹部之薄膜之膜厚，並將3個部位之平均設為電漿處理後之膜厚 d_1 。

【0104】

< 實驗例2~4、比較實驗例1~4 >

以 H_2/SiH_4 流量比分別成為1000/1(實驗例2，電漿處理條件3)、500/1(實驗例3，電漿處理條件4)、200/1(實驗例4，電漿處理條件5)、

100/1(比較實驗例1，電漿處理條件6)、50/1(比較實驗例2，電漿處理條件7)、3000/1(比較實驗例3，電漿處理條件1)之方式，變更電漿處理前之氣體置換及電漿處理中之 SiH_4 之導入量。於比較實驗例4(電漿處理條件8)中，未導入 SiH_4 而僅導入氬對第一子層及第二子層實施電漿處理(氬電漿蝕刻)。於該等實驗例中，以電漿處理後之膜厚 d_1 變得與實驗例1等同之方式調整利用標準成膜條件之本徵矽層之製膜時間。

【0105】

將製膜時間及電漿處理時之 SiH_4 導入量如上所述般進行變更，除此以外，藉由與實驗例1相同之方式反覆進行向矽基板上之製膜及電漿處理，並測定第10批次中之電漿處理後之膜厚 d_1 、以及第999批次之電漿處理前之膜厚 d_0 、及第1000批次之電漿處理後之膜厚 d_1 。

【0106】

< 實驗例5 >

變更為電漿處理條件9(功率密度 30 mW/cm^2)而實施電漿處理，以電漿處理後之膜厚 d_1 變得等同之方式調整本徵矽層之製膜時間，除此以外，藉由與實驗例1相同之方式反覆進行向矽基板上之製膜及電漿處理，並測定第10批次中之電漿處理後之膜厚 d_1 、以及第999批次之電漿處理前之膜厚 d_0 、及第1000批次之電漿處理後之膜厚 d_1 。

【0107】

< 比較實驗例5 >

變更為電漿處理條件10(功率密度 30 mW/cm^2)而實施電漿處理，以電漿處理後之膜厚 d_1 變得等同之方式調整製膜時間，除此以外，藉由與比較實驗例4相同之方式反覆進行向矽基板上之製膜及電漿處理，並測定第

10批次中之電漿處理後之膜厚 d_1 、以及第999批次之電漿處理前之膜厚 d_0 、及第1000批次之電漿處理後之膜厚 d_1 。

【0108】

<比較實驗例6>

以標準製膜條件進行25秒之製膜，形成膜厚約4 nm之本徵矽層。其後，不進行電漿處理而於本徵矽層上形成p型矽薄膜。反覆進行該等一連串操作，並測定第10批次及第1000批次之本徵矽薄膜之膜厚。

【0109】

表2中表示實驗例及比較實驗例中之電漿處理之條件、及膜厚測定結果。批次內膜厚不均係將於托盤端部進行了製膜及電漿處理之基板上之本徵矽薄膜之膜厚 d_1 、與於托盤中央部進行了製膜及電漿處理之基板上之本徵矽薄膜之膜厚 d_1 之差以百分率表示者。批次間膜厚不均係將第10批次之電漿處理後之膜厚 d_1 、與第1000批次之電漿處理後之膜厚 d_1 之差以百分率表示者。

【0110】

[表2]

	電漿處理		膜厚測定結果				
	H ₂ /SiH ₄	基板位置	第10批次	第999、1000批次			批次間d ₁ 不均(%)
	功率密度(mW/cm ²)		d ₁	d ₀	d ₁	d ₁ -d ₀	
實驗例1	2000	端部(nm)	5.4	5.2	5.4	0.2	0.6
		中央部(nm)	5.0	5.2	5.0	-0.2	0.4
	100	批次內膜厚不均(%)	6.8	0.2	7.0		
實驗例2	1000	端部(nm)	5.2	5.0	5.2	0.2	0.0
		中央部(nm)	5.1	5.0	5.2	0.2	0.2
	100	批次內膜厚不均(%)	0.2	0.2	0.0		
實驗例3	500	端部(nm)	5.0	4.2	5.0	0.8	0.0
		中央部(nm)	5.0	4.2	5.0	0.8	0.2
	100	批次內膜厚不均(%)	0.2	0.0	0.0		
實施例4	200	端部(nm)	4.9	3.5	4.9	1.4	0.2
		中央部(nm)	4.9	3.5	4.9	1.4	0.4
	100	批次內膜厚不均(%)	0.0	0.9	0.2		
比較實驗例1	100	端部(nm)	4.7	3.0	4.7	1.7	1.5
		中央部(nm)	4.8	3.0	4.7	1.7	1.3
	100	批次內膜厚不均(%)	0.8	-0.7	1.1		
比較實驗例2	50	端部(nm)	4.6	N.D.	4.6		0.2
		中央部(nm)	4.8		4.7		1.7
	100	批次內膜厚不均(%)	3.5		2.1		
比較實驗例3	3000	端部(nm)	5.4	N.D.	5.4		0.7
		中央部(nm)	5.3		4.5		17.8
	100	批次內膜厚不均(%)	1.1		20.0		
比較實驗例4	∞	端部(nm)	5.3	7.5	5.2	-2.3	1.3
		中央部(nm)	5.2	7.4	3.9	-3.5	32.7
	100	批次內膜厚不均(%)	1.9	0.9	33.4		
實驗例5	2000	端部(nm)	5.0	4.5	5.1	0.5	1.0
		中央部(nm)	5.1	4.5	5.1	0.6	0.6
	30	批次內膜厚不均(%)	1.8	0.4	1.4		
比較實驗例5	∞	端部(nm)	5.6	N.D.	5.6		0.9
		中央部(nm)	5.0		5.4		7.8
	30	批次內膜厚不均(%)	11.4		3.7		
比較實驗例6		端部(nm)	4.1		4.2		2.4
		中央部(nm)	4.1		4.2		2.6
		批次內膜厚不均(%)	0.2		0.0		

【0111】

於未導入 SiH_4 而僅導入 H_2 進行電漿處理之比較實驗例4及比較實驗例5、以及將電漿處理時之 H_2/SiH_4 流量比設為3000/1之比較實驗例3中，可知配置於托盤中央部之基板上之薄膜之膜厚的批次間不均(第10批次與第1000批次之平均之差)明顯較大。另外，於該等比較實驗例中，第1000批次之批次內之膜厚不均亦明顯變大。

【0112】

於將電漿處理時之 H_2/SiH_4 流量比設為200/1~2000/1之實驗例1~4中，即便於第1000批次中，批次內膜厚不均亦為1%左右、或1%以下。於進而增加了 SiH_4 流量之比較實驗例1、2中，第1000批次中之批次內之膜厚不均變大。

【0113】

於比較實驗例中，第999批次之膜厚 d_0 之批次內膜厚不均較小，由此認為藉由電漿處理所獲得之製膜量(蝕刻量)之不均為膜厚不均之原因。於實驗例中，可知藉由調整電漿處理時之 SiH_4 導入量(氫稀釋倍率)而以製膜模式實施電漿處理，從而即便於連續製膜批次之數量增加之情形時，亦能抑制藉由電漿處理所獲得之製膜量之不均，而可減少電漿處理後之本徵矽薄膜之膜厚之批次內不均及批次間不均。

【0114】

[太陽電池之製作例]

於以下實施例及比較例中，在與上述實驗例及比較實驗例相同之條件下進行製膜及電漿處理後，製作太陽電池而評價發電特性。

【0115】

< 實施例1 >

(p層側之CVD製膜)

於能夠載置25片(5列、5行)矽基板之製膜托盤上之面內中央部(3、3位址)及端部(1、1位址)，分別載置形成有紋理之矽基板。將載置有矽基板之托盤向CVD腔室內導入，於與上述實驗例1相同之條件下，於矽基板上進行標準製膜條件下之約2.5 nm之第一子層之形成、對第一子層之電漿處理、約2.5 nm之第二子層之形成、對第二子層之電漿處理、及p型矽薄膜之形成。更換托盤，而於相同之條件下實施1000個批次之製膜。

【0116】

(太陽電池之製作)

自於p層側形成有矽薄膜之基板中，選取第10批次之2片及第1000批次之2片之共計4片，而製成異質接面太陽電池。於矽基板之矽薄膜非形成面(背面側)，在標準製膜條件下形成膜厚6 nm之本徵矽薄膜，於其上在基板溫度150°C、壓力60 Pa、含PH₃之H₂/SiH₄之流量比為3/1、功率密度11 mW/cm²之條件下形成膜厚約為4 nm之n型非晶質矽薄膜。作為含PH₃之H₂，使用藉由H₂而將PH₃濃度稀釋至5000 ppm之混合氣體。

【0117】

於n型矽薄膜上及p型矽薄膜上分別製膜膜厚80 nm之ITO(Indium Tin Oxides，氧化銦錫)透明導電膜。透明導電膜係使用氧化錫含量5重量%之ITO燒結靶，於基板溫度150°C、氬/氧流量：50 sccm/1 sccm、壓力0.2 Pa、功率密度0.5 W/cm²之條件下藉由濺鍍法而製膜。於透明導電層上藉由網版印刷而將銀漿印刷成梳形，並於150°C下加熱1小時，而獲得評價用太陽電池。

【0118】

< 實施例2~5、比較例1~6 >

將p層側之矽薄膜之CVD製膜條件及電漿處理條件變更為與實驗例2~5及比較實驗例1~6相同之條件。除此以外，藉由與實施例1相同之方式實施1000個批次之製膜，使用第10批次及第1000批次之基板製成評價用太陽電池。

【0119】

< 評價結果 >

以試樣溫度25°C且於AM1.5、100 mW/cm²之光照射下測定各實施例及比較例中所獲得之評價用太陽電池之輸出特性。於表3中，開路電壓(Voc)、短路電流(Isc)、填充因數(FF)及最大輸出(Pmax)係以將比較例6之第10批次之電池單元(於托盤端部進行製膜後之電池單元)之值設為1之相對值表示。表3中之「差異」係同一批次內之端部與中央部之差異， ΔP_{max} 係第10批次之電池單元與第1000批次之電池單元之Pmax之差。

【0120】

[表3]

	電漿處理 H ₂ /SiH ₄ 功率密度 (mW/cm ²)	基板位 置	轉換特性(相對值)								
			第10批次				第1000批次				ΔPmax
			Voc	Isc	FF	Pmax	Voc	Isc	FF	Pmax	
實施例1	2000	端部	1.053	1.011	1.021	1.087	1.048	1.009	1.023	1.082	0.005
		中央部	1.052	1.010	1.022	1.086	1.040	1.010	1.025	1.077	0.009
	100	差異	0.001	0.001	-0.001	0.001	0.008	-0.001	-0.002	0.005	
實施例2	1000	端部	1.056	1.010	1.022	1.090	1.054	1.010	1.024	1.090	0.000
		中央部	1.053	1.008	1.022	1.085	1.048	1.011	1.025	1.086	-0.001
	100	差異	0.003	0.002	0.000	0.005	0.006	-0.001	-0.001	0.004	
實施例3	500	端部	1.055	1.007	1.026	1.090	1.055	1.007	1.025	1.089	0.001
		中央部	1.053	1.008	1.027	1.090	1.056	1.007	1.027	1.092	-0.002
	100	差異	0.002	-0.001	-0.001	0.000	-0.001	0.000	-0.002	-0.003	
實施例4	200	端部	1.056	1.006	1.018	1.081	1.056	1.006	1.018	1.081	0.000
		中央部	1.053	1.008	1.015	1.077	1.056	1.008	1.016	1.081	-0.004
	100	差異	0.003	-0.002	0.003	0.004	0.000	-0.002	0.002	0.000	
比較例1	100	端部	1.034	1.007	1.008	1.050	1.037	1.005	1.006	1.048	0.001
		中央部	1.039	1.004	1.009	1.053	1.041	1.003	1.009	1.054	-0.001
	100	差異	-0.005	0.003	-0.001	-0.003	-0.004	0.002	-0.003	-0.005	
比較例2	50	端部	1.025	1.007	1.006	1.038	1.026	1.005	1.006	1.037	0.001
		中央部	1.028	1.004	1.003	1.035	1.030	1.003	1.003	1.036	-0.001
	100	差異	-0.003	0.003	0.003	0.003	-0.004	0.002	0.003	0.001	
比較例3	3000	端部	1.062	1.013	1.019	1.096	1.041	1.009	1.015	1.066	0.030
		中央部	1.063	1.011	1.021	1.097	1.019	1.011	1.007	1.037	0.060
	100	差異	-0.001	0.002	-0.002	-0.001	0.022	-0.002	0.008	0.029	
比較例4	∞	端部	1.065	1.014	1.019	1.100	1.048	1.004	1.015	1.068	0.032
		中央部	1.053	1.011	1.025	1.091	1.015	1.004	1.008	1.027	0.064
	100	差異	0.012	0.003	-0.006	0.009	0.033	0.000	0.007	0.041	
實施例5	2000	端部	1.029	1.011	1.015	1.056	1.028	1.011	1.019	1.059	-0.003
		中央部	1.030	1.010	1.019	1.060	1.022	1.012	1.017	1.052	0.008
	30	差異	-0.001	0.001	-0.004	-0.004	0.006	-0.001	0.002	0.007	
比較例5	∞	端部	1.025	1.014	1.013	1.053	1.025	1.004	1.015	1.045	0.008
		中央部	1.019	1.011	1.017	1.048	1.010	1.014	1.009	1.033	0.014
	30	差異	0.006	0.003	-0.004	0.005	0.015	-0.010	0.006	0.011	
比較例6	-	端部	1	1	1	1	0.999	1.000	1.002	1.001	-0.001
		中央部	0.989	1.008	1.004	1.001	0.989	1.008	1.001	0.998	0.003
		差異	0.011	-0.008	-0.004	-0.001	0.010	-0.008	0.001	0.003	

【0121】

於觀察各實施例及比較例之第10批次之電池單元之情形時，實施了電漿處理之實施例1~5及比較例1~5與未進行電漿處理之比較例6相比， P_{max} 較高，可見藉由電漿處理所獲得之轉換特性之提高效果。尤其於一面導入相對於 SiH_4 為200倍以上之 H_2 一面以 100 mW/cm^2 之電漿功率進行對第一子層之中間電漿處理及對第二子層之電漿處理之實施例1~4及比較例3、4中，可見轉換效率之明顯之提高。於實施例1~4中，同一批次內之端部之電池單元與中央部之電池單元之 P_{max} 之差未達1%，未見同一批次內之轉換效率之較大之差異。

【0122】

在電漿處理時僅導入了 H_2 之比較例4、5中，雖然第10批次之電池單元之轉換效率較高，但第1000批次之電池單元之轉換特性明顯降低。可知尤其是中央部之電池單元之 ΔP_{max} 較大，批次內及批次間之特性之不均較大。即，可知雖然藉由氫電漿蝕刻可提高製膜初始批次之電池單元之特性，但隨著連續製膜批次之數量之增加，電池單元之特性降低，批次內之特性不均亦變大。於電漿處理時之 H_2/SiH_4 流量比為3000/1之比較例3中，與比較例4、5同樣地，批次內及批次間之特性不均亦較大。

【0123】

於將電漿處理時之 H_2/SiH_4 流量比設為200/1~2000/1之實施例1~5中，可知第1000批次之電池單元亦維持較高之轉換特性，批次內之特性不均亦較小。尤其是 H_2/SiH_4 流量比1/1000之實施例2、 H_2/SiH_4 流量比1/500之實施例3、及 H_2/SiH_4 流量比1/200之實施例4表現出較高之轉換特性。

【0124】

將表2之膜厚評價結果、與表3之轉換特性之評價結果進行對比，可知各實驗例及比較實驗例之膜厚不均(表2)、與各實施例及比較例之太陽電池之特性不均(表3)具有較高之關聯。即，於比較例中，隨著連續製膜批次之數量之增加而膜厚不均變大，伴隨於此，產生特性不均。另一方面，可知於實施例中由於維持藉由電漿處理所獲得之鈍化效果，並且批次內及批次間之本徵矽薄膜之膜厚之分佈得到降低，故而即便於連續製膜批次之數量增加之情形時，亦可維持藉由電漿處理所獲得之轉換特性提高效果。

【0125】

電漿處理時之SiH₄導入量較多之(氫稀釋倍率較小)比較例1及比較例2與比較例4、5相比，第1000批次中之膜厚不均較小，轉換特性之不均亦較小。但，於第10批次及第1000批次之任一批次中，均轉換特性較低，藉由電漿處理所獲得之特性提高效果不充分。認為其原因在於：由於電漿處理之製膜速率較大，較氫電漿向矽薄膜(子層)之內部之浸透而言矽薄膜之製膜優先發生，故而因藉由氫電漿所獲得之鈍化效果較低，而導致Voc之提高不充分。另外，認為妨礙轉換特性之提高之因素還有：由於電漿處理時之製膜速率較大，高氫濃度之界面層由有意義之膜厚所形成，故而容易產生微晶矽。

【0126】

將電漿處理時之功率密度設為30 mW/cm²之實施例5中，第1000批次中之膜厚不均較小，與比較例1、2相比表現出較高之轉換特性。另一方面，可知與實施例1相比，實施例5之轉換特性較低。認為其原因在於：電

漿處理時之功率密度較低，藉由氫電漿所獲得之鈍化效果較小。

【0127】

根據以上結果可知，藉由適當地調整電漿處理時之含矽氣體導入量(氫稀釋倍率)及電漿功率密度，可獲得轉換效率優異之太陽電池。另外可知，於氫電漿蝕刻中，隨著矽系薄膜之連續製膜批次之數量之增加而產生轉換特性之不均，針對於此，藉由以形成非晶質矽之方式導入少量之含矽氣體而實施電漿處理，可降低批次內及批次間之電池單元特性之不均。

【符號說明】

【0128】

1	導電型單晶矽基板
1L、1C、1R	矽基板
12、22	本徵矽系薄膜
15、25	導電型矽系薄膜
17、27	透明導電層
19、29	金屬電極
100	結晶矽系太陽電池
120L、120C、120R	本徵矽系層
121L、121C、121R	電漿處理後之第一子層
122L、122C、122R	電漿處理後之第二子層
129L、129C、129R	薄膜
1201L、1201C、1201R	本徵矽系薄膜
1210L、1210C、1210R	第一子層

1220L、1220C、1220R 第二子層

d_0 、 d_{1L} 、 d_{1C} 、 d_{1R} 膜厚

【發明申請專利範圍】

【第1項】

一種結晶矽系太陽電池之製造方法，其係製造於導電型單晶矽基板之第一主面上依序具有本徵矽系薄膜、及導電型矽系薄膜之結晶矽系太陽電池之方法，且

上述導電型單晶矽基板具有第一主面之稜錐形狀之紋理，

進行如下電漿處理，即，於將導電型單晶矽基板上設置有本徵矽系層之複數個基板配置於CVD腔室內之狀態下，一面向CVD腔室內導入氫氣及含矽氣體一面將上述本徵矽系層之表面暴露於氫電漿中，

上述電漿處理時之向CVD腔室內之氫導入量為含矽氣體導入量之150~2500倍，藉由上述電漿處理而於紋理之凹部之本徵矽系層上製膜成薄膜，藉此形成本徵矽系薄膜。

【第2項】

如請求項1之結晶矽系太陽電池之製造方法，其中藉由上述電漿處理所形成之上述薄膜為本徵非晶質矽。

【第3項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述電漿處理時之功率密度為55~1000 mW/cm²。

【第4項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述電漿處理時之功率密度、與氫氣之導入量相對於含矽氣體導入量之比的乘積為15000~150000 mW/cm²。

【第5項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中於紋理之凹部中，上述電漿處理後之本徵矽系薄膜之膜厚 d_1 與電漿處理前之本徵矽系層之膜厚 d_0 之差 d_1-d_0 為1.5 nm以下。

【第6項】

如請求項5之結晶矽系太陽電池之製造方法，其中 $(d_1-d_0)/d_1$ 大於0且為0.2以下。

【第7項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中於上述電漿處理中，紋理之凹部中之上述薄膜之製膜速率為0.1 nm/秒以下。

【第8項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中於上述電漿處理中，在紋理之頂部亦形成薄膜。

【第9項】

如請求項1或2之結晶矽系太陽電池之製造方法，其係於上述電漿處理前，一面向CVD腔室內導入含矽氣體一面藉由電漿CVD而於導電型單晶矽基板之表面形成上述本徵矽系層，

本徵矽系層形成時之向CVD腔室內之氫之導入量未達含矽氣體導入量之50倍。

【第10項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述本徵矽系層之形成、與上述電漿處理係於同一CVD腔室內實施。

【第11項】

如請求項1或2之結晶矽系太陽電池之製造方法，其中上述本徵矽系

薄膜自導電型單晶矽基板側起依序具備第一子層至第 n 子層之 n 層子層，且 n 為2以上之整數，
第一子層至第 n 子層分別為本徵非晶質矽系層，
於形成第一子層至第 n 子層中之任一層後實施上述電漿處理。

【第12項】

如請求項11之結晶矽系太陽電池之製造方法，其係於形成上述第一子層後實施上述電漿處理。

【第13項】

如請求項11之結晶矽系太陽電池之製造方法，其中上述第一子層以1~6 nm之膜厚形成。

【第14項】

如請求項11之結晶矽系太陽電池之製造方法，其係於形成上述第 n 子層後實施上述電漿處理。

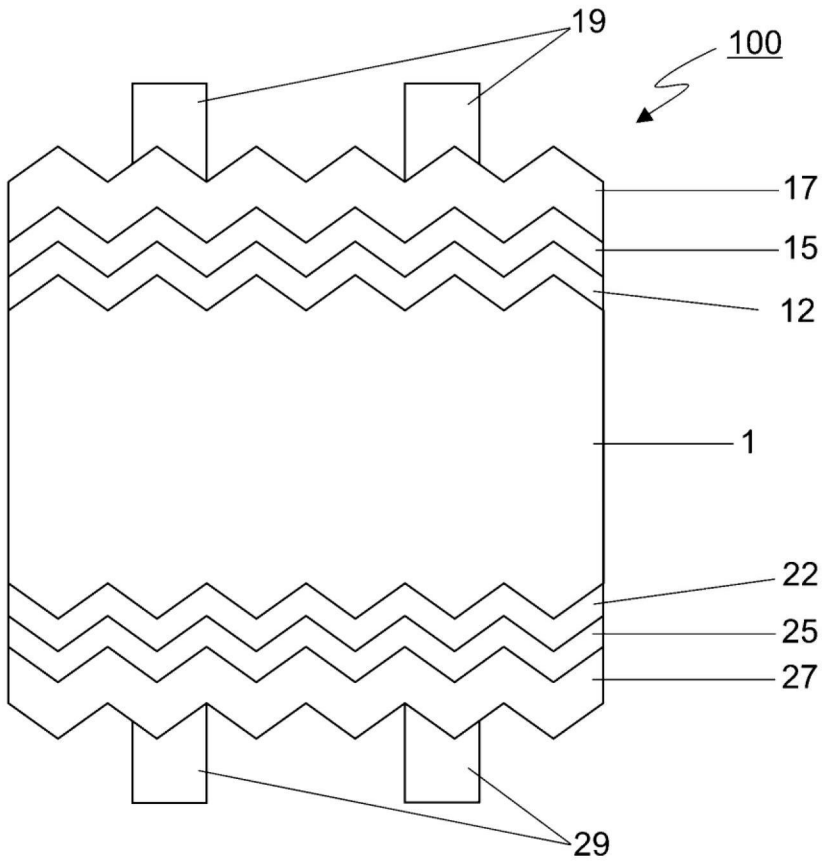
【第15項】

如請求項11之結晶矽系太陽電池之製造方法，其中 $n=2$ 。

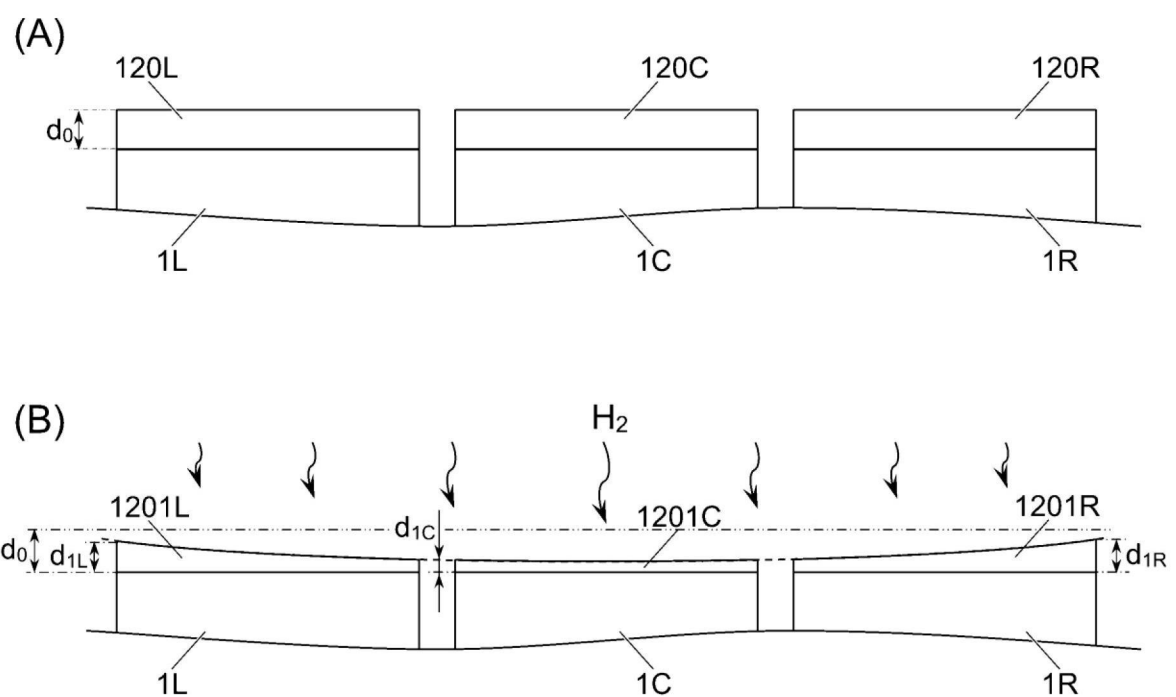
【第16項】

如請求項11之結晶矽系太陽電池之製造方法，其中上述子層分別以1~6 nm之膜厚形成。

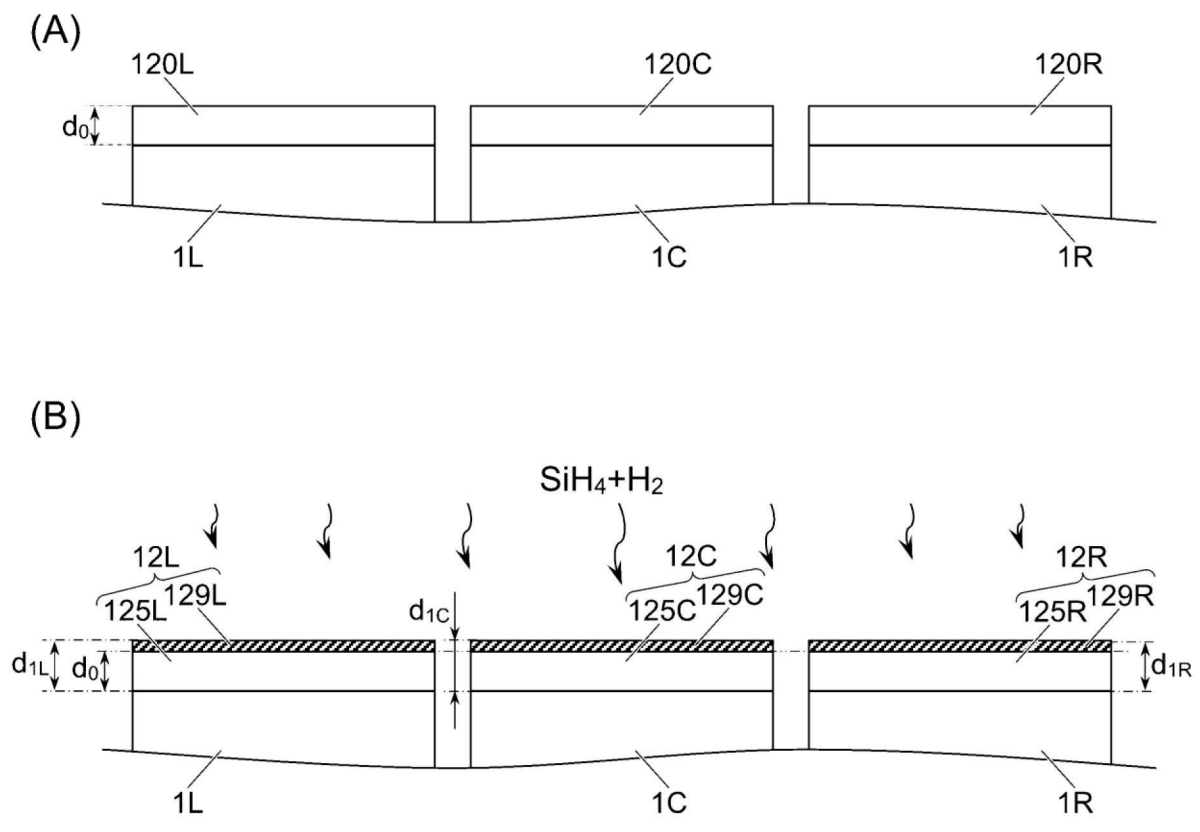
【發明圖式】



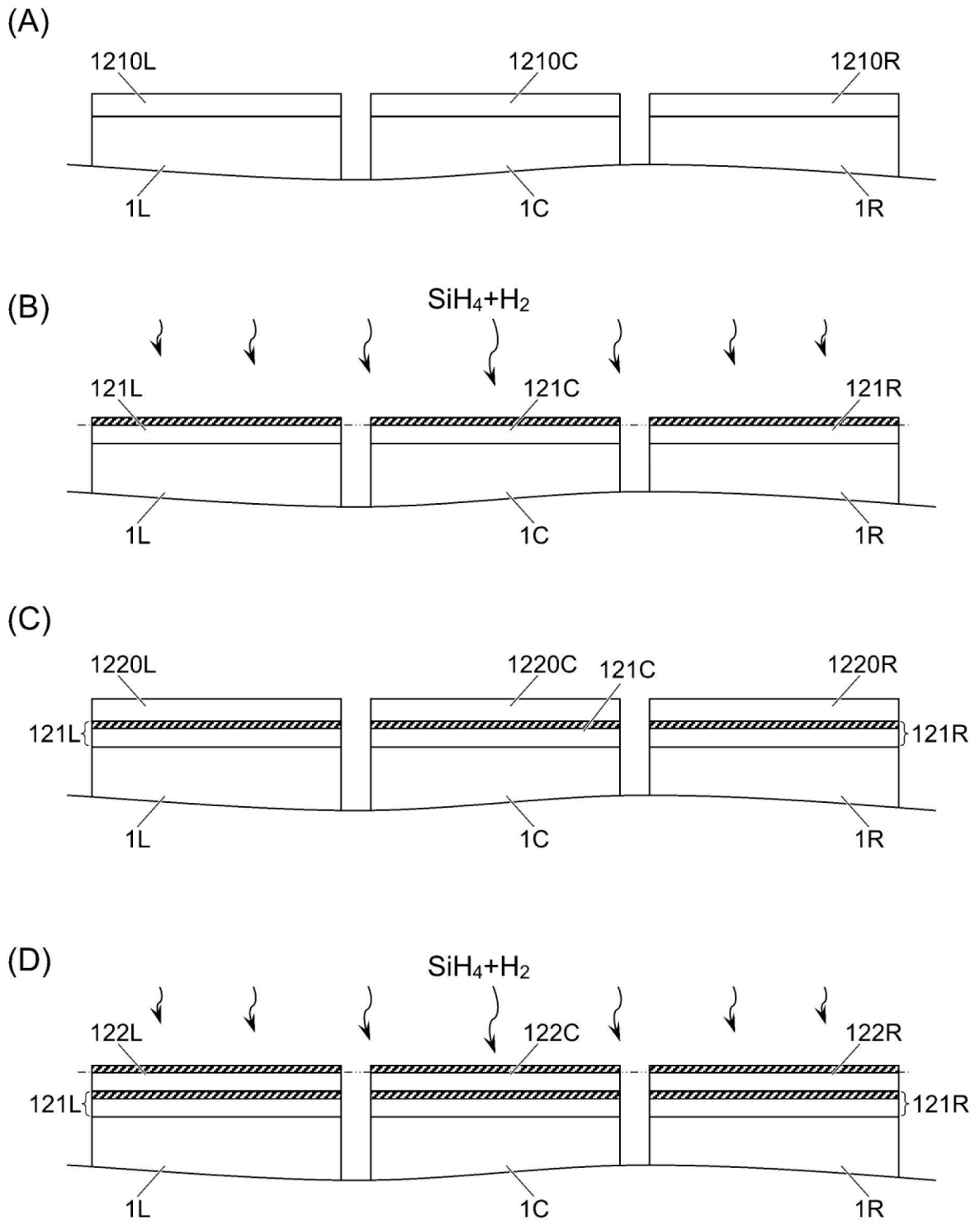
【圖1】



【圖2】



【圖3】



【圖4】