



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I811971 B

(45)公告日：中華民國 112 (2023) 年 08 月 11 日

(21)申請案號：111102805

(22)申請日：中華民國 111 (2022) 年 01 月 24 日

(51)Int. Cl. : H01L25/065 (2006.01)

H05K1/18 (2006.01)

H05K3/28 (2006.01)

(30)優先權：2021/05/07 美國

63/185,621

2021/08/06 美國

17/396,253

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：許佳桂 HSU, CHIA-KUEI (TW)；游明志 YEW, MING-CHIH (TW)；賴柏辰 LAI,
PO-CHEN (TW)；林柏堯 LIN, PO-YAO (TW)；鄭心圃 JENG, SHIN-PUU (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 201727854A

TW 201820573A

TW 201839925A

TW 202111882A

US 2017/0084511A1

審查人員：曾錦豐

申請專利範圍項數：9 項 圖式數：9 共 54 頁

(54)名稱

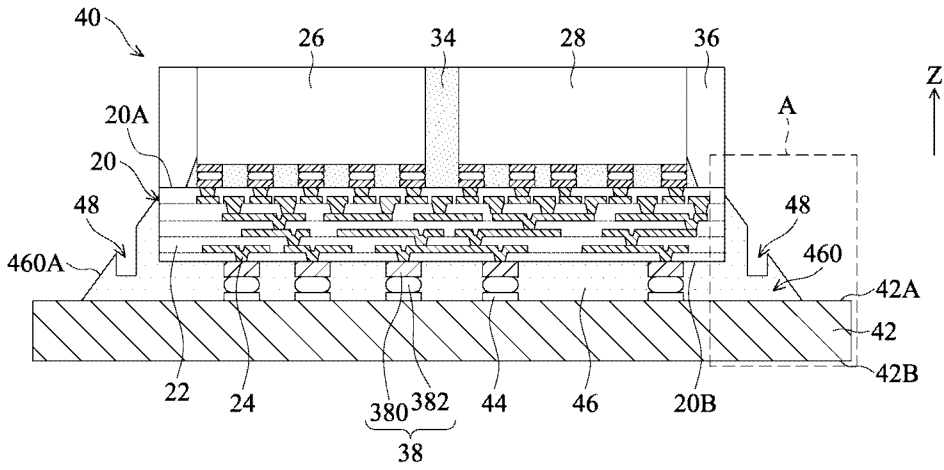
半導體封裝及其形成方法

(57)摘要

本揭露實施例提供一種半導體封裝及其形成方法。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及凹槽。半導體裝置通過多個電連接件接合到封裝基板的表面。底部填充元件形成在半導體裝置與封裝基板的表面之間，以圍繞並保護所述電連接件。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。凹槽形成在帶狀部中並與半導體裝置的外圍間隔開。

A semiconductor package and a method of forming the same are provided. The semiconductor package includes a package substrate, a semiconductor device, an underfill element, and a groove. The semiconductor device is bonded to the surface of the package substrate through multiple electrical connectors. The underfill element is formed between the semiconductor device and the surface of the package substrate to surround and protect the electrical connectors. The underfill element includes a fillet portion that extends laterally beyond the periphery of the semiconductor device and is formed along the periphery of the semiconductor device. The groove is formed in the fillet portion and spaced apart from the periphery of the semiconductor device.

指定代表圖：



第 2A 圖

符號簡單說明：

- 20: 中介層
- 20A: 第一側
- 20B: 第二側
- 22: 絕緣層
- 24: 導電特徵
- 26: (第一) 半導體晶粒
- 28: (第二) 半導體晶粒
- 34: 底部填充元件
- 36: 密封層
- 38: 導電結構
- 380: 金屬柱
- 382: 金屬蓋層
- 40: 半導體裝置
- 42: 封裝基板
- 42A: 第一表面
- 42B: 第二表面
- 44: 導電元件
- 46: 底部填充元件
- 460: 帶狀部
- 460A: 外表面
- 48: 凹槽
- A: 區域
- Z: 方向



I811971

【發明摘要】

【中文發明名稱】半導體封裝及其形成方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND METHOD FOR FORMING THE SAME

【中文】

本揭露實施例提供一種半導體封裝及其形成方法。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及凹槽。半導體裝置通過多個電連接件接合到封裝基板的表面。底部填充元件形成在半導體裝置與封裝基板的表面之間，以圍繞並保護所述電連接件。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。凹槽形成在帶狀部中並與半導體裝置的外圍間隔開。

【英文】

A semiconductor package and a method of forming the same are provided. The semiconductor package includes a package substrate, a semiconductor device, an underfill element, and a groove. The semiconductor device is bonded to the surface of the package substrate through multiple electrical connectors. The underfill element is formed between the semiconductor device and the surface of the package substrate to surround and protect the electrical connectors. The underfill element includes a fillet portion that extends laterally beyond the periphery of the semiconductor device and is formed along the periphery of the semiconductor device. The groove is formed in the fillet portion and spaced apart from the periphery of the

semiconductor device.

【指定代表圖】 第2A圖

【代表圖之符號簡單說明】

20:中介層

20A:第一側

20B:第二側

22:絕緣層

24:導電特徵

26:(第一)半導體晶粒

28:(第二)半導體晶粒

34:底部填充元件

36:密封層

38:導電結構

380:金屬柱

382:金屬蓋層

40:半導體裝置

42:封裝基板

42A:第一表面

42B:第二表面

44:導電元件

46:底部填充元件

460:帶狀部

460A:外表面

48:凹槽

A:區域

Z:方向

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體封裝及其形成方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND METHOD FOR FORMING THE SAME

【技術領域】

【0001】 本發明實施例係關於一種半導體製造技術，特別係有關於一種在底部填充帶狀部(*underfill fillet portion*)中具有凹槽的半導體封裝及其形成方法。

【先前技術】

【0002】 半導體裝置被用於各種電子應用中，例如個人電腦、手機、數位相機以及其他電子設備。通常通過在半導體基板之上依序沉積絕緣或介電層、導電層和半導體層，並且使用微影及蝕刻製程對各個材料層進行圖案化，以在其上形成電路組件和元件來製造半導體裝置。多個積體電路(*integrated circuits*，*ICs*)通常是在單個半導體晶圓上製造，且晶圓上的各個晶粒通過沿著切割線在積體電路之間進行鋸切而被分割。各個晶粒通常單獨封裝在例如多晶片模組或其他類型的封裝中。

【0003】 一種較小的半導體封裝類型是覆晶晶片級封裝(*flip chip chip-scale package*，*FcCSP*)，其中半導體晶粒被倒置放在基板上並使用導電凸塊連接到基板。通常將底部填充元件施加到由導電凸塊形成的間隙中，以將半導體晶粒固定到基板。基板具有佈線以將半導體晶粒上的凸塊連接到基板上具有較

大佔位面積(footprint)的接觸墊。焊球陣列形成在基板的另一側，用於將封裝的半導體晶粒電連接到終端應用。

【0004】 雖然現有的封裝技術通常已經足以滿足其預計目的，但它們仍不是在所有方面都完全令人滿意的。

【發明內容】

【0005】 本揭露一些實施例提供一種半導體封裝。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及凹槽。半導體裝置通過複數個電連接件接合到封裝基板的表面。底部填充元件形成在半導體裝置與封裝基板的表面之間，配置成圍繞並保護所述電連接件。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部(fillet portion)。凹槽形成在帶狀部中並與半導體裝置的外圍間隔開。

【0006】 本揭露一些實施例提供一種半導體封裝。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及複數個凹槽。半導體裝置設置在封裝基板的表面之上。底部填充元件形成在半導體裝置與封裝基板的表面之間。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。所述凹槽形成在帶狀部中且彼此分開。所述凹槽分別對應於半導體裝置的多個部分佈置。

【0007】 本揭露一些實施例提供一種形成半導體封裝的方法。所述形成半導體封裝的方法包括安裝半導體裝置在封裝基板的表面上。所述形成半導體封裝的方法還包括形成底部填充元件於半導體裝置與封裝基板的表面之間，其中底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍

形成的帶狀部。此外，所述形成半導體封裝的方法包括形成一或多個凹槽於帶狀部中。

【圖式簡單說明】

【0008】 根據以下的詳細說明並配合所附圖式做完整的揭露。應強調的是，根據本產業的一般作業，各個特徵未必按照比例繪製。事實上，可能任意的放大或縮小各個特徵的尺寸，以做清楚的說明。

第1A圖至第1I圖示出根據一些實施例，一半導體封裝的形成的各個中間階段的剖面圖。

第2A圖示出根據一些實施例，一半導體封裝的剖面圖。

第2B圖示出第2A圖中區域A的放大圖，顯示了凹槽形成在底部填充元件的帶狀部中。

第2C圖示出第2A圖中的半導體封裝的平面圖。

第2D圖示出第2C圖中區域B的放大圖，顯示了L形凹槽。

第3A圖及第3B圖示出根據一些其他實施例，不同形狀的凹槽的平面圖。

第4圖示出根據一些其他實施例，多個凹槽形成在帶狀部的寬度方向上。

第5A圖、第5B圖、第5C圖及第5D圖示出根據一些其他實施例，不同形狀的凹槽的平面圖。

第6A圖、第6B圖、第6C圖及第6D圖示出根據一些其他實施例，帶狀部中的凹槽的不同佈置的平面圖。

第7圖示出根據一些其他實施例，額外的凹槽形成對應於晶粒到晶粒區域 (die-to-die region)。

第8圖示出根據一些其他實施例，凹槽沿著相對於封裝基板的表面傾斜的方向延伸。

第9圖是示出根據一些實施例的形成半導體封裝的方法的簡化流程圖。

【實施方式】

【0009】 以下的揭露內容提供許多不同的實施例或範例以實施本案的不同特徵。以下描述具體的構件及其排列方式的實施例以闡述本揭露。當然，這些實施例僅作為範例，而不該以此限定本揭露的範圍。例如，在說明書中敘述了一第一特徵形成在一第二特徵之上或上方，其可能包含第一特徵與第二特徵是直接接觸的實施例，亦可能包含了有附加特徵形成在第一特徵與第二特徵之間，而使得第一特徵與第二特徵可能未直接接觸的實施例。另外，在本揭露不同範例中可能使用重複的參考符號及/或標記，此重複係為了簡化與清晰的目的，並非用以限定所討論的各個實施例及/或結構之間有特定的關係。

【0010】 再者，空間相關用語，例如「在...下方」、「下方」、「較低的」、「在...上方」、「較高的」及類似的用語，是為了便於描述圖式中一個元件或特徵與另一個(些)元件或特徵之間的關係。除了在圖式中繪示的方位外，這些空間相關用語意欲包含使用中或操作中的裝置之不同方位。設備可能被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相關詞也可依此相同解釋。

【0011】 說明書中的用語「基本上(substantially)」，例如「基本上平坦」或「基本上共平面」等為本領域技術人員所能理解的。在一些實施例中，形容詞「基本上」可以被去除。在適用的情況下，用語「基本上」還可以包括「全

部(entirely)」、「完全(completely)」、「所有(all)」等的實施例。在適用的情況下，用語「基本上」還可以涉及90%或更高，例如95%或更高，特別是99%或更高，包括100%。此外，例如「基本上平行」或「基本上垂直」之類的用語應解釋成不排除相較於特定佈置的微小偏差，並且例如可包括高達10°的偏差。用語「基本上」不排除「完全」，例如「基本上不含(substantially free)」Y的組合物可以是完全不含Y。

【0012】 與特定距離或尺寸結合使用的用語，例如「約」，應解釋成不排除相較於特定距離或尺寸的微小偏差，並且例如可包括高達10%的偏差。用於數值X的用語「約」可能表示 $X\pm 5$ 或10%。

【0013】 根據本揭露各個實施例提供一種半導體封裝及其形成方法。一些實施例的一些變體(variations)也被討論。在各個視圖和說明性實施例中，相同的參考符號用於表示相同的元件。

【0014】 根據一些實施例，一種半導體封裝具有降低封裝中應力的設計，包括在封裝在封裝基板上的半導體裝置的邊緣堆積的底部填充帶狀部中形成一或多個凹槽。在一些實施例中，可以根據半導體封裝中的高應力區域來佈置凹槽，下面將對此進行更詳細的描述。通過凹槽，封裝基板與半導體裝置之間的底部填充元件的耦合效應(coupling effect)被降低，從而可以減小或緩解熱循環過程中在封裝中產生的應力。結果，還可以降低封裝中的裝置或部件損壞(例如，破裂或分層)的風險，從而提高整個封裝結構的可靠性。

【0015】 將針對特定的背景(context)來描述實施例，即在二維半積體電路(two and a half dimensional integrated circuit, 2.5DIC)結構或三維積體電路(three dimensional IC, 3DIC)結構中具有中介層基板或其他主動晶片的封裝技術。在

此討論的實施例是提供示例以使得能夠製造或使用本揭露的發明標的，且本領域普通技術人員將容易理解在保持在不同實施例的預期範圍內的同時可以作出的修改。儘管下面所討論的方法實施例可以特定順序來執行，但其他方法實施例也可設想以任何邏輯順序執行的步驟。

【0016】 第1A圖至第II圖示出根據一些實施例，一半導體封裝的形成的各個中間階段的剖面圖。一些對應的製程也示意性地反映在第9圖所示的製程流程中。

【0017】 第1A圖示出根據一些實施例，在載體10之上形成中介層20。載體10用於在後續處理步驟中為建構(build-up)層或結構的處理提供暫時的機械和結構支撐。載體10可以是玻璃載體、矽晶圓、有機載體等，且在一些實施例中可以具有圓形的俯視形狀。

【0018】 根據一些實施例，在形成中介層20之前，離型膜12可以形成在載體10上，如第1A圖所示。離型膜12可由聚合物基(polymer-based)材料(例如，光熱轉換(Light-To-Heat-Conversion, LTHC)材料)形成，其能夠在載熱輻射(例如，雷射光束)下分解，從而可以將載體10與將在後續製程中形成的上方結構分離。在本實施例中，離型膜12由環氧樹脂基(epoxy-based)熱釋放材料(thermal-release material)形成，其被塗覆在載體10上。

【0019】 根據一些實施例，中介層20形成在離型膜12上。中介層20用於提供封裝在封裝結構中的半導體晶粒與一封裝基板之間的電連接，這將在後面描述。在一些實施例中，中介層20為中介層晶圓，不含主動裝置(例如，電晶體、二極體等)和被動裝置(例如，電阻器、電容器、電感器等)。在一些替代實施例中，中介層20是在其上或其中包括主動及/或被動裝置的裝置晶圓。

【0020】根據一些實施例，中介層20為包括重分佈線路(redistribution line，RDL)結構的介電基板，如第1A圖所示。重分佈線路結構可以包括多個層疊的絕緣層22以及由絕緣層22圍繞的多個導電特徵24。導電特徵24可以包括在水平方向上提供電連接的導電線路、在垂直方向上提供電連接的導電通孔(conductive vias)、以及暴露在中介層20的兩最外側表面以提供外部電連接的接觸墊(contact pads)。應當理解的是，第1A圖中所示的重分佈線路結構的構造僅是示意性示例，並無意圖且也不應被解讀為限制本揭露。

【0021】絕緣層22可包括或由一或多種聚合物材料製成。聚合物材料可包括聚苯噁唑(polybenzoxazole，PBO)、聚醯亞胺(polyimide，PI)、環氧基樹脂、一或多種其他合適的聚合物材料、或其組合。在一些實施例中，聚合物材料是光敏性的，因此可以使用光微影製程在絕緣層22中形成具有期望圖案的開口。在一些其他實施例中，一些或全部的絕緣層22包括或由聚合物材料以外的介電材料製成。介電材料可包括氧化矽、碳化矽、氮化矽、氮氧化矽、一或多種其他合適的材料、或其組合。

【0022】導電特徵24可包括或由銅、鋁、金、鈷、鈦、鎳、銀、石墨烯、一或多種其他合適的導電材料、或其組合製成。在一些實施例中，導電特徵24包括多個子層。舉例來說，每個導電特徵24包含多個子層(包括鈦/銅、鈦/鎳/銅、鈦/銅/鈦、鋁/鈦/鎳/銀、其他合適的多個子層、或其組合)。

【0023】上述重分佈線路結構的形成可涉及多個沉積或塗布製程、多個圖案化製程、及/或多個平坦化製程。

【0024】沉積或塗布製程可用於形成絕緣層及/或導電層。沉積或塗布製程可包括旋轉塗布製程、電鍍(electroplating)製程、化學鍍(electroless)製程、化

學氣相沉積(chemical vapor deposition, CVD)製程、物理氣相沉積(physical vapor deposition, PVD)製程、原子層沉積(atomic layer deposition, ALD)製程、一或多種其他適用的製程、或其組合。

【0025】圖案化製程可用於圖案化形成的絕緣層及/或形成的導電層。圖案化製程可包括光微影製程、能量束鑽孔製程(例如，雷射束鑽孔製程、離子束鑽孔製程、或電子束鑽孔製程)、蝕刻製程、機械鑽孔製程、一或多種其他適用的製程、或其組合。

【0026】平坦化製程可用於為形成的絕緣層及/或形成的導電層提供平坦的頂表面，以利於後續製程。平坦化製程可包括機械研磨製程、化學機械拋光(chemical mechanical polishing, CMP)製程、一或多種其他適用的製程、或其組合。

【0027】在一些其他實施例中(未顯示)，中介層20為半導體基板，例如體型(bulk)半導體基板、絕緣層上覆矽(silicon-on-insulator, SOI)基板、絕緣層上覆鍺(germanium-on-insulator, GOI)基板等。中介層20的半導體材料可為矽、鍺、化合物半導體(包括矽鍺、碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮、及/或銻化銮)、合金半導體(包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP、及/或GaInAsP)、或其組合。也可以使用其他基板，例如多層或梯度基板。中介層20可以是摻雜的(doped)或未摻雜的(undoped)。

【0028】貫通孔(through-vias, TVs)可以形成在半導體基板中並貫穿半導體基板，以為安裝在中介層20兩側的裝置提供電連接。還可以在中介層20的半導體基板的一側或兩側上形成一或多個互連結構層(類似於上述第1A圖所示的重分佈線路結構)，以用於佈線。形成貫通孔及/或互連結構層的製程為本領域

所熟知，故在此不再贅述。

【0029】第1B圖示出根據一些實施例，半導體晶粒26及半導體晶粒28被接合到中介層20。在接合製程之前，可以使用例如拾取和放置工具(pick-and-place tool)將半導體晶粒26和半導體晶粒28放置在中介層20的第一側20A(例如，所示的上側)之上。半導體晶粒26及半導體晶粒28可以如第1B圖所示交替佈置，儘管也可以使用其他佈置方式(取決於設計需求)。

【0030】在一些實施例中，半導體晶粒26及半導體晶粒28可以包括一或多個邏輯晶粒(例如中央處理單元(central processing unit, CPU)晶粒、圖形處理單元(graphics processing unit, GPU)晶粒、現場可編程閘陣列(field-programmable gate array, FPGA)晶粒、特定應用積體電路(application specific integrated circuit, ASIC)晶粒、系統單晶片(system-on-chip, SOC)晶粒、系統整合晶片(system-on-integrated-chip, SoIC)晶粒、微控制器晶粒等)、記憶體晶粒(例如動態隨機存取記憶體(dynamic random access memory, DRAM)晶粒、靜態隨機存取記憶體(static random access memory, SRAM)晶粒、高頻寬記憶體(high bandwidth memory, HBM)晶粒等)、功率管理晶粒(例如功率管理積體電路(power management integrated circuit, PMIC)晶粒)、射頻(radio frequency, RF)晶粒、感測器晶粒、微機電系統(micro-electro-mechanical-system, MEMS)晶粒、信號處理晶粒(例如數位信號處理(digital signal processing, DSP)晶粒)、前端晶粒(例如類比前端(analog front-end, AFE)晶粒)等或上述之組合。半導體晶粒26和半導體晶粒28中的每一個可以例如通過沿著劃線鋸切或切割半導體晶圓(其上形成有多個積體電路晶粒)以將半導體晶圓分成多個單獨的半導體晶粒來獲得。

【0031】 在一些實施例中，半導體晶粒26(在此也稱為第一半導體晶粒26)和半導體晶粒28(在此也稱為第二半導體晶粒28)是提供不同功能的不同類型的電子裝置。舉例來說，第一半導體晶粒26是處理器裝置，而第二半導體晶粒28是記憶體裝置(其可以是記憶體晶粒或記憶體堆疊)。也可以使用半導體晶粒26和半導體晶粒28的其他組合。在一些其他實施例中，單一類型的半導體晶粒或多於兩種不同類型的半導體晶粒也可以設置在中介層20上。

【0032】 根據一些實施例，在被設置在中介層20上方之後，半導體晶粒26及半導體晶粒28可以通過覆晶接合方式接合到中介層20，例如通過每個半導體晶粒26/28上的導電元件30與中介層20上的導電結構32形成導電接點，如第1B圖所示。

【0033】 根據一些實施例，在接合製程之前，導電元件30(例如，導電柱)可以形成在暴露於每個半導體晶粒26/28的主動面(例如，所示的下表面)的接觸墊(未顯示)上。導電元件30可包括或由銅、鋁、金、鈷、鈦、錫、一或多種其他合適的材料、或其組合製成，並可以使用電鍍製程、化學鍍製程、放置製程(placement process)、印刷製程、物理氣相沉積製程、化學氣相沉積製程、一或多種其他適用的製程、或其組合來形成。

【0034】 根據一些實施例，每個導電結構32包括金屬柱320以及在金屬柱320之上的金屬蓋層(例如，焊料蓋)322。包括金屬柱320和金屬蓋層322的導電結構32有時稱為微凸塊(micro bumps)。在接合製程之前，導電結構32可以形成在暴露於中介層20的第一側20A的接觸墊(由一些導電特徵24構成)上。金屬柱320可包括例如銅、鋁、金、鎳、鈮、其類似物、或其組合的導電材料，並可以通過濺鍍、印刷、電鍍、化學鍍、化學氣相沉積等製程形成。金屬柱320可

以是無焊料的(solder-free)，並具有基本上垂直的側壁。金屬蓋層322可包括鎳、錫、錫鉛、金、銅、銀、鈮、銮、鎳-鈮-金、鎳-金、其類似物、或其組合，並可以通過例如電鍍製程的鍍覆(plating)製程形成。

【0035】本領域普通技術人員將可以理解到，提供以上導電結構32示例是出於說明的目的，並且導電結構32的其他結構也可以被使用。舉例來說，在一些其他實施例中不形成金屬蓋層322。

【0036】半導體晶粒26及半導體晶粒28與中介層20之間的接合可以是焊料接合或直接金屬對金屬(例如，銅對銅)接合。根據一些實施例，半導體晶粒26及半導體晶粒28通過回焊製程接合到中介層20。在回焊過程中，導電接點分別與半導體晶粒26及半導體晶粒28的暴露接觸墊和中介層20的暴露接觸墊接觸，以將半導體晶粒26及半導體晶粒28物理和電耦接到中介層20。半導體晶粒26和半導體晶粒28因此可以通過中介層20互連。

【0037】第1C圖示出根據一些實施例，在中介層20之上形成底部填充元件34。底部填充元件34是形成在中介層20的第一側20A之上，以圍繞並保護在半導體晶粒26及半導體晶粒28下方的導電接點，以及增強半導體晶粒26及半導體晶粒28與中介層20之間的連接。根據一些實施例，每個底部填充元件34填充半導體晶粒26及半導體晶粒28、中介層20以及導電接點之間的整個間隙，且還具有垂直延伸到相鄰半導體晶粒26與半導體晶粒28之間間隙G(參見第1B圖)中的部分340，如第1C圖所示。

【0038】底部填充元件34可包括或由絕緣材料製成，例如底部填充材料(underfill material)。底部填充材料可包括環氧樹脂、樹脂、填料材料、應力釋放劑(stress release agent, SRA)、助黏劑、其他合適的材料、或其組合。在一些

實施例中，液態的底部填充材料使用注射器或針頭沿著半導體晶粒26及半導體晶粒28的邊緣分配，並通過毛細管效應被吸入每個半導體晶粒26/28與中介層20之間間隙中，以強化導電接點乃至整體封裝結構的強度。在分配之後，底部填充材料被固化以形成底部填充元件34。

【0039】 第1C圖還示出根據一些實施例，在中介層20之上形成密封層36。密封層36是形成在中介層20的第一側20A之上，以圍繞並保護半導體晶粒26、半導體晶粒28以及底部填充元件34。在一些其他實施例中，不形成底部填充元件34，且密封層36可進一步延伸到半導體晶粒26及半導體晶粒28與中介層20之間間隙中以圍繞並保護導電接點。

【0040】 在一些實施例中，密封層36包括或由絕緣材料製成，例如模製材料(molding material)。模製材料可包括聚合物材料，例如其中散布有填料的環氧基樹脂。在一些實施例中，模製材料(例如，液態的模製材料)被分配在中介層20之上，使得半導體晶粒26及半導體晶粒28被掩埋或覆蓋(即，半導體晶粒26及半導體晶粒28的頂表面被模製材料覆蓋)。在一些實施例中，然後使用熱處理來固化液態的模製材料，並將其轉化為密封層36。

【0041】 在一些實施例中，進一步對密封層36進行平坦化製程(未顯示)以部分地去除密封層36，直到半導體晶粒26及半導體晶粒28的頂表面通過密封層36的頂表面暴露出來，如第1C圖所示。這有利於消散在操作過程中從半導體晶粒26及半導體晶粒28產生的熱量。在一些其他實施例中，在平坦化製程之後，半導體晶粒26及半導體晶粒28的頂表面仍可掩埋在密封層36中。平坦化製程可包括研磨製程、化學機械拋光(CMP)製程、蝕刻製程、乾式研磨製程、一或多種其他適用的製程、或其組合。

【0042】 第1D圖示出根據一些實施例，第二載體14附接到第1C圖的所得結構。第二載體14可類似於第1A圖所示的載體10，用於在後續處理步驟中為建構層或結構的處理提供暫時的機械和結構支撐。在一些實施例中，在密封層36的平坦化處理之後，第二載體14可以附接到第1C圖的所得結構的平坦頂表面(例如，由密封層36以及半導體晶粒26和半導體晶粒28的頂表面組成)。

【0043】 根據一些實施例，在附接第二載體14之前，第二離型膜16可以形成在第1C圖的所得結構上，如第1D圖所示。第二載體14接著可以通過第二離型膜16附接到第1C圖的所得結構。類似於第1A圖所示的離型膜12，第二離型膜16可由聚合物基材料(例如，光熱轉換(LTHC)材料)形成，其能夠在載熱輻射(例如，雷射光束)下分解，從而可以將第二載體14與將在後續製程中形成的上方結構分離。在本實施例中，第二離型膜16由環氧樹脂基熱釋放材料形成，其被塗覆在密封層36以及半導體晶粒26和半導體晶粒28的平坦頂表面上。

【0044】 第1D圖還示出根據一些實施例，載體10的脫離(de-bonding)。在一些實施例中，在附接第二載體14之後，載體10可從其餘結構上脫離，例如通過將紫外光或雷射光束投射到離型膜12上，使得離型膜12在紫外光或雷射光束的熱量下分解。因此，其餘結構與載體10分離。在第1D圖的所得結構中，中介層20的第二側20B(與第一側20A相對)可被暴露。儘管未顯示，在後續處理中，可以將第1D圖的所得結構顛倒過來而變成如第1E圖所示的狀態。

【0045】 第1E圖示出根據一些實施例，在中介層20之上形成導電結構38。每個導電結構38可以電連接到暴露於原先由載體10覆蓋的中介層20的第二側20B的一個接觸墊(由一些導電特徵24構成)上。導電結構38用於實現中介層20(及其上的半導體晶粒26和半導體晶粒28)與一封裝基板之間的電連接，這將

在後面描述。

【0046】 根據一些實施例，每個導電結構38包括金屬柱380以及在金屬柱380之上的金屬蓋層(例如，焊料蓋)382。包括金屬柱380和金屬蓋層382的導電結構38有時稱為可控塌陷晶片連接(controlled collapse chip connection, C4)凸塊。金屬柱380可包括例如銅、鋁、金、鎳、鈮、其類似物、或其組合的導電材料，並可以通過濺鍍、印刷、電鍍、化學鍍、化學氣相沉積等製程形成。金屬柱380可以是無焊料的，並具有基本上垂直的側壁。金屬蓋層382可包括鎳、錫、錫鉛、金、銅、銀、鈮、銻、鎳-鈮-金、鎳-金、其類似物、或其組合，並可以通過例如電鍍製程的鍍覆製程形成。

【0047】 本領域普通技術人員將可以理解到，提供以上導電結構38示例是出於說明的目的，並且導電結構38的其他結構也可以被使用。舉例來說，在一些其他實施例中不形成金屬蓋層382。

【0048】 第1E圖還示出根據一些實施例，第二載體14的脫離。在一些實施例中，在形成導電結構38之後，第二載體14可從其餘結構上分離，例如通過將紫外光或雷射光束投射到第二離型膜16上，使得第二離型膜16在紫外光或雷射光束的熱量下分解。因此，其餘結構與第二載體14分離。在第1E圖的所得結構中，密封層36以及半導體晶粒26和半導體晶粒28的與中介層20相對的表面可被暴露。

【0049】 第1F圖示出根據一些實施例的分割製程(singulation process)。為了進行分割製程，第1E圖的所得結構可被放置在一框架(未顯示)上，其中密封層36以及半導體晶粒26和半導體晶粒28的暴露表面被黏附到附接到框架的切割膠帶T。之後進行分割製程，沿著劃線V鋸切第1E圖的所得結構以形成多個相

同的封裝結構(在此也稱為半導體裝置40)，每個封裝結構包括中介層20、並排佈置的第一半導體晶粒26和第二半導體晶粒28、以及其他上述的封裝部件。

【0050】 第1G圖示出根據一些實施例，一個半導體裝置40被接合到封裝基板42。相應的製程在第9圖所示的製程流程900中被示為製程901。封裝基板42用於提供封裝在封裝結構中的裝置或晶粒與外部電子裝置之間的電連接。儘管未顯示，封裝基板42包括導電線路，以互連暴露於封裝基板42的第一表面42A(例如，所示的上表面)和第二表面42B(例如，所示的下表面)的接觸墊。封裝基板42可以包括核心，或者可以是無核心基板。在一些實施例中，封裝基板42可以是印刷電路板(printed circuit board, PCB)、陶瓷基板、或其他合適的封裝基板。數個導電凸塊(未顯示，例如為焊球)可以形成在封裝基板42的第二表面42B之上以提供外部電連接。形成導電凸塊的製程為本領域所熟知，故在此不再贅述。

【0051】 在接合製程之前，可以使用例如拾取和放置工具將半導體裝置40放置在封裝基板42的第一表面42A之上，其中導電結構38側面向第一表面42A。之後，根據一些實施例，半導體裝置40可以通過覆晶接合方式接合到封裝基板42，例如通過半導體裝置40上的導電結構38與封裝基板42上的導電元件44形成導接點，如第1G圖所示。

【0052】 根據一些實施例，在接合製程之前，導電元件44(例如，導電柱)可以形成在暴露於封裝基板42的第一表面42A的接觸墊(未顯示)上。導電元件44可包括或由銅、鋁、金、鈷、鈦、錫、一或多種其他合適的材料、或其組合製成，並可以使用電鍍製程、化學鍍製程、放置製程、印刷製程、物理氣相沉積製程、化學氣相沉製程、一或多種其他適用的製程、或其組合來形成。

【0053】 半導體裝置40與封裝基板42之間的接合可以是焊料接合或直接金屬對金屬(例如，銅對銅)接合。根據一些實施例，半導體裝置40通過回焊製程接合到封裝基板42。在回焊過程中，導電接點分別與半導體裝置40的暴露接觸墊和封裝基板42的暴露接觸墊接觸，以將半導體裝置40物理和電耦接到封裝基板42。

【0054】 第1H圖示出根據一些實施例，在封裝基板42之上形成底部填充元件46。相應的製程在第9圖所示的製程流程900中被示為製程902。底部填充元件46是形成在封裝基板42的第一表面42A之上，以圍繞並保護在半導體裝置40下方的導電接點，以及增強半導體裝置40與封裝基板42之間的連接。根據一些實施例，底部填充元件46填充半導體裝置40、封裝基板42以及導電接點之間的整個間隙。底部填充元件46的材料及形成方法可以與第1C圖所示的底部填充元件34的材料及形成方法相同或相似，故在此不再贅述。

【0055】 根據一些實施例，底部填充元件46還包括位於半導體裝置40的每個邊緣處的帶狀部(fillet portion)460(有時也稱為底部填充帶狀部)，其中在底部填充元件46固化之後，帶狀部460形成或堆積在半導體裝置40之外，如第1H圖所示(也參照第2B圖及第2C圖)。帶狀部460具有從封裝基板42的第一表面42A向上傾斜至半導體裝置40的外圍40A(即，橫向邊緣)的外表面460A，從而可以密封半導體裝置40與封裝基板42之間間隙。這為半導體裝置40下方的導電接點提供了防潮屏障和保護層。

【0056】 根據一些實施例，帶狀部460沿著半導體裝置40的外圍40A可以具有均勻的寬度S1，且寬度S1(即，相鄰於半導體裝置40的外圍40A的帶狀部460的內邊緣460B與和內邊緣460B相對的帶狀部460的外邊緣460C之間的橫向

距離)可介於約200微米(μm)至約2000微米之間的範圍內，但本揭露不限於此。

【0057】 上述用於半導體封裝的各種封裝部件和基板材料可以具有不同的熱膨脹係數(coefficient of thermal expansions, CTEs)。因此，當封裝結構在封裝組裝、可靠性測試或現場操作期間經歷熱循環時，封裝部件和基板材料可以不同的速率膨脹。不同的熱膨脹會在封裝中造成物理應力，增加封裝在封裝結構中的半導體裝置40損壞的風險，從而引起可靠性問題。

【0058】 為了解決上述應力問題，根據本揭露一些實施例的半導體封裝還具有降低應力的設計，包括在底部填充元件46的帶狀部460中形成一或多個凹槽。

【0059】 第1I圖示出根據一些實施例，在帶狀部460中形成凹槽48。相應的製程在第9圖所示的製程流程900中被示為製程903。根據一些實施例，可以通過使用雷射切割去除帶狀部460的一些材料而形成凹槽48(如第1I圖所示)，儘管也可以使用其他合適的製程。

【0060】 通過在帶狀部460中形成或產生凹槽48，封裝基板42與半導體裝置40之間的底部填充元件46的耦合效應可被降低。如此一來，由於半導體裝置40與封裝基板42所用材料的熱膨脹不匹配(CTE mismatch)而產生於半導體裝置40中的應力也可被減小或緩解。

【0061】 接著，下面將描述根據一些實施例的凹槽48的詳細結構及佈置。

【0062】 第2A圖示出根據一些實施例的半導體封裝(由第1A圖至第1I圖所示的製程製造)的剖面圖。第2B圖示出第2A圖中區域A的放大圖。第2C圖示出第2A圖中的半導體封裝的平面(或俯視)圖。第2D圖示出第2C圖中區域B的放大

圖。在第2A圖至第2D圖中，複數個凹槽48形成在帶狀部460中且彼此分開。凹槽48在帶狀部460中的佈置(例如，位置)將在後面描述。

【0063】 根據一些實施例，每個凹槽48從帶狀部460的外表面460A朝向封裝基板42的第一表面42A延伸，但並未到達第一表面42A。

【0064】 舉例來說，每個凹槽48可以沿著基本上垂直於第一表面42A的垂直方向(例如，所示的Z方向)從外表面460A延伸到帶狀部460的內部，以形成多個垂直側壁48A、48A'以及連接在側壁48A與側壁48A'之間的平坦底表面48B，如第2B圖所示。底表面48B可以基本上平行於第一表面42A。凹槽48的深度H2(即，外表面460A與底表面48B之間的(垂直)距離)小於外表面460A與第一表面42A之間的(垂直)距離H1，因此底表面48B與第一表面42A分離。這可以防止雷射能量傷害到封裝基板42。在一些情況下，凹槽48的深度H2可以介於距離H1的約30%至約90%之間的範圍內(例如，深度H2可以是約400微米)，儘管也可以使用其他範圍。

【0065】 根據一些實施例，每個凹槽48形成在帶狀部460的內邊緣460B與外邊緣460C之間，如第2B圖至第2C圖所示。根據一些實施例，凹槽48的寬度S2(即，相鄰於內邊緣460B的側壁48A與相鄰於外邊緣460C的側壁48A'之間的橫向距離)小於帶狀部460的寬度S1。在一些情況下，凹槽48的寬度S2可以介於帶狀部460的寬度S1的約10%至約50%之間的範圍內(例如，寬度S2可以是約300微米)，儘管也可以使用其他範圍。根據一些實施例，凹槽48在整個深度H2上具有均勻的寬度S2，然而在不同的實施例中凹槽48在深度H2方向上也可以具有變化的寬度(例如，兩個或更多個寬度)。在一些實施例中，凹槽48的深度方向可以容易調整。舉例來說，凹槽48的深度方向與外表面460A之間可具有銳角，

且側壁48A/48A'與外表面460A之間可具有銳角。在一些實施例中，外表面460A可以是或具有曲面，及/或凹槽48可以在側壁48A/48A'與底表面48B之間具有圓角。在一些實施例中，底表面48B可以是曲面。

【0066】 根據一些實施例，每個凹槽48與半導體裝置40的外圍40A間隔開。這有助於防止水氣經由凹槽48進入半導體裝置40與封裝基板42之間的間隙。在一些情況下，半導體裝置40的外圍40A與凹槽48的相鄰側壁48A之間的(橫向)距離C可以介於帶狀部460的寬度S1的約10%至約50%的範圍內(例如，距離C可以是約200微米)，儘管也可以使用其他範圍。根據一些實施例，每個凹槽48與帶狀部460的內邊緣460B和外邊緣460C間隔開。

【0067】 根據一些實施例，帶狀部460中的凹槽48在平面圖中分別佈置為對應於半導體裝置40的角落(例如，四個角落)，如第2C圖所示。應當理解的是，熱循環過程中產生的應力通常集中在半導體裝置40的角落區域，此可能導致密封層36與半導體晶粒26及半導體晶粒28之間的界面(對應於該些角落區域)發生分層。因此，通過將凹槽48佈置為對應於並靠近半導體裝置40的角落，有助於緩解這些角落區域中的應力，從而降低密封層36分層的風險。

【0068】 根據一些實施例，每個凹槽48在平面圖中具有與半導體裝置40的相應角落匹配的形狀。舉例來說，如第2C圖至第2D圖所示，每個凹槽48在平面圖中呈L形(L-shaped)，亦即為L形槽。L形凹槽48可以包括第一延伸部分481、第二延伸部分482、以及連接在第一延伸部分481與第二延伸部分482之間的連接部分483。

【0069】 第一延伸部分481和第二延伸部分482分別在兩個正交的橫向方向(例如，所示的X方向和Y方向)上延伸，並且與半導體裝置40的兩個相鄰側邊

平行且橫向重疊。在一些情況下，第一延伸部分481(在X方向上)的長度L2(即，重疊區域的長度)可以介於半導體裝置40(在X方向上)的相鄰側邊的長度L1的約0.5%至約10%之間的範圍內(例如，第一延伸部分481的長度L2可以是約500微米)，儘管也可以使用其他範圍。另外，第二延伸部分482(在Y方向上)的長度W2(即，重疊區域的長度)可以介於半導體裝置40(在Y方向上)的相鄰側邊的長度W1的約0.5%至約10%之間的範圍內(例如，第二延伸部分482的長度W2可以是約500微米)，儘管也可以使用其他範圍。

【0070】 連接部分483靠近半導體裝置40的兩個相鄰側邊之間的角落佈置。根據一些實施例，連接部分483在平面圖中呈L形，一端鄰接第一延伸部分481，另一端鄰接第二延伸部分482。根據一些實施例，整個凹槽48(包括第一延伸部分481、第二延伸部分482以及連接部分483)可以具有均勻的寬度S2。

【0071】 在一些替代實施例中，連接部分483的平面圖形狀也可以是弧形(參見第3A圖)、梯形(參見第3B圖)、或任何其他可以通過雷射切割形成的合適形狀。

【0072】 可以對本揭露實施例進行許多變化及/或修改。

【0073】 舉例來說，根據一些其他實施例，可以在垂直於半導體裝置40的外圍40A的帶狀部460的寬度S1方向上佈置或設置複數個(例如，兩個)凹槽48(多排凹槽48)，如第4圖所示。多排凹槽48可與帶狀部460的內邊緣460B和外邊緣460C間隔開。在寬度S1方向上增加凹槽48的數量有助於進一步降低封裝中的應力。

【0074】 根據一些其他實施例，帶狀部460中的凹槽48也可以具有不同於L形(如上所討論)的平面圖形狀，包括例如第5A圖至第5D圖中所示的矩形、圓

形、三角形、六邊形、或任何其他合適的形狀，只要它們可以降低底部填充元件46的耦合效應。舉例來說，在一些情況下，可以在半導體裝置40的每個角落處的帶狀部460中設置佈置為同心圓的凹槽48。

【0075】 在不同實施例中也可以使用不同數量及/或佈置的凹槽48。舉例來說，第6A圖、第6B圖、第6C圖及第6D圖示出根據一些其他實施例，帶狀部460中的凹槽48的不同佈置的平面圖。在第6A圖中，凹槽48可以佈置為僅對應於半導體裝置40的兩個角落，以減小這些角落區域中的應力。在一些其他實施例中，凹槽48也可以佈置成僅對應於半導體裝置40的一個角落或一些角落，這取決於實際需要。在第6B圖至第6C圖中，凹槽48不僅靠近半導體裝置40的四個角落佈置，還沿著半導體裝置40的相對側邊(沿X方向或沿Y方向)佈置。更具體地，每個凹槽48呈細長狀，並且沿著半導體裝置40的一個側邊(沿X方向或沿Y方向)從一個角落連續延伸到另一個角落。在第6D圖中，僅設置單個凹槽48(但不限於此)，該凹槽48呈細長狀，並且沿著半導體裝置40的整個外圍40A(即，沿著所有角落和所有側邊)連續延伸。

【0076】 根據一些其他實施例，額外的凹槽48'設置在帶狀部460中以在平面圖中對應於相鄰半導體晶粒26與半導體晶粒28之間間隙G(參見第1B圖)，如第7圖所示。應當理解的是，在一些情況下，熱循環過程中產生的應力也容易集中在半導體裝置40的晶粒到晶粒區域(die-to-die region)(如第7圖中的虛線框所示)，此可能導致底部填充部分340(參見第1C圖)與半導體晶粒26及半導體晶粒28之間的界面(對應於晶粒到晶粒區域)發生分層。因此，通過將凹槽48'佈置為對應於並靠近相鄰半導體晶粒26與半導體晶粒28之間間隙G(即，半導體裝置40的晶粒到晶粒區域)，有助於緩解晶粒到晶粒區域中的應力，從而降低底部

填充元件34分層的風險。

【0077】 在一些其他實施例中，對應於半導體裝置40的角落區域佈置的凹槽48可以被省略，而凹槽48'保留在帶狀部460中。

【0078】 儘管凹槽48或凹槽48'的上述實施例是在基本上垂直於封裝基板42的第一表面42A的(垂直)方向上延伸，但本揭露不限於此。根據一些其他實施例，如第8圖所示，凹槽48或凹槽48'也可以形成為(例如，通過雷射切割)沿著相對於封裝基板42的第一表面42A傾斜的方向延伸，只要它們仍然遠離第一表面42A和半導體裝置40的外圍40A。

【0079】 在一些替代實施例中，傾斜的凹槽也可以應用於第4圖所示的實施例。舉例來說，在帶狀部460的寬度S1方向上的兩個凹槽48中的一者是垂直的，而另一者是傾斜的。在一些情況下，內凹槽48(即，內排凹槽)是垂直的且深度較大，而外凹槽48(即，外排凹槽)是傾斜的且深度較小。外凹槽48的寬度可以大於內凹槽48的寬度。在一些其他實施例中，內凹槽48可以從L形凹槽改變成如第5A圖至第5D圖所示的凹槽形狀，而外凹槽48可以是垂直的或傾斜的L形凹槽。內凹槽48與外凹槽48可以具有不同的深度及/或寬度。

【0080】 在另外一些實施例中，在帶狀部460的寬度S1方向上的凹槽48數量可以是三個或更多，並且該些凹槽48可以具有上述形狀、尺寸(寬度及/或深度)及/或角度(垂直或傾斜)的任何組合。舉例來說，在帶狀部460的寬度S1方向上設置有三個凹槽的情況下，中間的凹槽可以具有與其他凹槽不同的形狀、尺寸及/或角度。

【0081】 應當理解的是，本文中所述的幾何形狀、構造及製造方法僅是出於說明的目的，並無意圖且也不應被解讀為限制本揭露。一旦由本揭露所提

示，許多替代方案和修改對於本領域技術人員來說將是顯而易見的。

【0082】 還應瞭解的是，儘管在上述示例實施例中，封裝模組(包括封裝在中介層上的半導體晶粒)被描述為半導體裝置40的示例，但半導體裝置40也可以是其他類型(例如，單個半導體晶片或晶粒)。在底部填充帶狀部中形成上述凹槽也有助於減小封裝在封裝基板上的單個半導體晶片或晶粒中的應力，從而降低半導體晶片/晶粒損壞(例如，破裂)的風險。

【0083】 本揭露實施例具有一些優點：通過在底部填充帶狀部中提供或形成一或多個凹槽以對應於封裝的半導體裝置的高應力區域，能夠降低熱循環過程中半導體裝置發生損壞(例如，破裂或分層)的風險。如此一來，整個封裝結構的可靠性得到改善。

【0084】 根據本揭露一些實施例，提供一種半導體封裝。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及凹槽。半導體裝置通過複數個電連接件接合到封裝基板的表面。底部填充元件形成在半導體裝置與封裝基板的表面之間，配置成圍繞並保護所述電連接件。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。凹槽形成在帶狀部中並與半導體裝置的外圍間隔開。

【0085】 在一些實施例中，帶狀部具有與半導體裝置的外圍相鄰的內邊緣以及與內邊緣相對的外邊緣，且凹槽形成在帶狀部的內邊緣與外邊緣之間，凹槽的寬度小於帶狀部的寬度。在一些實施例中，帶狀部具有從封裝基板的表面向上傾斜至半導體裝置的外圍的外表面，且凹槽從帶狀部的外表面朝向封裝基板的表面延伸，但並未到達封裝基板的表面。在一些實施例中，凹槽沿著垂直於或傾斜於封裝基板的表面的方向延伸。在一些實施例中，半導體裝置包括

複數個側邊以及複數個角落，且凹槽在平面圖中靠近所述角落中的一個角落佈置。在一些實施例中，凹槽包括分別平行於所述側邊中的兩個相鄰側邊的第一延伸部分和第二延伸部分，以及形成在第一延伸部分與第二延伸部分之間並對應於所述兩個相鄰側邊之間的角落的連接部分。在一些實施例中，連接部分在平面圖中呈L形、弧形或梯形。在一些實施例中，半導體裝置包括複數個側邊以及複數個角落，且凹槽在平面圖中呈細長狀，並沿著所述角落中的兩個角落以及該兩個角落之間的所述側邊中的一個側邊連續佈置。在一些實施例中，凹槽在平面圖中呈細長狀，並沿著半導體裝置的整個外圍連續佈置。在一些實施例中，所述半導體封裝更包括複數個凹槽，佈置在垂直於半導體裝置的外圍的帶狀部的寬度方向上。

【0086】 根據本揭露另一些實施例，提供一種半導體封裝。所述半導體封裝包括封裝基板、半導體裝置、底部填充元件以及複數個凹槽。半導體裝置設置在封裝基板的表面之上。底部填充元件形成在半導體裝置與封裝基板的表面之間。底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。所述凹槽形成在帶狀部中且彼此分開。所述凹槽分別對應於半導體裝置的多個部分佈置。

【0087】 在一些實施例中，帶狀部具有與半導體裝置的外圍相鄰的內邊緣以及與內邊緣相對的外邊緣，且所述凹槽中的每一凹槽與帶狀部的內邊緣和外邊緣間隔開。在一些實施例中，帶狀部具有從封裝基板的表面向上傾斜至半導體裝置的外圍的外表面，凹槽沿著垂直於封裝基板的表面的垂直方向從帶狀部的外表面朝向封裝基板的表面延伸，且帶狀部的外表面與凹槽的底表面之間在垂直方向上的距離小於帶狀部的外表面與封裝基板的表面之間在垂直方向上

的距離。在一些實施例中，半導體裝置包括複數個角落，且所述凹槽在平面圖中對應於所述角落中的一些或全部佈置。在一些實施例中，半導體裝置包括複數個側邊以及複數個角落，且所述凹槽在平面圖中沿著所述側邊中的兩個相對側邊以及所述角落佈置。在一些實施例中，半導體裝置包括並排佈置的兩個晶粒，且間隙形成在兩個晶粒之間，且所述凹槽在平面圖中對應於間隙佈置。

【0088】 根據本揭露又另一些實施例，提供一種形成半導體封裝的方法。所述形成半導體封裝的方法包括安裝半導體裝置在封裝基板的表面上。所述形成半導體封裝的方法還包括形成底部填充元件於半導體裝置與封裝基板的表面之間，其中底部填充元件包括橫向延伸超出半導體裝置的外圍並沿著半導體裝置的外圍形成的帶狀部。此外，所述形成半導體封裝的方法包括形成一或多個凹槽於帶狀部中。

【0089】 在一些實施例中，所述一或多個凹槽是通過雷射切割形成。在一些實施例中，所述凹槽中的每一凹槽與半導體裝置的外圍間隔開。在一些實施例中，所述凹槽中的每一凹槽形成為從帶狀部的外表面朝向封裝基板的表面延伸，但並未到達封裝基板的表面。

【0090】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到與在此介紹的實施例等相同之優點。本技術領域中具有通常知識者也應了解這些相等的結構並未背離本揭露的發明精神與範圍。在不背離本揭露的發明精神與範圍之前提下，可對本揭露進行各種改變、置換或修改。

【符號說明】

【0091】

10:載體

12:離型膜

14:第二載體

16:第二離型膜

20:中介層

20A:第一側

20B:第二側

22:絕緣層

24:導電特徵

26:(第一)半導體晶粒

28:(第二)半導體晶粒

30:導電元件

32:導電結構

320:金屬柱

322:金屬蓋層

34:底部填充元件

340:(底部填充)部分

36:密封層

38:導電結構

380:金屬柱

382:金屬蓋層

40:半導體裝置

40A:外圍

42:封裝基板

42A:第一表面

42B:第二表面

44:導電元件

46:底部填充元件

460:帶狀部

460A:外表面

460B:內邊緣

460C:外邊緣

48, 48':凹槽

48A, 48A':側壁

48B:底表面

481:第一延伸部分

482:第二延伸部分

483:連接部分

900:製程流程

901, 902, 903:製程

A, B:區域

C:距離

G:間隙

T:切割膠帶

V:劃線

X, Y, Z:方向

H1:距離

H2:深度

L1, L2:長度

S1, S2:寬度

W1, W2:長度

【發明申請專利範圍】

【請求項1】 一種半導體封裝，包括：

一封裝基板；

一半導體裝置，通過複數個電連接件接合到該封裝基板的一表面；

一底部填充元件，形成在該半導體裝置與該封裝基板的該表面之間，配置成圍繞並保護該些電連接件，其中該底部填充元件包括一帶狀部，該帶狀部橫向延伸超出該半導體裝置的一外圍並沿著該半導體裝置的該外圍形成；以及

一凹槽，形成在該帶狀部中並與該半導體裝置的該外圍間隔開，

其中該帶狀部具有與該半導體裝置的該外圍相鄰的一內邊緣以及與該內邊緣相對的一外邊緣，且

其中該凹槽形成在該帶狀部的該內邊緣與該外邊緣之間，該凹槽的一寬度小於該帶狀部的一寬度。

【請求項2】 如請求項1之半導體封裝，其中該帶狀部具有從該封裝基板的該表面上傾斜至該半導體裝置的該外圍的一外表面，且

其中該凹槽從該帶狀部的該外表面朝向該封裝基板的該表面延伸，但並未到達該封裝基板的該表面，其中該凹槽沿著垂直於或傾斜於該封裝基板的該表面的一方向延伸。

【請求項3】 如請求項1之半導體封裝，其中該半導體裝置包括複數個側邊以及複數個角落，且

其中該凹槽在一平面圖中靠近該些角落中的一角落佈置。

【請求項4】 如請求項3之半導體封裝，其中該凹槽包括分別平行於該些側邊中的兩個相鄰側邊的一第一延伸部分和一第二延伸部分，以及形成在該第一

延伸部分與該第二延伸部分之間並對應於該兩個相鄰側邊之間的該角落的一連接部分，其中該連接部分在該平面圖中呈L形、弧形或梯形。

【請求項5】如請求項1之半導體封裝，其中該半導體裝置包括複數個側邊以及複數個角落，且

其中該凹槽在一平面圖中呈細長狀，並沿著該些角落中的兩個角落以及該兩個角落之間的該些側邊中的一側邊連續佈置。

【請求項6】如請求項1之半導體封裝，其中該凹槽在一平面圖中呈細長狀，並沿著該半導體裝置的整個該外圍連續佈置。

【請求項7】一種半導體封裝，包括：

一封裝基板；

一半導體裝置，設置在該封裝基板的一表面之上；

一底部填充元件，形成在該半導體裝置與該封裝基板的該表面之間，其中該底部填充元件包括一帶狀部，該帶狀部橫向延伸超出該半導體裝置的一外圍並沿著該半導體裝置的該外圍形成；以及

複數個凹槽，形成在該帶狀部中且彼此分開，其中該些凹槽分別對應於該半導體裝置的多個部分佈置，

其中該帶狀部具有從該封裝基板的該表面向上傾斜至該半導體裝置的該外圍的一外表面，且

其中該些凹槽從該帶狀部的該外表面朝向該封裝基板的該表面延伸，但並未到達該封裝基板的該表面，其中該些凹槽沿著垂直於或傾斜於該封裝基板的該表面的一方向延伸。

【請求項8】如請求項7之半導體封裝，其中該半導體裝置包括並排佈置的

兩個晶粒，且一間隙形成在該兩個晶粒之間，且

其中部分的該些凹槽在一平面圖中對應於該間隙佈置。

【請求項9】一種形成半導體封裝的方法，包括：

安裝一半導體裝置在一封裝基板的一表面上；

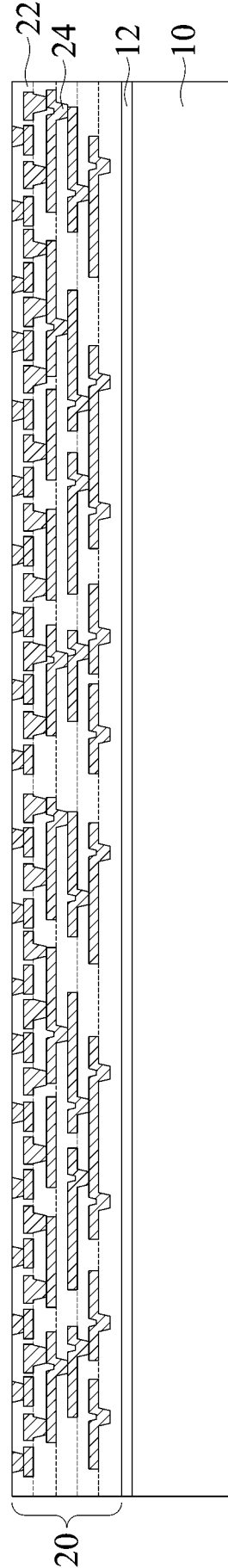
形成一底部填充元件於該半導體裝置與該封裝基板的該表面之間，其中該底部填充元件包括一帶狀部，該帶狀部橫向延伸超出該半導體裝置的一外圍並沿著該半導體裝置的該外圍形成；以及

形成一或多個凹槽於該帶狀部中，

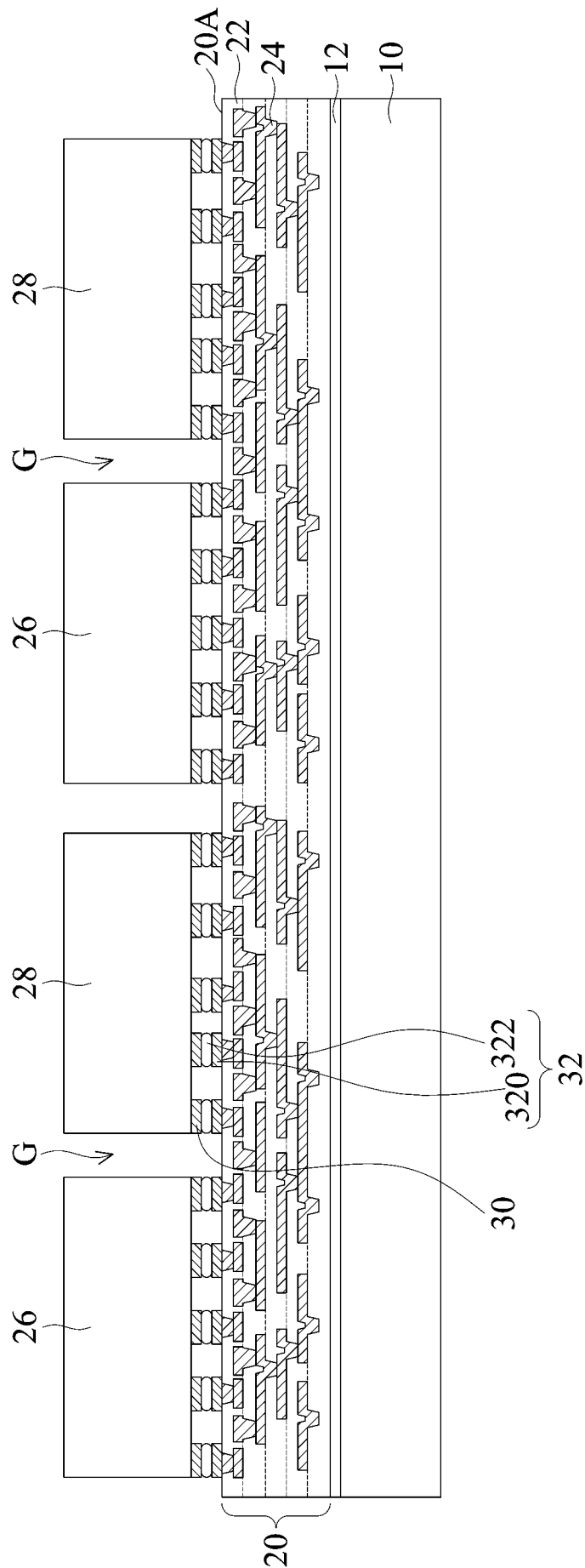
其中該帶狀部具有從該封裝基板的該表面向上傾斜至該半導體裝置的該外圍的一外表面，且

其中該一或多個凹槽形成為從該帶狀部的該外表面朝向該封裝基板的該表面延伸，但並未到達該封裝基板的該表面，其中該一或多個凹槽沿著垂直於或傾斜於該封裝基板的該表面的一方向延伸。

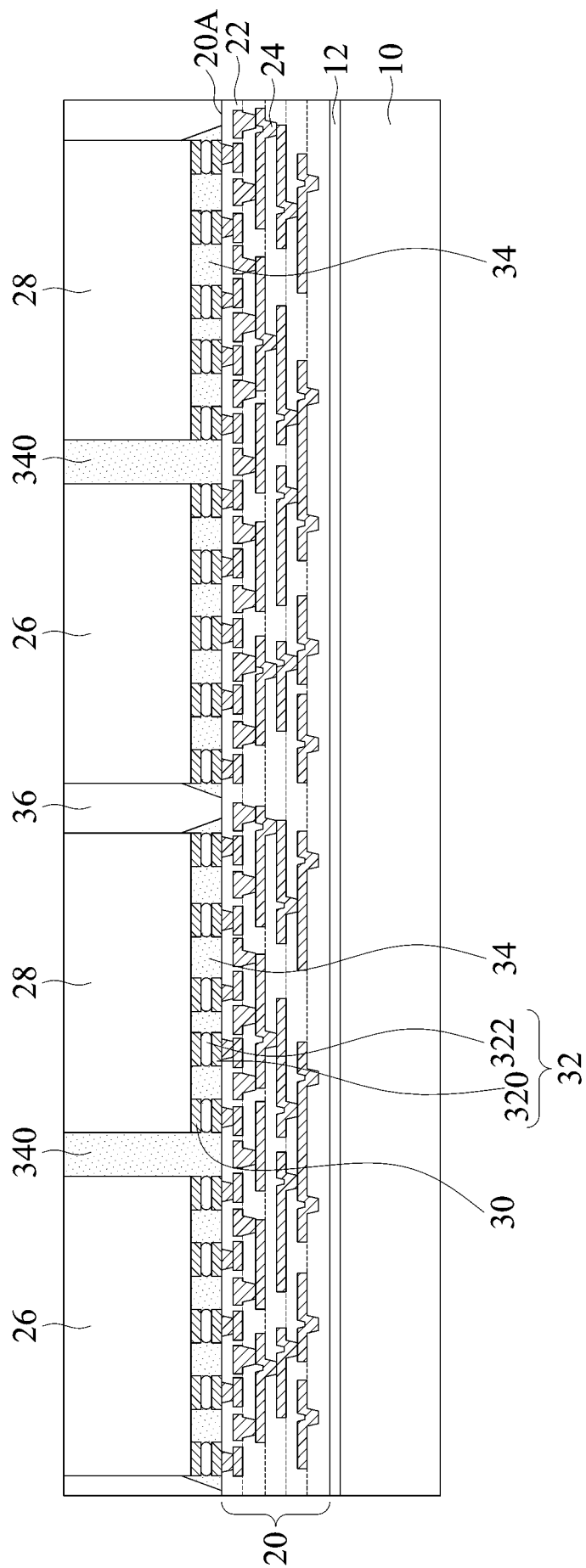
【發明圖式】



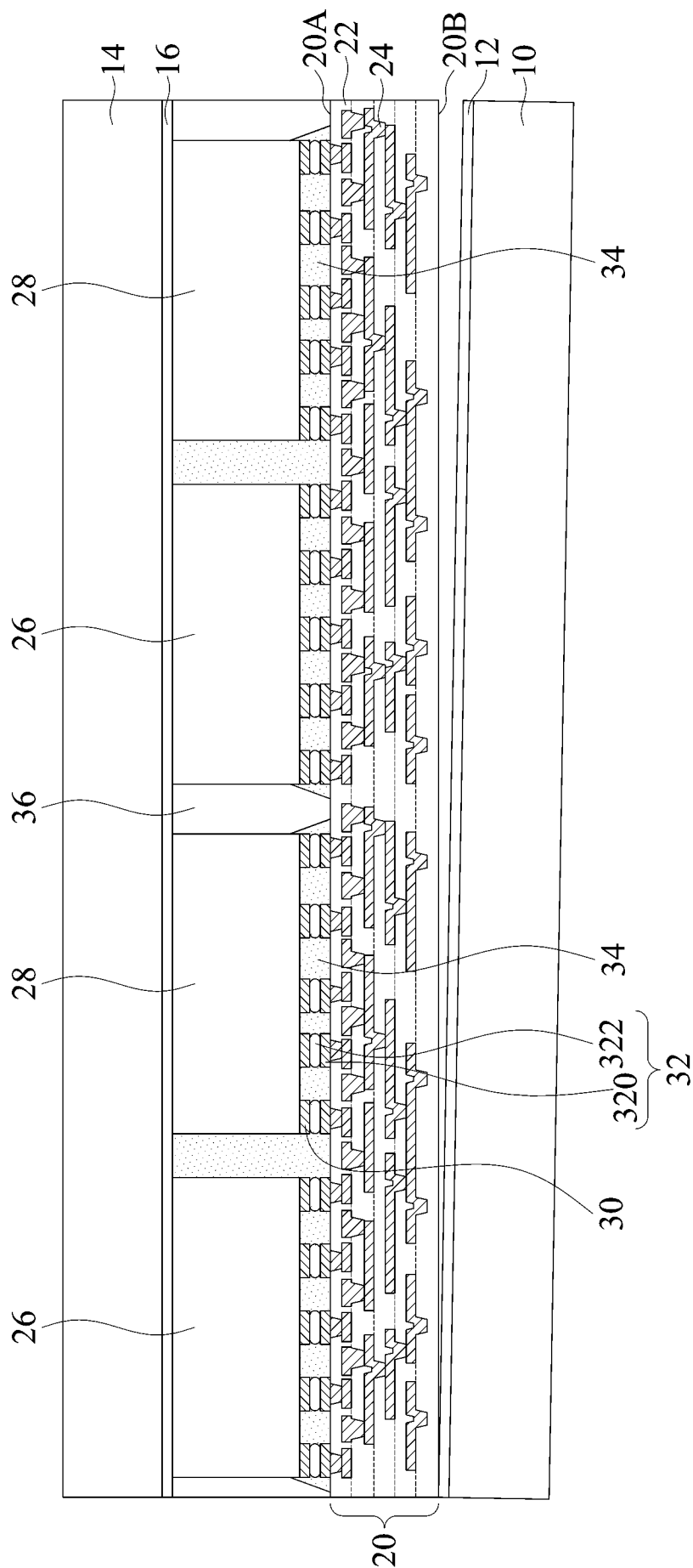
第 1A 圖



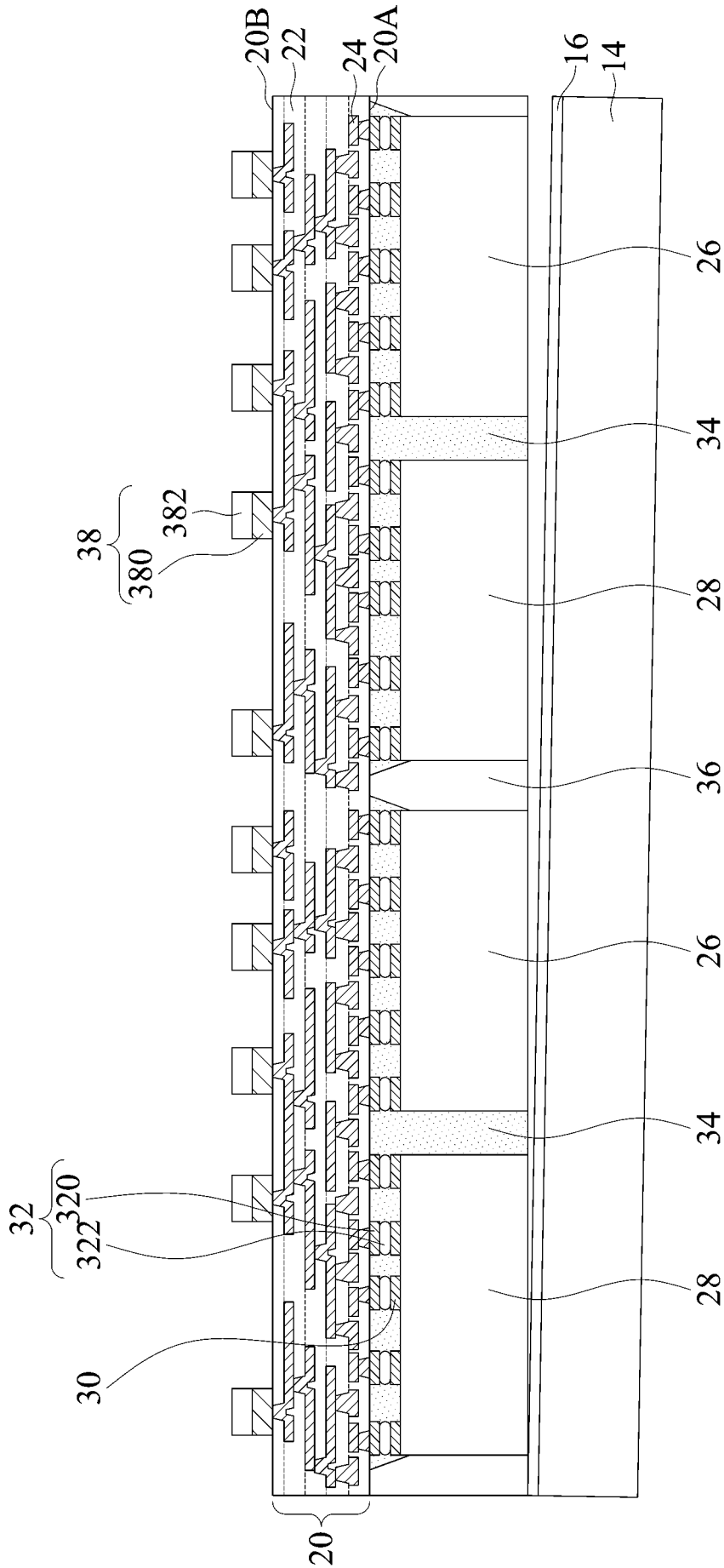
第1B圖



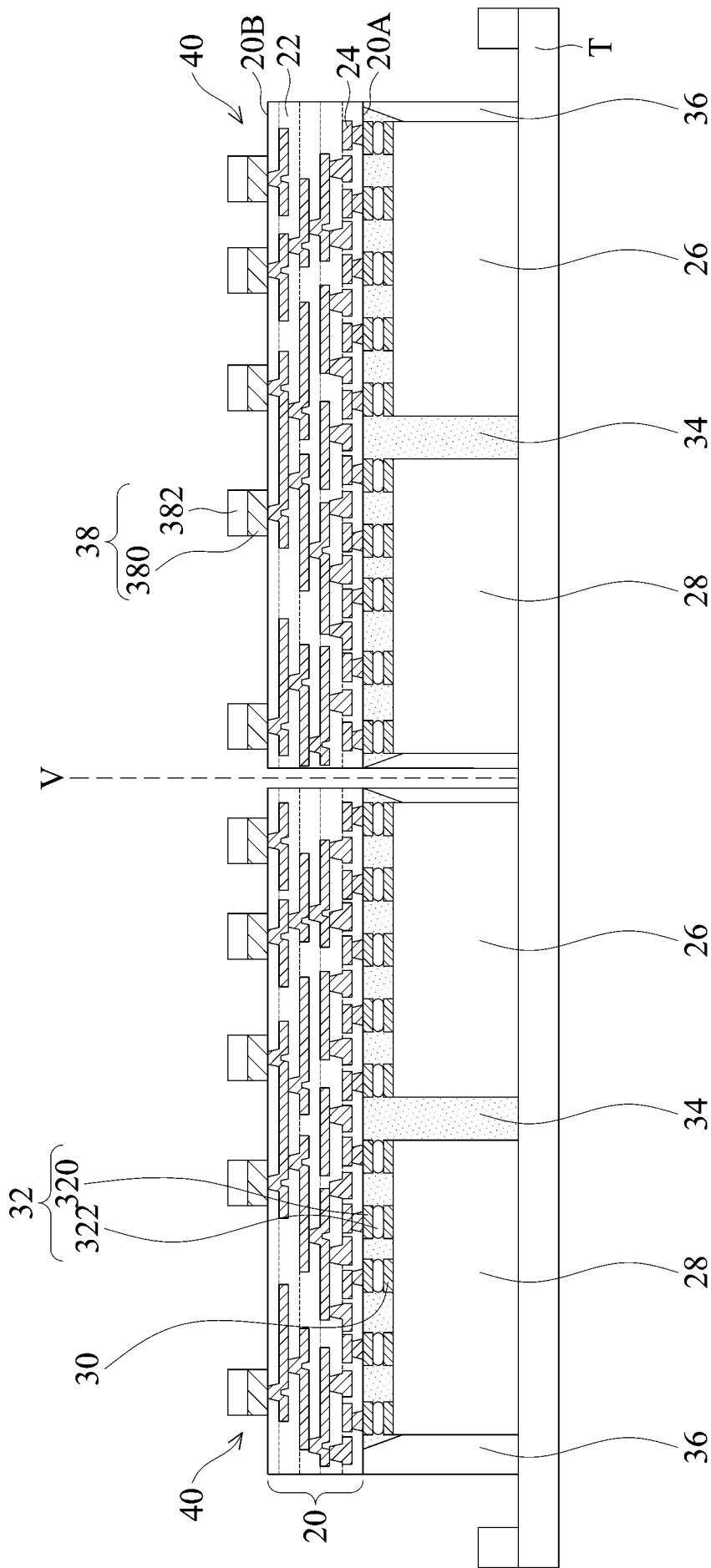
第1C圖



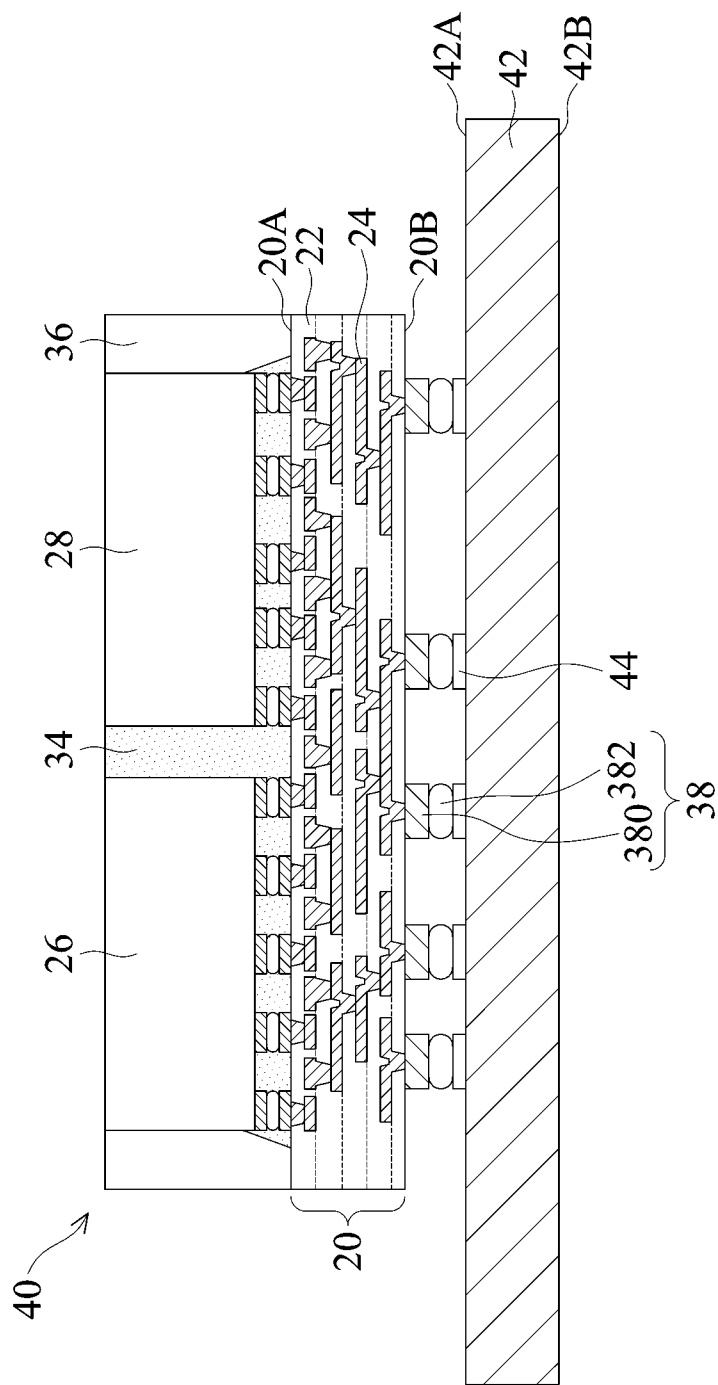
第 1D 圖



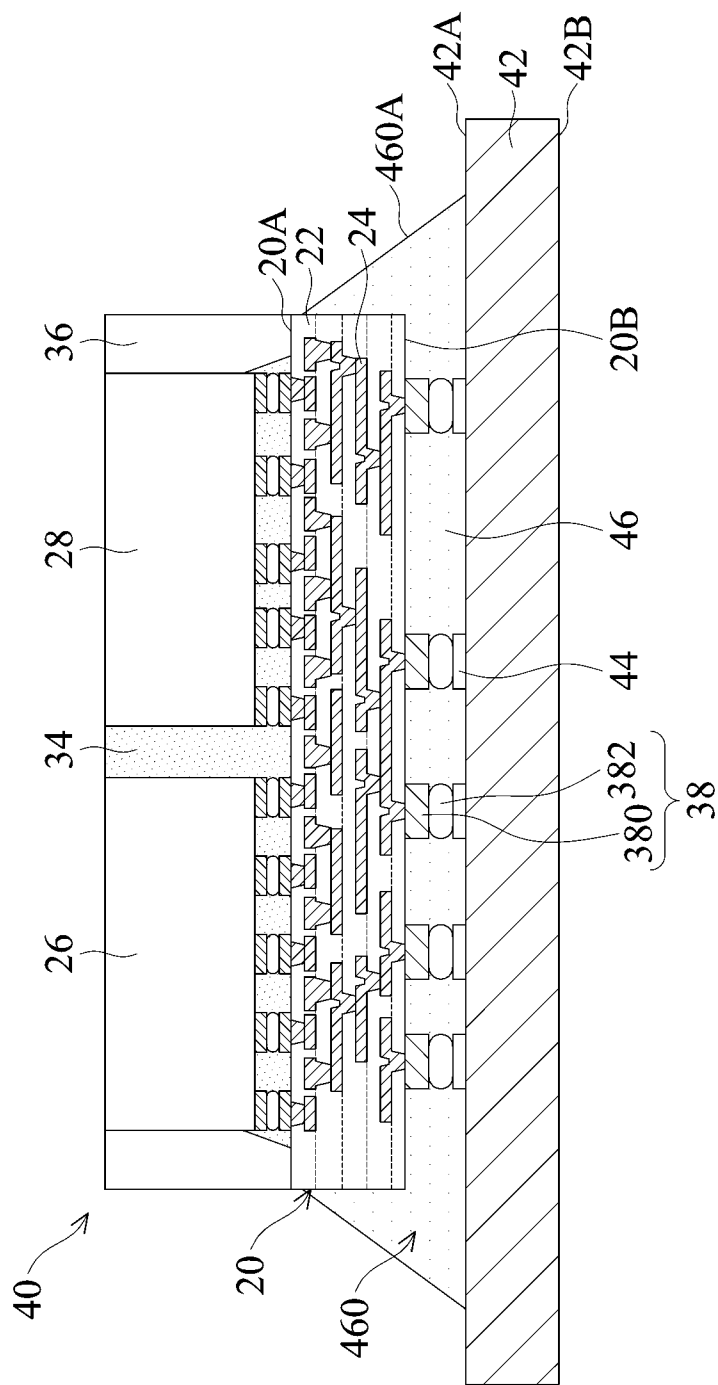
第1E圖



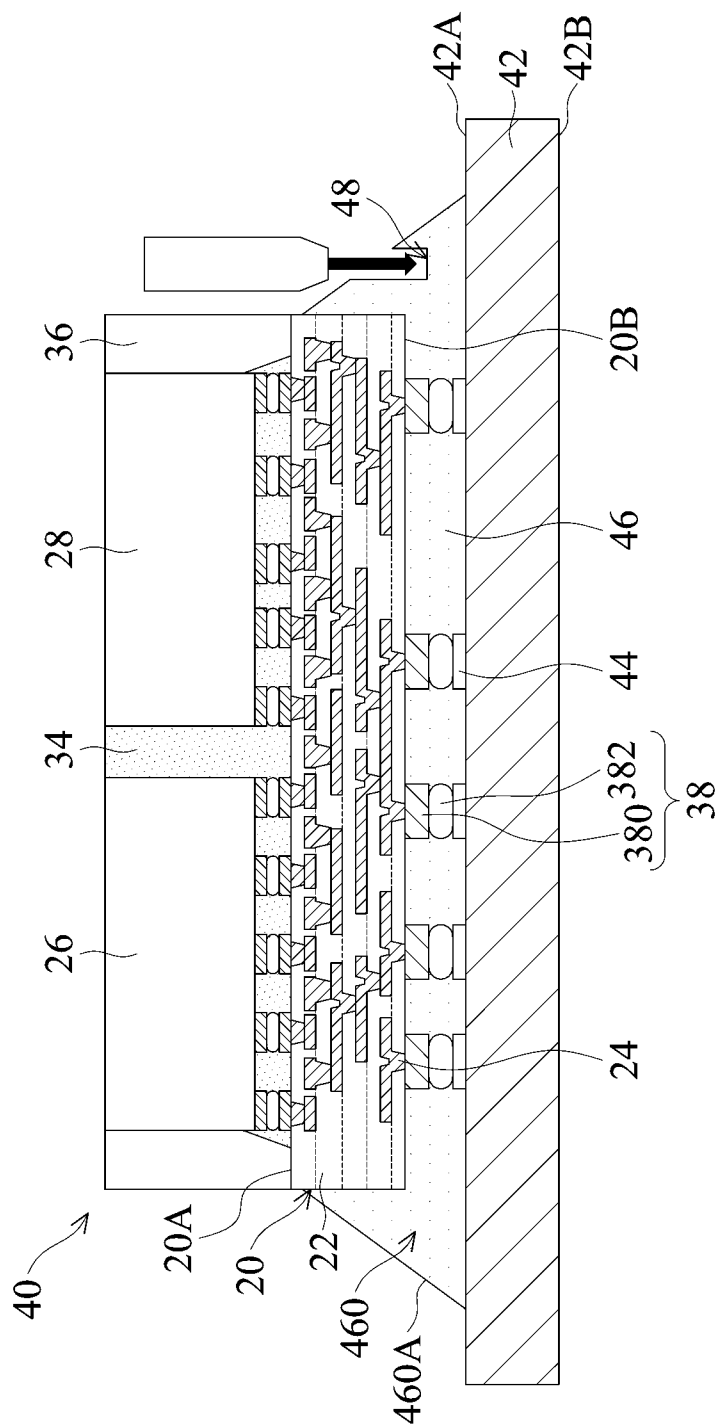
第1F圖



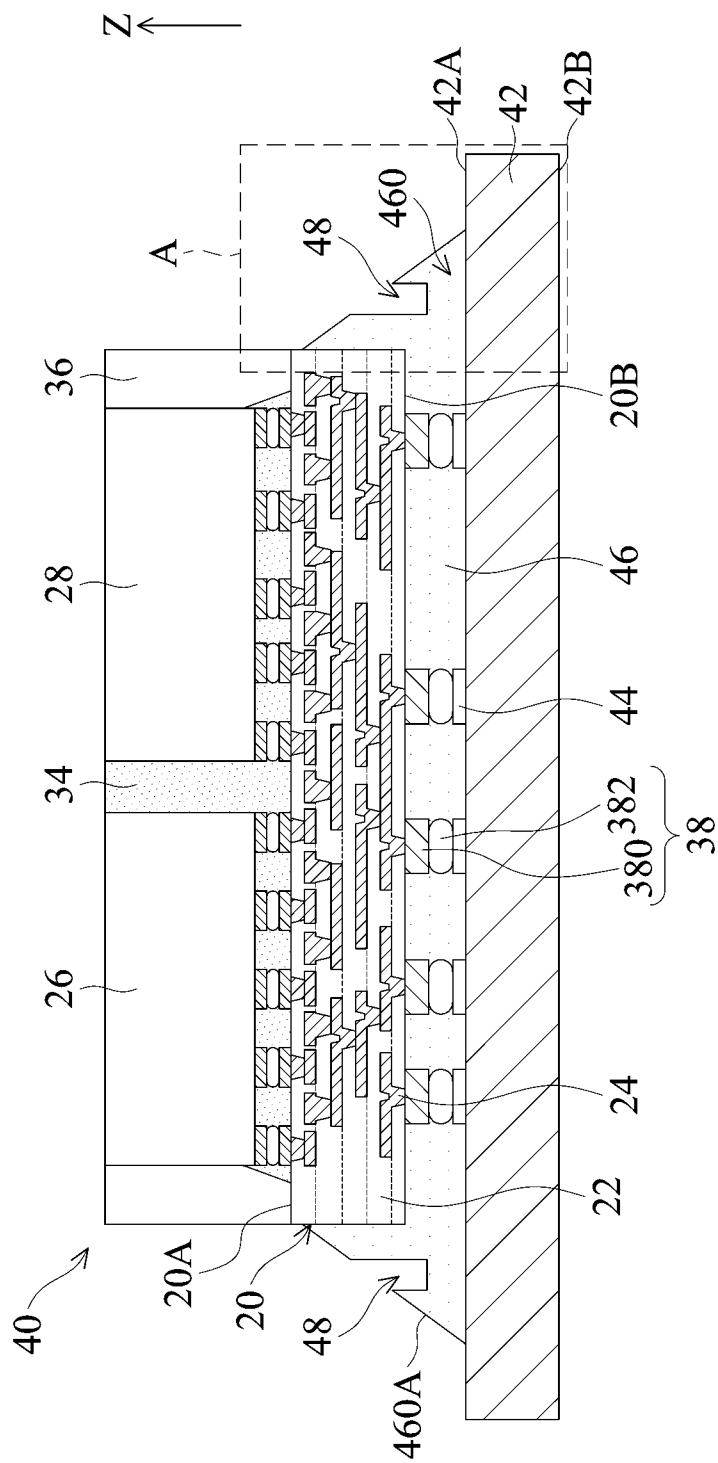
第 1G 圖



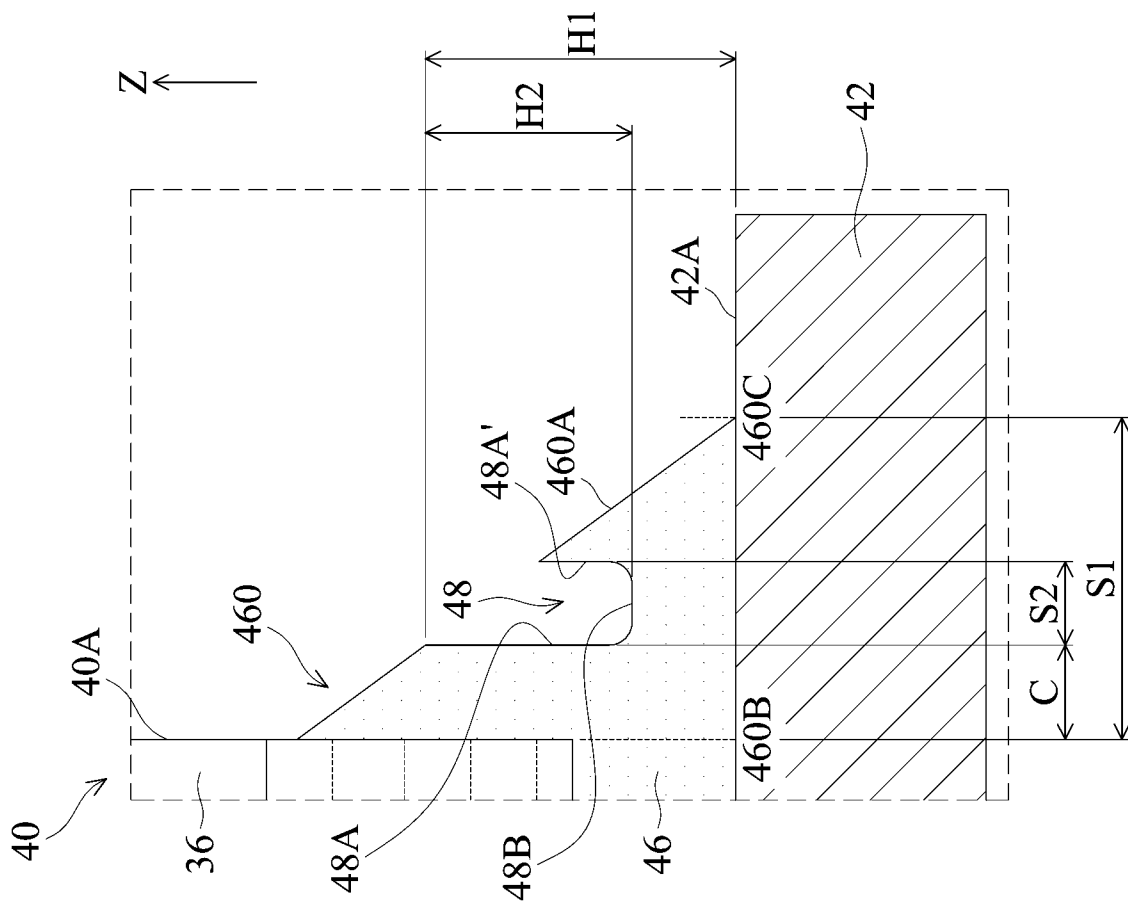
第1H圖



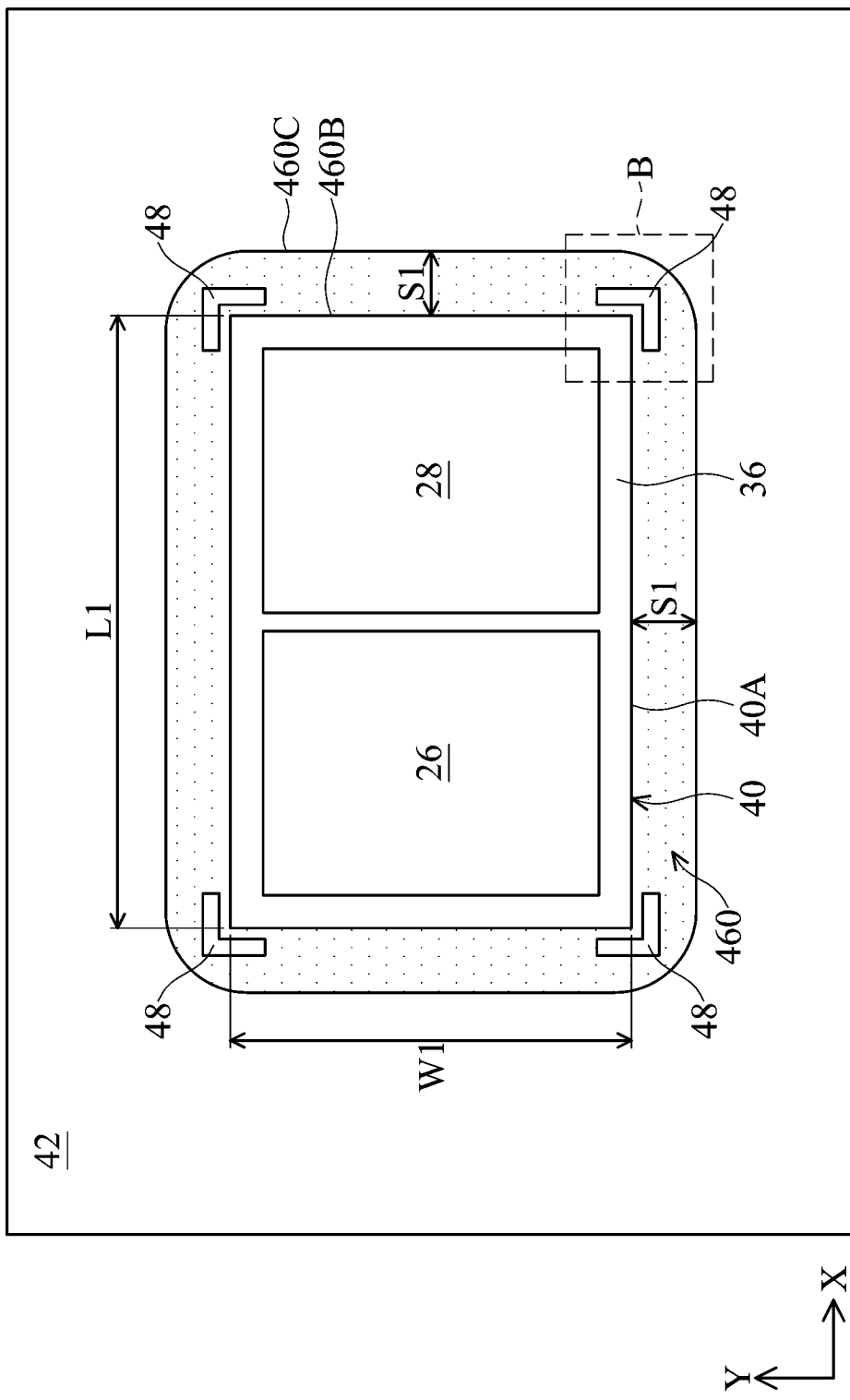
第11圖



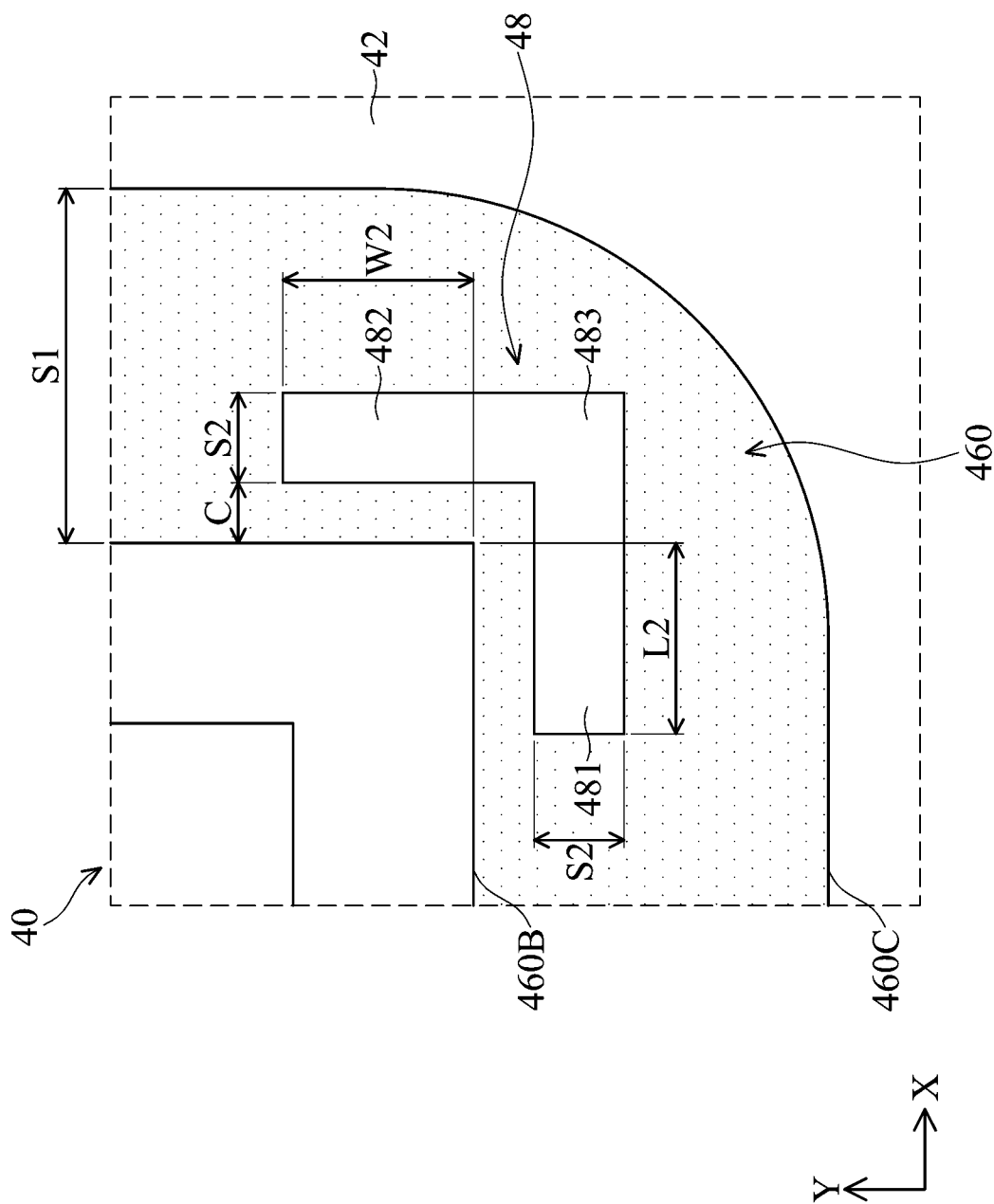
第 2A 圖



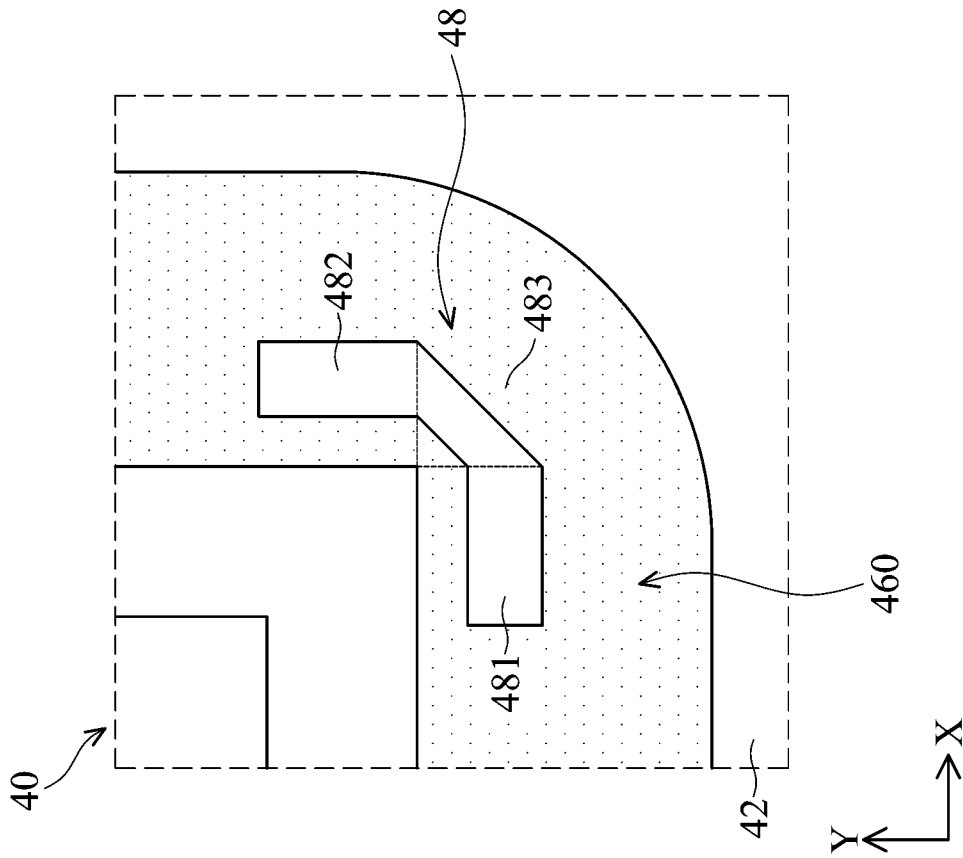
第2B圖



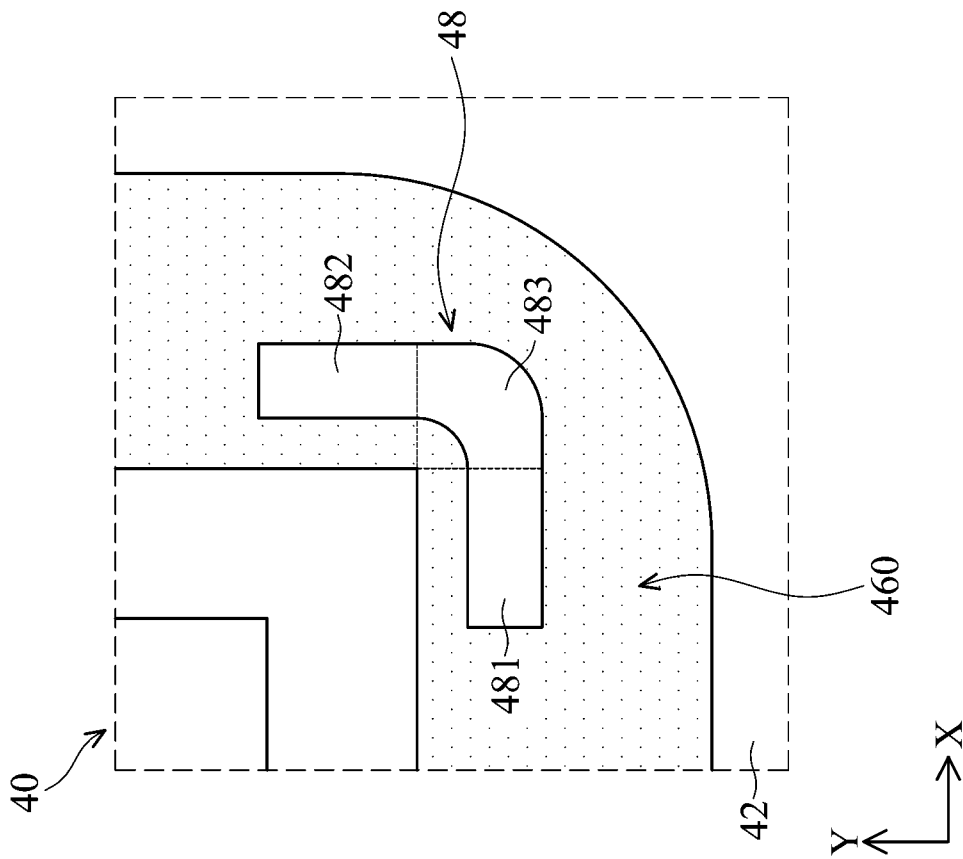
第 2C 圖



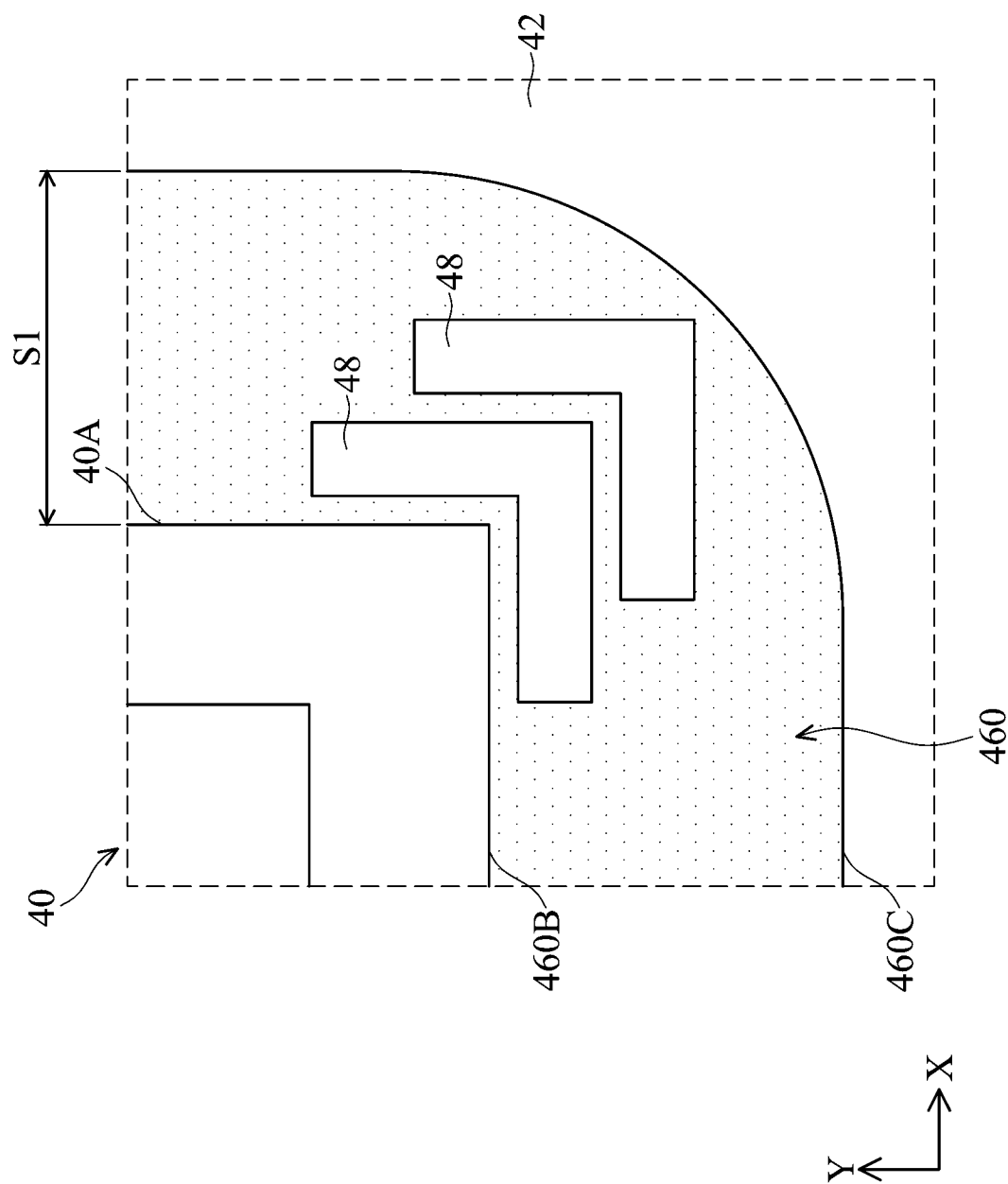
第 2D 圖



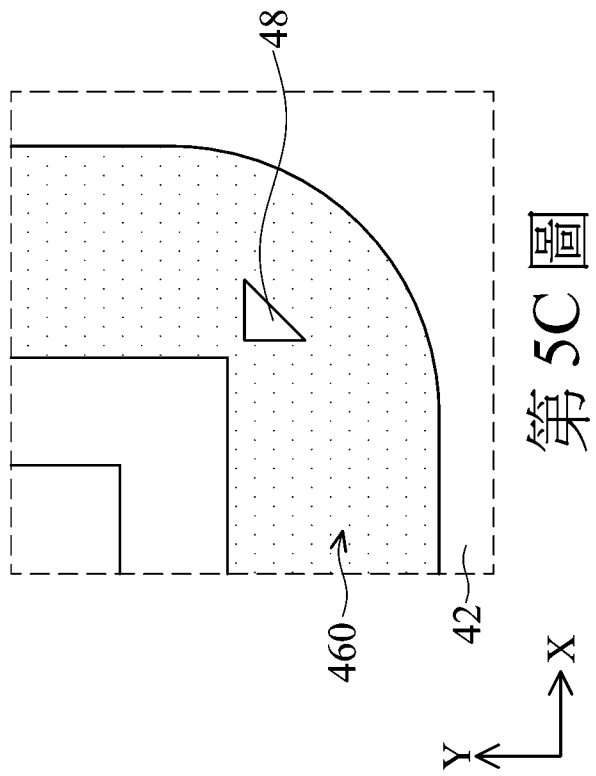
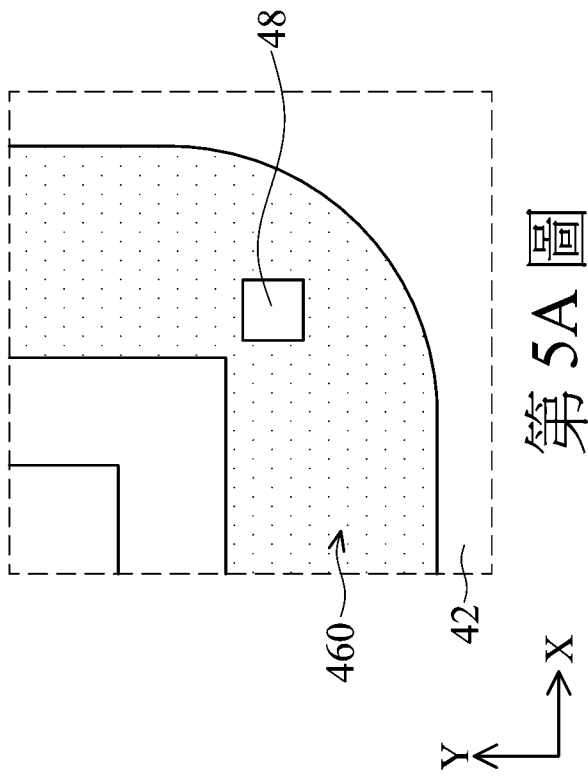
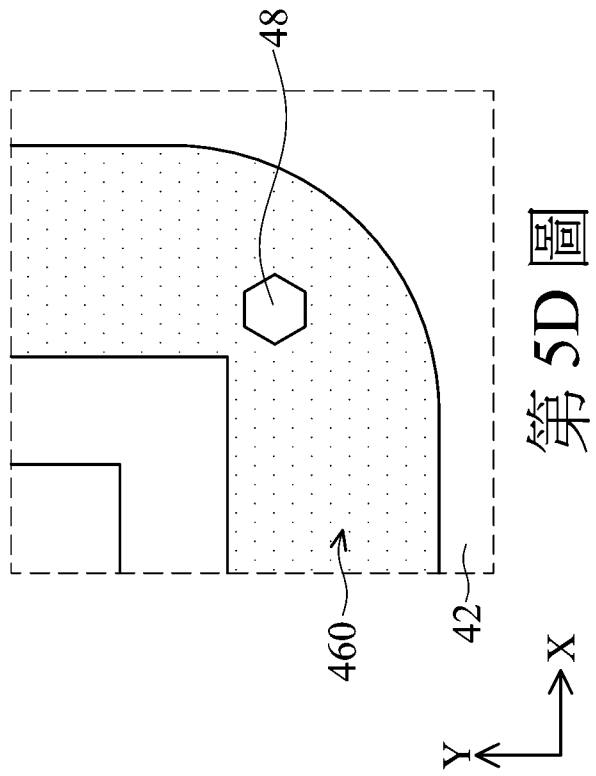
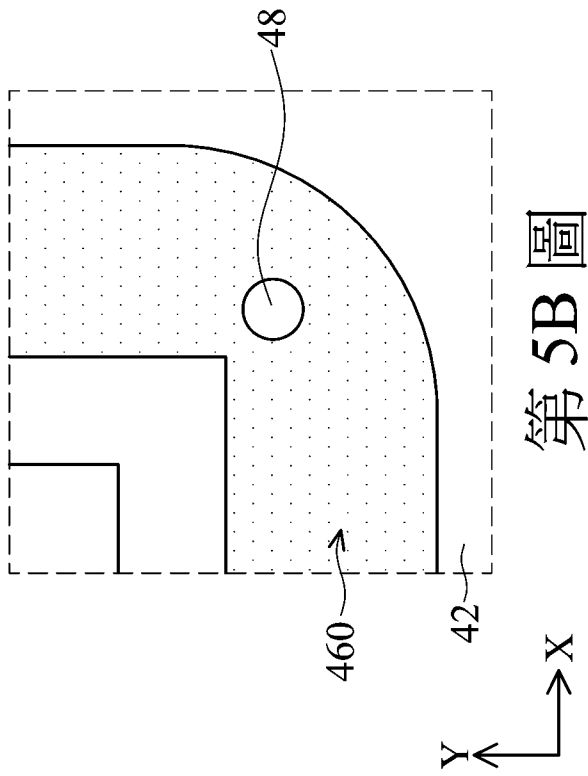
第3B圖

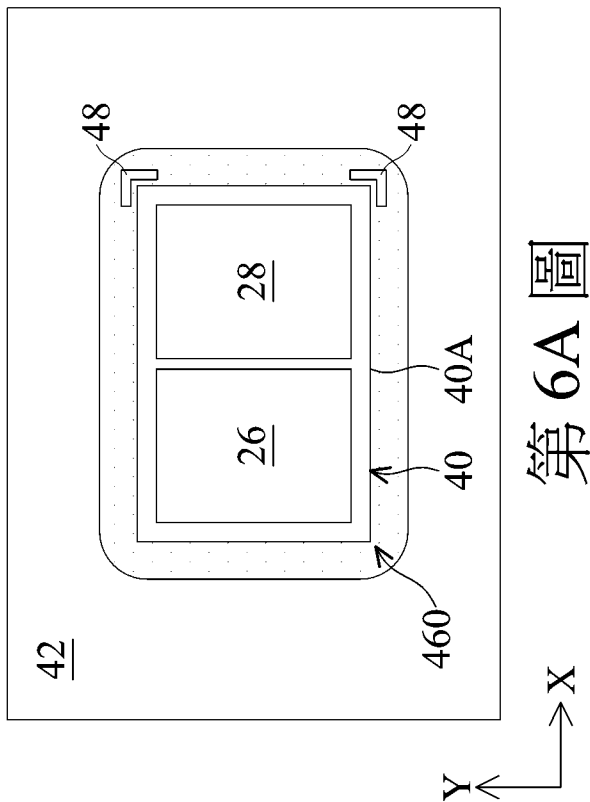


第3A圖

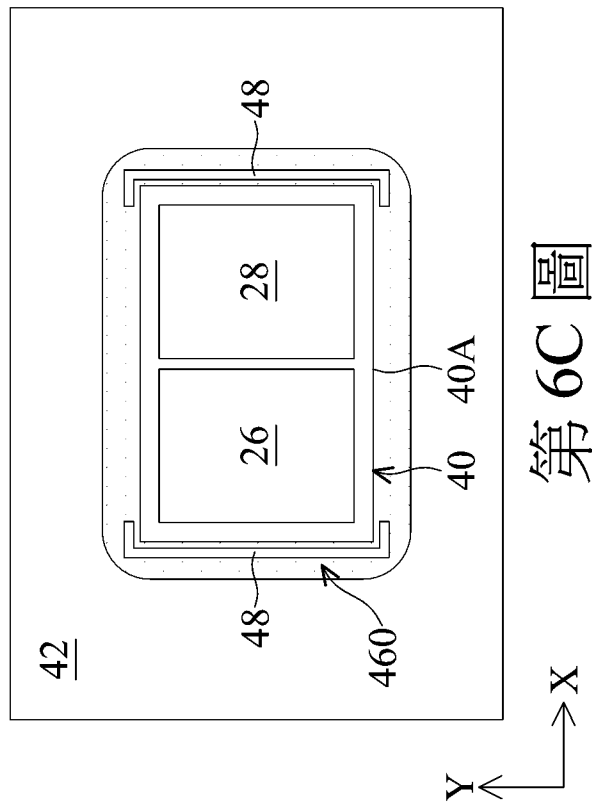


第 4 圖

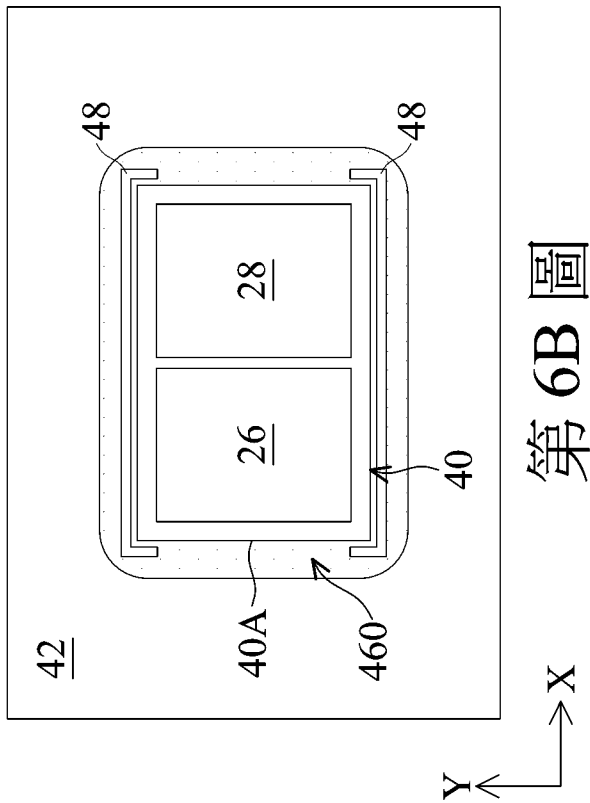




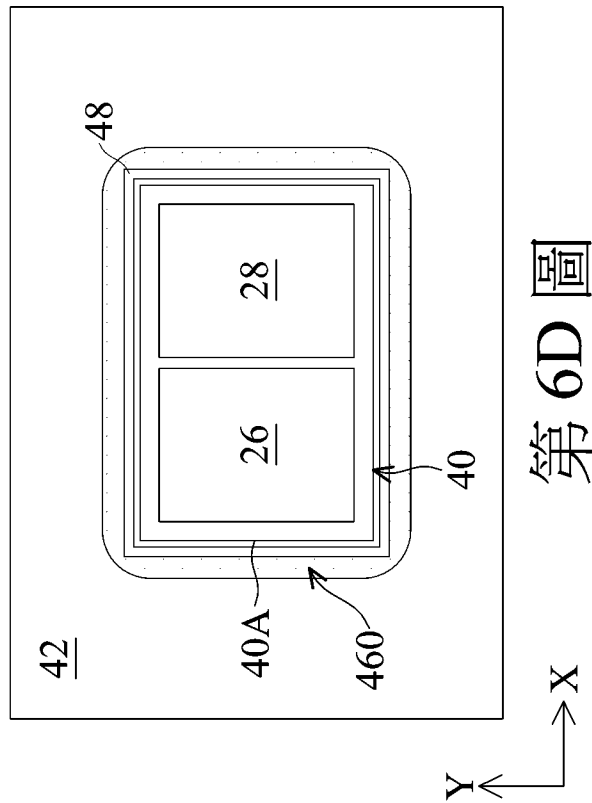
第6A圖



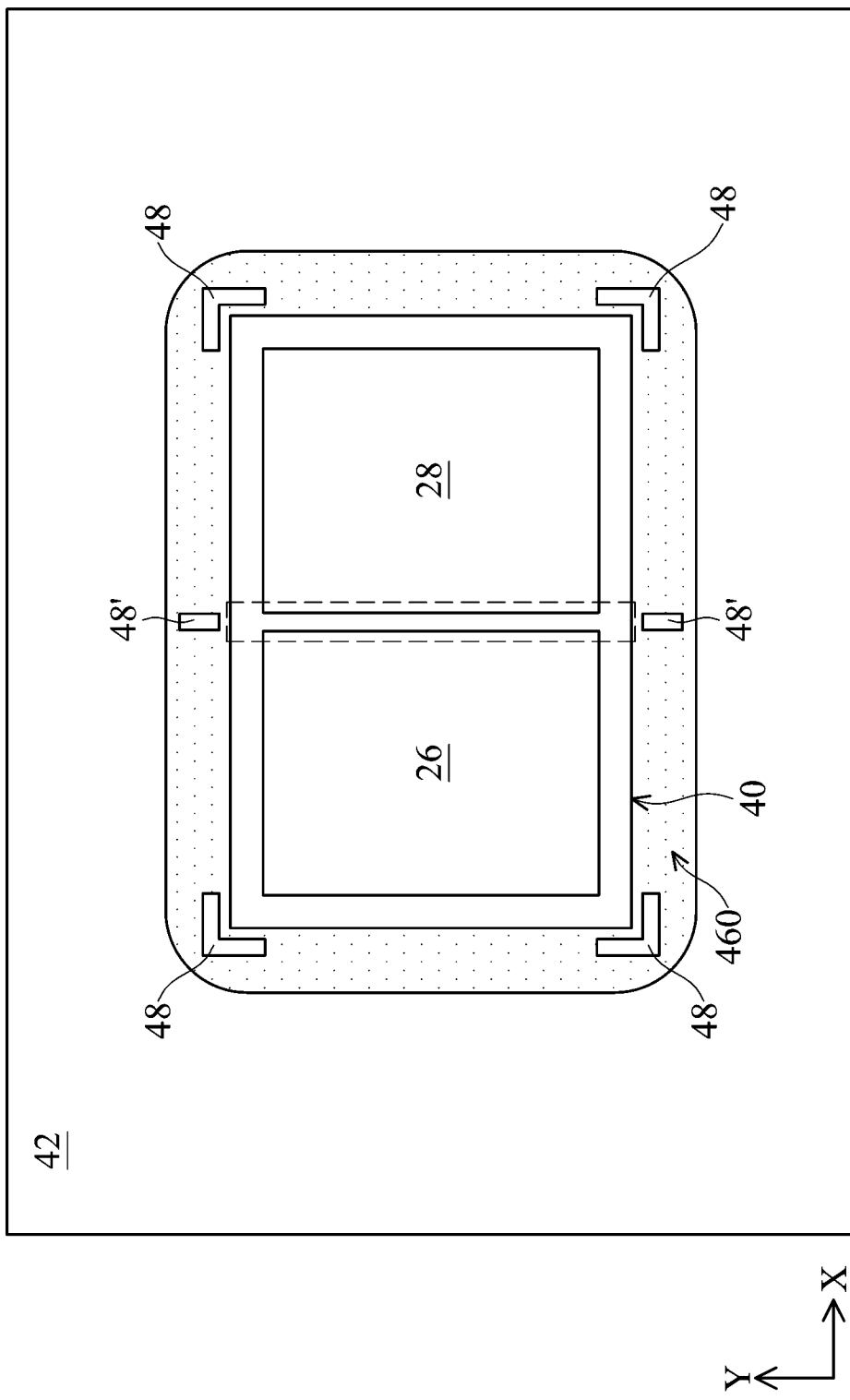
第6C圖



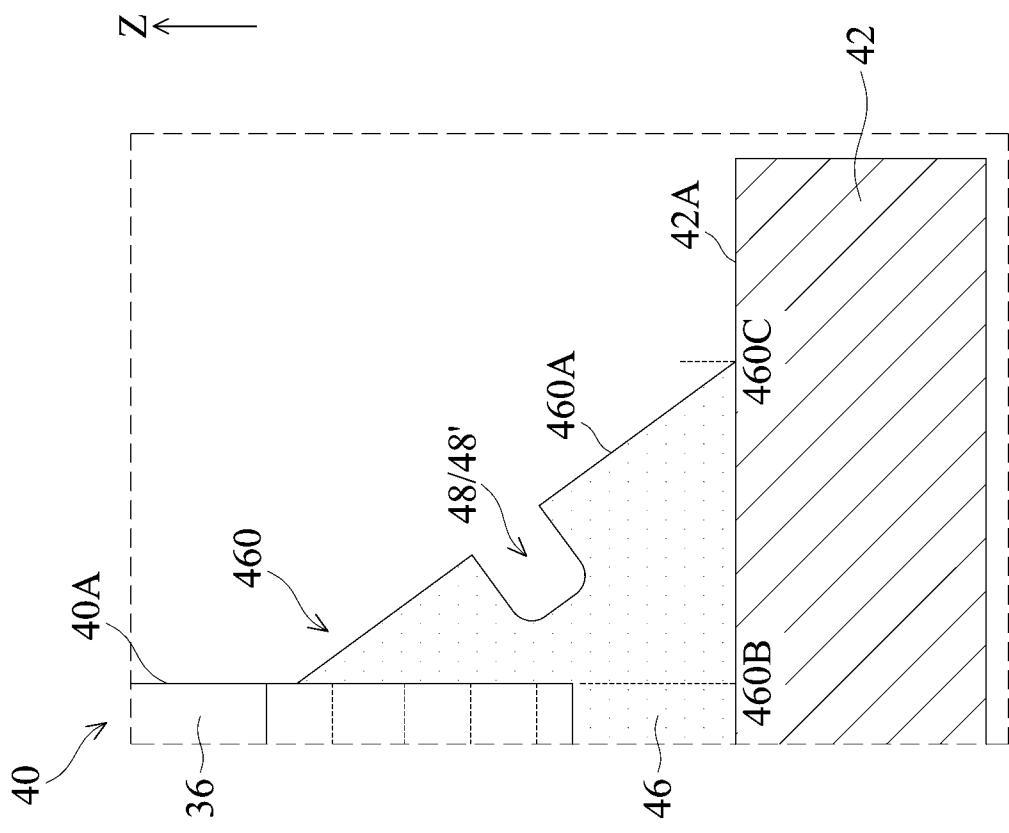
第6B圖



第6D圖

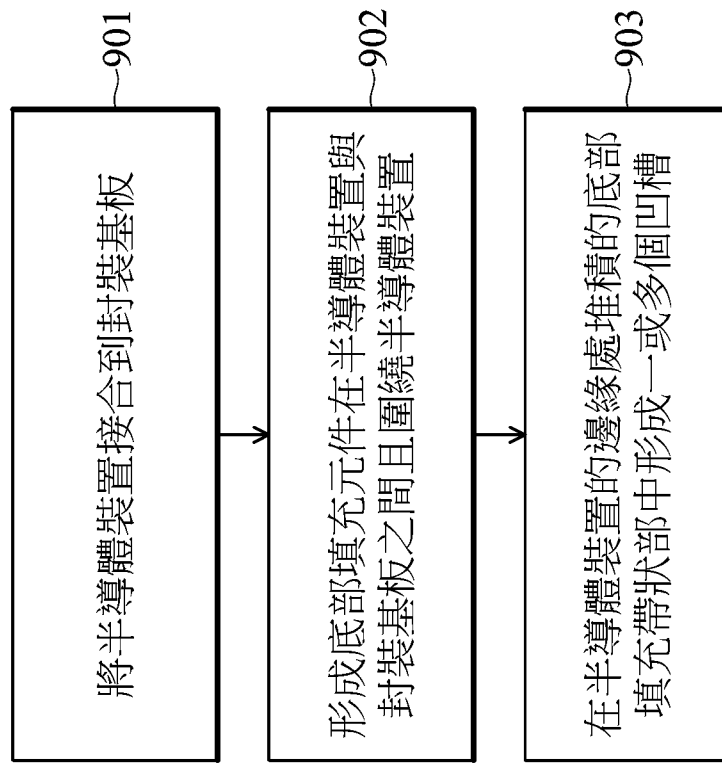


第 7 圖



第 8 圖

900



第 9 圖