



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0090906
(43) 공개일자 2019년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)

(21) 출원번호 10-2018-0009607
(22) 출원일자 2018년01월25일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
정윤모
경기도 용인시 기흥구 삼성로 1 (농서동)
이대우
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)

(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

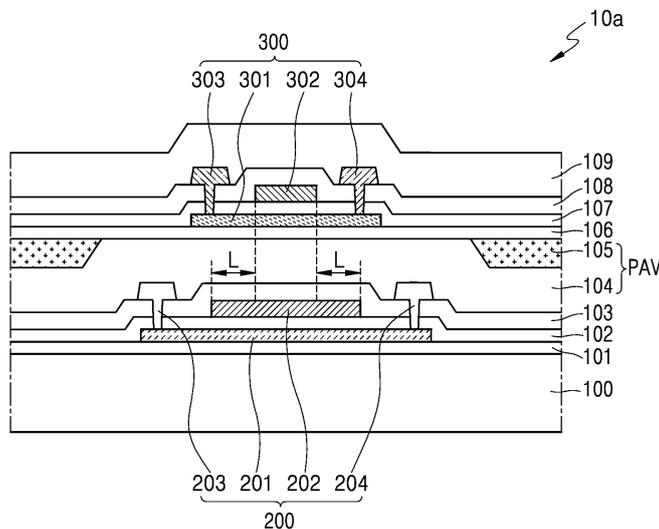
(54) 발명의 명칭 표시장치 및 그의 제조방법

(57) 요약

본 발명은 표시장치 및 그의 제조 방법을 개시한다.

본 발명의 일 실시예에 따른 표시장치는, 기판 상부에, 제1 활성층을 갖는 제1 박막 트랜지스터; 상기 제1 박막 트랜지스터 상부에, 상기 제1 박막 트랜지스터와 중첩하는 제2 활성층을 갖는 제2 박막 트랜지스터; 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 사이에, 제1 절연층 및, 상기 제1 절연층의 상부에 배치되고, 상기 제1 절연층의 상부면과 일치하는 상부면을 갖는 제2 절연층을 포함하는 제1 평탄화층; 및 상기 제1 평탄화층과 상기 제2 박막 트랜지스터 사이의 제1 버퍼층;을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 51/5237 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

서일훈

경기도 용인시 기흥구 삼성로 1 (농서동)

윤호진

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

기판 상부에, 제1 활성층을 갖는 제1 박막 트랜지스터;

상기 제1 박막 트랜지스터 상부에, 상기 제1 박막 트랜지스터와 중첩하는 제2 활성층을 갖는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 사이에, 제1 절연층 및, 상기 제1 절연층의 상부에 배치되고, 상기 제1 절연층의 상부면과 일치하는 상부면을 갖는 제2 절연층을 포함하는 제1 평탄화층; 및

상기 제1 평탄화층과 상기 제2 박막 트랜지스터 사이의 제1 버퍼층;을 포함하는 표시장치.

청구항 2

제1항에 있어서,

상기 제1 버퍼층은 실리콘산화물을 포함하는, 표시장치.

청구항 3

제1항에 있어서,

상기 제1 박막 트랜지스터와 상기 제1 평탄화층 사이에, 상기 제2 활성층과 중첩하는 도전층;을 더 포함하는 표시장치.

청구항 4

제3항에 있어서,

상기 도전층은 DC 전압을 갖는, 표시장치.

청구항 5

제3항에 있어서,

상기 도전층은 적어도 발광 구간에 DC 전압을 갖는, 표시장치.

청구항 6

제3항에 있어서,

상기 도전층은 상기 제2 박막 트랜지스터의 게이트 전극보다 큰, 표시장치.

청구항 7

제3항에 있어서,

상기 도전층의 중심과 상기 제2 박막 트랜지스터의 게이트 전극의 중심의 이격 거리는 $3\mu\text{m}$ 이내인, 표시장치.

청구항 8

제1항에 있어서,

상기 제2 활성층의 두께는 상기 제1 활성층의 두께보다 얇은, 표시장치.

청구항 9

제1항에 있어서,

상기 제2 활성층의 두께는 상기 제1 활성층의 두께의 80% 이하인, 표시장치.

청구항 10

제1항에 있어서,

상기 제2 박막 트랜지스터 상부에, 상기 제2 박막 트랜지스터와 중첩하고 상기 제1 박막 트랜지스터와 연결된 표시소자;를 더 포함하는 표시장치.

청구항 11

제10항에 있어서, 상기 제2 박막 트랜지스터와 상기 표시소자 사이에,

제3 절연층 및, 상기 제3 절연층의 상부에 배치되고, 상기 제3 절연층의 상부면과 일치하는 상부면을 갖는 제4 절연층을 포함하는 제2 평탄화층; 및

상기 제2 평탄화층 상부의 제2 버퍼층;을 더 포함하는 표시장치.

청구항 12

제10항에 있어서,

상기 제2 박막 트랜지스터와 상기 표시소자 사이의 제5 절연층;을 더 포함하는 표시장치

청구항 13

제12항에 있어서,

상기 제2 버퍼층은 실리콘질화물을 포함하는, 표시장치.

청구항 14

제1항에 있어서,

상기 제1 활성층으로부터 연장된 제3 활성층을 갖는 제3 박막 트랜지스터;를 더 포함하는 표시장치.

청구항 15

제14항에 있어서,

상기 제2 박막 트랜지스터 상부에, 상기 제2 활성층과 적어도 일부 중첩하는 커패시터;를 더 포함하는 표시장치.

청구항 16

기관 상부에 제1 활성층을 갖는 제1 박막 트랜지스터를 형성하는 단계;

상기 제1 박막 트랜지스터 상부에, 제1 절연막 및 제2 절연막을 형성하는 단계;

상기 제1 절연막의 상부면과 상기 제2 절연막의 상부면이 일치하도록 상기 제2 절연막을 식각하여 제1 평탄화층을 형성하는 단계;

상기 제1 평탄화층 상부에 제1 버퍼층을 형성하는 단계; 및

상기 제1 버퍼층의 상부에, 상기 제1 박막 트랜지스터와 중첩하는 제2 활성층을 갖는 제2 박막 트랜지스터를 형성하는 단계;를 포함하는 표시장치의 제조방법.

청구항 17

제16항에 있어서, 상기 제2 박막 트랜지스터 형성 단계 이전에,

상기 제1 평탄화층 및 상기 제1 버퍼층의 열 처리를 수행하는 단계;를 더 포함하는 표시장치의 제조방법.

청구항 18

제16항에 있어서, 상기 제1 절연막 및 제2 절연막 형성 단계 이전에,
 상기 제1 박막 트랜지스터 상부에, 상기 제1 활성층과 중첩하는 도전층을 형성하는 단계;를 더 포함하고,
 상기 제2 박막 트랜지스터는 상기 도전층과 중첩하는, 표시장치의 제조방법.

청구항 19

제16항에 있어서,
 상기 제2 박막 트랜지스터 상부에, 상기 제2 박막 트랜지스터와 중첩하고 상기 제1 박막 트랜지스터와 연결된 표시소자를 형성하는 단계;를 더 포함하는 표시장치의 제조방법.

청구항 20

제19항에 있어서, 상기 표시소자 형성 단계 이전에,
 상기 제2 박막 트랜지스터 상부에 제3 절연막 및 제4 절연막을 형성하는 단계;
 상기 제3 절연막의 상부면과 상기 제4 절연막의 상부면이 일치하도록 상기 제4 절연막을 식각하여 제2 평탄화층을 형성하는 단계; 및
 상기 제2 평탄화층의 상부에 제2 버퍼층을 형성하는 단계;를 더 포함하는 표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 표시장치는 표시소자 및 표시소자에 인가되는 전기적 신호를 제어하기 위한 전자소자들을 포함한다. 전자소자들은 박막 트랜지스터(TFT; Thin Film Transistor), 커패시터 및 복수의 배선들을 포함한다.
 [0003] 표시장치의 해상도 증가 및 하나의 표시소자에 전기적으로 연결되는 박막 트랜지스터들의 개수 증가에 따라, 화소의 개구율이 감소하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은 고해상도를 구현할 수 있는 표시장치를 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시장치는, 기판 상부에, 제1 활성층을 갖는 제1 박막 트랜지스터; 상기 제1 박막 트랜지스터 상부에, 상기 제1 박막 트랜지스터와 중첩하는 제2 활성층을 갖는 제2 박막 트랜지스터; 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 사이에, 제1 절연층 및, 상기 제1 절연층의 상부에 배치되고, 상기 제1 절연층의 상부면과 일치하는 상부면을 갖는 제2 절연층을 포함하는 제1 평탄화층; 및 상기 제1 평탄화층과 상기 제2 박막 트랜지스터 사이의 제1 버퍼층;을 포함한다.
 [0006] 상기 제1 버퍼층은 실리콘산화물을 포함할 수 있다.
 [0007] 상기 표시장치는, 상기 제1 박막 트랜지스터와 상기 제1 평탄화층 사이에, 상기 제2 활성층과 중첩하는 도전층;을 더 포함할 수 있다.
 [0008] 상기 도전층은 DC 전압을 가질 수 있다.
 [0009] 상기 도전층은 적어도 발광 구간에 DC 전압을 가질 수 있다.
 [0010] 상기 도전층은 상기 제2 박막 트랜지스터의 게이트 전극보다 클 수 있다.

- [0011] 상기 도전층의 중심과 상기 제2 박막 트랜지스터의 게이트 전극의 중심의 이격 거리는 3 μ m 이내일 수 있다.
- [0012] 상기 제2 활성층의 두께는 상기 제1 활성층의 두께보다 얇을 수 있다.
- [0013] 상기 제2 활성층의 두께는 상기 제1 활성층의 두께의 80% 이하일 수 있다.
- [0014] 상기 표시장치는, 상기 제2 박막 트랜지스터 상부에, 상기 제2 박막 트랜지스터와 중첩하고 상기 제1 박막 트랜지스터와 연결된 표시소자;를 더 포함할 수 있다.
- [0015] 상기 표시장치는, 상기 제2 박막 트랜지스터와 상기 표시소자 사이에, 제3 절연층 및, 상기 제3 절연층의 상부에 배치되고, 상기 제3 절연층의 상부면과 일치하는 상부면을 갖는 제4 절연층을 포함하는 제2 평탄화층; 및 상기 제2 평탄화층 상부의 제2 버퍼층;을 더 포함할 수 있다.
- [0016] 상기 표시장치는, 상기 제2 박막 트랜지스터와 상기 표시소자 사이의 제5 절연층;을 더 포함할 수 있다.
- [0017] 상기 제2 버퍼층은 실리콘질화물을 포함할 수 있다.
- [0018] 상기 표시장치는, 상기 제1 활성층으로부터 연장된 제3 활성층을 갖는 제3 박막 트랜지스터;를 더 포함할 수 있다.
- [0019] 상기 표시장치는, 상기 제2 박막 트랜지스터 상부에, 상기 제2 활성층과 적어도 일부 중첩하는 커패시터;를 더 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 표시장치의 제조방법은, 기판 상부에 제1 활성층을 갖는 제1 박막 트랜지스터를 형성하는 단계; 상기 제1 박막 트랜지스터 상부에, 제1 절연막 및 제2 절연막을 형성하는 단계; 상기 제1 절연막의 상부면과 상기 제2 절연막의 상부면이 일치하도록 상기 제2 절연막을 식각하여 제1 평탄화층을 형성하는 단계; 상기 제1 평탄화층 상부에 제1 버퍼층을 형성하는 단계; 및 상기 제1 버퍼층의 상부에, 상기 제1 박막 트랜지스터와 중첩하는 제2 활성층을 갖는 제2 박막 트랜지스터를 형성하는 단계;를 포함한다.
- [0021] 상기 제조방법은, 상기 제2 박막 트랜지스터 형성 단계 이전에, 상기 제1 평탄화층 및 상기 제1 버퍼층의 열 처리를 수행하는 단계;를 더 포함할 수 있다.
- [0022] 상기 제조방법은, 기 제1 절연막 및 제2 절연막 형성 단계 이전에, 상기 제1 박막 트랜지스터 상부에, 상기 제1 활성층과 중첩하는 도전층을 형성하는 단계;를 더 포함하고, 상기 제2 박막 트랜지스터는 상기 도전층과 중첩할 수 있다.
- [0023] 상기 제조방법은, 상기 제2 박막 트랜지스터 상부에, 상기 제2 박막 트랜지스터와 중첩하고 상기 제1 박막 트랜지스터와 연결된 표시소자를 형성하는 단계;를 더 포함할 수 있다.
- [0024] 상기 제조방법은, 상기 표시소자 형성 단계 이전에, 상기 제2 박막 트랜지스터 상부에 제3 절연막 및 제4 절연막을 형성하는 단계; 상기 제3 절연막의 상부면과 상기 제4 절연막의 상부면이 일치하도록 상기 제4 절연막을 식각하여 제2 평탄화층을 형성하는 단계; 및 상기 제2 평탄화층의 상부에 제2 버퍼층을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

- [0025] 본 발명의 실시예들에 따른 표시장치는 화소 내 박막 트랜지스터의 배열을 최적화하여 고해상도 구현이 가능한 표시장치를 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 도시한 단면도이다.
- 도 1a는 도 1에 도시된 반도체 장치의 일부를 나타낸 평면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 반도체 장치를 도시한 단면도이다.
- 도 2a는 도 2에 도시된 반도체 장치의 일부를 나타낸 평면도이다.
- 도 3a 내지 도 3c는 도 2에 도시된 도전층과 제2 게이트 전극의 위치 및 전압 관계를 나타내는 도면이다.
- 도 4a 내지 도 8은 본 발명의 일 실시예에 따른 반도체 장치의 제조 공정을 개략적으로 설명하는 도면이다.

도 9는 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 사시도이다.

도 10은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 평면도이다.

도 11은 본 발명의 일 실시예에 따른 제1 화소의 회로도이다.

도 12는 도 11에 도시된 화소의 일부 단면도이다.

도 13은 본 발명의 다른 실시예에 따른 제2 화소의 회로도이다.

도 14 및 도 15는 도 13에 도시된 화소의 일부 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0028] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0029] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0030] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0031] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0032] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0033] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 도시한 단면도이다. 도 1a는 도 1에 도시된 반도체 장치의 일부를 나타낸 평면도이다.
- [0036] 도 1을 참조하면, 일 실시예에 따른 반도체 장치(10a)는 기판(100) 상부의 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)를 포함할 수 있다. 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300)는 서로 다른 층에 배치되어, 단면상 상하로 중첩 배치될 수 있다.
- [0037] 제1 박막 트랜지스터(200)는 제1 활성층(201), 제1 게이트 전극(202), 제1 소스 전극(203) 및 제1 드레인 전극(204)을 포함할 수 있다. 제1 활성층(201)은 제1 소스 전극(203) 및 제1 드레인 전극(204)과 각각 컨택하는 소스 영역 및 드레인 영역과 그 사이의 채널 영역을 포함할 수 있다.
- [0038] 제1 박막 트랜지스터(200)는 제1 버퍼층(101) 상부에 배치될 수 있다. 제1 버퍼층(101)은 생략될 수 있다.
- [0039] 제2 박막 트랜지스터(300)는 제2 활성층(301), 제2 게이트 전극(302), 제2 소스 전극(303) 및 제2 드레인 전극(304)을 포함할 수 있다. 제2 활성층(301)은 제2 소스 전극(303) 및 제2 드레인 전극(304)과 각각 컨택하는 소스 영역 및 드레인 영역과 그 사이의 채널 영역을 포함할 수 있다.
- [0040] 제2 활성층(301)은 제1 활성층(201)과 적어도 일부가 중첩할 수 있다. 제2 활성층(301)의 두께는 제1 활성층(201)의 두께보다 얇다. 제2 활성층(301)의 두께는 제1 활성층(201)의 두께의 80% 이하일 수 있으며, 이때, 제2 박막 트랜지스터(200)의 특성에 따라 제1 활성층(201)의 두께의 하한이 결정될 수 있다.

- [0041] 일 실시예에서, 제2 박막 트랜지스터(300)의 하부에 배치되는 배선 및/또는 전극은 일정한 DC 전압을 인가받는 배선 및/또는 전극일 수 있다. 다른 실시예에서, 제2 박막 트랜지스터(300)의 하부에 배치되는 배선 및/또는 전극은 AC 전압을 인가받는 배선 및/또는 전극일 수 있다. 이 경우, AC 전압을 인가받는 배선 및/또는 전극은 적어도 일정 기간에 일정한 전압이 인가되는 배선 및/또는 전극일 수 있다. 일 실시예에서, AC 전압을 인가받는 배선 및/또는 전극은 제2 박막 트랜지스터(300)의 일 전극과의 커플링에 의해 휘도에 영향을 주는 기간, 예를 들어, 적어도 문턱전압 보상 기간, 데이터 기입 기간 및 발광 기간에는 각각 일정한 전압이 인가되는 배선 및/또는 전극일 수 있다.
- [0042] 제2 박막 트랜지스터(300)의 하부에 배치되는 배선 및/또는 전극은 제2 게이트 전극(302)보다 큰 사이즈 또는 큰 면적을 가질 수 있다. 제2 박막 트랜지스터(300)의 하부에 배치되는 배선 및/또는 전극의 적어도 일 예지는 제2 게이트 전극(302)의 일 예지보다 소정 길이 확장될 수 있다. 예를 들어, 제2 박막 트랜지스터(300)의 하부에 배치되는 배선 및/또는 전극의 예지는 제2 게이트 전극(302)의 예지보다 1.5 μm 이상 확장될 수 있다.
- [0043] 제1 박막 트랜지스터(200)의 제1 게이트 전극(202)이 제2 박막 트랜지스터(300)의 하부에 배치되는 전극의 예일 수 있다. 도 1a는 제1 박막 트랜지스터(200)의 제1 게이트 전극(202)과 제2 박막 트랜지스터(300)의 제2 게이트 전극(302)의 위치 및 크기 관계를 나타낸 평면도이다. 도 1a를 함께 참조하면, 제1 게이트 전극(202)의 일 예지는 제2 게이트 전극(302)의 일 예지보다 소정 길이(L)만큼 확장될 수 있다. 도 1 및 도 1a에서는 제1 게이트 전극(202)의 양 단 예지가 확장되고 있으나, 본 발명의 실시예는 이에 한정되지 않고, 제1 게이트 전극(202)의 적어도 일 예지가 제2 게이트 전극(302)의 예지로부터 확장될 수 있다. 제1 게이트 전극(202)의 양 단 예지들의 확장 길이(L)는 서로 상이할 수 있다.
- [0044] 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 사이에는 제1 박막 트랜지스터(200)를 덮고, 제3 절연층(104) 및 제4 절연층(105)을 포함하는 평탄화층(PAV)이 배치될 수 있다. 평탄화층(PAV)은 제3 절연층(104)의 일부에 제4 절연층(105)이 삽입되어 두 개의 절연층이 혼합된 구조를 가질 수 있다. 이에 따라 제1 박막 트랜지스터(200)에 의해 제3 절연층(104)이 갖는 요철 형태의 비평탄성이 제거될 수 있다.
- [0045] 제4 절연층(105)은 제3 절연층(104) 일부의 상부에 배치되고, 제3 절연층(104)의 상부면과 제4 절연층(105)의 상부면은 대략 일치하여 전체적으로 평탄한 상부면을 형성할 수 있다.
- [0046] 평탄화층(PAV)의 상부에는 제2 버퍼층(106)이 배치될 수 있다. 제2 박막 트랜지스터(300)는 제2 버퍼층(106) 상부에 배치될 수 있다.
- [0047] 도 2는 본 발명의 다른 실시예에 따른 반도체 장치를 도시한 단면도이다. 도 2a는 도 2에 도시된 반도체 장치의 일부를 나타낸 평면도이다.
- [0048] 도 2에 도시된 반도체 장치(10b)는 도 1에 도시된 반도체 장치(10a)에 도전층(400)이 추가된 점에서 차이가 있다. 이하에서는 도 1과 관련하여 설명한 내용과 중복하는 내용의 설명은 생략한다.
- [0049] 도 2의 실시예에서, 도전층(400)은 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 사이에 배치될 수 있다. 도전층(400)은 제1 박막 트랜지스터(200)의 제1 게이트 전극(202)과 제2 박막 트랜지스터(300)의 제2 게이트 전극(302)과 적어도 일부 중첩하도록 배치될 수 있다.
- [0050] 도전층(400)은 제2 박막 트랜지스터(300)의 하부에 배치되는 전극의 예일 수 있다. 이 경우, 도전층(400)은 제2 게이트 전극(302)보다 큰 사이즈 또는 큰 면적을 가질 수 있다. 도전층(400)의 적어도 일 예지는 제2 게이트 전극(302)의 일 예지보다 소정 길이 확장될 수 있다. 예를 들어, 도전층(400)의 예지는 제2 게이트 전극(302)의 예지보다 1.5 μm 이상 확장될 수 있다.
- [0051] 도 2a는 도전층(400)과 제2 박막 트랜지스터(300)의 제2 게이트 전극(302)의 위치 및 크기 관계를 나타낸 평면도이다. 도 2a를 함께 참조하면, 도전층(400)의 일 예지는 제2 게이트 전극(302)의 일 예지보다 소정 길이(L)만큼 확장될 수 있다. 도 2 및 도 2a에서는 도전층(400)의 양 단 예지가 확장되고 있으나, 본 발명의 실시예는 이에 한정되지 않고, 도전층(400)의 적어도 일 예지가 제2 게이트 전극(302)의 예지로부터 확장될 수 있다. 도전층(400)의 양 단 예지들의 확장 길이(L)는 서로 상이할 수 있다.
- [0052] 표 1은 도전층(400)이 구비되지 않는 경우, 제1 게이트 전극(202)의 전압(VGAT1)이 변함에 따른 제2 박막 트랜지스터(300)의 문턱 전압(Vth_sat)의 변화량의 실험 결과를 나타낸다.

표 1

VGAT1	-5	0	5	10	15	20	25	30
Vth_sat	-1.874	-2.353	-2.753	-3.143	-3.539	-3.942	-4.359	-4.775

[0053]

표 1에서 보여지듯이, 제1 게이트 전극(202)의 전압 변화가 커짐에 따라 제2 박막 트랜지스터(300)의 문턱 전압(Vth_sat)의 변화량이 커짐을 확인할 수 있다.

[0055]

한편, 실험에 의해 제2 게이트 전극(302)의 전압이 변하더라도 제1 박막 트랜지스터(200)의 전류 특성 변화는 미비함을 확인하였다. 이는 제1 게이트 전극(202)의 차폐 효과에 의해 제2 게이트 전극(302)의 전압 변화가 제1 박막 트랜지스터(200)의 채널에 영향을 주지 않기 때문이다.

[0056]

도 2에 도시된 실시예는 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 사이에 도전층(400)을 구비하여, 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 간의 커플링을 차단함으로써 제2 박막 트랜지스터(300)의 동작을 보다 안정적으로 구동시킬 수 있다.

[0057]

도전층(400)은 일정한 DC 전압을 인가받을 수 있다. DC 전압은 반도체 장치(10b)에 인가되는 DC 전원들 중 하나이거나, 이들과 별개로 추가된 전압일 수 있다. 일 실시예에서, 도전층(400)은 제1 박막 트랜지스터(200)의 제1 게이트 전극(202)을 일 전극으로 하는 커패시터의 타 전극일 수 있다.

[0058]

도 3a 내지 도 3c는 도 2에 도시된 도전층과 제2 게이트 전극의 위치 및 전압 관계를 나타내는 도면이다. 도 3a 내지 도 3c에서는 설명의 편의를 위해 제1 활성층(201), 제1 게이트 전극(202), 도전층(400), 제2 활성층(301), 및 제2 게이트 전극(302)만을 도시하였다.

[0059]

도 3a 내지 도 3c는, 제1 게이트 전극(201)에 5V와 -30V를 스위칭하는 게이트 전압이 인가되고, 도전층(400)에 9V의 전압이 인가되는 예이다. 도 3a 내지 도 3c는, 제2 박막 트랜지스터(300)의 드레인 전압(Vd)이 0.1V와 -5.1V 일 때, 제2 박막 트랜지스터(300)의 드레인 전류와 게이트 전압의 관계를 나타내는 그래프를 함께 도시하고 있다. 도 3a 내지 도 3c는, 도전층(400)과 제2 활성층(301)의 중심이 일치하는 경우이다.

[0060]

도 3a를 참조하면, 제2 게이트 전극(제2 게이트 전극의 중심)(302)의 위치가 도전층(도전층의 중심)(400)으로부터 왼쪽으로 대략 2 μ m 벗어난 경우, 제2 박막 트랜지스터(300)의 포화 영역에서 문턱전압(Vth)의 변화량(Δ Vth)은 대략 0.18V이다.

[0061]

도 3b를 참조하면, 제2 게이트 전극(제2 게이트 전극의 중심)(302)과 도전층(도전층의 중심)(400)의 위치가 일치하는 경우, 제2 박막 트랜지스터(300)의 포화 영역에서 문턱전압(Vth)의 변화량(Δ Vth)은 대략 0.1V이다.

[0062]

도 3c를 참조하면, 제2 게이트 전극(제2 게이트 전극의 중심)(302)의 위치가 도전층(도전층의 중심)(400)으로부터 오른쪽으로 대략 2 μ m 벗어난 경우, 제2 박막 트랜지스터(300)의 포화 영역에서 문턱전압(Vth)의 변화량(Δ Vth)은 대략 0.25V이다.

[0063]

표 2는 도 3a 내지 도 3c의 예에서 도전층(400)의 전압이 -2V, 0V, 9V 일 때 제2 박막 트랜지스터(300)의 포화 영역에서 문턱전압(Vth)의 변화량(Δ Vth)을 나타낸다.

표 2

	2 μ m(좌측)	0 μ m	2 μ m(우측)
-2V	0.2V	0.08V	0.26V
0V	0.2V	0.1V	0.27V
9V	0.18V	0.1V	0.25V

[0064]

표 2를 참조하면, 도전층(400)에 대한 제2 게이트 전극(302)의 위치 이동(shift)이 제2 박막 트랜지스터(300)의 문턱전압(Vth)에 미치는 영향은, 도전층(400)의 전압이 제2 박막 트랜지스터(300)의 문턱전압(Vth)에 미치는 영향보다 큼을 알 수 있다.

[0066]

본 발명의 실시예에서 도전층(400)과 제2 게이트 전극(302)의 정렬 오차(misalign) 범위는 제2 박막 트랜지스터(300)의 문턱전압(Vth)의 변화량(Δ Vth)이 0.44V보다 작아지도록 설정할 수 있다. 정렬 오차는 도전층(400)의 중심과 제2 게이트 전극(302)의 중심 간의 거리일 수 있다. 도전층(400)과 제2 게이트 전극(302)의 정렬 오차

범위는 대략 0 내지 3 μ m일 수 있다.

- [0067] 도 4a 내지 도 8은 본 발명의 일 실시예에 따른 반도체 장치의 제조 공정을 개략적으로 설명하는 도면이다.
- [0068] 도 4a를 참조하면, 기판(100) 상부에 제1 박막 트랜지스터(200)가 형성될 수 있다.
- [0069] 기판(100) 상부에 제1 버퍼층(101)이 배치될 수 있다.
- [0070] 기판(100)은 유리, 금속 또는 플라스틱 등 다양한 소재로 구성될 수 있다. 일 실시예에 따르면, 기판(100)은 플렉서블 소재의 기판을 포함할 수 있다. 여기서, 플렉서블 소재의 기판이란 잘 휘어지고 구부러지며 접거나 말 수 있는 기판을 지칭한다. 이러한 플렉서블 소재의 기판은 초박형 유리, 금속 또는 플라스틱으로 구성될 수 있다.
- [0071] 제1 버퍼층(101)은 기판(100)을 통해 불순 원소가 침투하는 것을 차단하고, 표면을 평탄화하는 기능을 수행하며 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO_x)과 같은 무기물로 단층 또는 복수층으로 형성될 수 있다. 제1 버퍼층(101)은 생략될 수 있다.
- [0072] 제1 버퍼층(101) 상부에 반도체층을 형성한 후, 반도체층을 패터닝하여 제1 박막 트랜지스터(200)의 제1 활성층(201)을 형성할 수 있다. 반도체층은 다양한 물질을 함유할 수 있다. 예를 들면, 반도체층은 비정질 실리콘 또는 결정질 실리콘과 같은 무기 반도체 물질을 함유할 수 있다. 다른 예로서 반도체층은 산화물 반도체를 함유하거나 유기 반도체 물질을 함유할 수 있다.
- [0073] 기판(100) 상부에 제1 활성층(201)을 덮으며 제1 절연층(102)이 형성될 수 있다. 제1 절연층(102)은 무기 절연막일 수 있다. 제1 절연층(102)은 SiO_x, SiN_x, 실리콘산화물(SiON), Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0074] 제1 절연층(102) 상부에 제1 게이트 전극(202)이 형성될 수 있다.
- [0075] 제1 게이트 전극(202)은 다양한 도전성 물질로 형성될 수 있다. 예컨대, 제1 게이트 전극(202)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 제1 게이트 전극(202)은 제1 활성층(201)의 적어도 일부와 중첩될 수 있다.
- [0076] 일 실시예에서, 제1 게이트 전극(202)을 마스크로 하여 B 또는 P 이온 불순물을 제1 활성층(201)에 도핑할 수 있다. 이에 따라 제1 활성층(201)은 이온 불순물이 도핑된 소스 영역 및 드레인 영역과, 그 사이의 채널 영역을 구비할 수 있다.
- [0077] 제1 게이트 전극(202) 상부에 제2 절연층(103)을 형성할 수 있다. 제2 절연층(103)은 무기 절연막일 수 있다. 제2 절연층(103)은 SiO_x, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제2 절연층(103)은 유기 절연막일 수 있다.
- [0078] 제1 절연층(102) 및 제2 절연층(103)이 패터닝되어 제1 활성층(201)의 소스 영역 및 드레인 영역의 일부를 노출하는 컨택홀(CH1)이 형성될 수 있다.
- [0079] 제2 절연층(103) 상부에 제1 소스 전극(203) 및 제1 드레인 전극(204)이 형성될 수 있다. 제1 소스 전극(203) 및 제1 드레인 전극(204)은 다양한 도전성 물질로 형성될 수 있다. 예컨대, 제1 소스 전극(203) 및 제1 드레인 전극(204)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 제1 소스 전극(203) 및 제1 드레인 전극(204)은 제1 게이트 전극(202)과 동일한 물질 또는 상이한 물질로 형성될 수 있다. 제1 소스 전극(203) 및 제1 드레인 전극(204)은 컨택홀(CH)을 통해 제1 활성층(201)의 소스 영역 및 드레인 영역과 각각 컨택할 수 있다.
- [0080] 도 4b를 참조하면, 제2 절연층(103) 상부에 도전층(400)이 더 형성될 수 있다. 도전층(400)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 도전층(400)은, 제1 게이트 전극(202), 제1 소스 전극(203) 및 제1 드레인 전극(204)과 동일한 물질 또는 상이한 물질로 형성될 수 있다. 즉, 도전층(400)은 제1 소스 전극(203) 및 제1 드레인 전극(204)의 형성과 동시에 또는 별개 공정으로 형성될 수 있다.

- [0081] 도 5를 참조하면, 기판(100) 상부에 도전층(400)을 덮으며 제3 절연막(104a) 및 제4 절연막(105a)을 차례로 증착할 수 있다. 제3 절연막(104a)은 하부의 제1 박막 트랜지스터(200) 구조물에 의해 볼록부와 오목부에 의한 단차(ΔH)를 가질 수 있다.
- [0082] 제3 절연막(104a)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0083] 제4 절연막(105a)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0084] 제4 절연막(105a)의 조성물은 제3 절연막(104a)의 조성물과 상이한 것이 바람직하다. 제4 절연막(105a)의 조성물은 적어도 제3 절연막(104a)의 상부막의 조성물과 상이한 것이 바람직하다. 예를 들어, 제3 절연막(104a)은 SiO_x 를 포함하는 절연막이거나, SiO_x 를 포함하는 하부 절연막과 SiN_x 를 포함하는 상부 절연막의 다층막일 수 있다. 제4 절연막(105a)은 SiO_x 를 포함하는 절연막일 수 있다.
- [0085] 도 6을 참조하면, 제3 절연막(104a)의 상부면이 노출되도록 제4 절연막(105a)을 제거하여 제3 절연층(104) 및 제4 절연층(105)을 포함하는 평탄화층(PAV)을 형성할 수 있다. 제4 절연막(105a)을 제거하는 동안 제3 절연막(104a)의 일부가 함께 제거될 수 있다.
- [0086] 제4 절연막(105a)은 다양한 식각 공정에 의해 제거될 수 있다. 예를 들어, 식각 공정은 건식 식각 또는 화학적 기계 연마(Chemical Mechanical Polishing: CMP) 등의 연마법을 포함할 수 있다. 여기서 CMP는 피가공물의 표면을 화학적 및 기계적 작용에 의해 평탄화하는 기법이다. CMP는 연마패드(Pad)의 표면 위에 피가공물을 접촉하도록 한 상태에서 슬러리를 공급하여 피가공물 표면을 화학적으로 반응시키면서 플레튼(platen)과 연마헤드(Polishing Head)를 상대운동시켜 기계적으로 피가공물 표면을 평탄화하는 기법이다.
- [0087] 도 6에 따른 식각 공정에 의해, 하부의 제1 박막 트랜지스터(200) 및 도전층(400)에 의해 볼록부 및 오목부를 포함하는 제3 절연막(104a)의 오목부가 제4 절연막(105a)에 의해 채워질 수 있다.
- [0088] 제3 절연층(104)의 상부면은 제4 절연층(105)의 상부면과 일치하여 전체적으로 평탄면을 형성할 수 있다. 이로써 이후 형성되는 상부 막들에 대한 하부 배선 패턴의 영향을 줄여 상부 막의 피복성을 향상시킬 수 있다. 식각 공정 후, 제3 절연층(104)의 단차($\Delta H'$)는 도 5의 공정에서의 제3 절연막(104a)의 단차(ΔH) 이하일 수 있다.
- [0089] 도 7을 참조하면, 제3 절연층(104) 및 제4 절연층(105)의 상부 평탄면 상에 제2 버퍼층(106)을 형성할 수 있다.
- [0090] 제2 버퍼층(106)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다. 예를 들어, 제2 버퍼층(106)은 SiO_x , 보다 구체적으로, SiO_2 를 포함하는 절연막일 수 있다. 또는 제2 버퍼층(106)은 SiO_2 를 포함하는 하부 절연막 및 SiON 을 포함하는 상부 절연막의 다층 절연막일 수 있다.
- [0091] 다음으로, 제2 버퍼층(106) 및 평탄화층(PAV)의 열처리를 수행할 수 있다. 열처리는 탈수소 처리를 포함할 수 있다.
- [0092] 제2 버퍼층(106)은 하부 절연층들로부터 발생하는 수소(H_2)가 상부 막으로 확산되는 것을 막는 배리어(barrier) 기능을 수행할 수 있다.
- [0093] 도 8을 참조하면, 제2 버퍼층(106) 상부에 제2 박막 트랜지스터(300)를 형성할 수 있다.
- [0094] 제2 버퍼층(106) 상부에 반도체층을 형성한 후, 반도체층을 패터닝하여 제2 박막 트랜지스터(300)의 제2 활성층(301)을 형성할 수 있다. 반도체층은 다양한 물질을 함유할 수 있다. 예를 들면, 반도체층은 비정질 실리콘 또는 결정질 실리콘과 같은 무기 반도체 물질을 함유할 수 있다. 다른 예로서 반도체층은 산화물 반도체를 함유하거나 유기 반도체 물질을 함유할 수 있다. 반도체층은 ELA(Excimer Laser Annealing)에 의해 결정화될 수 있다.
- [0095] 제2 활성층(301)의 두께는 제1 활성층(201)의 두께의 80% 이하일 수 있다. ELA에 의한 반도체층의 결정화 시에 레이저 에너지가 높으면 하부 막들이 손상될 수 있다. 따라서, 본 발명의 실시예에서 제2 활성층(301)의 두께를 얇게 하여 하부 막에 영향을 주지 않는 레이저 에너지 영역대에서 ELA 결정화를 수행하도록 한다. 제2 활성층(301)의 두께의 하한은 소자의 특성을 고려하여 결정할 수 있다.

- [0096] 기판(100) 상부에 제2 활성층(301)을 덮으며 제5 절연층(107)이 형성될 수 있다. 제5 절연층(107)은 무기 절연막일 수 있다. 제5 절연층(107)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0097] 제5 절연층(107) 상부에 제2 게이트 전극(302)이 형성될 수 있다.
- [0098] 제2 게이트 전극(302)은 다양한 도전성 물질로 형성될 수 있다. 예컨대, 제2 게이트 전극(302)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 제2 게이트 전극(302)은 제2 활성층(301)의 적어도 일부와 중첩될 수 있다.
- [0099] 일 실시예에서, 제2 게이트 전극(302)을 마스크로 하여 B 또는 P 이온 불순물을 제2 활성층(301)에 도핑할 수 있다. 이에 따라 제2 활성층(301)은 이온 불순물이 도핑된 소스 영역 및 드레인 영역과, 그 사이의 채널 영역을 구비할 수 있다.
- [0100] 제2 게이트 전극(302) 상부에 제6 절연층(108)을 형성할 수 있다. 제6 절연층(108)은 무기 절연막일 수 있다. 제6 절연층(108)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제6 절연층(108)은 유기 절연막일 수 있다.
- [0101] 제5 절연층(107) 및 제6 절연층(108)이 패터닝되어 제2 활성층(301)의 소스 영역 및 드레인 영역의 일부를 노출하는 컨택홀(CH2)이 형성될 수 있다.
- [0102] 제6 절연층(108) 상부에 제2 소스 전극(303) 및 제2 드레인 전극(304)이 형성될 수 있다. 제2 소스 전극(303) 및 제2 드레인 전극(304)은 다양한 도전성 물질로 형성될 수 있다. 예컨대, 제2 소스 전극(303) 및 제2 드레인 전극(304)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 제2 소스 전극(303) 및 제2 드레인 전극(304)은 제2 게이트 전극(302)과 동일한 물질 또는 상이한 물질로 형성될 수 있다. 제2 소스 전극(303) 및 제2 드레인 전극(304)은 컨택홀(CH)을 통해 제2 활성층(301)의 소스 영역 및 드레인 영역과 각각 컨택할 수 있다.
- [0103] 다음으로, 기판(100) 상부에 제2 소스 전극(303) 및 제2 드레인 전극(304)을 덮으며 제7 절연층(109, 도 1 및 도 2 참조)을 형성할 수 있다. 제7 절연층(109)은 SiO_x , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 무기 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제7 절연층(109)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등 가운데 선택된 하나 이상의 유기 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0104] 도 9는 본 발명의 일 실시예 따른 표시장치를 개략적으로 나타낸 사시도이고, 도 10은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 평면도이다.
- [0105] 도 9 및 도 10을 참조하면, 본 발명의 일 실시예에 따른 표시장치(1)는 제3 방향으로 차례로 적층된 기판(100), 기판(100) 상의 표시부(130) 및 표시부(130)를 덮는 봉지부재(150)를 포함한다.
- [0106] 표시장치(1)는 액정 표시장치(Liquid crystal display), 유기발광표시장치 (organic light emitting display), 전기영동 표시장치(electrophoretic display), 또는 일렉트로워팅 표시장치(electrowetting display panel) 등 일 수 있다. 이하에서는 유기발광표시장치를 예로서 설명한다.
- [0107] 기판(100)은 표시영역(DA)과 표시영역(DA) 외측의 주변영역(PA)을 포함한다.
- [0108] 표시영역(DA)에는 복수의 화소(PX)들이 제1 방향 및 제2 방향으로 배치되는 표시부(130)가 형성될 수 있다. 화소(PX)는 표시소자 및 표시소자에 전기적으로 연결된 화소회로를 포함할 수 있다. 화소회로는 적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다.
- [0109] 봉지부재(150)는 디스플레이부(130) 상에 적층된 하나 이상의 박막을 포함할 수 있다. 일 실시예에서, 봉지부재(150)는 복수의 박막을 포함하여 외부로부터의 수분 및/또는 공기가 표시부(130)로 침투하는 것을 방지할 수 있다.
- [0110] 도 11은 본 발명의 일 실시예에 따른 제1 화소(PX1)의 회로도이다.

- [0111] 도 11을 참조하면, 일 실시예에 따른 표시장치(1)의 제1 화소(PX1)는 화소회로 및 화소회로에 연결된 표시소자(ED)를 포함할 수 있다. 화소회로는 제1 트랜지스터(T11), 제2 트랜지스터(T12) 및 커패시터(C11)를 포함할 수 있다.
- [0112] 제1 트랜지스터(T11)는 제2 트랜지스터(T12)의 제2 전극에 연결된 게이트 전극, 제1 전원전압(ELVDD)을 입력받는 제1 전극, 및 표시소자(ED)에 연결된 제2 전극을 포함한다.
- [0113] 제2 트랜지스터(T12)는 주사선(SL)에 연결된 게이트 전극, 데이터선(DL)에 연결된 제1 전극, 및 제1 트랜지스터(T11)의 게이트 전극에 연결된 제2 전극을 포함한다.
- [0114] 커패시터(C11)는 제1 트랜지스터(T11)의 게이트 전극 및 제2 트랜지스터(T12)의 제2 전극에 연결된 제1 전극, 및 제1 전원전압(ELVDD)을 입력받는 제2 전극을 포함한다.
- [0115] 표시소자(ED)는 제1 트랜지스터(T11)를 통해 화소회로에 연결될 수 있다. 표시소자(ED)는 유기발광소자(OLED)일 수 있다. 유기발광소자(OLED)는 제1 트랜지스터(T11)의 제2 전극에 연결된 제1 전극, 제2 전원전압(ELVSS)을 입력받는 제2 전극, 및 제1 전극과 제2 전극 사이의 발광층을 포함한다.
- [0116] 제1 전원전압(ELVDD)은 제2 전원전압(ELVSS)보다 높은 전압일 수 있다.
- [0117] 도 11에서는, P형 트랜지스터로 구현된 화소를 도시하였으나, 본 발명의 실시예의 화소는 N형 트랜지스터로 구현될 수 있음은 물론이다.
- [0118] 도 12는 도 11에 도시된 화소의 일부 단면도이다.
- [0119] 도 12의 실시예에서, 트랜지스터의 제1 전극 및 제2 전극은 각각 박막 트랜지스터의 소스 전극 및 드레인 전극으로 혼용하여 설명한다.
- [0120] 도 12를 참조하면, 제1 화소(PX1)는 전술된 반도체 장치(10a, 10b)의 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)를 이용할 수 있다. 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)의 제조 공정은 전술된 반도체 장치의 제조 공정과 동일하다.
- [0121] 제1 트랜지스터(T11)는 전술한 제1 박막 트랜지스터(200)로 구현될 수 있다. 제1 박막 트랜지스터(200)는 제1 활성층(201), 제1 게이트 전극(202), 제1 소스 전극(203) 및 제1 드레인 전극(204)을 포함할 수 있다. 제1 소스 전극(203) 및 제1 드레인 전극(204)은 각각 컨택홀(CH1)을 통해 제1 활성층(201)의 소스 영역 및 드레인 영역과 전기적으로 연결될 수 있다.
- [0122] 제2 트랜지스터(T12)는 전술한 제2 박막 트랜지스터(300)로 구현될 수 있다. 제2 박막 트랜지스터(300)는 제2 활성층(301), 제2 게이트 전극(302), 제2 소스 전극(303) 및 제2 드레인 전극(304)을 포함할 수 있다.
- [0123] 커패시터(C11)는 제1 게이트 전극(202)을 제1 전극으로 하고, 도전층(400)을 제2 전극으로 하여 구현될 수 있다.
- [0124] 도전층(400)에는 일정한 전압, 즉 제1 전원전압(ELVDD)이 인가될 수 있다.
- [0125] 제2 박막 트랜지스터(200)의 제2 활성층(301) 및 제2 게이트 전극(302)은 도전층(400)과 적어도 일부 중첩하도록 배치될 수 있다. 또한 도전층(400)은 제2 박막 트랜지스터(200)의 백 채널(back channel)에 영향을 주지 않도록 제2 게이트 전극(302)보다 크게 형성될 수 있다. 도전층(400)의 에지는 제2 게이트 전극(302)의 에지로부터 대략 1.5 μm 이상 확장될 수 있다. 따라서, 도전층(400)이 차폐층으로 기능하여, 제2 박막 트랜지스터(200)에 대한 제1 게이트 전극(202) 등의 하부 배선 및/또는 전극의 전위에 의한 영향을 최소화할 수 있다.
- [0126] 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 사이에는 제3 절연층(104)과 제4 절연층(105)을 포함하는 평탄화층(PAV)이 배치될 수 있다. 평탄화층(PAV) 상부에는 버퍼층(106)이 배치될 수 있다.
- [0127] 기판(100) 상부에 제2 박막 트랜지스터(300)를 덮으며 제7 절연층(109)이 배치될 수 있다.
- [0128] 제3 내지 제7 절연층(104 내지 109)에는 제1 박막 트랜지스터(200)의 제1 소스 전극(203) 및 제1 드레인 전극(204) 중의 하나(도 12에서는 제1 드레인 전극(204))의 일부를 노출하는 컨택홀(CH3)이 구비될 수 있다.
- [0129] 제7 절연층(109) 상부에 컨택홀(CH3)을 채우며 연결 전극(500)이 배치될 수 있다. 연결 전극(500)은 제1 드레인 전극(204)과 컨택할 수 있다. 연결 전극(500)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅

스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.

- [0130] 제7 절연층(109) 상부에 연결 전극(500)을 덮으며 제8 절연층(110)이 배치될 수 있다. 제8 절연층(110)은 유기 물질로 구성된 단층 또는 복수층일 수 있다. 제8 절연층(110)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 예를 들어, 제8 절연층(110)은 폴리이미드, 폴리아마이드, 아크릴 수지 등을 포함할 수 있다. 제8 절연층(110)은 상부면이 평탄한 평탄화층으로 기능할 수 있다.
- [0131] 제8 절연층(110)에는 연결 전극(500)의 일부를 노출하는 비아홀(VIA)이 구비될 수 있다.
- [0132] 제8 절연층(110) 상부에 표시소자(600)가 배치될 수 있다. 표시소자(600)는 제1 전극(601), 제1 전극(601)에 대향하는 제2 전극(603), 및 제1 전극(601)과 제2 전극(603) 사이의 중간층(602)을 포함할 수 있다.
- [0133] 제1 전극(601)은 비아홀(VIA)을 채우며 연결 전극(500)과 컨택할 수 있다. 이에 따라 제1 전극(601)은 제1 박막 트랜지스터(200)와 전기적으로 연결될 수 있다.
- [0134] 제8 절연층(110) 상부에 제1 전극(601)의 가장자리를 덮으며 제9 절연층(111)이 배치될 수 있다. 제9 절연층(111)은 SiO_x , SiN_x , $SiON$, Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 가운데 선택된 하나 이상의 무기 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제7 절연층(109)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등 가운데 선택된 하나 이상의 유기 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0135] 제1 전극(601)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr) 및 이들의 화합물 등의 반사 도전 물질을 포함하는 반사막일 수 있다. 일 실시예에서 제1 전극(601)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In_2O_3 ; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 어느 하나 이상의 투명 도전성 산화물을 포함하는 투명 도전막일 수 있다. 일 실시예에서 제1 전극(601)은 상기 반사막과 상기 투명 도전막의 적층 구조일 수 있다.
- [0136] 제1 전극(601)의 상부에는 발광층을 포함하는 중간층(602)이 형성될 수 있다. 발광층은 저분자 유기물 또는 고분자 유기물로 구성될 수 있다. 발광층의 종류에 따라 표시소자(ED)는 적색, 녹색 및 청색의 광을 각각 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 복수의 유기 발광층이 하나의 표시소자(ED)에 배치될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층이 수직으로 적층되거나 혼합 형성되어 백색광을 방출할 수 있다. 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러 필터가 더 구비될 수 있다. 상기 적색, 녹색, 및 청색은 예시적인 것으로, 백색광을 방출하기 위한 색의 조합은 이에 한정되지 않는다.
- [0137] 중간층(602)은 제1 전극(601)과 발광층 사이 및/또는 발광층과 제2 전극(603) 사이에 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer) 중 적어도 하나의 기능층을 포함할 수 있다. 일 실시예에 따르면, 중간층(602)은 상술한 층들 외에 기타 다양한 기능층을 더 포함할 수 있다.
- [0138] 도 12에서는 중간층(602)이 제1 전극(601)에만 대응되도록 패터닝된 것으로 도시되어 있으나 이는 편의상 그와 같이 도시한 것이며, 중간층(602)은 인접한 화소의 중간층(602)과 일체로 형성될 수도 있음은 물론이다. 또한 중간층(602) 중 일부의 층은 화소별로 형성되고, 다른 층은 인접한 화소의 중간층(602)과 일체로 형성될 수도 있는 등 다양한 변형이 가능하다.
- [0139] 중간층(602) 상부에 제2 전극(603)이 기관(100)의 표시 영역(DA)의 전면에 형성될 수 있다. 제2 전극(603)은 다양한 도전성 재료로 구성될 수 있다. 예를 들어, 제2 전극(603)은 리튬(Li), 칼슘(Ca), 불화리튬(LiF), 알루미늄(Al), 마그네슘(Mg) 및 은(Ag)을 포함하는 그룹에서 선택된 적어도 어느 하나를 포함하는 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있으며, 단층 또는 복수층으로 형성될 수 있다.
- [0140] 도 12에서는 표시소자(600)가 하부의 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)와 중첩하도록 배

치되어 있으나, 다른 실시예에서 표시소자(600)는 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)와 비 중첩하거나, 적어도 일부 중첩하도록 배치될 수 있다.

- [0141] 도 13은 본 발명의 다른 실시예에 따른 제2 화소(PX2)의 회로도이다.
- [0142] 도 13을 참조하면, 일 실시예에 따른 표시장치(1)의 제2 화소(PX2)는 화소회로 및 화소회로에 연결된 표시소자(ED)를 포함할 수 있다. 화소회로는 제1 트랜지스터(T21), 제2 트랜지스터(T22), 제3 트랜지스터(T23) 및 제1 커패시터(C21), 제2 커패시터(C22)를 포함할 수 있다.
- [0143] 제1 트랜지스터(T21)는 제2 트랜지스터(T22)의 제1 전극에 연결된 게이트 전극, 제1 전원전압(ELVDD)을 입력받는 제1 전극, 및 표시소자(ED)에 연결된 제2 전극을 포함한다.
- [0144] 제2 트랜지스터(T22)는 주사선(SL)에 연결된 게이트 전극, 제1 트랜지스터(T21)의 게이트 전극에 연결된 제1 전극, 및 제1 트랜지스터(T21)의 제2 전극에 연결된 제2 전극을 포함한다.
- [0145] 제3 트랜지스터(T23)는 제어선(CL)에 연결된 게이트 전극, 초기화 전압(VINT)을 입력받는 제1 전극, 및 제1 트랜지스터(T21)의 제2 전극 및 제2 트랜지스터(T22)의 제2 전극에 연결된 제2 전극을 포함한다.
- [0146] 제1 커패시터(C21)는 데이터선(DL)에 연결된 제1 전극과, 제1 트랜지스터(T21)의 제2 전극에 연결된 제2 전극을 포함한다. 제1 커패시터(C21)는 데이터선(DL)에 인가된 데이터 전압을 저장할 수 있다.
- [0147] 제2 커패시터(C22)는 초기화 전압(VINT)을 입력받는 제1 전극, 및 제1 트랜지스터(T21)의 게이트 전극에 연결된 제2 전극을 포함한다.
- [0148] 표시소자(ED)는 제1 트랜지스터(T21)를 통해 화소회로에 연결될 수 있다. 표시소자(ED)는 유기발광소자(OLED)일 수 있다. 유기발광소자(OLED)는 제1 트랜지스터(T21)의 제2 전극에 연결된 제1 전극, 제2 전원전압(ELVSS)을 입력받는 제2 전극, 및 제1 전극과 제2 전극 사이의 발광층을 포함한다.
- [0149] 제1 전원전압(ELVDD)은 제2 전원전압(ELVSS)보다 높은 전압일 수 있다.
- [0150] 제2 화소(PX2)는 표시소자(ED)의 제1 전극을 초기화하는 제1 구간, 제1 트랜지스터(T21)의 문턱 전압을 보상하는 제2 구간, 데이터 전압을 기입하는 제3 구간 및 표시소자(ED)가 발광하는 제4 구간으로 동작할 수 있다.
- [0151] 제1 구간에, 제2 트랜지스터(T22) 및 제3 트랜지스터(T23)가 턴온되어 표시소자(ED)의 제1 전극이 초기화 전압(VINT)으로 초기화될 수 있다.
- [0152] 제2 구간에, 제2 트랜지스터(T22)가 턴온되어 제1 트랜지스터(T21)가 다이오드 연결됨으로써 제1 트랜지스터(T21)의 문턱 전압이 보상될 수 있다.
- [0153] 제3 구간에, 제2 트랜지스터(T22)가 턴온되고, 제1 트랜지스터(T21) 및 제3 트랜지스터(T23)는 턴오프되어 제1 커패시터(C21)와 제2 커패시터(C22)가 노드(N)에서 직렬 연결될 수 있다. 그리고, 데이터선(DL)으로 데이터 전압이 인가될 수 있다. 이에 따라 데이터 전압은 제1 커패시터(C21)와 제2 커패시터(C22)에 분배되어 노드(N)에 분배 전압이 인가될 수 있다.
- [0154] 제4 구간에, 초기화전압(VINT)이 노드(N)에 인가됨에 따라 제1 트랜지스터(T21)가 턴온되고, 제1 트랜지스터(T21)의 게이트 전극(노드 N)에 인가된 전압에 대응하는 구동 전류가 표시소자(ED)에 흐름에 따라 표시소자(ED)가 발광할 수 있다.
- [0155] 도 14 및 도 15는 도 13에 도시된 화소의 일부 단면도이다.
- [0156] 도 14 및 도 15의 실시예에서, 트랜지스터의 제1 전극 및 제2 전극은 각각 박막 트랜지스터의 소스 전극 및 드레인 전극으로 혼용하여 설명한다.
- [0157] 도 14를 참조하면, 제2 화소(PX2b)는 전술된 반도체 장치(10a, 10b)의 제1 박막 트랜지스터(200) 및 제2 박막 트랜지스터(300)를 이용할 수 있다.
- [0158] 제1 트랜지스터(T21)는 전술한 제1 박막 트랜지스터(200)로 구현될 수 있다. 제1 박막 트랜지스터(200)는 제1 활성층(201), 제1 게이트 전극(202), 제1 소스 전극(203) 및 제1 드레인 전극(204)을 포함할 수 있다. 제1 소스 전극(203) 및 제1 드레인 전극(204)은 각각 컨택홀(CH1)을 통해 제1 활성층(201)의 소스 영역 및 드레인 영역과 전기적으로 연결될 수 있다.
- [0159] 제2 트랜지스터(T22)는 전술한 제2 박막 트랜지스터(300)로 구현될 수 있다. 제2 박막 트랜지스터(300)는 제2

활성층(301), 제2 게이트 전극(302), 제2 소스 전극(303) 및 제2 드레인 전극(304)을 포함할 수 있다. 제2 소스 전극(303) 및 제2 드레인 전극(304)은 각각 제2 활성층(301)의 소스 영역 및 드레인 영역에 해당한다.

- [0160] 제2 박막 트랜지스터(300)의 제2 소스 전극(303)은 연결 전극들(501, 502)을 통해 제1 박막 트랜지스터(200)의 제1 게이트 전극(202)과 전기적으로 연결될 수 있다. 연결 전극(501)은 제2 절연층(103) 상부에 형성되고, 제2 절연층(103)에 형성된 콘택홀(CH4)을 통해 노출된 제1 게이트 전극(202)의 일부와 콘택할 수 있다. 연결 전극(502)은 제6 절연층(108) 상부에 형성되고, 제3 절연층(104) 내지 제6 절연층(108)에 형성된 콘택홀(CH5)을 통해 노출된 연결 전극(501)의 일부 및 제2 소스 전극(303)의 일부와 콘택할 수 있다.
- [0161] 제1 박막 트랜지스터(200)와 제2 박막 트랜지스터(300) 사이에는 제3 절연층(104)과 제4 절연층(105)을 포함하는 평탄화층(PAV)이 배치될 수 있다. 평탄화층(PAV) 상부에는 버퍼층(106)이 배치될 수 있다.
- [0162] 제3 트랜지스터(T23)는 제3 박막 트랜지스터(700)로 구현될 수 있다. 제3 박막 트랜지스터(700)는 제3 활성층(701), 제3 게이트 전극(702), 제3 소스 전극(703) 및 제3 드레인 전극(704)을 포함할 수 있다. 제3 활성층(701)은 제1 활성층(201)으로부터 연장될 수 있다. 제3 소스 전극(703) 및 제3 드레인 전극(704)은 각각 콘택홀(CH1)을 통해 노출된 제3 활성층(701)의 소스 영역 및 드레인 영역과 전기적으로 연결될 수 있다. 제3 박막 트랜지스터(700)의 제3 드레인 전극(704)은 제1 박막 트랜지스터(200)의 제1 드레인 전극(204)일 수 있다.
- [0163] 제1 커패시터(C21)는 제1 전극(801) 및 제2 전극(802)을 포함하는 커패시터(800)로 구현될 수 있다. 제1 전극(801)은 제7-2 절연층(109b) 상부에 형성되고, 제2 전극(802)은 제7-3 절연층(109c) 상부에 형성될 수 있다.
- [0164] 제1 전극(801) 및 제2 전극(802)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 예를 들어, 제1 전극(801) 및 제2 전극(802)은 Ti/Al/Ti의 삼층 구조를 가질 수 있다.
- [0165] 제2 커패시터(C22)는 제1 게이트 전극(202)을 제1 전극으로 하고, 도전층(400)을 제2 전극으로 하여 구현될 수 있다.
- [0166] 제1 박막 트랜지스터(200)의 제1 소스 전극(203)은 제1 전원전압(ELVDD)을 인가하는 제1 전원선(901)과 전기적으로 연결될 수 있다. 제1 전원선(901)은 제7-1 절연층(109a) 상부에 형성되고, 제3 내지 제7-1 절연층(104 내지 109a)에 형성된 콘택홀(CH6)을 통해 노출된 제1 소스 전극(203)의 일부와 콘택할 수 있다.
- [0167] 제1 박막 트랜지스터(200)의 제1 드레인 전극(204) 및 제3 박막 트랜지스터(700)의 제3 드레인 전극(704)은 제3 내지 제7-3 절연층(104 내지 109c)에 형성된 콘택홀(CH7)을 통해 제1 커패시터(C21)의 제2 전극(802)과 전기적으로 연결될 수 있다.
- [0168] 제2 박막 트랜지스터(300)의 제2 드레인 전극(304)은 제5 내지 제7-3 절연층(107 내지 109c)에 형성된 콘택홀(CH8)을 통해 제1 커패시터(C21)의 제2 전극(802)과 전기적으로 연결될 수 있다.
- [0169] 제3 박막 트랜지스터(700)의 제3 게이트 전극(702)은 연결 전극(503)을 이용하여 제어선(902)에 전기적으로 연결될 수 있다. 연결 전극(503)은 제2 절연층(103) 상부에 형성되고, 제2 절연층(103)에 형성된 콘택홀(CH9)을 통해 노출된 제3 게이트 전극(702)의 일부와 콘택할 수 있다. 제어선(902)은 제6 절연층(108) 상부에 형성되고, 제3 내지 제6 절연층(104 내지 108)에 형성된 콘택홀(CH10)을 통해 노출된 연결 전극(503)의 일부와 콘택할 수 있다.
- [0170] 제3 박막 트랜지스터(700)의 제3 소스 전극(703)은 연결 전극(504)을 이용하여 초기화 전압(VINT)을 인가하는 제2 전원선(903)에 전기적으로 연결될 수 있다. 연결 전극(504)은 제6 절연층(108) 상부에 형성되고, 제3 내지 제6 절연층(104 내지 108)에 형성된 콘택홀(CH11)을 통해 노출된 제3 소스 전극(703)의 일부와 콘택할 수 있다. 제2 전원선(903)은 제7-1 절연층(109a) 상부에 형성되고, 제7-1 절연층(109a)에 형성된 콘택홀(CH12)을 통해 노출된 연결 전극(504)의 일부와 콘택할 수 있다.
- [0171] 제7-3 절연층(109c) 상부에 제1 커패시터(800)를 덮으며 제8 절연층(110)이 배치될 수 있다. 제8 절연층(110)에는 제1 커패시터(C21)의 제2 전극(802)의 일부를 노출하는 비아홀(VIA)이 구비될 수 있다.
- [0172] 제8 절연층(110) 상부에 표시소자(600)가 배치될 수 있다. 표시소자(600)는 제1 전극(601), 제1 전극(601)에 대향하는 제2 전극(603), 및 제1 전극(601)과 제2 전극(603) 사이의 중간층(602)을 포함할 수 있다.
- [0173] 제7-1 절연층(109a), 제7-2 절연층(109b), 제7-3 절연층(109c)은 SiO_x, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂,

ZrO₂, BST, PZT 가운데 선택된 하나 이상의 무기 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제7-1 절연층(109a), 제7-2 절연층(109b), 제7-3 절연층(109c)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등 가운데 선택된 하나 이상의 유기 절연막이 단층 또는 복수층으로 형성될 수 있다.

- [0174] 연결 전극(501 내지 504), 제1 전원선(901), 제어선(902), 및 제2 전원선(903)은 각각, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0175] 도 15에 도시된 제2 화소(PX2b)는 제2 박막 트랜지스터(300)와 표시소자(600) 사이의 절연층에 평탄화층이 형성된 점에서, 도 14에 도시된 제2 화소(PX2a)와 차이가 있다. 이하에서는 도 14에 도시된 제2 화소(PX2a)와 상이한 구성을 중심으로 설명하겠다.
- [0176] 도 15를 참조하면, 제7-1 절연층(109a) 상부에 제1 절연막과 제1 절연막 상부에 제2 절연막을 차례로 적층한 후, 제1 절연막의 상부면이 노출되도록 제2 절연막을 제거하여 제7-21 절연층(109b1)과 제7-22 절연층(109b2)을 포함하는 평탄화층을 형성할 수 있다. 제2 절연막을 제거하는 동안 제1 절연막의 일부가 함께 제거될 수 있다.
- [0177] 제2 절연막은 다양한 식각 공정에 의해 제거될 수 있다. 예를 들어, 식각 공정은 건식 식각 또는 화학적 기계 연마(Chemical Mechanical Polishing: CMP) 등의 연마법을 포함할 수 있다.
- [0178] 제7-22 절연층(109b2)은 제7-21 절연층(10b1) 상부에 배치되고, 제7-21 절연층(10b1)의 상부면과 제7-22 절연층(109b2)의 상부면은 대략 일치하여 전체적으로 평탄한 상부면을 형성할 수 있다.
- [0179] 제7-21 절연층(10b1) 및 제7-22 절연층(109b2)의 상부에는 제3 버퍼층(109b3)이 배치될 수 있다. 제1 커패시터(800)는 제3 버퍼층(109b3) 상부에 배치될 수 있다.
- [0180] 화소를 구성하는 복수의 배선들이 복수의 층들에 배치됨에 따라 절연층들의 단차가 커질 수 있다. 도 15에 도시된 실시예와 같이, 복수의 절연층들의 중간에 평탄화층을 구비함으로써 하부 배선 및/또는 전극들에 의한 절연층의 과도한 단차를 줄일 수 있어, 상부에 배치될 막 및/또는 배선의 피복성을 향상시킬 수 있다.
- [0181] 제7-21 절연층(109b1)과 제7-22 절연층(109b2)은 SiO_x, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 가운데 선택된 하나 이상의 무기 절연막이 단층 또는 복수층으로 형성될 수 있다. 다른 실시예에서, 제7-21 절연층(109b1)과 제7-22 절연층(109b2)은 일반 범용고분자(PMMA, PS), phenol 그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등 가운데 선택된 하나 이상의 유기 절연막이 단층 또는 복수층으로 형성될 수 있다.
- [0182] 제7-22 절연층(109b2)의 조성물은 제7-21 절연층(109b1)의 조성물과 상이한 것이 바람직하다. 제7-22 절연층(109b2)의 조성물은 적어도 제7-21 절연층(109b1)의 상부막의 조성물과 상이한 것이 바람직하다. 예를 들어, 제7-21 절연층(109b1)은 SiO_x를 포함하는 절연막이거나, SiO_x를 포함하는 하부 절연막과 SiN_x를 포함하는 상부 절연막의 다층막일 수 있다. 제7-22 절연층(109b2)은 SiO_x를 포함하는 절연막일 수 있다.
- [0183] 제3 버퍼층(109b3)은 SiO_x, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 가운데 선택된 하나 이상의 절연막이 단층 또는 복수층으로 형성될 수 있다. 예를 들어, 제3 버퍼층(109b3)은 SiN_x를 포함하는 절연막일 수 있다.
- [0184] 선택적으로, 제3 버퍼층(109b3) 및 제7-21 절연층(109b1)과 제7-22 절연층(109b2)의 평탄화층의 열처리가 수행될 수 있다. 열처리는 탈수소 처리를 포함할 수 있다.
- [0185] 도 15의 실시예에서 두 번의 평탄화층이 형성되고 있으나, 본 발명의 실시예는 화소를 구성하는 배선 및/또는 전극에 따라 두 번 이상의 평탄화층이 형성될 수 있다.
- [0187] 도 12, 도 14 및 도 15의 실시예에서, 제2 박막 트랜지스터(300) 하부에 일정한 전원전압이 인가되는 커패시터

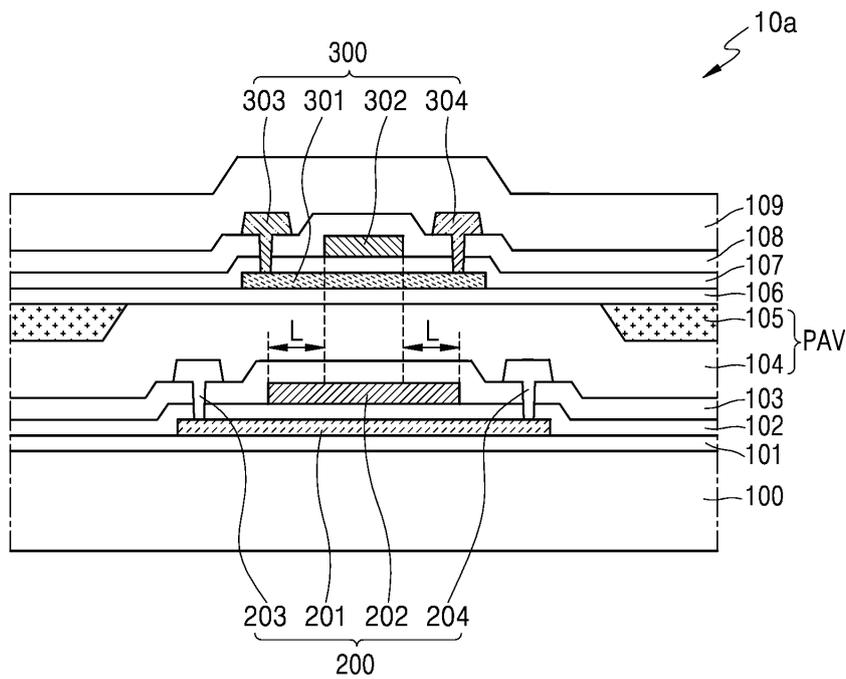
(C11, C22)의 일 전극으로서 도전층(400)이 배치되고 있으나, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전층(400)은 화소 구동 기간 중 적어도 문턱전압 보상기간, 데이터 기입기간, 발광기간에 일정한 DC 전압이 인가되는 배선 및/또는 전극일 수 있다.

[0188]

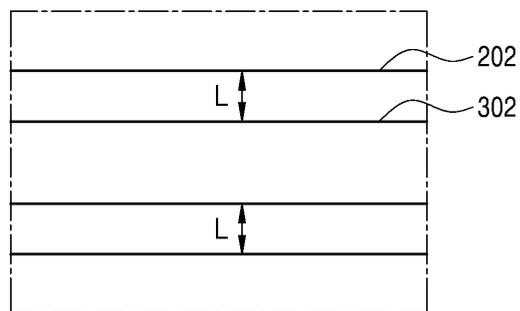
이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

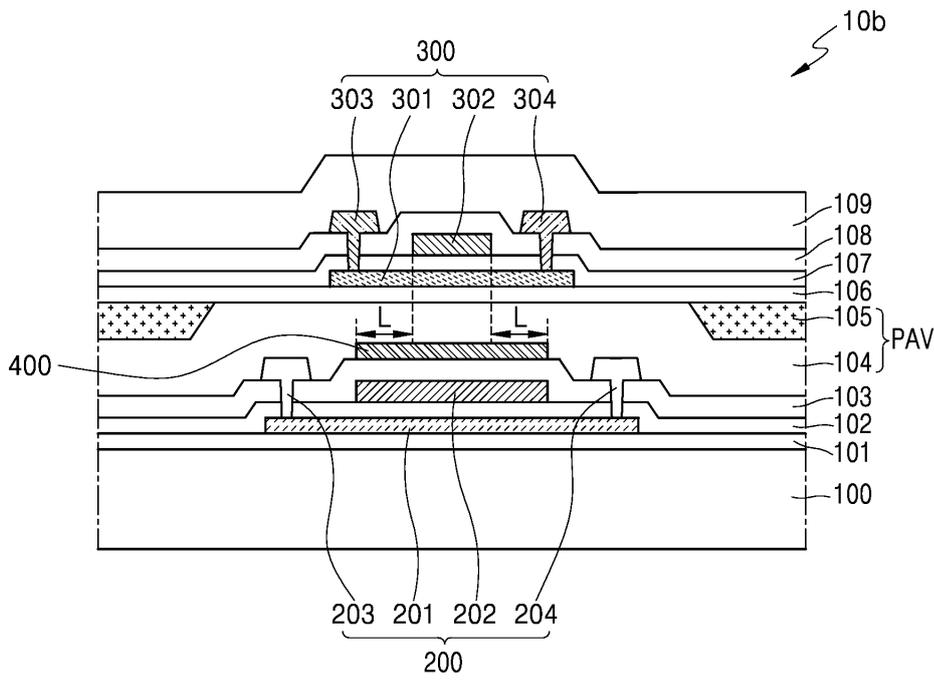
도면1



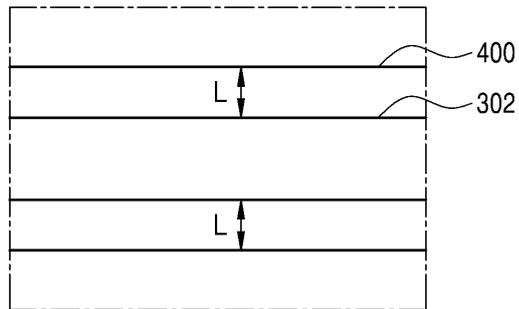
도면1a



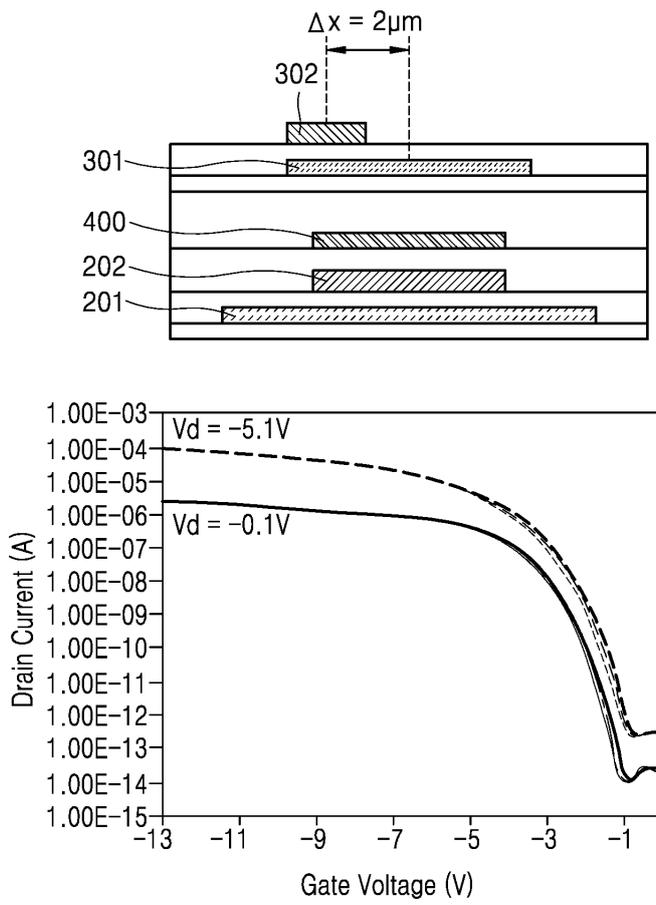
도면2



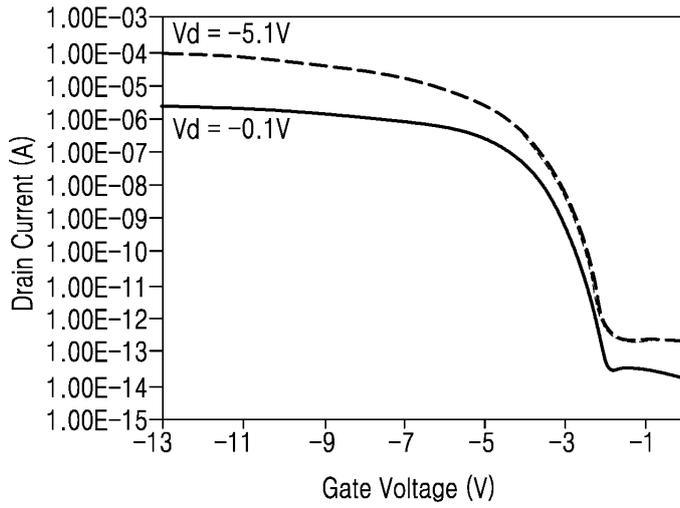
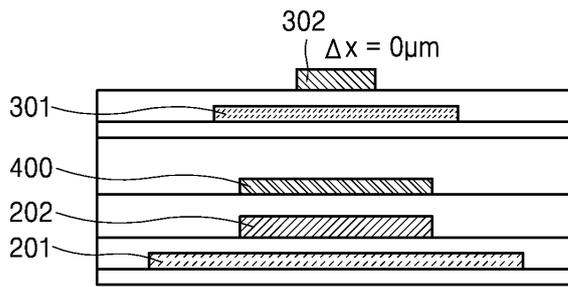
도면2a



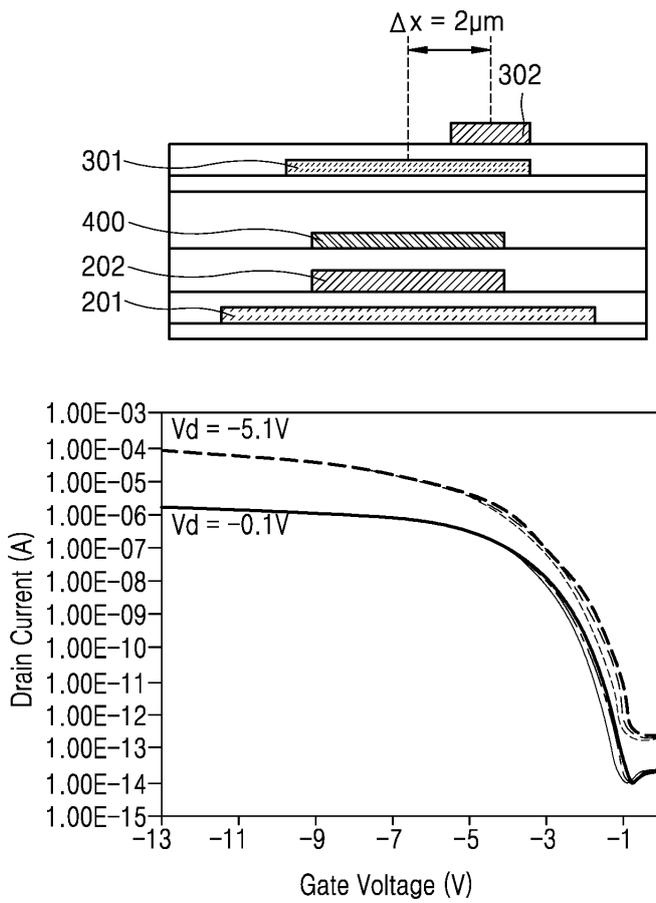
도면3a



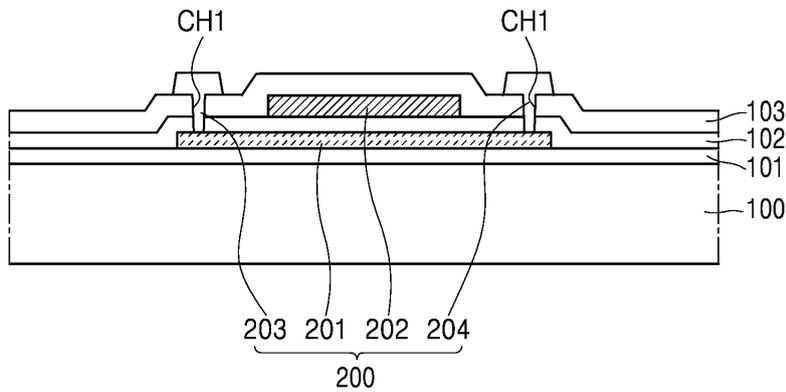
도면3b



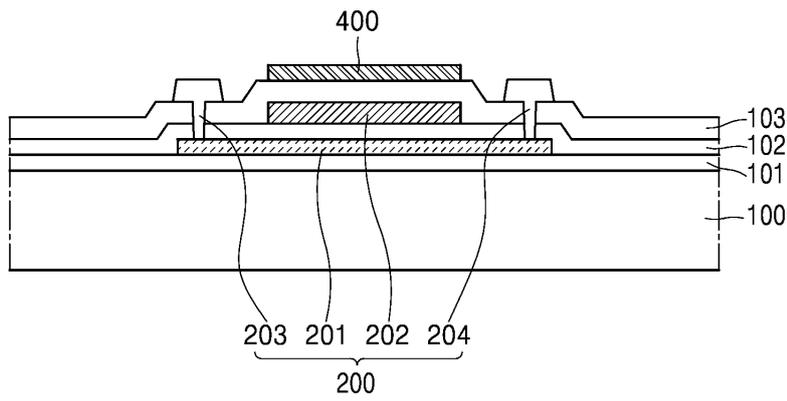
도면3c



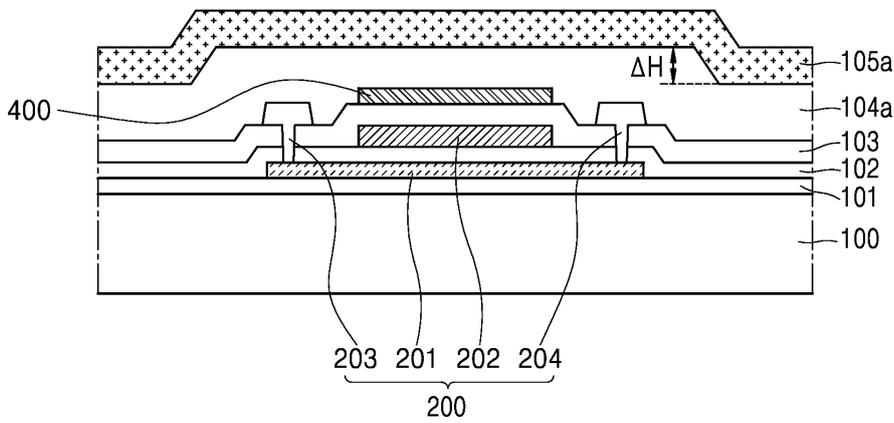
도면4a



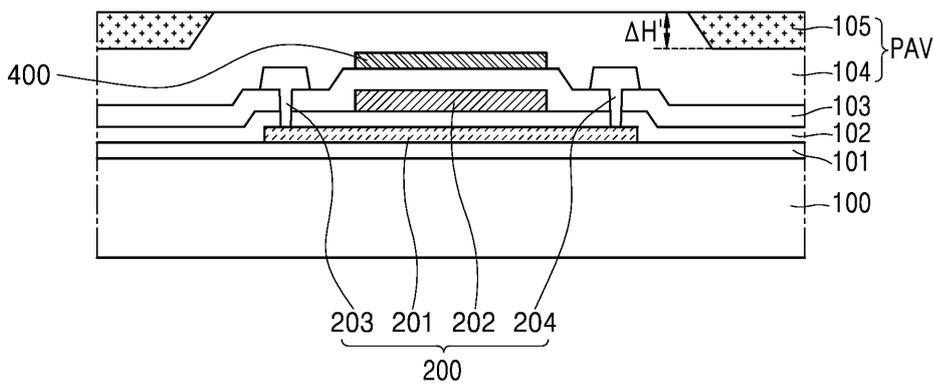
도면4b



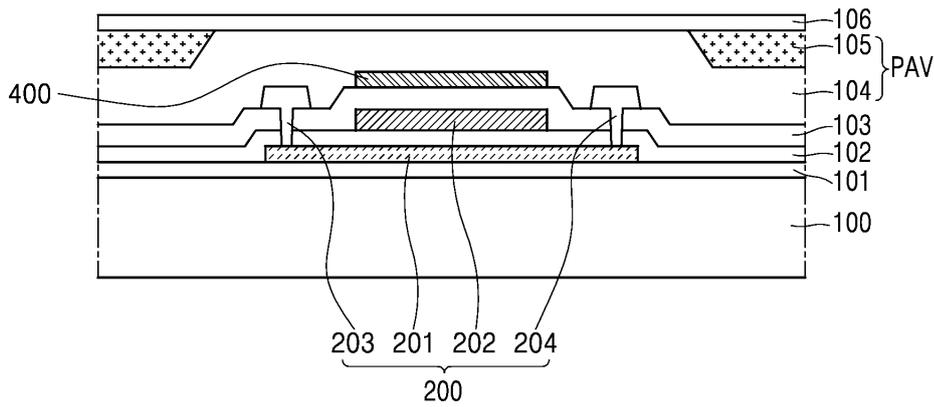
도면5



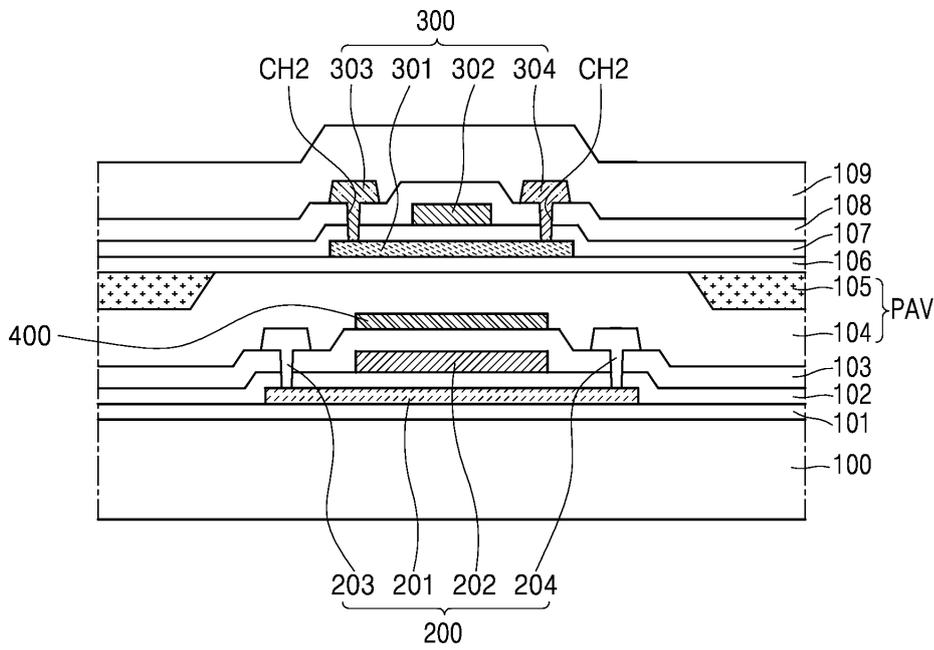
도면6



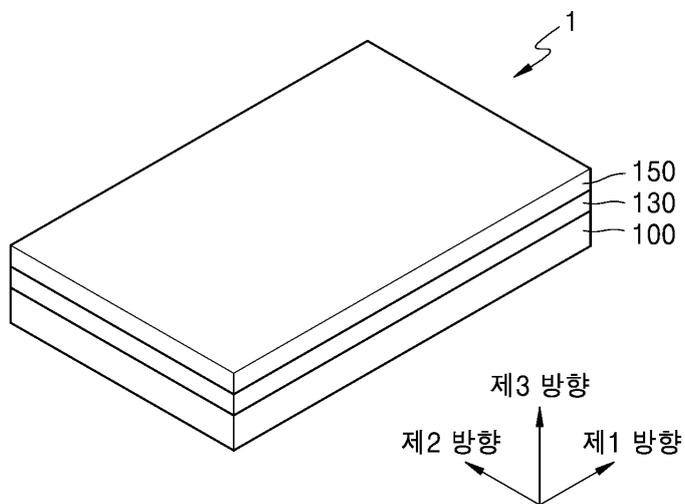
도면7



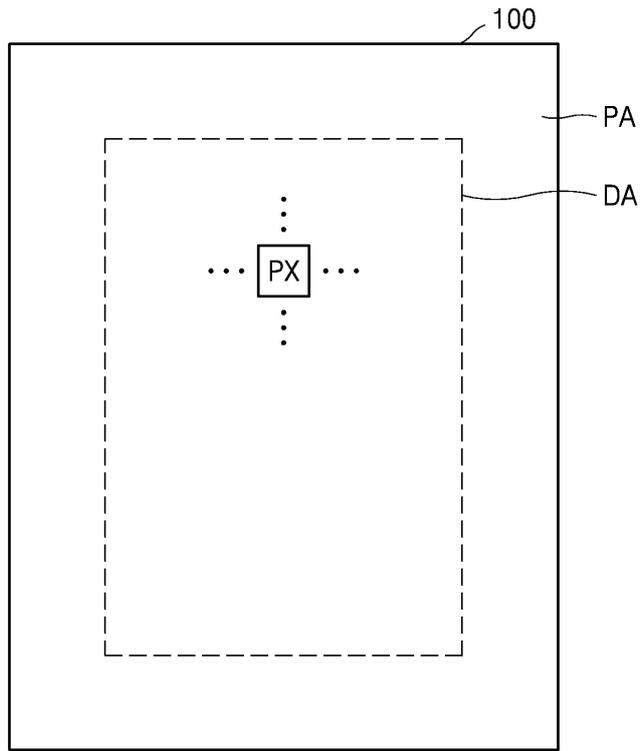
도면8



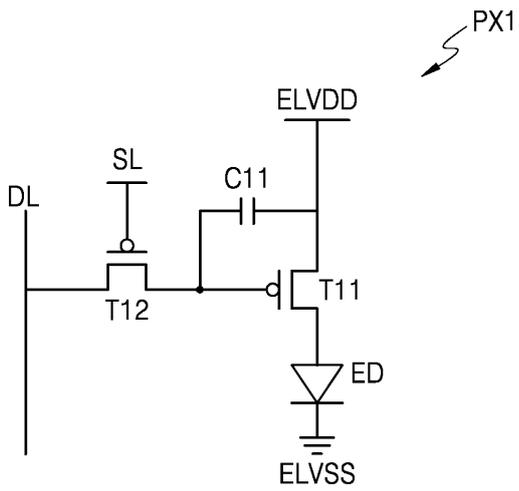
도면9



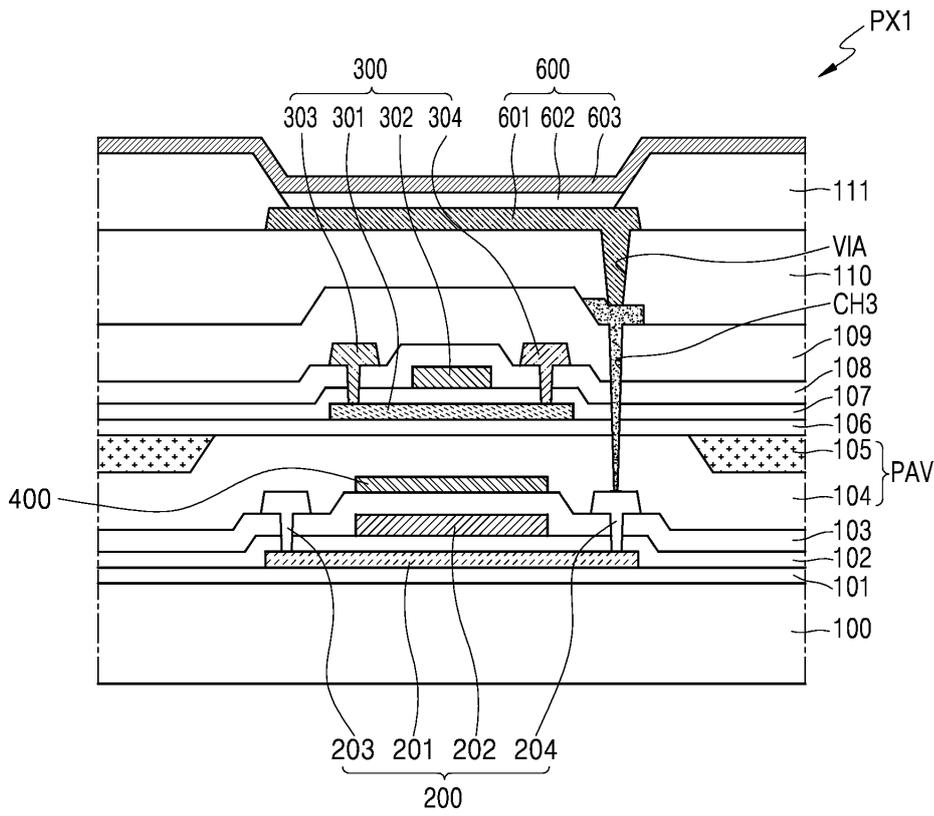
도면10



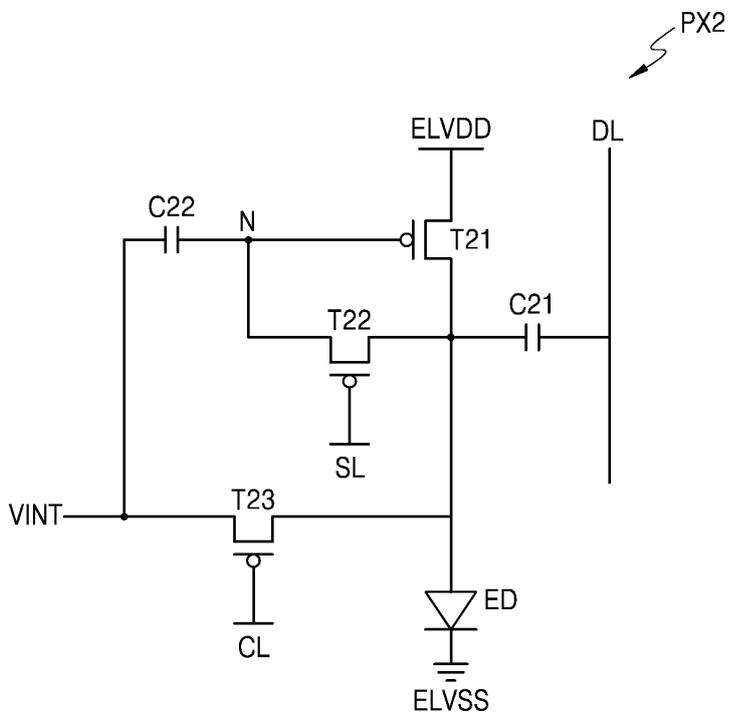
도면11



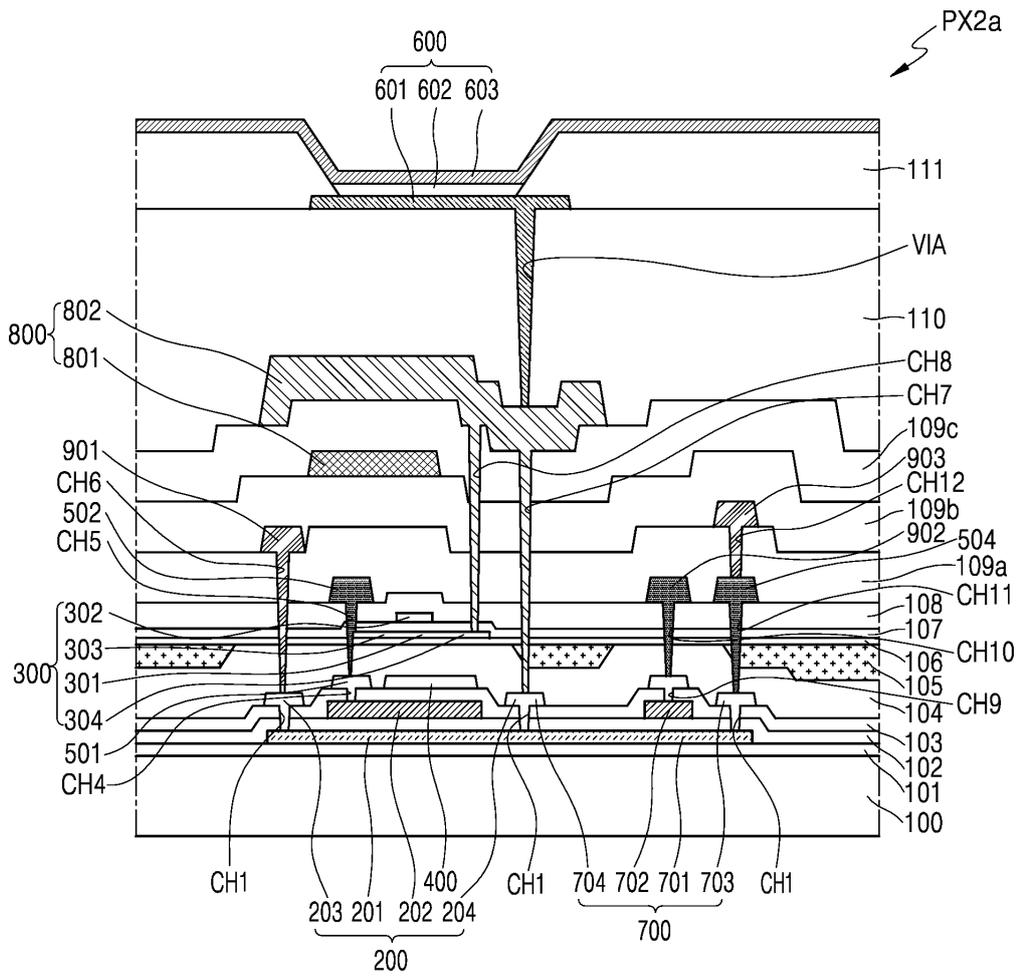
도면12



도면13



도면14



도면15

