

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4157707号
(P4157707)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月18日(2008.7.18)

(51) Int.Cl.	F I
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7
HO 1 L 27/105 (2006.01)	G 1 1 C 11/14 A
G 1 1 C 11/14 (2006.01)	G 1 1 C 11/15 1 2 0
G 1 1 C 11/15 (2006.01)	HO 1 L 43/08 Z
HO 1 L 43/08 (2006.01)	

請求項の数 9 (全 30 頁)

(21) 出願番号	特願2002-7877 (P2002-7877)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成14年1月16日(2002.1.16)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2003-209226 (P2003-209226A)	(72) 発明者	斉藤 好昭 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
(43) 公開日	平成15年7月25日(2003.7.25)	(72) 発明者	岸 達也 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
審査請求日	平成15年5月23日(2003.5.23)	(72) 発明者	天野 実 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

最終頁に続く

(54) 【発明の名称】 磁気メモリ

(57) 【特許請求の範囲】

【請求項1】

磁気記録層を有する磁気抵抗効果素子と、
前記磁気抵抗効果素子の上または下において第1の方向に延在する第1の配線と、
を備え、前記第1の配線に電流を流すことにより形成される磁界によって前記磁気記録層に情報を記録する磁気メモリであって、
前記第1の配線は、前記磁気記録層よりも幅広であり、その両側面の少なくともいずれかにニッケル鉄合金からなる被覆層を有し、
前記被覆層は、前記第1の配線の長手方向に沿って磁化が容易となる一軸異方性を有し、

前記第1の配線の周囲に沿った前記被覆層の長さは、前記第1の方向に沿った前記被覆層の長さより短く、

前記第1の配線の周囲に沿った前記被覆層の長さは、1 μm以下であり、
前記被覆層の厚みは、0.001 μm以上で、0.05 μm以下であることを特徴とする磁気メモリ。

【請求項2】

第1の方向に延在する第1の配線と、
前記第1の配線の上に設けられた磁気抵抗効果素子と、
前記磁気抵抗効果素子の上において、前記第1の方向と交差する方向に延在する第2の配線と、

を備え、前記第 1 及び第 2 の配線にそれぞれ電流を流すことにより形成される磁界によって前記磁気抵抗効果素子の記録層に 2 値情報のいずれかを記録する磁気メモリであって

、
前記第 1 及び第 2 の配線の少なくともいずれかは、前記磁気記録層よりも幅広であり、少なくともその両側面にニッケル鉄合金からなる被覆層を有し、

前記被覆層は、その被覆層が設けられた配線の長手方向に沿って磁化が容易となる一軸異方性を有し、

前記被覆層が設けられた配線の周囲に沿った前記被覆層の長さは、前記被覆層が設けられた配線の長手方向に沿った前記被覆層の長さより短く、

前記被覆層が設けられた配線の周囲に沿った前記被覆層の長さは、1 μm 以下であり、
前記被覆層の厚みは、0.001 μm 以上で、0.05 μm 以下であることを特徴とする磁気メモリ。 10

【請求項 3】

前記被覆層は、前記配線の前記長手方向に延在し互いに平行な複数の部分に分割されて設けられたことを特徴とする請求項 1 または 2 に記載の磁気メモリ。

【請求項 4】

前記複数の部分は、前記配線の両側面と裏面とにそれぞれ独立して設けられたことを特徴とする請求項 3 記載の磁気メモリ。

【請求項 5】

前記複数の部分のいずれかと他のいずれかは、前記配線の側面または裏面の少なくともいずれかにおいて隣接して設けられたことを特徴とする請求項 3 記載の磁気メモリ。 20

【請求項 6】

前記被覆層に反強磁性体からなる層が積層されてなることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の磁気メモリ。

【請求項 7】

前記第 1 及び第 2 の配線のそれぞれが前記被覆層を有し、
前記第 1 の配線が有する前記被覆層には、第 1 のネール温度を有する反強磁性体からなる層が積層され、

前記第 2 の配線が有する前記被覆層には、前記第 1 のネール温度よりも高くまたは前記第 1 のネール温度よりも低い第 2 のネール温度を有する反強磁性体からなる層が積層されてなることを特徴とする請求項 2 記載の磁気メモリ。 30

【請求項 8】

前記被覆層は、前記磁気抵抗効果素子に向けて前記配線よりも突出した突出部を有することを特徴とする請求項 1 ~ 7 のいずれか 1 つに記載の磁気メモリ。

【請求項 9】

前記突出部は、前記被覆層のうちの前記配線に近接して設けられた部分とは分離して設けられたことを特徴とする請求項 8 記載の磁気メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 40

本発明は、磁気メモリに関し、より詳細には、強磁性トンネル接合型などの磁気抵抗効果素子を有するメモリセルを集積した構造を有し、メモリセル間のクロストークを解消しつつ低消費電力で安定した記録、読み出しが可能な磁気メモリに関する。

【0002】

【従来の技術】

磁性体膜を用いた磁気抵抗効果素子は、磁気ヘッド、磁気センサーなどに用いられているとともに、固体磁気メモリ（磁気抵抗効果メモリ：MRAM（Magnetic Random Access Memory））に用いることが提案されている。

【0003】

近年、2 つの磁性金属層の間に 1 層の誘電体を挿入したサンドイッチ構造膜において、膜 50

面に対して垂直に電流を流し、トンネル電流を利用した磁気抵抗効果素子として、いわゆる「強磁性トンネル接合素子 (Tunneling Magneto-Resistance effect : TMR素子) 」が提案されている。強磁性トンネル接合素子においては、20%以上の磁気抵抗変化率が得られるようになったことから (J. Appl. Phys. 79, 4724 (1996))、MRAMへの民生化応用の可能性が高まってきた。

【0004】

この強磁性トンネル接合素子は、強磁性電極上に0.6nm~2.0nm厚の薄いAl (アルミニウム) 層を成膜した後、その表面を酸素グロー放電または酸素ガスに曝すことによって、 Al_2O_3 からなるトンネルバリア層を形成することにより、実現できる。

【0005】

また、この強磁性1重トンネル接合の片側一方の強磁性層に反強磁性層を付与し、片方を磁化固定層とした構造を有する強磁性1重トンネル接合が提案されている (特開平10-4227号公報) 。

【0006】

また、誘電体中に分散した磁性粒子を介した強磁性トンネル接合や、強磁性2重トンネル接合 (連続膜) も提案されている (Phys.Rev.B56(10), R5747 (1997)、応用磁気学会誌23, 4-2, (1999)、Appl. Phys. Lett. 73(19), 2829 (1998)、Jpn. J. Appl. Phys.39,L1035 (2001)) 。

【0007】

これらにおいても、20~50%の磁気抵抗変化率が得られるようになったこと、及び、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられることから、MRAMへの応用の可能性がある。

【0008】

これら強磁性1重トンネル接合あるいは強磁性2重トンネル接合を用いた磁気記録素子は、不揮発性で、書き込み読み出し時間も10ナノ秒以下と速く、書き換え回数も1015以上というポテンシャルを有する。特に、強磁性2重トンネル接合を用いた磁気記録素子は、上述したように、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるため、大きな出力電圧が得られ、磁気記録素子として好ましい特性を示す。

【0009】

しかし、メモリのセルサイズに関しては、1Tr (トランジスタ) - 1TMRアーキテクチャ (例えば、USP5、734、605号公報に開示されている) を用いた場合、半導体のDRAM (Dynamic Random Access Memory) 以下にサイズを小さくできないという問題がある。

【0010】

この問題を解決するために、ビット (bit) 線とワード (word) 線との間にTMRセルとダイオードを直列接続したダイオード型アーキテクチャ (USP5、640、343号公報) や、ビット線とワード線の間にはTMRセルを配置した単純マトリックス型アーキテクチャ (DE 19744095、WO 9914760) が提案されている。

【0011】

しかし、いずれの場合も記憶層への書きこみ時には電流パルスによる電流磁場で反転を行っているため、消費電力が大きく、配線の許容電流密度限界があるために集積できるセルの数が制限され、また書き込み電流の絶対値が1mA程度にも及ぶためにドライバの面積が大きくなる、などの問題がある。

【0012】

このため、他の不揮発固体磁気メモリであるFeRAM (強誘電体ランダムアクセスメモリ) やフラッシュメモリなどと比較した場合の改善すべき問題が多い。

【0013】

これらの問題に対し、書き込み配線の周りに高透磁率の磁性材料からなる薄膜を設けた固体磁気記憶装置が提案されている (米国特許5,659,499号、米国特許5,956

10

20

30

40

50

、267、国際特許出願WO 00/10172及び米国特許5,940,319)。これらの磁気記憶装置によれば、配線の周囲に高透磁率磁性膜が設けられているため、磁気記録層への情報書込に必要な電流値を効率的に低減できる。

【0014】

【発明が解決しようとする課題】

しかしながら、米国特許5,659,499号が開示する磁気記憶装置では、磁気抵抗効果膜の記録層に印加される磁場は不均一であり、また、米国特許5,956,267と米国特許5,940,319に開示されている磁気記憶装置では、「デュアルスピンバルブ型2重トンネル接合」のように、積層した磁性層の中心部にフリー層（記録層）が設けられているような構造では、フリー層に効率的に磁場をかけることは困難である。

10

【0015】

また一方、国際特許出願WO 00/10172において開示されている磁気記憶装置では、フリー層に大きな磁場が印加できる構造となっているが、その製造は極めて困難となる。

【0016】

またさらに、本発明者の独自の検討の結果、書き込み配線の周囲に、このような磁性材料から形成される被覆層を設けた場合、この被覆層の磁化状態が極めて重要であることが判明した。すなわち、被覆層の磁化状態を制御しないと、書き込み配線からの電流磁場を効率的に磁気抵抗効果素子の記録層に印加することができないことが判明した。また、同時に、被覆層の磁化の方向によっては、近接する磁気抵抗効果素子との間で磁気的な相互作用が生じ、書き込みや読み出しに悪影響が生ずる場合があることが判明した。

20

【0017】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、書き込み配線の周囲に磁性材料からなる被覆層を設ける場合に、その磁化状態を制御することにより、電流磁場を効率的に記録層に印加することができる磁気メモリを提供することにある。

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の磁気メモリは、

磁気記録層を有する磁気抵抗効果素子と、

前記磁気抵抗効果素子の上または下において第1の方向に延在する第1の配線と、

を備え、前記第1の配線に電流を流すことにより形成される磁界によって前記磁気記録層に情報を記録する磁気メモリであって、

30

前記第1の配線は、前記磁気記録層よりも幅広であり、その両側面の少なくともいずれかにニッケル鉄合金からなる被覆層を有し、

前記被覆層は、前記第1の配線の長手方向に沿って磁化が容易となる一軸異方性を有し、

前記第1の配線の周囲に沿った前記被覆層の長さは、前記第1の方向に沿った前記被覆層の長さより短く、

前記第1の配線の周囲に沿った前記被覆層の長さは、1 μm以下であり、

前記被覆層の厚みは、0.001 μm以上で、0.05 μm以下であることを特徴とする。

40

【0018】

上記構成によれば、隣接するメモリセルへの書き込みクロストークを解消しつつ、被覆層を介した書き込み磁界を安定して磁気抵抗効果素子に印加することができ、さらにこの磁気抵抗効果素子との間での無用な磁気的相互作用も解消することができる。

【0019】

また、本発明の第2の磁気メモリは、

第1の方向に延在する第1の配線と、

前記第1の配線の上に設けられた磁気抵抗効果素子と、

前記磁気抵抗効果素子の上において、前記第1の方向と交差する方向に延在する第2の配線と、

50

を備え、前記第1及び第2の配線にそれぞれ電流を流すことにより形成される磁界によって前記磁気抵抗効果素子の記録層に2値情報のいずれかを記録する磁気メモリであって

、
前記第1及び第2の配線の少なくともいずれかは、前記磁気記録層よりも幅広であり、少なくともその両側面にニッケル鉄合金からなる被覆層を有し、

前記被覆層は、その被覆層が設けられた配線の長手方向に沿って磁化が容易となる一軸異方性を有し、

前記被覆層が設けられた配線の周囲に沿った前記被覆層の長さは、前記被覆層が設けられた配線の長手方向に沿った前記被覆層の長さより短く、

前記被覆層が設けられた配線の周囲に沿った前記被覆層の長さは、 $1\ \mu\text{m}$ 以下であり、
前記被覆層の厚みは、 $0.001\ \mu\text{m}$ 以上で、 $0.05\ \mu\text{m}$ 以下であることを特徴とする。

10

【0020】

上記構成によっても、隣接するメモリセルへの書き込みクロストークを解消しつつ、被覆層を介した書き込み磁界を安定して磁気抵抗効果素子に印加することができ、さらにこの磁気抵抗効果素子との間での無用な磁氣的相互作用も解消することができる。

【0021】

またここで、「交差する」とは、空間において2本の配線が平行でなく且つ交わることもなく配置された状態をいうものとする。

【0022】

ここで、前記被覆層は、前記長手方向に対して垂直な方向にみたその長さが、 $1\ \mu\text{m}$ 以下であるものとするれば、形状効果による一軸異方性を生じやすくなる。また、前記被覆層の厚みを、 $0.05\ \mu\text{m}$ 以下とすることによっても、形状効果による一軸異方性を生じやすくなる。

20

【0023】

また、前記被覆層は、前記配線の前記長手方向に延在し互いに略平行な複数の部分に分割されて設けられたものとするれば、形状効果による一軸異方性を生じやすくなる。

【0024】

また、前記被覆層に反強磁性体からなる層が積層されてなるものとするれば、磁化容易方向を确实且つ容易に固定することができる。

30

【0025】

また、前記第2の磁気メモリにおいて、
前記第1及び第2の配線のそれぞれが前記被覆層を有し、前記第1の配線が有する前記被覆層には、第1のネール温度を有する反強磁性体からなる層が積層され、前記第2の配線が有する前記被覆層には、前記第1のネール温度よりも高くまたは前記第1のネール温度よりも低い第2のネール温度を有する反強磁性体からなる層が積層されてなるものとするれば、ネール温度の違いを利用して、それぞれの被覆層に対して、配線長軸方向の一軸異方性を付与することが容易となる。

【0026】

また、前記被覆層は、前記磁気抵抗効果素子に向けて前記配線よりも突出した突出部を有するものとするれば、磁気ヨークとして作用する被覆層の磁気放出端を磁気抵抗効果素子に近接させることより、発生磁界をさらに効率的に磁気記録層に印加できる。

40

【0027】

また、前記突出部は、前記被覆層のうちの前記配線に近接して設けられた部分とは分離して設けられたものとするれば、形状効果による一軸異方性を付与することが容易となる。

【0028】

なおここで、「近接して」とは、配線に直接的に接触した状態に限らず、例えば、配線から隙間を空けて配置された状態や、窒化チタンなどのバリアメタルなどを介在して隣接した状態も含むものとする。

【0030】

50

図1は、本発明の磁気メモリのメモリセル要部を単純化して表した模式図である。すなわち、同図(a)はメモリセルに含まれる一対の書き込み配線及び磁気抵抗効果素子を表す正面図であり、同図(b)はその平面図、同図(c)はその側面図である。

【0031】

すなわち、本発明の磁気メモリは、磁気抵抗効果素子Cの上下に、略直交する一対の書き込み配線BL、WLが対向して設けられている。磁気抵抗効果素子Cには磁界を印加することにより、その磁化方向が反転可能な磁気記録層が設けられている。そして、一対の書き込み配線BL、WLにそれぞれ書き込み電流を流すことにより生ずる合成磁場によって、この磁気記録層の磁化方向を適宜反転させて「書き込み」すなわち情報の記録を実行する。

10

【0032】

一対の書き込み配線BL、WLはその周囲に磁性材料からなる被覆層SMを有する。被覆層SMは、それぞれの配線の両側面及び磁気抵抗効果素子Cからみた裏面側にそれぞれ設けられ、磁界の漏洩を防ぐ役割を有する。すなわち、被覆層SMを設けることにより、書き込み配線BL、WLから生ずる電流磁場による左右方向あるいは上下方向に隣接する他のメモリセルへの「書き込みクロストーク」を防ぐことができる。

【0033】

またさらに、このような被覆層SMは、それ自体がいわゆる「磁気ヨーク」となり、書き込み配線BL、WLの周囲に生ずる電流磁場を誘導して、磁気抵抗効果素子Cの磁気記録層に集中させる作用も有する。その結果として、書き込み電流を低減し、メモリの消費電力を下げることも可能となる。

20

【0034】

さて、本発明においては、このような被覆層SMの磁化容易方向Mを、配線BL、WLの長手方向に対して平行な方向に形成する。このような配線の長軸方向に一軸異方性を被覆層SMに設けておけば、その直下あるいは直上の磁気抵抗効果素子Cとの磁氣的相互作用の影響を小さくすることができ、書き込み電流により生じる電流磁界の「ばらつき」を抑えられ、配線上のクロストークの影響を小さくすることができる。

【0035】

すなわち、被覆層SMの磁化方向が規定されていないと、電流磁界による被覆層SMの磁化方向の反転が一定でなくなるために、磁気抵抗効果素子の磁気記録層に印加される書き込み磁界がバラツク虞がある。また、被覆層SMの磁化方向が磁気抵抗効果素子Cの方向に向いていると、磁氣的な相互作用が生ずるために、書き込みや読み出し動作において不安定な現象が生ずる虞がある。

30

【0036】

これに対して、被覆層SMの磁化容易方向を配線BL、WLの長手方向に規定しておけば、これらの問題が解消され、安定した書き込み、読み出しが可能となる。

このような被覆層SMの材料としては、ニッケル鉄(Ni-Fe)合金、コバルト鉄(Co-Fe)合金、コバルト鉄ニッケル(Co-Fe-Ni)合金または、コバルト(Co)とジルコニウム(Zr)、ハフニウム(Hf)、ニオブ(Nb)、タンタル(Ta)、チタン(Ti)の少なくともいずれかとの合金またはアモルファス合金、または、(Co, Fe, Ni) - (Si, B) - (P, Al, Mo, Nb, Mn)系などのアモルファス合金、(Fe, Co) - (B, Si, Hf, Zr, Sm, Ta, Al) - (F, O, N)系などの金属-非金属ナノグラニューラ膜、あるいは絶縁性フェライトなどを用いることができる。

40

【0037】

また、これらのいずれかからなる薄膜を単層として用いてもよく、あるいは複数種類の薄膜を積層して用いてもよい。

【0038】

これらの材料からなる被覆層SMに対して、配線BL、WLの長軸方向に沿った一軸異方性を与えるためには、被覆層SMの形状を規定したり、あるいは磁性層を付与すればよい

50

。

【0039】

例えば、図2に表したように、配線BL、WLの周囲に沿った被覆層SMの長さの合計($2L_2 + L_3$)を、配線BL、WLの長軸方向の被覆層SMな長さ L_1 より短くすると、形状効果により、長軸方向に沿った一軸異方性が生ずる。

【0040】

またさらに、実際に用いる磁性材料の磁区ドメインサイズを考慮すると、上記した被覆層SMの長さの合計($2L_2 + L_3$)を $1\mu\text{m}$ 以下とすることがさらに望ましい。すなわち、この範囲内とすると、配線長軸方向以外の磁化が生じにくくなる。

【0041】

また一方、配線BL、WLの長軸方向の被覆層SMの長さ L_1 を、磁気抵抗効果素子の長軸方向の長さ d_1 の約1.5倍以上とすると、書き込み配線BL、WLからの浮遊磁場(stray field)の影響がなく、安定したスイッチング特性が得られる。

【0042】

また、被覆層SMの厚さ t_1 、 t_2 を $0.05\mu\text{m}$ 以下にすると、その膜厚方向の反磁界が大きくなり、磁場中アニール時にも膜厚方向に沿った磁気異方性は形成されない。その結果として、直下あるいは直上の磁気抵抗効果素子Cとの磁氣的相互作用の影響を小さくすることができ、書き込み電流により生じる書き込み磁界のばらつきが抑えられ、配線上のクロストークの影響を小さくすることができる。

【0043】

また、形状効果により一軸異方性を得るもうひとつの方法として、配線BL、WLの周囲に設ける被覆層SMを複数に分割する方法がある。

【0044】

図3は、このように分割された被覆層SMを有する配線断面を例示する模式図である。すなわち、同図(a)に表した具体例の場合、被覆層SMは、配線BL、WLの両側面および裏面において、それぞれ分割して独立に設けられている。このように配線の周囲方向に被覆層SMを分割すると、それぞれの被覆層SMを配線の長手方向に沿った「細長い」形状とすることが容易であり、配線長軸方向に沿った一軸異方性を容易に与えることができる。なお、配線BL、WLに形成される書き込み電流磁界は、配線BL、WLの周囲を被覆層SMの内部を還流するように形成されるので、分割された被覆層SMの「つなぎ目」においても、被覆層SMの端面から端面に磁束が通過する。従って、このように被覆層SMを分割しても、その「つなぎ目」から周囲に磁界が漏洩する心配は殆どない。

【0045】

また、図3(b)に表した具体例の場合、被覆層SMは、配線BL、WLの左右に分割されている。このように分割した場合、配線の角を被覆層SMが覆っているため、磁束の漏洩に対しては特に有利である。

【0046】

また、図3(c)に表した具体例の場合、配線BL、WLの側面において被覆層SMが分割されている。さらに、図3(d)の具体例の場合には、裏面においても被覆層SMが分割されている。

【0047】

以上、図3に例示したように、被覆層SMを配線BL、WLの周囲方向に分割することにより、被覆層SMを「細長い」形状とすることが容易となり、配線長軸方向に沿った一軸異方性を確実且つ容易に与えることができる。

【0048】

一方、被覆層SMの磁化方向を規定する方法として、反強磁性体からなる層を積層する方法がある。

【0049】

図4は、反強磁性体からなる層を積層させた被覆層を表す概念図である。

【0050】

10

20

30

40

50

すなわち、磁性体からなる被覆層 S M の周囲に反強磁性層 A F が積層されている。このように反強磁性層 A F を積層させることにより、被覆層の磁化方向を配線長軸方向に固定することが可能である。この際に、反強磁性層 A F は、図 4 (a) に表したように被覆層 S M の外側に積層させてもよく、あるいは図 4 (b) に表したように被覆層 S M の内側に積層させてもよい。または、2 層あるいはそれ以上の被覆層 S M の層間に反強磁性層 A F を挿入してもよい。

【 0 0 5 1 】

また、図 3 に例示したように被覆層 S M を分割して、それぞれに反強磁性層 A F を積層させてもよい。このようにすれば、さらに確実な一軸異方性を与える事が可能である。

【 0 0 5 2 】

また、略直交する一対の書き込み配線 B L、W L のそれぞれにこのように反強磁性層 A F を設ける場合、それぞれの反強磁性層 A F の磁化方向をそれぞれの配線長軸方向に固定するプロセスが必要である。

【 0 0 5 3 】

このためには、上下の配線 B L、W L について、ネール温度が異なる反強磁性層を用いればよい。すなわち、磁場中アニール処理により、高温から温度を低下させる過程で、まず、ネール温度が高い反強磁性層が形成された配線の長軸方向に平行な磁場を印加しつつこのネール温度よりも低温まで冷却することにより、磁化方向を固定する。しかる後に、もう一方の配線の長軸方向に対して平行な方向に磁場を印加しつつ、この配線に形成された反強磁性層のネール温度よりも低温まで冷却することにより、磁化方向を固定する。

【 0 0 5 4 】

このようにネール温度に応じて印加磁場の方向を変えながら順次温度を低下させることにより、略直交する一対の書き込み配線のそれぞれについて、被覆層 S M の磁化を配線長軸方向に固定することができる。

【 0 0 5 5 】

また、これら配線と被覆層 S M との間または被覆層 S M の外側には、窒化タンタル (T a N)、窒化シリコン (S i N)、窒化チタン (T i N) などからなる「バリアメタル」を設けることが望ましい。また、被覆層 S M と反強磁性膜との間に銅 (C u) などからなる非磁性層を挿入し、被覆層 S M と反強磁性膜との相互作用を調整して、軟磁性特性を調整するようにしてもよい。

【 0 0 5 6 】

以上、被覆層 S M に一軸異方性を与える方法について説明した。

【 0 0 5 7 】

一方、これらの被覆層 S M には、磁気抵抗効果素子 C に向けた突出部をさらに設けることにより、さらに低消費電力、低電流でのスピン反転を実現できる。

【 0 0 5 8 】

図 5 は、このような突出部を有する被覆層を例示する模式図である。

【 0 0 5 9 】

すなわち、同図に表したように、書き込み配線 B L、W L の側面から磁気抵抗効果素子 C の方向に向かって突出した突出部 P を設ける。

【 0 0 6 0 】

このような突出部 P を設けると、被覆層 S M の中を誘導された書き込み磁界を磁気抵抗効果素子 C の磁化記録層に集中させることができる。すなわち、本発明における被覆層 S M は、「磁気ヨーク」として作用し、配線 B L、W L の周囲に形成される書き込み磁界を誘導する。そして、このような突出部 P を設けることにより、書き込み磁界の放出端を磁気抵抗効果素子 C の磁気記録層に接近させて効果的に印加することができる。

【 0 0 6 1 】

図 6 および図 7 は、このような突出部 P を設けた場合の配線 B L、W L と磁気抵抗効果素子 C との関係を示す模式図である。すなわち、図 6 の具体例の場合、上側の配線の被覆層 S M に突出部 P が設けられている。そして、図 7 の具体例の場合には、さらに下側の配

10

20

30

40

50

線の被覆層 S M にも突出部 P が設けられている。

【 0 0 6 2 】

これら具体例のように被覆層 S M に突出部 P を設けることにより、書き込み磁界の放出端を磁気抵抗効果素子 C に近づけることが可能となり、より電流磁界効率がアップし、低消費電力化、低電流化が可能となる。

【 0 0 6 3 】

またこのように書き込み電流を低減できれば、駆動回路の容量も小さくでき、書き込み配線の太さも細くできるので、メモリのサイズを縮小し、集積度を上げることも可能となる。

【 0 0 6 4 】

またさらに、書き込み電流を低下することにより、書き込み配線におけるエレクトロマイグレーションなどの問題も抑制し、磁気メモリの信頼性を向上させて寿命も伸ばすことができる。

【 0 0 6 5 】

図 8 は、書き込み用電流パルスを印加した時の、被覆層の磁区 (ドメイン) の変化を例示する模式図である。すなわち、同図 (a) はビット線 B L に対して平行な方向から眺めた図、同図 (b) はワード線 W L に対して平行な方向から眺めた図である。

【 0 0 6 6 】

書き込み配線 B L 、 W L を電流パルスが通過すると、電流パルスの幅 (印加時間に対応する) により被覆層 S M に磁壁が形成される。そして、書き込み配線 B L 、 W L の長軸方向にみて、電流パルスが存在するところのみ、磁気抵抗効果素子 C に有効に磁界 H が伝わり、上下の配線からの磁界 H の合成磁界により磁気抵抗効果素子 C の磁気記録層が磁化反転する。

【 0 0 6 7 】

なお、上記磁気抵抗効果素子の磁化方向は、図 8 に表したように、必ずしも直線状である必要はなく、「エッジドメイン」などを形成することにより屈曲したものであってもよい。すなわち、磁気記録層の磁化方向は、その平面形態に応じて種々に変化する。

【 0 0 6 8 】

図 9 は、本発明における磁気抵抗効果素子の磁気記録層の平面形態の具体例を表す模式図である。すなわち、磁気抵抗効果素子の磁気記録層は、例えば、同図 (a) に表したように、長方形の一方の対角両端に突出部を付加した形状や、同図 (b) に表したような平行四辺形、同図 (c) に表したような菱形、同図 (d) に表したような楕円形、(e) エッジ傾斜型などの各種の形状とすることができる。これらそれぞれの具体例において、矢印で表したように磁化が形成される。

【 0 0 6 9 】

ここで、磁気記録層を図 9 (a) ~ (c) 、 (e) に表した形状にパターンニングする場合、実際には角部が丸まる場合が多いが、そのように角部が丸まってもよい。これらの非対称な形状は、フォトリソグラフィにおいて用いるレチクルのパターン形状を非対称形状にすることにより容易に作製できる。

【 0 0 7 0 】

またここで、磁気抵抗効果素子の磁気記録層の幅 W と長さ L の比 L / D は、1 . 2 以上であることが望ましく、長さ L の方向に一軸異方性が付与されていることが望ましい。

【 0 0 7 1 】

次に、本発明の磁気メモリに用いることができる磁気抵抗効果素子 C の構造について、図 1 0 ~ 図 1 4 を参照しつつ説明する。

【 0 0 7 2 】

図 1 0 及び図 1 1 は、強磁性 1 重トンネル接合を有する磁気抵抗効果素子の断面構造を表す模式図である。

【 0 0 7 3 】

すなわち、図 1 0 の磁気抵抗効果素子の場合、下地層 B F の上に、反強磁性層 A F 、強磁

10

20

30

40

50

性層 F M 1、トンネルバリア層 T B、強磁性層 F M 2、保護層 P B がこの順に積層されている。反強磁性層 A F に隣接して積層された強磁性層 F M 1 が磁化固着層（ピン層）として作用し、トンネルバリア層 T B の上に積層された強磁性層 F M 2 が記録層（フリー層）として作用する。

図 1 1 の磁気抵抗効果素子の場合、トンネルバリア層 T B の上下において、強磁性層 F M と非磁性層 N M と強磁性層 F M とが積層された積層膜 S L がそれぞれ設けられている。この場合も、反強磁性層 A F とトンネルバリア層 T B の間に設けられた積層膜 S L が磁化固着層として作用し、トンネルバリア層 T B の上に設けられた積層膜 S L が記録層として作用する。

【 0 0 7 4 】

図 1 2 乃至図 1 4 は、強磁性 2 重トンネル接合を有する磁気抵抗効果素子の断面構造を例示する模式図である。これらの図面については、図 1 1 及び図 1 2 に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【 0 0 7 5 】

図 1 2 乃至図 1 4 に例示した構造の場合、いずれも 2 層のトンネルバリア層 T B が設けられ、その上下に強磁性層 F M あるいは、強磁性層 F M と非磁性層 N M との積層膜 S L が設けられている。ここに例示した 2 重トンネル接合素子の場合には、上下の反強磁性層 A F に隣接して積層された強磁性層 F M あるいは積層膜が磁化固着層として作用し、2 層のトンネルバリア層 T B の間に設けられた強磁性層 F M あるいは積層膜 S L が記録層として作用する。

【 0 0 7 6 】

このような 2 重トンネル接合を採用すると、記録層の磁化方向に対する電流変化（もしくは電圧変化）を大きくすることができる点で有利である。

【 0 0 7 7 】

なお、本発明の磁気メモリにおいて用いる磁気抵抗効果素子は、図 1 0 乃至図 1 4 に例示したのものには限定されず、これら以外にも例えば、第 1 の強磁性層と非磁性層と第 2 の強磁性層とを積層させたいわゆる「スピバルブ構造」の磁気抵抗効果素子などを用いることもできる。

【 0 0 7 8 】

磁気抵抗効果素子としていずれの構造を採用した場合も、一方の強磁性層を、磁化方向が実質的に固定された「磁化固着層（「ピン層」などと称される場合もある）」として作用させ、他方の強磁性層を、外部からの磁界を印加することにより磁化方向を可変とした「磁気記録層（磁気記録層）」として作用させることができる。

【 0 0 7 9 】

また、後に詳述するように、読み出し方式によっては、反強磁性層に隣接して設けられた強磁性層を、記録層として用いることもできる。

【 0 0 8 0 】

これらの磁気抵抗効果素子において、磁化固着層として用いることができる強磁性体としては、例えば、F e（鉄）、C o（コバルト）、N i（ニッケル）またはこれらの合金や、スピン分極率の大きいマグネタイト、C r O₂、R X M n O_{3-y}（ここで R は希土類、X は C a（カルシウム）、B a（バリウム）、S r（ストロンチウム）のいずれかを表す）などの酸化物、あるいは、N i M n S b（ニッケル・マンガン・アンチモン）、P t M n S b（白金マンガン・アンチモン）などのホイスラー合金を用いることができる。

【 0 0 8 1 】

これらの材料からなる磁化固着層は、一方向異方性を有することが望ましい。またその厚さは 0.1 nm 以上 100 nm 以下であることが望ましい。さらに、この強磁性層の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4 nm 以上であることがより望ましい。

【 0 0 8 2 】

また、磁化固着層として用いる強磁性層には、反強磁性膜を付加して磁化を固着すること

10

20

30

40

50

が望ましい。そのような反強磁性膜としては、Fe (鉄) - Mn (マンガン)、Pt (白金) - Mn (マンガン)、Pt (白金) - Cr (クロム) - Mn (マンガン)、Ni (ニッケル) - Mn (マンガン)、Ir (イリジウム) - Mn (マンガン)、NiO (酸化ニッケル)、Fe₂O₃ (酸化鉄)、または上述した磁性半導体などを挙げることができる。

【0083】

また、これら磁性体には、Ag (銀)、Cu (銅)、Au (金)、Al (アルミニウム)、Mg (マグネシウム)、Si (シリコン)、Bi (ビスマス)、Ta (タンタル)、B (ボロン)、C (炭素)、O (酸素)、N (窒素)、Pd (パラジウム)、Pt (白金)、Zr (ジルコニウム)、Ir (イリジウム)、W (タングステン)、Mo (モリブデン)、Nb (ニオブ)、H (水素)などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

10

【0084】

一方、磁化固着層として、強磁性層と非磁性層との積層膜を用いても良い。例えば、図11などに例示したような強磁性層/非磁性層/強磁性層という3層構造を用いることができる。この場合、非磁性層を介して両側の強磁性層に反強磁性的な層間の相互作用が働いていることが望ましい。

【0085】

より具体的には、磁性層を一方向に固着する方法として、Co (Co - Fe) / Ru (ルテニウム) / Co (Co - Fe)、Co (Co - Fe) / Ir (イリジウム) / Co (Co - Fe)、Co (Co - Fe) / Os (オスニウム) / Co (Co - Fe)、磁性半導体強磁性層 / 磁性半導体非磁性層 / 磁性半導体強磁性層などの3層構造の積層膜を磁化固着層とし、さらに、これに隣接して反強磁性膜を設けることが望ましい。

20

【0086】

この場合の反強磁性膜としても、前述したものと同様に、Fe - Mn、Pt - Mn、Pt - Cr - Mn、Ni - Mn、Ir - Mn、NiO、Fe₂O₃、磁性半導体などを用いることができる。この構造を用いると、磁化固着層の磁化がしっかりと磁化が固着される他、磁化固着層からの漏洩磁界 (stray field) を減少 (あるいは調節) でき、磁化固着層を形成する2層の強磁性層の膜厚を変えることにより、磁気記録層 (磁気記録層) の磁化シフトを調整することができる。

30

【0087】

一方、磁気記録層 (フリー層) の材料としても、磁化固着層と同様に、例えば、例えば、Fe (鉄)、Co (コバルト)、Ni (ニッケル) またはこれらの合金や、スピン分極率の大きいマグネタイト、CrO₂、R_xMnO_{3-y} (ここでRは希土類、XはCa (カルシウム)、Ba (バリウム)、Sr (ストロンチウム) のいずれかを表す) などの酸化物、あるいは、NiMnSb (ニッケル・マンガン・アンチモン)、PtMnSb (白金マンガン・アンチモン) などのホイスラー合金などを用いることができる。

【0088】

これらの材料かなる磁気記録層としての強磁性層は、膜面に対して略平行な方向の一軸異方性を有することが望ましい。またその厚さは0.1nm以上、100nm以下であることが望ましい。さらに、この強磁性層の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4nm以上であることがより望ましい。

40

【0089】

また、磁気記録層として、軟磁性層/強磁性層という2層構造、または、強磁性層/軟磁性層/強磁性層という3層構造を用いても良い。磁気記録層として、強磁性層/非磁性層/強磁性層という3層構造または、強磁性層/非磁性層/強磁性層/非磁性層/強磁性層という5層構造を用いて、強磁性層の層間の相互作用の強さを制御することにより、メモリセルである磁気記録層のセル幅がサブミクロン以下になっても、電流磁界の消費電力を増大させずに済むというより好ましい効果が得られる。5層構造の場合、中間強磁性層は軟磁性層、または、非磁性元素で分断された強磁性層を用いるとより好ましい。

50

【0090】

磁化記録層においても、これら磁性体に、Ag（銀）、Cu（銅）、Au（金）、Al（アルミニウム）、Mg（マグネシウム）、Si（シリコン）、Bi（ビスマス）、Ta（タンタル）、B（ボロン）、C（炭素）、O（酸素）、N（窒素）、Pd（パラジウム）、Pt（白金）、Zr（ジルコニウム）、Ir（イリジウム）、W（タングステン）、Mo（モリブデン）、Nb（ニオブ）、H（水素）などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

【0091】

一方、磁気抵抗効果素子としてTMR素子を用いる場合に、磁化固着層と磁化記録層との間に設けられるトンネルバリア層TBの材料としては、 Al_2O_3 （酸化アルミニウム）、 SiO_2 （酸化シリコン）、MgO（酸化マグネシウム）、AlN（窒化アルミニウム）、 Bi_2O_3 （酸化ビスマス）、 MgF_2 （フッ化マグネシウム）、 CaF_2 （フッ化カルシウム）、 $SrTiO_2$ （酸化チタン・ストロンチウム）、 $AlLaO_3$ （酸化ランタン・アルミニウム）、Al-N-O（酸化窒化アルミニウム）、非磁性半導体（ZnO、InMn、GaN、GaAs、 TiO_2 、Zn、Te、またはそれらに遷移金属がドーパされたもの）などを用いることができる。

10

【0092】

これらの化合物は、化学量論的にみて完全に正確な組成である必要はなく、酸素、窒素、フッ素などの欠損、あるいは過不足が存在していてもよい。また、この絶縁層（誘電体層）の厚さは、トンネル電流が流れる程度に薄い方が望ましく、実際上は、10nm以下であることが望ましい。

20

【0093】

このような磁気抵抗効果素子は、各種スパッタ法、蒸着法、分子線エピタキシャル法、CVD法などの通常の薄膜形成手段を用いて、所定の基板上に形成することができる。この場合の基板としては、例えば、Si（シリコン）、 SiO_2 （酸化シリコン）、 Al_2O_3 （酸化アルミニウム）、スピネル、AlN（窒化アルミニウム）、GaAs、GaNなど各種の基板を用いることができる。

【0094】

また、基板の上に、下地層や保護層などとして、Ta（タンタル）、Ti（チタン）、Pt（白金）、Pd（パラジウム）、Au（金）、Ti（チタン）/Pt（白金）、Ta（タンタル）/Pt（白金）、Ti（チタン）/Pd（パラジウム）、Ta（タンタル）/Pd（パラジウム）、Cu（銅）、Al（アルミニウム）Cu（銅）、Ru（ルテニウム）、Ir（イリジウム）、Os（オスミウム）、GaAs、GaN、ZnO、 TiO_2 などの半導体下地などからなる層を設けてもよい。

30

【0095】

以上、本発明の磁気メモリにおいて用いる磁気抵抗効果素子の積層構造について説明した。

【0096】

次に、本発明の磁気メモリのセル構造について具体例を挙げて説明する。

40

【0097】

図15乃至図17は、スイッチングトランジスタを用いた場合のセルのアーキテクチャを表す模式断面図である。すなわち、同図(a)はビット線BLに対して垂直な方向から眺めた図、同図(b)はワード線WLに対して垂直な方向から眺めた図である。

【0098】

スイッチングトランジスタとしてMOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）を用いた場合、読み出しは下部選択トランジスタTをオンにし、磁気抵抗効果素子Cを介してビット線BLにセンス電流を流すことにより行う。

【0099】

一方、書きこみは、直交するビット線BLとワード線WLとを用いて行う。そして、これ

50

らビット線 B L 及びワード線 W L には、図 1 乃至図 8 に関して前述したような一軸異方性が付与された被覆層 S M が設けられている。

【 0 1 0 0 】

また、図 1 6 に表した具体例の場合、被覆層 S M に突出部 P が設けられ、ビット線 B L、ワード線 W L とともに被覆層 S M を磁気抵抗効果素子 C に近づけることができるため、さらに低消費電力、低電流で書き込みを行うことができる。

【 0 1 0 1 】

また、図 1 7 に表した具体例の場合、被覆層 S M の突出部 P が分割して設けられている。すなわち、突出部 P は、ビット線 B L に設けられた被覆層 S M から分離して、磁気抵抗効果素子 C に接続されている読み出し用ビット線 R B L の側面に設けられている。突出部 P を設ける場合には、ビット線 B L の周囲方向の被覆層の長さが長くなりやすいので、形状効果が低下する場合がある。これに対して、本具体例のように突出部 P を分離して設けることにより、形状効果による一軸異方性を付与することができる。

【 0 1 0 2 】

一方、更なる超大容量化メモリを実現するためには、メモリアレーを積層化できるアーキテクチャを用いて、多層化することが望ましい。

【 0 1 0 3 】

図 1 8 は、本発明において用いることができるアーキテクチャの第 2 の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を表す。このアーキテクチャにおいては、読み出し / 書き込み用ビット線 B L に磁気抵抗効果素子 C が並列に接続されている。それぞれの磁気抵抗効果素子 C の他端には、ダイオード D を介して読み出し / 書き込み用ワード線 W L が接続されている。

【 0 1 0 4 】

読み出し時には、目的の磁気抵抗効果素子 C に接続されているビット線 B L とワード線 W L とを選択トランジスタ S T により選択してセンスアンプ S A により電流を検出する。また、書き込み時には、やはり目的の磁気抵抗効果素子 C に接続されているビット線 B L とワード線 W L とを選択トランジスタ S T により選択して、書き込み電流を流す。この際に、ビット線 B L とワード線 W L にそれぞれ発生する磁界を合成した書き込み磁界が磁気抵抗効果素子 C の磁気記録層の磁化を所定の方向に向けることにより、書き込みができる。

【 0 1 0 5 】

ダイオード D は、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他の磁気抵抗効果素子 C を介して流れる迂回電流を遮断する役割を有する。

【 0 1 0 6 】

図 1 9 及び図 2 0 は、図 1 8 のアーキテクチャにおいて採用できる被覆層 S M の具体例を表す模式図である。

【 0 1 0 7 】

これらの図面においては、簡単のために、ビット線 B L、磁気抵抗効果素子 C、ダイオード D、ワード線 W L のみを表し、それら以外の要素は省略した。これら具体例のメモリセルにおいては、書きこみは、直交するビット線 B L とワード線 W L とを用いて行う。ビット線 B L 及びワード線 W L には、図 1 乃至図 8 に関して前述した被覆層 S M が設けられ、さらに、突出部 P も形成されている。

【 0 1 0 8 】

そして、図 2 0 の具体例の場合、突出部 P が分離してダイオード D の側面に設けられ、形状効果による一軸異方性がより確実に生ずるようにされている。

【 0 1 0 9 】

次に、本発明の磁気メモリに採用できるアーキテクチャの第 3 の具体例について説明する。

【 0 1 1 0 】

図 2 1 は、メモリアレーを積層化できるアーキテクチャの第 3 の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を表す。

【0111】

このアーキテクチャにおいては、読み出し／書き込み用ビット線BLと読み出し用ビット線Brとの間に複数の磁気抵抗効果素子Cが並列に接続された「ハシゴ型」の構成とされている。さらに、それぞれの磁気抵抗効果素子Cに近接して、書き込みワード線WLがビット線と交差する方向に配線されている。

【0112】

磁気抵抗効果素子への書き込みは、読み出し／書き込み用ビット線BLに書き込み電流を流すことにより発生する磁界と、書き込みワード線WLに書き込み電流を流すことにより発生する磁界との合成磁界を磁気抵抗効果素子の磁気記録層に作用させることにより、行うことができる。

10

【0113】

一方、読み出しの際には、ビット線BL及びBrの間で電圧を印加する。すると、これらの間で並列に接続されている全ての磁気抵抗効果素子に電流が流れる。この電流の合計をセンスアンプSAにより検出しながら、目的の磁気抵抗効果素子に近接したワード線WLに書き込み電流を印加して、目的の磁気抵抗効果素子の磁気記録層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的の磁気抵抗効果素子の読み出しを行うことができる。

【0114】

すなわち、書き換え前の磁気記録層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で磁気記録層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の磁気記録層の磁化方向すなわち、格納データを読み出すことができる。

20

【0115】

但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0116】

これに対して、磁気抵抗効果素子の構成を、磁化自由層／絶縁層（非磁性層）／磁気記録層、という構造とした場合には、いわゆる「非破壊読み出し」が可能である。すなわち、この構造の磁気抵抗効果素子を用いる場合には、磁気記録層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させてセンス電流を比較することにより、磁気記録層の磁化方向を読み出すことができる。但しこの場合には、磁気記録層の磁化反転磁界よりも磁化自由層の磁化反転磁界のほうが小さくなるように設計する必要がある。

30

【0117】

図22は、図18のアーキテクチャにおいて設けられる被覆層SMを例示する模式図である。ここでも、簡単のために、ビット線BL、磁気抵抗効果素子C、ワード線WLのみを表し、それら以外の要素は省略した。

図22に表した具体例においても、書き込みは、直交するビット線BLとワード線WLとを用いて行う。そして、これらに被覆層SMを設けることにより、書き込みクロストークの心配が無く、低消費電力、低電流で書き込みを行うことができる。

40

【0118】

次に、本発明の磁気メモリに採用できるアーキテクチャの第4の具体例について説明する。

【0119】

図23は、メモリアレーを積層化できるアーキテクチャの第4の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を表し、すなわち、同図(a)はビット線BLに対して垂直な方向から眺めた図、同図(b)はワード線WLに対して垂直な方向から眺めた図である。

【0120】

このアーキテクチャにおいては、読み出し／書き込み用ビット線BLに複数の磁気抵抗効

50

果素子Cが並列に接続され、これら磁気抵抗効果素子の他端には、それぞれ読み出し用ビット線B_rがマトリクス状に接続されている。

【0121】

さらに、これら読み出し用ビット線B_rに近接して、書き込み用ワード線W_Lが配線されている。

【0122】

磁気抵抗効果素子への書き込みは、読み出し/書き込み用ビット線B_Lに書き込み電流を流すことにより発生する磁界と、書き込みワード線W_Lに書き込み電流を流すことにより発生する磁界との合成磁界を磁気抵抗効果素子の磁気記録層に作用させることにより、行うことができる。

【0123】

一方、読み出しの際には、選択トランジスタS_Tによりビット線B_LとB_rとを選択することにより、目的の磁気抵抗効果素子にセンス電流を流してセンスアンプS_Aにより検出することができる。

【0124】

図24及び図25は、図23のアーキテクチャにおいて設けることができる被覆層S_Mを表す模式図である。すなわち、同図(a)はビット線B_Lに対して平行な方向から眺めた図、同図(b)はワード線W_Lに対して平行な方向から眺めた図である。

【0125】

なお、図24及び図25は、図23とは上下関係を反転させた状態を表す。また、これらの図面においても、簡単のために、ビット線B_L及びB_r、磁気抵抗効果素子C、ワード線W_Lのみを表し、それら以外の要素は省略した。

【0126】

図24に表したように、ビット線B_L及びワード線W_Lには、一軸異方性を有する被覆層S_Mを設け、さらにワード線においては突出部Pが形成されている。

【0127】

このようにすれば、クロストークの心配が無く、低消費電力、低電流で書き込みを行うことができる。

【0128】

また、図25に表した具体例の場合、ワード線W_Lにおいて、突出部Pが分離して設けられている。つまり、この突出部Pは、ワード線W_Lの周囲に設けられた被覆層S_Mとは分離して、読み出し用ビット線B_rの側面に形成されている。このように分離すれば、形状効果による一軸異方性が生じやすくなる。

【0129】

次に、本発明の磁気メモリに採用できるアーキテクチャの第5の具体例について説明する。

【0130】

図26は、本発明において用いることができるアーキテクチャの第5の具体例を表す模式図である。すなわち、同図は、メモリアレーの断面構造を表す。

【0131】

この具体例の場合、読み出し用ビット線B_rがリードを介して磁気抵抗効果素子に接続され、磁気抵抗効果素子の直下には書き込み用ワード線W_Lが配線されている。

【0132】

図27は、図26のアーキテクチャにおける被覆層の具体例を表す模式図である。同図においても、簡単のために、ビット線B_L、磁気抵抗効果素子C、ワード線W_Lのみを表し、それら以外の要素は省略した。このようにビット線B_Lおよびワード線W_Lに、一軸異方性を有する被覆層S_Mを設けることにより、書き込みクロストークの心配が無く、書き込み及び読み出し動作が安定で、低消費電力、低電流で書き込みを行うことができる。

【0133】

図28及び図29は、本発明において用いることができる被覆層のさらなる変型例を表す

10

20

30

40

50

模式図である。

【 0 1 3 4 】

すなわち、これらの図面に例示したように、磁気抵抗効果素子 C を絶縁体 I N により埋め込み、その両側を覆うように被覆層 S M を延出させて形成することもできる。

【 0 1 3 5 】

図 3 0 乃至図 3 7 は、図 1 8 乃至図 2 7 に表したアーキテクチャを積層させた構造を表す模式断面である。これらの図面については、図 1 乃至図 2 9 に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。

【 0 1 3 6 】

まず、図 3 0 及び図 3 1 は、図 1 8 乃至図 2 0 に関して前述したアーキテクチャを積層させた構造を表す。

10

【 0 1 3 7 】

図 3 0 の具体例の場合、書き込みワード線 W L をその上下の磁気抵抗効果素子 C 1、C 2 に対して共通に用いるので、被覆層 S M は、側面にのみ設ける。この場合にも、被覆層 S M に配線長手方向の一軸異方性を与えることにより、安定した記録、再生が可能となる。

【 0 1 3 8 】

一方、図 3 1 に表した具体例の場合、ワード線 W L の中に被覆層 S M が挿入されている。この被覆層 S M は、上下のビット線 B L から発生する書き込み磁界を遮断し、上下間の書き込みクロストークを抑制する役割を有する。また、この被覆層 S M を絶縁体により形成した場合には、その上下のワード線 W L をそれぞれ独立して用いることも可能である。

20

【 0 1 3 9 】

次に、図 3 2 及び図 3 3 は、図 2 1 及び図 2 2 に関して前述したアーキテクチャを積層させた構造を表す。

【 0 1 4 0 】

図 3 2 の具体例の場合、書き込みワード線 W L をその上下の磁気抵抗効果素子 C 1、C 2 に対して共通に用いるので、被覆層 S M は、側面にのみ設ける。この場合にも、被覆層 S M に配線長手方向の一軸異方性を与えることにより、安定した記録、再生が可能となる。

【 0 1 4 1 】

一方、図 3 3 に表した具体例の場合、ワード線 W L の中に被覆層 S M が挿入されている。この被覆層 S M は、上下のビット線 B L から発生する書き込み磁界を遮断し、上下間の書き込みクロストークを抑制する役割を有する。また、この被覆層 S M を絶縁体により形成した場合には、その上下のワード線 W L をそれぞれ独立して用いることも可能である。

30

【 0 1 4 2 】

次に、図 3 4 及び図 3 5 は、図 2 3 及び図 2 4 に関して前述したアーキテクチャを積層させた構造を表す。

【 0 1 4 3 】

図 3 4 の具体例の場合、書き込みワード線 W L をその上下の磁気抵抗効果素子 C 1、C 2 に対して共通に用いるので、被覆層 S M は、側面にのみ設ける。この場合にも、被覆層 S M に配線長手方向の一軸異方性を与えることにより、安定した記録、再生が可能となる。

【 0 1 4 4 】

一方、図 3 5 に表した具体例の場合、ワード線 W L の中に被覆層 S M が挿入されている。この被覆層 S M は、上下のビット線 B L から発生する書き込み磁界を遮断し、上下間の書き込みクロストークを抑制する役割を有する。また、この被覆層 S M を絶縁体により形成した場合には、その上下のワード線 W L をそれぞれ独立して用いることも可能である。

40

【 0 1 4 5 】

次に、図 3 6 及び図 3 7 は、図 2 6 及び図 2 7 に関して前述したアーキテクチャを積層させた構造を表す。

【 0 1 4 6 】

図 3 6 の具体例の場合、書き込みワード線 W L をその上下の磁気抵抗効果素子 C 1、C 2 に対して共通に用いるので、被覆層 S M は、側面にのみ設ける。この場合にも、被覆層 S

50

Mに配線長手方向の一軸異方性を与えることにより、安定した記録、再生が可能となる。

【0147】

一方、図37に表した具体例の場合、ワード線WLの中に被覆層SMが挿入されている。この被覆層SMは、上下のビット線BLから発生する書き込み磁界を遮断し、上下間の書き込みクロストークを抑制する役割を有する。また、この被覆層SMを絶縁体により形成した場合には、その上下のワード線WLをそれぞれ独立して用いることも可能である。

【0148】

以上、図30乃至図37に例示したように積層型の構造にすると、更なる大容量化が可能となる。このように積層化した場合にも、本発明は図1乃至図8に関して前述したように、顕著な作用効果を奏する。

【0149】

【実施例】

以下、実施例を参照しつつ本発明の実施の形態についてさらに詳細に説明する。

【0150】

(第1の実施例)

まず、本発明の第1の実施例として、図23及び図24に表した単純マトリクス構造のメモリアレーを基本として、10×10個のTMRセルを有する磁気メモリを形成した。

【0151】

この磁気メモリの構造について、その製造手順に沿って説明すれば、以下の如くである。

【0152】

図示しない基板上に、まず、下層のビット線BLとして、メッキ法によりニッケル鉄(NiFe)からなる被覆層SMを有する配線を形成した。ここで、配線の本体は、銅(Cu)からなる厚み1μmの導電層とした。しかる後に、絶縁層をCVD法で作製した後、CMP(Chemical Mechanical Polishing)を行い、平坦化を行った。その後、強磁性2重トンネル接合を有するTMRの積層構造膜をスパッタ法により成膜した。

【0153】

その各層の材質及び層厚は、下側から順に、Ta(30nm)/Ru(3nm)/Ir-Mn(8nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/AlOx(1nm)/CoFeNi(2nm)/Cu(1.5nm)/CoFeNi(2nm)/AlOx(1nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/Ir-Mn(8nm)/Ta(9nm)/Ru(30nm)とした。

【0154】

次に、最上層のRu層をハードマスクとして用い、塩素系のエッチングガスを用いたRIE(Reactive Ion Etching)により下側のRu/Ta配線層まで積層構造膜をエッチングすることにより、TMR素子の孤立パターンを作製した。

【0155】

その後、絶縁体としてSiOxを低温テオス(TEOS)法により堆積してCMPにより平坦化した後、読み出しビット線Brを成膜、パターニングにより形成した。

【0156】

その後、同様の方法で層間絶縁膜を形成し、平坦化を行った後、ワード線WLを成膜し、パターニングを行った後、メッキ法により被覆層SMを形成した。この際、被覆層SMの厚さは0.01μm~0.06μmとし、TMR素子の短軸の長さを0.25μmとし、長軸の長さ0.3μm~0.8μmの範囲で変化させた試料に対して、L₃(図2に表されている)の長さはTMRの長さ+0.15μmとした。

【0157】

また、上部ワード線WLと下部ワード線WLの被覆層SMの長さ(図2のL₁)をTMRの長軸の長さから2.0μmまでの範囲内で変化させた試料を作製した。L₁が2.0μmの時に、隣接する被覆層SM同士は完全につながって一体化する。このとき、ワード線WLの被覆層SMの膜面垂直方向の長さ(図2のL₂)は0.2μmとした。

【0158】

10

20

30

40

50

その後、磁場を印加可能な熱処理炉に導入し、TMR素子の磁気記録層に一軸異方性を導入し、また磁気固着層に一方向異方性を導入した。

【0159】

このようにして製作した本発明の磁気メモリにおいて、書き込みを10回行った後のTMR信号出力を測定し、チェッカーフラッグパターンでTMR素子の「1」レベルと「0」レベルとを反転し、動作不良の有無を調べた。その際、書き込み電流パルス電流値とパルス幅を最適化し、もっともクロストークが小さくなる条件で行った。

【0160】

この結果を、図38乃至図41に一覧表として表す。これらの結果から、被覆層SMにおいて、形状効果により一軸異方性が生じている場合には動作不良が観測されず、良好な特性が得られていることが分かる。

10

【0161】

すなわち、本実施例より、磁性被覆層の厚さが $0.06\mu\text{m}$ よりも薄い場合、また特に、 $L_1 > 1\mu\text{m} > (2L_2 + L_3)$ である場合に動作不良が無いことがわかる。

【0162】

また、上記実施例の配線に、Cu(厚み 0.5nm)を介してFeMn(厚み 8nm)とIrMn(厚み 4nm)をそれぞれの配線に付与した実施例の結果を、図42乃至図44に一覧表として表す。反強磁性膜が付与された場合、動作不良が著しく減少し、より好ましい効果が得られることが分かった。

【0163】

20

(第2の実施例)

次に、本発明の第2の実施例として、図26及び図27に表したマトリックス構造のメモリアレーを基本として、 10×10 個のTMRセルを有する磁気メモリを形成した。

【0164】

この磁気メモリの構造について、その製造手順に沿って説明すれば、以下の如くである。

【0165】

図示しない基板上に、まず、下層のビット線BLとして、メッキ法によりニッケル鉄(NiFe)からなる被覆層SMを有し、銅(Cu)からなる厚み $1\mu\text{m}$ の配線層を作製した。しかる後に、絶縁層をCVD法で作製した後、ビアを形成しW電極を埋め込んだ後、CMPを行い、平坦化を行った。その後、コンタクト配線Mxと強磁性2重トンネル接合を有するTMRの積層構造膜をスパッタ法により成膜した。

30

【0166】

その各層の材質及び層厚は、下側から順に、Ta(30nm)/Ru(3nm)/Pt-Mn(12nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/AlOx(1nm)/CoFeNi(2nm)/Ru(1.5nm)/CoFeNi(2nm)/AlOx(1nm)/CoFe(3nm)/Ru(1nm)/CoFe(3nm)/Pt-Mn(12nm)/Ta(9nm)/Ru(30nm)とした。

【0167】

次に、最上層のRu層をハードマスクとして用い、塩素系のエッチングガスを用いたRIEにより下側のRu/Ta配線層まで積層構造膜をエッチングすることにより、TMR素子の孤立パターンを作製した。

40

【0168】

その後、絶縁体としてSiOxを低温テオス法により堆積してCMPにより平坦化した後、読み出しビット線Brを成膜、パターンングにより形成した

その後、同様の方法で層間絶縁膜を形成し、平坦化を行った後、ワード線WLを成膜し、パターンングを行った後、メッキ法で被覆層SMを作製した。

【0169】

その際、磁性被覆配線の厚さは $0.01\mu\text{m}$ から $0.06\mu\text{m}$ の範囲で変化させ、TMRの短軸の長さを $0.25\mu\text{m}$ とし、長軸の長さ $0.3\mu\text{m}$ から $0.8\mu\text{m}$ の範囲で変化させた試料に対して、 L_3 の長さはTMRの長さプラス $0.15\mu\text{m}$ とした。また、上部ワ

50

ード線WLと下部ワード線WLの被覆層SMの長さ(L_1)を長軸の長さから $2.0\mu\text{m}$ までの範囲で変化させた試料を作製した。 L_1 が $2.0\mu\text{m}$ の場合に被覆層SMは完全につながる。このとき、ワード線WLに被覆した被覆層SMの膜面垂直方向の長さ(L_2)は $0.2\mu\text{m}$ とした。

【0170】

その後、磁場を印加可能な熱処理炉に導入し、TMR素子の磁気記録層に一軸異方性を、磁気固着層に一方異方性をそれぞれ導入した。

【0171】

このようにして製作した本発明の磁気メモリにおいて、書き込みを10回行った後のTMR信号出力を測定し、チェッカーフラッグパターンでTMR素子の「1」レベルと「0」レベルを反転し、動作不良の影響を調べた。その際、書き込み電流パルス電流値とパルス幅を最適化し、もっともクロストークが小さくなる条件で行った。

10

【0172】

この結果を、図45乃至図48に一覧表として表す。これらの結果から、被覆層SMにおいて、形状効果により一軸異方性が生じている場合には動作不良が観測されず、良好な特性が得られていることが分かる。

【0173】

すなわち、本実施例から、磁性被覆層の厚さが $<0.06\mu\text{m}$ よりも薄い場合、また特に、 $L_1 > 1\mu\text{m} > (2L_2 + L_3)$ である場合に、動作不良が無いことがわかる。

【0174】

20

また、上記実施例の配線に対して、Cu(厚み 0.7nm)を介してFeMn(厚み 6nm)とIrMn(厚み 5nm)をそれぞれの配線に付与した実施例の結果を、図49乃至図51に一覧表として表す。反強磁性膜が付与された場合、動作不良が著しく減少し、より高い効果が得られることが確認できた。

【0175】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、磁気メモリの磁気抵抗効果素子を構成する強磁性体層、絶縁膜、反強磁性体層、非磁性金属層、電極などの具体的な材料や、膜厚、形状、寸法などに関しては、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

30

【0176】

同様に、本発明の磁気メモリを構成する各要素の構造、材質、形状、寸法についても、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

【0177】

その他、本発明の実施の形態として上述した磁気メモリを基にして、当業者が適宜設計変更して実施しうるすべての磁気メモリも同様に本発明の範囲に属する。

【0178】

【発明の効果】

以上詳述したように、本発明によれば、超低消費電力・低電流・クロストークのない大容量磁気メモリを実現することができ、産業上のメリットは多大である。

40

【図面の簡単な説明】

【図1】本発明の磁気メモリのメモリセル要部を単純化して表した模式図であり、同図(a)はメモリセルに含まれる一対の書き込み配線及び磁気抵抗効果素子を表す正面図であり、同図(b)はその平面図、同図(c)はその側面図である。

【図2】形状効果により、長軸方向に沿った一軸異方性が生ずることを説明するための概念図である。

【図3】分割された被覆層SMを有する配線断面を例示する模式図である。

【図4】反強磁性体からなる層を積層させた被覆層を表す概念図である。

【図5】突出部を有する被覆層を例示する模式図である。

50

【図6】突出部Pを設けた場合の配線BL、WLと磁気抵抗効果素子Cとの関係を例示する模式図である。

【図7】突出部Pを設けた場合の配線BL、WLと磁気抵抗効果素子Cとの関係を例示する模式図である。

【図8】書き込み用電流パルスを印加した時の、被覆層の磁区(ドメイン)の変化を例示する模式図である。

【図9】本発明における磁気抵抗効果素子の磁気記録層の平面形態の具体例を表す模式図である。

【図10】強磁性1重トンネル接合を有する磁気抵抗効果素子の断面構造を表す模式図である。

10

【図11】強磁性1重トンネル接合を有する磁気抵抗効果素子の断面構造を表す模式図である。

【図12】強磁性2重トンネル接合を有する磁気抵抗効果素子の断面構造を例示する模式図である。

【図13】強磁性2重トンネル接合を有する磁気抵抗効果素子の断面構造を例示する模式図である。

【図14】強磁性2重トンネル接合を有する磁気抵抗効果素子の断面構造を例示する模式図である。

【図15】スイッチングトランジスタを用いた場合のセルのアーキテクチャを表す模式断面図である。

20

【図16】スイッチングトランジスタを用いた場合のセルのアーキテクチャを表す模式断面図である。

【図17】スイッチングトランジスタを用いた場合のセルのアーキテクチャを表す模式断面図である。

【図18】本発明において用いることができるアーキテクチャの第2の具体例を表す模式図である。

【図19】図18のアーキテクチャにおいて採用できる被覆層SMの具体例を表す模式図である。

【図20】図18のアーキテクチャにおいて採用できる被覆層SMの具体例を表す模式図である。

30

【図21】メモリアレーを積層化できるアーキテクチャの第3の具体例を表す模式図である。

【図22】図18のアーキテクチャにおいて設けられる被覆層SMを例示する模式図である。

【図23】メモリアレーを積層化できるアーキテクチャの第4の具体例を表す模式図である。

【図24】図23のアーキテクチャにおいて設けることができる被覆層SMを表す模式図である。

【図25】図23のアーキテクチャにおいて設けることができる被覆層SMを表す模式図である。

40

【図26】本発明において用いることができるアーキテクチャの第5の具体例を表す模式図である。

【図27】図26のアーキテクチャにおける被覆層の具体例を表す模式図である。

【図28】本発明において用いることができる被覆層のさらなる変型例を表す模式図である。

【図29】本発明において用いることができる被覆層のさらなる変型例を表す模式図である。

【図30】図18乃至図20に関して前述したアーキテクチャを積層させた構造を表す。

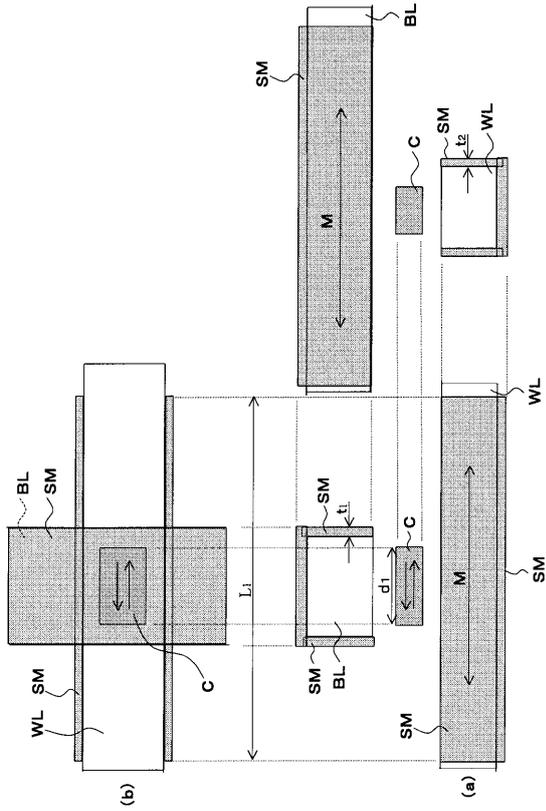
【図31】図18乃至図20に関して前述したアーキテクチャを積層させた構造を表す。

【図32】図21及び図22に関して前述したアーキテクチャを積層させた構造を表す。

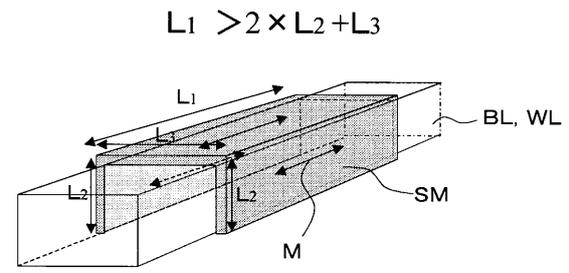
50

- 【図 3 3】図 2 1 及び図 2 2 に関して前述したアーキテクチャを積層させた構造を表す。
- 【図 3 4】図 2 3 及び図 2 4 に関して前述したアーキテクチャを積層させた構造を表す。
- 【図 3 5】図 2 3 及び図 2 4 に関して前述したアーキテクチャを積層させた構造を表す。
- 【図 3 6】図 2 6 及び図 2 7 に関して前述したアーキテクチャを積層させた構造を表す。
- 【図 3 7】図 2 6 及び図 2 7 に関して前述したアーキテクチャを積層させた構造を表す。
- 【図 3 8】第 1 の実施例における評価結果を表す一覧表である。
- 【図 3 9】第 1 の実施例における評価結果を表す一覧表である。
- 【図 4 0】第 1 の実施例における評価結果を表す一覧表である。
- 【図 4 1】第 1 の実施例における評価結果を表す一覧表である。
- 【図 4 2】第 1 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。 10
- 【図 4 3】第 1 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。
- 【図 4 4】第 1 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。
- 【図 4 5】第 2 の実施例における評価結果を表す一覧表である。
- 【図 4 6】第 2 の実施例における評価結果を表す一覧表である。
- 【図 4 7】第 2 の実施例における評価結果を表す一覧表である。
- 【図 4 8】第 2 の実施例における評価結果を表す一覧表である。
- 【図 4 9】第 2 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。 20
- 【図 5 0】第 2 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。
- 【図 5 1】第 2 実施例の配線に反強磁性膜を付与した変型例における評価結果を表す一覧表である。
- 【符号の説明】
- A F 反強磁性層
- B F 下地層
- B L ビット線
- C、C 1、C 2 磁気抵抗効果素子 30
- T 選択トランジスタ
- D ダイオード
- W L ワード線
- F M、F M 1、F M 2 強磁性層
- I 電流
- N M 非磁性層
- P B 保護層
- S A アンブ
- S L 積層膜
- S M 被覆層 40
- S T 選択トランジスタ
- S T B 選択トランジスタ
- T B トンネルバリア層

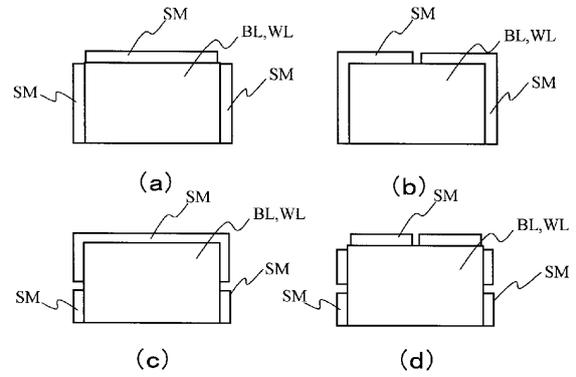
【図1】



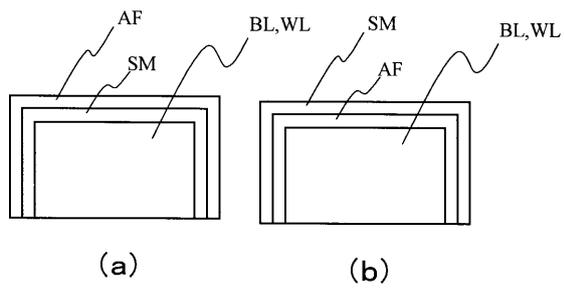
【図2】



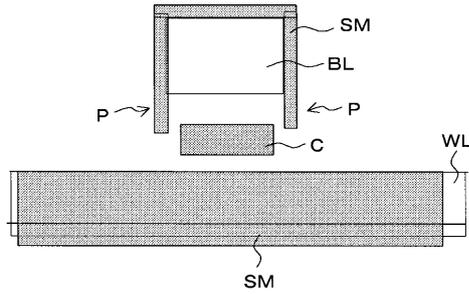
【図3】



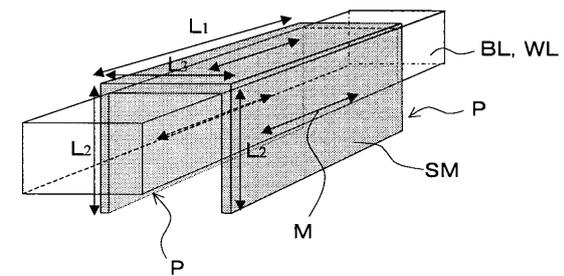
【図4】



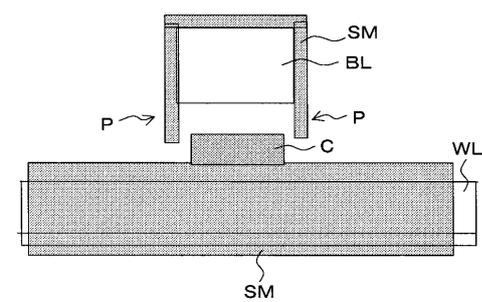
【図6】



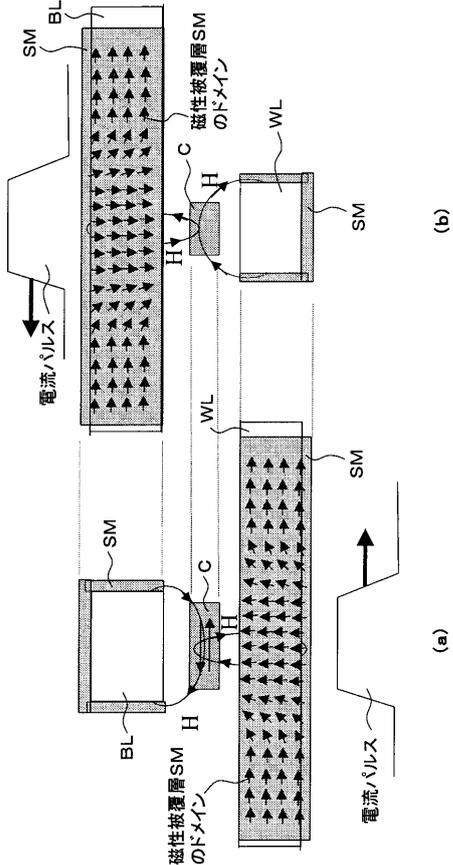
【図5】



【図7】

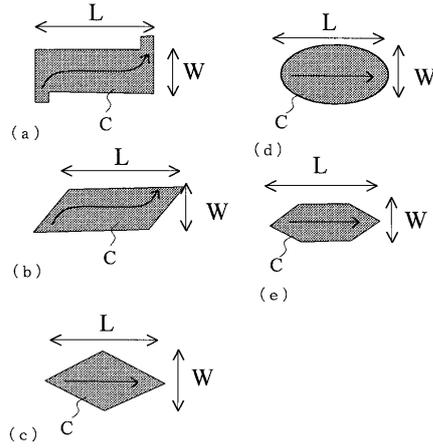


【図8】

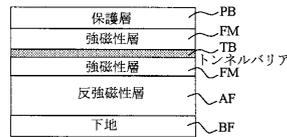


【図9】

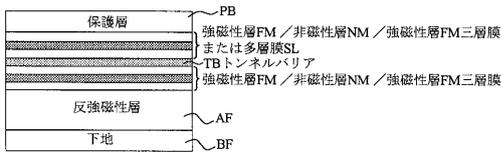
C形状 (Top view)



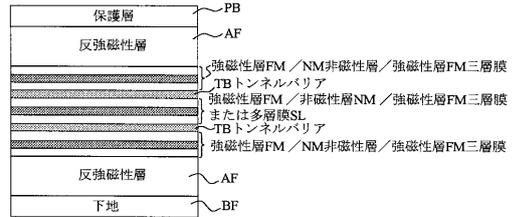
【図10】



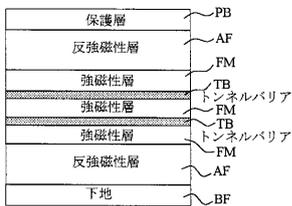
【図11】



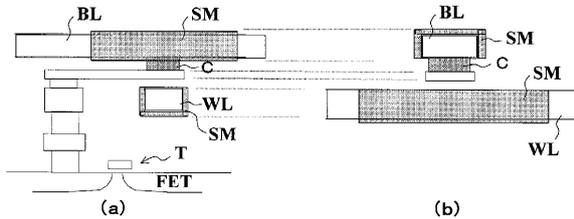
【図14】



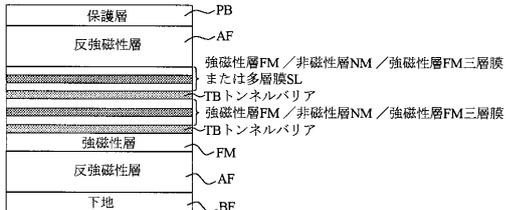
【図12】



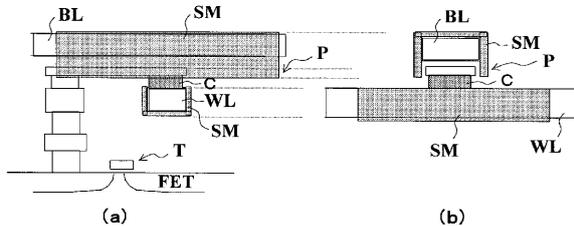
【図15】



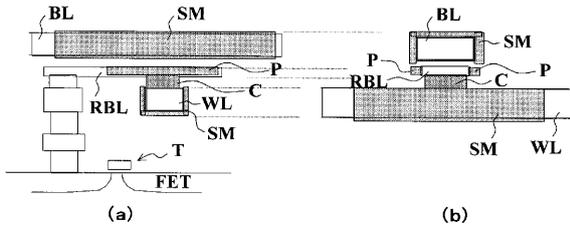
【図13】



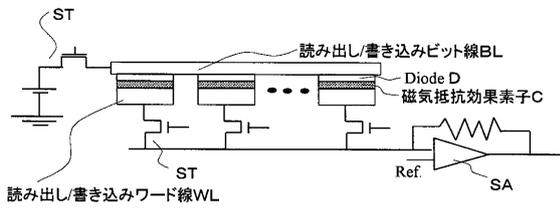
【図16】



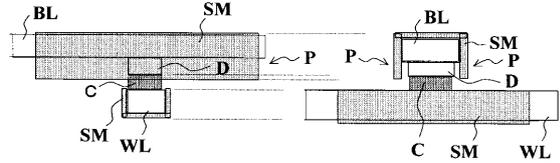
【図17】



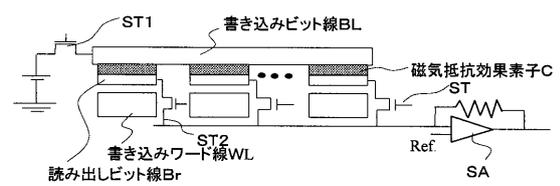
【図18】



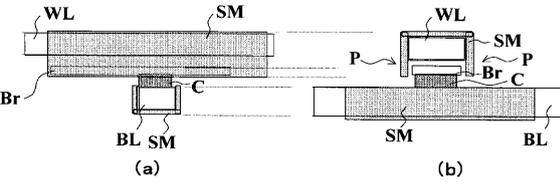
【図19】



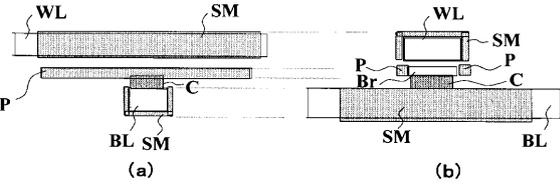
【図23】



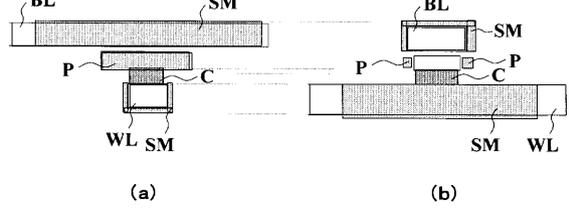
【図24】



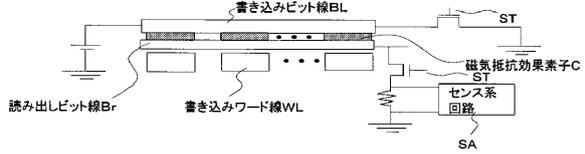
【図25】



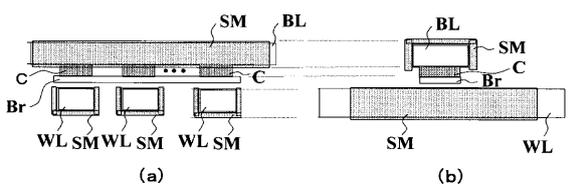
【図20】



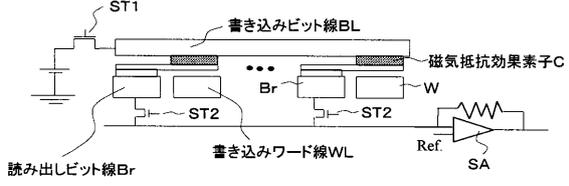
【図21】



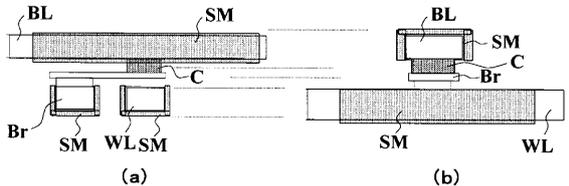
【図22】



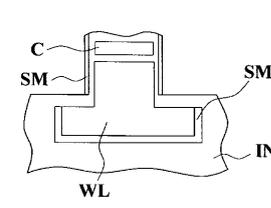
【図26】



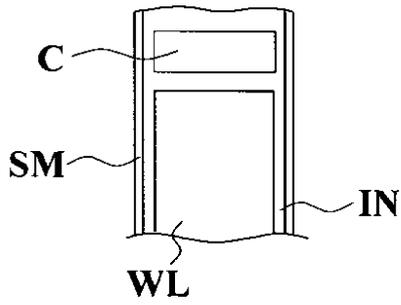
【図27】



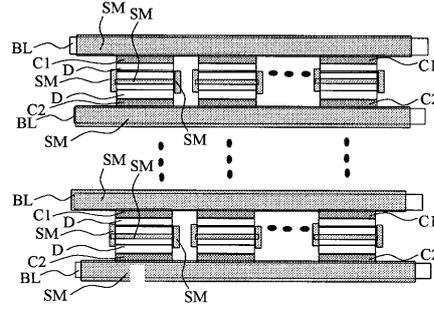
【図28】



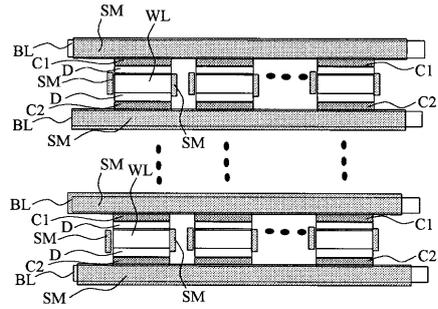
【図 29】



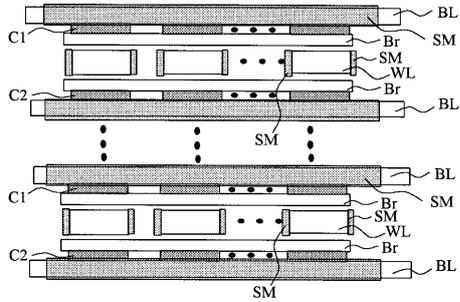
【図 31】



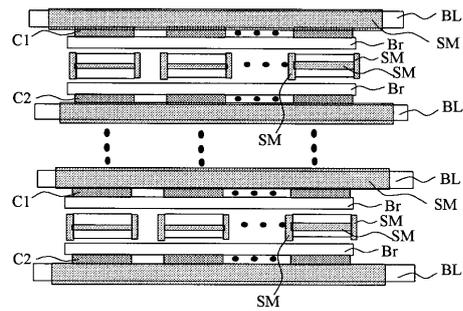
【図 30】



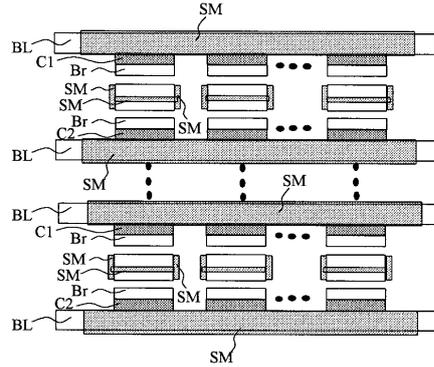
【図 32】



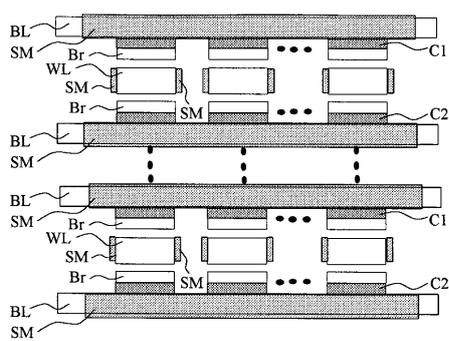
【図 33】



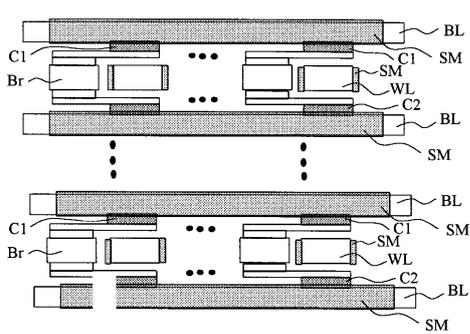
【図 35】



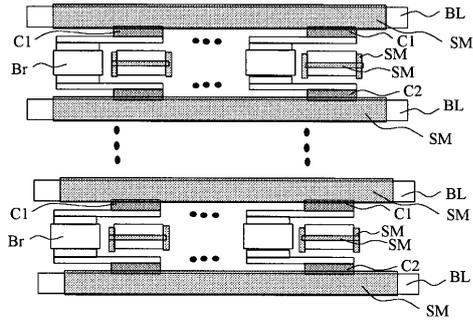
【図 34】



【図 36】



【図 37】



【図 38】

磁性被覆記 膜厚さ (μm)	TMR長軸の 長さ(μm)	L3の長さ (μm)	被覆の長さ L1(μm)	動作不良 有無
0.001	0.3	0.45	0.3	有
0.002	0.3	0.45	0.3	有
0.004	0.3	0.45	0.3	有
0.006	0.3	0.45	0.3	有
0.001	0.45	0.8	0.45	有
0.002	0.45	0.8	0.45	有
0.004	0.45	0.8	0.45	有
0.006	0.45	0.8	0.45	有
0.001	0.6	0.75	0.6	有
0.002	0.6	0.75	0.6	有
0.004	0.6	0.75	0.6	有
0.006	0.6	0.75	0.6	有
0.001	0.8	0.95	0.8	有
0.002	0.8	0.95	0.8	有
0.004	0.8	0.95	0.8	有
0.006	0.8	0.95	0.8	有
0.001	0.3	0.45	0.5	有
0.002	0.3	0.45	0.5	有
0.004	0.3	0.45	0.5	有
0.006	0.3	0.45	0.5	有
0.001	0.45	0.8	0.85	有
0.002	0.45	0.8	0.85	有
0.004	0.45	0.8	0.85	有
0.006	0.45	0.8	0.85	有
0.001	0.6	0.75	0.8	有
0.002	0.6	0.75	0.8	有
0.004	0.6	0.75	0.8	有
0.006	0.6	0.75	0.8	有
0.001	0.8	0.95	1	有
0.002	0.8	0.95	1	有
0.004	0.8	0.95	1	有
0.006	0.8	0.95	1	有

【図 39】

磁性被覆記 膜厚さ (μm)	TMR長軸の 長さ(μm)	L3の長さ (μm)	被覆の長さ L1(μm)	動作不良 有無
0.001	0.3	0.45	0.7	有
0.002	0.3	0.45	0.7	有
0.004	0.3	0.45	0.7	有
0.006	0.3	0.45	0.7	有
0.001	0.45	0.8	0.85	有
0.002	0.45	0.8	0.85	有
0.004	0.45	0.8	0.85	有
0.006	0.45	0.8	0.85	有
0.001	0.6	0.75	1	有
0.002	0.6	0.75	1	有
0.004	0.6	0.75	1	有
0.006	0.6	0.75	1	有
0.001	0.8	0.95	1.2	有
0.002	0.8	0.95	1.2	有
0.004	0.8	0.95	1.2	有
0.006	0.8	0.95	1.2	有
0.001	0.3	0.45	0.9	無
0.002	0.3	0.45	0.9	無
0.004	0.3	0.45	0.9	無
0.006	0.3	0.45	0.9	有
0.001	0.45	0.8	1.05	無
0.002	0.45	0.8	1.05	無
0.004	0.45	0.8	1.05	無
0.006	0.45	0.8	1.05	有
0.001	0.6	0.75	1.2	有
0.002	0.6	0.75	1.2	有
0.004	0.6	0.75	1.2	有
0.006	0.6	0.75	1.2	有
0.001	0.8	0.95	1.4	有
0.002	0.8	0.95	1.4	有
0.004	0.8	0.95	1.4	有
0.006	0.8	0.95	1.4	有

【図 40】

磁性被覆記 膜厚さ (μm)	TMR長軸の 長さ(μm)	L3の長さ (μm)	被覆の長さ L1(μm)	動作不良 有無
0.001	0.3	0.45	1.1	無
0.002	0.3	0.45	1.1	無
0.004	0.3	0.45	1.1	無
0.006	0.3	0.45	1.1	有
0.001	0.45	0.8	1.25	無
0.002	0.45	0.8	1.25	無
0.004	0.45	0.8	1.25	無
0.006	0.45	0.8	1.25	有
0.001	0.6	0.75	1.4	無
0.002	0.6	0.75	1.4	有
0.004	0.6	0.75	1.4	有
0.006	0.6	0.75	1.4	有
0.001	0.8	0.95	1.6	有
0.002	0.8	0.95	1.6	有
0.004	0.8	0.95	1.6	有
0.006	0.8	0.95	1.6	有
0.001	0.3	0.45	1.45	無
0.002	0.3	0.45	1.45	無
0.004	0.3	0.45	1.45	無
0.006	0.3	0.45	1.45	有
0.001	0.45	0.8	1.6	無
0.002	0.45	0.8	1.6	無
0.004	0.45	0.8	1.6	無
0.006	0.45	0.8	1.6	有
0.001	0.6	0.75	1.8	有
0.002	0.6	0.75	1.8	有
0.004	0.6	0.75	1.8	無
0.006	0.6	0.75	1.8	有
0.001	0.8	0.95	1.5	有
0.002	0.8	0.95	1.5	有
0.004	0.8	0.95	1.5	有
0.006	0.8	0.95	1.5	有

【 図 4 1 】

磁性被覆 厚さt (μm)	TMR長軸 長さ(μm)	L3の長さ (μm)	被覆の長さ L1(μm)	動作不良 有無
0.001	0.3	0.45	1.7	無
0.002	0.3	0.45	1.7	無
0.004	0.3	0.45	1.7	無
0.006	0.3	0.45	1.7	有
0.001	0.45	0.6	1.85	無
0.002	0.45	0.6	1.85	無
0.004	0.45	0.6	1.85	無
0.006	0.45	0.6	1.85	有
0.001	0.6	0.75	2	有
0.002	0.6	0.75	2	有
0.004	0.6	0.75	2	有
0.006	0.6	0.75	2	有
0.001	0.3	0.45	2	無
0.002	0.3	0.45	2	無
0.004	0.3	0.45	2	有
0.006	0.3	0.45	2	有
0.001	0.45	0.6	2	無
0.002	0.45	0.6	2	無
0.004	0.45	0.6	2	無
0.006	0.45	0.6	2	有

【 図 4 2 】

磁性被覆 配線厚さt (μm)	TMR長軸 の長さ (μm)	L3の長さ (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	0.3	有
0.002	0.3	0.45	0.3	無
0.004	0.3	0.45	0.3	無
0.006	0.3	0.45	0.3	無
0.001	0.45	0.6	0.45	有
0.002	0.45	0.6	0.45	無
0.004	0.45	0.6	0.45	無
0.006	0.45	0.6	0.45	無
0.001	0.6	0.75	0.6	有
0.002	0.6	0.75	0.6	無
0.004	0.6	0.75	0.6	無
0.006	0.6	0.75	0.6	無
0.001	0.8	0.95	0.8	無
0.002	0.8	0.95	0.8	無
0.004	0.8	0.95	0.8	無
0.006	0.8	0.95	0.8	有
0.001	0.3	0.45	0.5	無
0.002	0.3	0.45	0.5	無
0.004	0.3	0.45	0.5	無
0.006	0.3	0.45	0.5	有

【 図 4 5 】

磁性被覆 配線厚さt (μm)	TMR長軸 の長さ (μm)	L3の長さ (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	0.3	有
0.002	0.3	0.45	0.3	有
0.004	0.3	0.45	0.3	有
0.006	0.3	0.45	0.3	有
0.001	0.45	0.6	0.45	有
0.002	0.45	0.6	0.45	有
0.004	0.45	0.6	0.45	有
0.006	0.45	0.6	0.45	有
0.001	0.6	0.75	0.6	有
0.002	0.6	0.75	0.6	有
0.004	0.6	0.75	0.6	有
0.006	0.6	0.75	0.6	有
0.001	0.8	0.95	0.8	有
0.002	0.8	0.95	0.8	有
0.004	0.8	0.95	0.8	有
0.006	0.8	0.95	0.8	有
0.001	0.3	0.45	0.5	有
0.002	0.3	0.45	0.5	有
0.004	0.3	0.45	0.5	有
0.006	0.3	0.45	0.5	有
0.001	0.45	0.6	0.85	有
0.002	0.45	0.6	0.85	有
0.004	0.45	0.6	0.85	有
0.006	0.45	0.6	0.85	有
0.001	0.6	0.75	0.8	有
0.002	0.6	0.75	0.8	有
0.004	0.6	0.75	0.8	有
0.006	0.6	0.75	0.8	有
0.001	0.8	0.95	1	有
0.002	0.8	0.95	1	有
0.004	0.8	0.95	1	有
0.006	0.8	0.95	1	有

【 図 4 3 】

磁性被覆 配線厚さt (μm)	TMR長軸 の長さ (μm)	L3の長さ (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	0.7	有
0.002	0.3	0.45	0.7	無
0.004	0.3	0.45	0.7	無
0.006	0.3	0.45	0.7	無
0.001	0.45	0.6	0.85	無
0.002	0.45	0.6	0.85	無
0.004	0.45	0.6	0.85	無
0.006	0.45	0.6	0.85	有
0.001	0.6	0.75	1	無
0.002	0.6	0.75	1	無
0.004	0.6	0.75	1	有
0.006	0.6	0.75	1	有
0.001	0.8	0.95	1.2	無
0.002	0.8	0.95	1.2	無
0.004	0.8	0.95	1.2	無
0.006	0.8	0.95	1.2	無
0.001	0.3	0.45	0.9	無
0.002	0.3	0.45	0.9	無
0.004	0.3	0.45	0.9	有
0.006	0.3	0.45	0.9	有

【 図 4 4 】

磁性被覆 配線厚さt (μm)	TMR長軸 の長さ (μm)	L3の長さ (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	1.1	無
0.002	0.3	0.45	1.1	無
0.004	0.3	0.45	1.1	無
0.006	0.3	0.45	1.1	有
0.001	0.45	0.6	1.25	無
0.002	0.45	0.6	1.25	無
0.004	0.45	0.6	1.25	無
0.006	0.45	0.6	1.25	無
0.001	0.6	0.75	1.4	無
0.002	0.6	0.75	1.4	無
0.004	0.6	0.75	1.4	有
0.006	0.6	0.75	1.4	無
0.001	0.8	0.95	1.6	有
0.002	0.8	0.95	1.6	無
0.004	0.8	0.95	1.6	無
0.006	0.8	0.95	1.6	無
0.001	0.3	0.45	1.45	無
0.002	0.3	0.45	1.45	無
0.004	0.3	0.45	1.45	有
0.006	0.3	0.45	1.45	有

【 図 4 6 】

磁性被覆 配線厚さt (μm)	TMR長軸 の長さ (μm)	L3の長さ (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	0.7	有
0.002	0.3	0.45	0.7	有
0.004	0.3	0.45	0.7	有
0.006	0.3	0.45	0.7	有
0.001	0.45	0.6	0.85	有
0.002	0.45	0.6	0.85	有
0.004	0.45	0.6	0.85	有
0.006	0.45	0.6	0.85	有
0.001	0.6	0.75	1	有
0.002	0.6	0.75	1	有
0.004	0.6	0.75	1	有
0.006	0.6	0.75	1	有
0.001	0.8	0.95	1.2	有
0.002	0.8	0.95	1.2	有
0.004	0.8	0.95	1.2	有
0.006	0.8	0.95	1.2	有
0.001	0.3	0.45	0.9	無
0.002	0.3	0.45	0.9	無
0.004	0.3	0.45	0.9	無
0.006	0.3	0.45	0.9	有
0.001	0.45	0.6	1.05	無
0.002	0.45	0.6	1.05	無
0.004	0.45	0.6	1.05	無
0.006	0.45	0.6	1.05	有
0.001	0.6	0.75	1.2	有
0.002	0.6	0.75	1.2	有
0.004	0.6	0.75	1.2	有
0.006	0.6	0.75	1.2	有
0.001	0.8	0.95	1.4	有
0.002	0.8	0.95	1.4	有
0.004	0.8	0.95	1.4	有
0.006	0.8	0.95	1.4	有

【 図 4 7 】

磁性被覆 配線厚さ (μm)	TMR長軸 の長さ (μm)	被覆の長		動作不良 の有無
		L3の長さ (μm)	さL1 (μm)	
0.001	0.3	0.45	1.1	無
0.002	0.3	0.45	1.1	無
0.004	0.3	0.45	1.1	無
0.006	0.3	0.45	1.1	有
0.001	0.45	0.6	1.25	無
0.002	0.45	0.6	1.25	無
0.004	0.45	0.6	1.25	無
0.006	0.45	0.6	1.25	有
0.001	0.6	0.75	1.4	有
0.002	0.6	0.75	1.4	有
0.004	0.6	0.75	1.4	有
0.006	0.6	0.75	1.4	有
0.001	0.8	0.95	1.6	有
0.002	0.8	0.95	1.6	有
0.004	0.8	0.95	1.6	有
0.006	0.8	0.95	1.6	有
0.001	0.3	0.45	1.45	無
0.002	0.3	0.45	1.45	無
0.004	0.3	0.45	1.45	無
0.006	0.3	0.45	1.45	有
0.001	0.45	0.6	1.6	無
0.002	0.45	0.6	1.6	無
0.004	0.45	0.6	1.6	無
0.006	0.45	0.6	1.6	有
0.001	0.6	0.75	1.8	有
0.002	0.6	0.75	1.8	有
0.004	0.6	0.75	1.8	有
0.006	0.6	0.75	1.8	有
0.001	0.8	0.95	1.5	有
0.002	0.8	0.95	1.5	有
0.004	0.8	0.95	1.5	有
0.006	0.8	0.95	1.5	有

【 図 4 8 】

磁性被覆 配線厚さ (μm)	TMR長軸 の長さ (μm)	被覆の長		動作不良 の有無
		L3の長さ (μm)	さL1 (μm)	
0.001	0.3	0.45	1.7	無
0.002	0.3	0.45	1.7	無
0.004	0.3	0.45	1.7	無
0.006	0.3	0.45	1.7	有
0.001	0.45	0.6	1.85	無
0.002	0.45	0.6	1.85	無
0.004	0.45	0.6	1.85	無
0.006	0.45	0.6	1.85	有
0.001	0.6	0.75	2	無
0.002	0.6	0.75	2	有
0.004	0.6	0.75	2	有
0.006	0.6	0.75	2	有
0.001	0.3	0.45	2	無
0.002	0.3	0.45	2	無
0.004	0.3	0.45	2	無
0.006	0.3	0.45	2	有
0.001	0.45	0.6	2	無
0.002	0.45	0.6	2	無
0.004	0.45	0.6	2	無
0.006	0.45	0.6	2	有

【 図 4 9 】

磁性被覆 配線厚さ (μm)	TMR長軸 の長さ (μm)	被覆の長		動作不良 の有無
		L3の長さ (μm)	さL1 (μm)	
0.001	0.3	0.45	0.3	有
0.002	0.3	0.45	0.3	有
0.004	0.3	0.45	0.3	無
0.006	0.3	0.45	0.3	無
0.001	0.45	0.6	0.45	有
0.002	0.45	0.6	0.45	無
0.004	0.45	0.6	0.45	無
0.006	0.45	0.6	0.45	有
0.001	0.6	0.75	0.6	無
0.002	0.6	0.75	0.6	無
0.004	0.6	0.75	0.6	無
0.006	0.6	0.75	0.6	有
0.001	0.8	0.95	0.8	無
0.002	0.8	0.95	0.8	無
0.004	0.8	0.95	0.8	無
0.006	0.8	0.95	0.8	有
0.001	0.3	0.45	0.5	無
0.002	0.3	0.45	0.5	無
0.004	0.3	0.45	0.5	無
0.006	0.3	0.45	0.5	有
0.001	0.45	0.6	0.65	有
0.002	0.45	0.6	0.65	無
0.004	0.45	0.6	0.65	無
0.006	0.45	0.6	0.65	無

【 図 5 0 】

磁性被覆 配線厚さ (μm)	TMR長軸 の長さ (μm)	被覆の長		動作不良 の有無
		L3の長さ (μm)	さL1 (μm)	
0.001	0.3	0.45	0.7	有
0.002	0.3	0.45	0.7	無
0.004	0.3	0.45	0.7	有
0.006	0.3	0.45	0.7	有
0.001	0.45	0.6	0.85	無
0.002	0.45	0.6	0.85	無
0.004	0.45	0.6	0.85	無
0.006	0.45	0.6	0.85	有
0.001	0.6	0.75	1	無
0.002	0.6	0.75	1	有
0.004	0.6	0.75	1	無
0.006	0.6	0.75	1	有
0.001	0.8	0.95	1.2	無
0.002	0.8	0.95	1.2	無
0.004	0.8	0.95	1.2	無
0.006	0.8	0.95	1.2	有
0.001	0.3	0.45	0.9	無
0.002	0.3	0.45	0.9	無
0.004	0.3	0.45	0.9	無
0.006	0.3	0.45	0.9	無
0.001	0.45	0.6	1.05	無
0.002	0.45	0.6	1.05	無
0.004	0.45	0.6	1.05	無
0.006	0.45	0.6	1.05	無

【図 5 1】

磁性被覆 配線厚さ (μm)	TMR長軸 の長さ (μm)	被覆の長 さL3 (μm)	被覆の長 さL1 (μm)	動作不良 有無
0.001	0.3	0.45	1.1	無
0.002	0.3	0.45	1.1	無
0.004	0.3	0.45	1.1	無
0.006	0.3	0.45	1.1	有
0.001	0.45	0.6	1.25	無
0.002	0.45	0.6	1.25	無
0.004	0.45	0.6	1.25	無
0.006	0.45	0.6	1.25	有
0.001	0.6	0.75	1.4	無
0.002	0.6	0.75	1.4	無
0.004	0.6	0.75	1.4	無
0.006	0.6	0.75	1.4	無
0.001	0.8	0.95	1.6	無
0.002	0.8	0.95	1.6	無
0.004	0.8	0.95	1.6	無
0.006	0.8	0.95	1.6	無
0.001	0.3	0.45	1.45	無
0.002	0.3	0.45	1.45	無
0.004	0.3	0.45	1.45	無
0.006	0.3	0.45	1.45	無
0.001	0.45	0.6	1.6	無
0.002	0.45	0.6	1.6	無
0.004	0.45	0.6	1.6	無
0.006	0.45	0.6	1.6	無

フロントページの続き

- (72)発明者 高橋 茂樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 上田 知正
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 西山 勝哉
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 與田 博明
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 浅尾 吉昭
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 河口 雅英

- (56)参考文献 国際公開第00/038191(WO, A1)
米国特許第05940319(US, A)
特開2001-284550(JP, A)
特開2002-289807(JP, A)
特表2002-522915(JP, A)
特開2000-090658(JP, A)
特開平09-204770(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105
H01L 21/8246
G11C 11/14
G11C 11/15
H01L 43/08