



(12) 发明专利

(10) 授权公告号 CN 114170967 B

(45) 授权公告日 2024.08.16

(21) 申请号 202111576893.0

G09G 3/3233 (2016.01)

(22) 申请日 2021.12.22

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 112397021 A, 2021.02.23

申请公布号 CN 114170967 A

CN 112639940 A, 2021.04.09

CN 113725234 A, 2021.11.30

(43) 申请公布日 2022.03.11

CN 102569362 A, 2012.07.11

(73) 专利权人 云谷(固安)科技有限公司

审查员 王鑫

地址 065500 河北省廊坊市固安县新兴产业示范区

(72) 发明人 陈发祥 马应海 刘雪 郭双

郭子栋

(74) 专利代理机构 北京远智汇知识产权代理有限公司

11659

专利代理师 范坤坤

(51) Int. Cl.

G09G 3/3225 (2016.01)

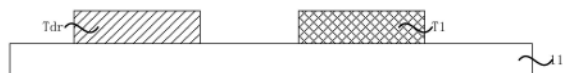
权利要求书2页 说明书10页 附图10页

(54) 发明名称

阵列基板、阵列基板的制作方法和显示面板

(57) 摘要

本发明公开了一种阵列基板、阵列基板的制作方法和显示面板。该阵列基板包括：基板；像素驱动电路，设置于基板上，像素驱动电路包括驱动晶体管和第一晶体管，第一晶体管位于驱动晶体管的栅极漏电路径上，第一晶体管的阈值电压大于驱动晶体管的阈值电压。通过设置第一晶体管的阈值电压大于驱动晶体管的阈值电压，从而使得第一晶体管在关断状态下的漏电流比较小，从而可以减小第一晶体管所在的驱动晶体管的栅极漏电路径上的漏电流，增加了驱动晶体管的栅极电位保持时间，使得驱动晶体管形成的驱动电流比较稳定，降低了显示面板的闪烁现象，提高了显示面板的显示画质。



1. 一种阵列基板,其特征在于,包括:

基板;

像素驱动电路,设置于所述基板上,所述像素驱动电路包括驱动晶体管和第一晶体管,所述第一晶体管位于所述驱动晶体管的栅极漏电路径上,所述第一晶体管的阈值电压大于所述驱动晶体管的阈值电压,使得所述第一晶体管的阈值电压相对于所述驱动晶体管的阈值电压偏正,以减小所述第一晶体管在关断时的漏电流;

所述像素驱动电路还包括第二晶体管,所述第二晶体管位于所述驱动晶体管的栅极漏电路径上,所述第二晶体管的阈值电压大于所述驱动晶体管的阈值电压;所述第二晶体管和所述第一晶体管位于所述驱动晶体管不同的栅极漏电路径上;

其中,所述阵列基板中的半导体层为多晶硅层,所述半导体层用于形成所述驱动晶体管、所述第一晶体管和所述第二晶体管的沟道。

2. 根据权利要求1所述的阵列基板,其特征在于,所述像素驱动电路包括阈值补偿晶体管和初始化晶体管;所述初始化晶体管的栅极与第一扫描信号输入端连接,所述初始化晶体管的第一极与参考信号输入端连接,所述初始化晶体管的第二极和所述阈值补偿晶体管的第二极与所述驱动晶体管的栅极连接,所述阈值补偿晶体管的栅极与第二扫描信号输入端连接,所述阈值补偿晶体管的第一极与所述驱动晶体管的第二极连接,所述驱动晶体管的第一极与第一电压输入端连接;

所述驱动晶体管的栅极漏电路径上的晶体管为阈值补偿晶体管;或者,所述驱动晶体管的栅极漏电路径上的晶体管为栅极初始化晶体管。

3. 根据权利要求1所述的阵列基板,其特征在于,所述驱动晶体管的栅极漏电路径上的晶体管为双栅晶体管。

4. 一种阵列基板的制作方法,其特征在于,包括:

在基板上形成像素驱动电路;其中,所述像素驱动电路包括驱动晶体管和第一晶体管,所述第一晶体管位于所述驱动晶体管的栅极漏电路径上,所述第一晶体管的阈值电压大于所述驱动晶体管的阈值电压,使得所述第一晶体管的阈值电压相对于所述驱动晶体管的阈值电压偏正,以减小所述第一晶体管在关断时的漏电流;所述像素驱动电路还包括第二晶体管,所述第二晶体管位于所述驱动晶体管的栅极漏电路径上,所述第二晶体管的阈值电压大于所述驱动晶体管的阈值电压;所述第二晶体管和所述第一晶体管位于所述驱动晶体管不同的栅极漏电路径上;其中,所述阵列基板中的半导体层为多晶硅层,所述半导体层用于形成所述驱动晶体管、所述第一晶体管和所述第二晶体管的沟道。

5. 根据权利要求4所述的阵列基板的制作方法,其特征在于,在基板上形成像素驱动电路,包括:

在所述基板上形成半导体层;

图案化所述半导体层,形成第一沟道区和至少一个第二沟道区;其中,所述第一沟道区用于形成所述驱动晶体管的沟道,至少一个所述第二沟道区用于形成所述第一晶体管的沟道;

对所述第二沟道区进行离子注入,使所述第二沟道区的离子浓度大于所述第一沟道区的离子浓度;

基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管和所述第一晶体管。

6. 根据权利要求5所述的阵列基板的制作方法,其特征在于,图案化所述半导体层,形成第一沟道区和至少一个第二沟道区,包括:

图案化所述半导体层,形成第一沟道区和两个第二沟道区;其中,所述第一沟道区用于形成所述驱动晶体管的沟道,一个所述第二沟道区用于形成所述第一晶体管的沟道,一个所述第二沟道区用于形成所述第二晶体管的沟道;

基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管和所述第一晶体管,包括:

基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管、所述第一晶体管和所述第二晶体管。

7. 根据权利要求5或6所述的阵列基板的制作方法,其特征在于,对所述第二沟道区进行离子注入,使所述第二沟道区的离子浓度大于所述第一沟道区的离子浓度,包括:

遮蔽所述第一沟道区,对所述第二沟道区进行离子注入。

8. 根据权利要求7所述的阵列基板的制作方法,其特征在于,在遮蔽所述第一沟道区,对所述第二沟道区进行离子注入之后,还包括:

遮蔽所述第二沟道区,对所述第一沟道区进行离子注入;其中,所述第一沟道区的离子注入浓度小于所述第二沟道区的离子注入浓度。

9. 一种显示面板,其特征在于,包括权利要求1-3任一项所述的阵列基板。

阵列基板、阵列基板的制作方法和显示面板

技术领域

[0001] 本发明实施例涉及显示的技术领域,尤其涉及一种阵列基板、阵列基板的制作方法和显示面板。

背景技术

[0002] 有源矩阵有机发光二极管(Active-matrix organic light emitting diode, AMOLED)显示面板由于在显示色彩饱和度、功耗和弯折等方面优胜于液晶显示面板,已经广泛应用于显示领域。在AMOLED显示面板显示的过程中,像素驱动电路驱动发光器件发光。现有技术中,像素驱动电路包括驱动晶体管,驱动晶体管的栅极具有漏电流的现象,稳定性比较差,导致发光器件的发光亮度不稳定,进而影响AMOLED显示面板的显示画质。

发明内容

[0003] 本发明提供一种阵列基板、阵列基板的制作方法和显示面板,以降低驱动晶体管的栅极漏电流,从而提高了显示面板的显示画质。

[0004] 第一方面,本发明实施例提供了一种阵列基板,包括:

[0005] 基板;

[0006] 像素驱动电路,设置于所述基板上,所述像素驱动电路包括驱动晶体管和第一晶体管,所述第一晶体管位于所述驱动晶体管的栅极漏电路径上,所述第一晶体管的阈值电压大于所述驱动晶体管的阈值电压。

[0007] 可选地,所述像素驱动电路还包括第二晶体管,所述第二晶体管位于所述驱动晶体管的栅极漏电路径上,所述第二晶体管的阈值电压大于所述驱动晶体管的阈值电压;所述第二晶体管和所述第一晶体管位于所述驱动晶体管不同的栅极漏电路径上。

[0008] 可选地,所述像素驱动电路包括阈值补偿晶体管和初始化晶体管;所述初始化晶体管的栅极与第一扫描信号输入端连接,所述初始化晶体管的第一极与参考信号输入端连接,所述初始化晶体管的第二极和所述阈值补偿晶体管的第二极与所述驱动晶体管的栅极连接,所述阈值补偿晶体管的栅极与第二扫描信号输入端连接,所述阈值补偿晶体管的第一极与所述驱动晶体管的第二极连接,所述驱动晶体管的第一极与第一电压输入端连接;

[0009] 所述驱动晶体管的栅极漏电路径上的晶体管为阈值补偿晶体管;或者,所述驱动晶体管的栅极漏电路径上的晶体管为栅极初始化晶体管。

[0010] 可选地,所述驱动晶体管的栅极漏电路径上的晶体管为双栅晶体管。

[0011] 第二方面,本发明实施例还提供了一种阵列基板的制作方法,包括:

[0012] 在基板上形成像素驱动电路;其中,所述像素驱动电路包括驱动晶体管和第一晶体管,所述第一晶体管位于所述驱动晶体管的栅极漏电路径上,所述第一晶体管的阈值电压大于所述驱动晶体管的阈值电压。

[0013] 可选地,在基板上形成像素驱动电路,包括:

[0014] 在所述基板上形成半导体层;

[0015] 图案化所述半导体层,形成第一沟道区和至少一个第二沟道区;其中,所述第一沟道区用于形成所述驱动晶体管的沟道,至少一个所述第二沟道区用于形成所述第一晶体管的沟道;

[0016] 对所述第二沟道区进行离子注入,使所述第二沟道区的离子浓度大于所述第一沟道区的离子浓度;

[0017] 基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管和所述第一晶体管。

[0018] 可选地,所述像素驱动电路包括第二晶体管,所述第二晶体管位于所述驱动晶体管的栅极漏电路径上,所述第二晶体管和所述第一晶体管位于所述驱动晶体管不同的栅极漏电路径上时,图案化所述半导体层,形成第一沟道区和至少一个第二沟道区,包括:

[0019] 图案化所述半导体层,形成第一沟道区和两个第二沟道区;其中,所述第一沟道区用于形成所述驱动晶体管的沟道,一个所述第二沟道区用于形成所述第一晶体管的沟道,一个所述第二沟道区用于形成所述第二晶体管的沟道;

[0020] 基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管和所述第一晶体管,包括:

[0021] 基于所述第一沟道区和所述第二沟道区分别形成所述驱动晶体管、所述第一晶体管和所述第二晶体管。

[0022] 可选地,对所述第二沟道区进行离子注入,使所述第二沟道区的离子浓度大于所述第一沟道区的离子浓度,包括:

[0023] 遮蔽所述第一沟道区,对所述第二沟道区进行离子注入。

[0024] 可选地,在遮蔽所述第一沟道区,对所述第二沟道区进行离子注入之后,还包括:

[0025] 遮蔽所述第二沟道区,对所述第一沟道区进行离子注入;其中,所述第一沟道区的离子注入浓度小于所述第二沟道区的离子注入浓度。

[0026] 第三方面,本发明实施例还提供了一种显示面板,包括第一方面提供的阵列基板。

[0027] 本发明实施例的技术方案,通过设置第一晶体管的阈值电压大于驱动晶体管的阈值电压,从而使得第一晶体管在关断状态下的漏电流比较小,从而可以减小第一晶体管所在的驱动晶体管的栅极漏电路径上的漏电流,增加了驱动晶体管的栅极电位保持时间,使得驱动晶体管形成的驱动电流比较稳定,降低了显示面板的闪烁现象,提高了显示面板的显示画质。

附图说明

[0028] 图1为现有技术提供的一种像素驱动电路的结构示意图;

[0029] 图2为现有技术提供的另一种像素驱动电路的结构示意图;

[0030] 图3为本发明实施例提供的一种阵列基板的结构示意图;

[0031] 图4为本发明实施例提供的一种P型晶体管的电性示意图;

[0032] 图5为本发明实施例提供的一种显示面板的闪烁现象Flicker与第一晶体管的阈值电压 V_{th} 的关系示意图;

[0033] 图6为本发明实施例提供的一种像素驱动电路的结构示意图;

[0034] 图7为本发明实施例提供的另一种像素驱动电路的结构示意图;

- [0035] 图8为本发明实施例提供的一种显示面板的结构示意图；
- [0036] 图9为本发明实施例提供的一种阵列基板的制作方法的流程图；
- [0037] 图10为本发明实施例提供的另一种阵列基板的制作方法的流程图；
- [0038] 图11为本发明实施例提供的阵列基板的制作方法的步骤S20对应的阵列基板的结构示意图；
- [0039] 图12为本发明实施例提供的阵列基板的制作方法的步骤S21对应的阵列基板的结构示意图；
- [0040] 图13为本发明实施例提供的阵列基板的制作方法的步骤S22对应的阵列基板的结构示意图；
- [0041] 图14为本发明实施例提供的另一种阵列基板的制作方法的流程图；
- [0042] 图15为本发明实施例提供的阵列基板的制作方法的步骤S33对应的阵列基板的结构示意图；
- [0043] 图16为本发明实施例提供的另一种阵列基板的制作方法的流程图；
- [0044] 图17为本发明实施例提供的阵列基板的制作方法的步骤S41对应的阵列基板的结构示意图；
- [0045] 图18为本发明实施例提供的阵列基板的制作方法的步骤S42对应的阵列基板的结构示意图。

具体实施方式

[0046] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0047] 图1为现有技术提供的一种像素驱动电路的结构示意图。如图1所示,该像素驱动电路包括开关晶体管M0、补偿晶体管M1、发光控制晶体管M2、初始化晶体管M3、驱动晶体管N0和存储电容Cs。初始化晶体管M3的栅极连接第一扫描线Scan1以接收第一扫描信号,源极连接到初始化信号线以接收初始化信号Vref,漏极连接到驱动晶体管N0的栅极。开关晶体管M0的栅极和补偿晶体管M1的栅极连接第二扫描线Scan2以接收第二扫描信号,源极连接到数据线以接收数据信号Vdata,漏极连接到驱动晶体管N0的源极。驱动晶体管N0的栅极与存储电容Cs的一端和补偿晶体管M1的源极电连接,源极连接到发光控制晶体管M2的漏极,漏极连接到OLED的正极端和补偿晶体管M1的漏极;发光控制晶体管M2的源极和存储电容Cs的另一端连接到第一电压端以接收第一电压Vdd(高电压),发光控制晶体管M2的栅极与第三扫描信号线Scan3电连接,OLED的负极端连接到第二电压端以接收第二电压Vss(低电压,例如接地电压)。在像素驱动电路工作的过程中,可以通过第一扫描线Scan1施加第一扫描信号以开启初始化晶体管M3,初始化信号线提供的初始化信号Vref通过初始化晶体管M3后对驱动晶体管N0的栅极进行初始化。然后通过第二扫描线Scan2施加第二扫描信号以开启开关晶体管M0和补偿晶体管M1,此时数据驱动电路通过数据线送入的数据信号Vdata将经由开关晶体管M0和补偿晶体管M1对存储电容Cs充电,由此将数据信号Vdata与驱动晶体管N0的阈值电压的差值存储在存储电容Cs中,通过第三扫描线Scan3施加的第三扫描信号开启发光控制晶体管M2时,驱动晶体管N0形成驱动电流驱动OLED发光。

[0048] 在上述工作过程中,驱动晶体管N0形成驱动电流驱动OLED发光时,补偿晶体管M1和初始化晶体管M3关断,避免驱动晶体管N0的栅极漏电流导致驱动晶体管N0形成的驱动电流不稳定。而由于晶体管的结构限制,补偿晶体管M1和初始化晶体管M3在关断时仍然存在一定的漏电流,导致驱动晶体管N0形成的驱动电流不稳定,OLED发光的亮度发生变化,影响显示面板的显示画质。图2为现有技术提供的另一种像素驱动电路的结构示意图。如图2所示,还可以将补偿晶体管M1和初始化晶体管M3设置为串联的双栅晶体管,此时可以部分降低驱动晶体管N0的栅极漏电流,当像素驱动电路在低刷新率下工作时,驱动晶体管N0的栅极漏电流仍然比较明显,容易造成OLED发光的亮度不稳定。另外,还可以将补偿晶体管M1和初始化晶体管M3设置为铟镓锌氧化物(indium gallium zinc oxide,IGZO)晶体管,用于减小驱动晶体管N0的栅极漏电流,此时补偿晶体管M1和初始化晶体管M3的占用空间比较大,使得像素驱动电路的占用空间比较大,不利于显示面板提高像素密度。

[0049] 针对上述技术问题,本发明实施例提供了一种阵列基板。图3为本发明实施例提供的一种阵列基板的结构示意图。如图3所示,该阵列基板包括:

[0050] 基板110;

[0051] 像素驱动电路,设置于基板110上,像素驱动电路包括驱动晶体管Tdr和第一晶体管T1,第一晶体管T1位于驱动晶体管Tdr的栅极漏电路径上,第一晶体管T1的阈值电压大于驱动晶体管Tdr的阈值电压。

[0052] 具体地,基板110用于承载像素驱动电路。基板110可以为柔性基板,也可以为刚性基板。示例性地,柔性基板可以为聚酰亚胺(Polyimide,PI)基板,刚性基板可以为玻璃基板。阵列基板用于形成显示面板时,显示面板上包括发光单元,像素驱动电路用于驱动发光单元发光。在像素驱动电路驱动发光单元发光时,驱动晶体管Tdr的栅极漏电路径为像素驱动电路为发光单元提供驱动电流时驱动晶体管Tdr栅极的漏电流流过的路径。驱动晶体管Tdr的栅极漏电路径可以包括多个,例如,当像素驱动电路包括栅极初始化晶体管时,驱动晶体管Tdr的栅极漏电路径包括初始化晶体管,第一晶体管T1可以为初始化晶体管。第一晶体管T1的阈值电压大于驱动晶体管Tdr的阈值电压,使得第一晶体管T1的阈值电压相对于驱动晶体管Tdr的阈值电压偏正,即第一晶体管T1的阈值电压相对于像素驱动电路中其他晶体管的阈值电压偏正,使得第一晶体管T1在关断时的漏电流相对于像素驱动电路中其他晶体管在关断时的漏电流比较小。其中,当第一晶体管T1和驱动晶体管Tdr为P型晶体管时,第一晶体管T1和驱动晶体管Tdr的阈值电压小于零。第一晶体管T1的阈值电压大于驱动晶体管Tdr的阈值电压,即为第一晶体管T1的阈值电压绝对值小于驱动晶体管Tdr的阈值电压绝对值。

[0053] 示例性地,以第一晶体管T1为P型晶体管为例进行说明。表1为本发明实施例提供的一种晶体管的阈值电压与漏电流的关系表,如表1可知,当晶体管的阈值电压Vth由-4.52V偏正到-1.30V时,晶体管的漏电流Ioff由 $6.25e-11$ A降低到 $7.79e-12$ A,从而说明了第一晶体管T1的阈值电压偏正时,第一晶体管T1在关断时的漏电流减小。

[0054] 表1一种晶体管的阈值电压与漏电流的关系表

[0055]

阈值电压Vth (V)	漏电流Ioff (A)
-4.52	$6.25e-11$
-2.89	$2.13e-11$

-1.30	7.79e-12
-------	----------

[0056] 图4为本发明实施例提供的一种P型晶体管的电性示意图。其中,横坐标为栅极电压,纵坐标为晶体管的驱动电流,曲线1、曲线2和曲线3分别对应不同的晶体管。如图4可知,当晶体管的栅极电压为低电平时,各晶体管导通,导通电流比较大。当晶体管的栅极电压由低电平逐步向高电平变化时,晶体管由导通状态切换为关断状态,且曲线1、曲线2和曲线3对应的晶体管由导通状态切换为关断状态对应的电压不同,即曲线1、曲线2和曲线3对应的晶体管的阈值电压不同。由曲线的最低点可知,曲线1对应的晶体管的阈值电压小于曲线2对应的晶体管的阈值电压,即曲线2对应的晶体管的阈值电压相对于曲线1对应的晶体管的阈值电压偏正,曲线2对应的晶体管的阈值电压小于曲线3对应的晶体管的阈值电压,即曲线3对应的晶体管的阈值电压相对于曲线2对应的晶体管的阈值电压偏正。同时,当晶体管的栅极电压为高电平,控制晶体管关断时,例如,晶体管的栅极电压为7V时,曲线3对应的晶体管的漏电流小于曲线2对应的晶体管的漏电流,曲线2对应的晶体管的漏电流小于曲线1对应的晶体管的漏电流。由此可知,当第一晶体管T1的阈值电压相对于像素驱动电路中其他晶体管的阈值电压偏正时,第一晶体管T1在关断时的漏电流相对于像素驱动电路中其他晶体管在关断时的漏电流比较小。

[0057] 而且,第一晶体管T1位于驱动晶体管Tdr的栅极漏电路径上,从而可以在第一晶体管T1关断时减小驱动晶体管Tdr的栅极漏电路径上的漏电流,从而使得驱动晶体管Tdr形成的驱动电流比较稳定,降低了显示面板的闪烁现象,提高了显示面板的显示画质。示例性地,图5为本发明实施例提供的一种显示面板的闪烁现象Flicker与第一晶体管的阈值电压Vth的关系示意图。如图5所示,当阵列基板用于形成显示面板,像素驱动电路驱动显示面板中的发光单元发光时,第一晶体管T1的阈值电压Vth越大,即第一晶体管T1的阈值电压越偏正,使得驱动晶体管Tdr的栅极漏电流越小,显示面板的闪烁现象值越低,即显示面板的闪烁现象Flicker越轻微,从而可以通过使第一晶体管T1的阈值电压偏正,以改善显示面板的闪烁现象,提高显示面板的显示画质。

[0058] 图6为本发明实施例提供的一种像素驱动电路的结构示意图。如图6所示,像素驱动电路包括阈值补偿晶体管T3和初始化晶体管T4;初始化晶体管T4的栅极与第一扫描信号输入端S1连接,初始化晶体管T4的第一极与参考信号输入端VREF1连接,初始化晶体管T4的第二极和阈值补偿晶体管T3的第二极与驱动晶体管Tdr的栅极连接,阈值补偿晶体管T3的栅极与第二扫描信号输入端S2连接,阈值补偿晶体管T3的第一极与驱动晶体管Tdr的第二极连接,驱动晶体管Tdr的第一极与第一电压输入端VDD连接;第一晶体管T1为阈值补偿晶体管T3或初始化晶体管T4。

[0059] 具体地,如图6所示,像素驱动电路还包括存储电容Cst、数据写入晶体管T5、第一发光控制晶体管T6、第二发光控制晶体管T7和复位晶体管T8,数据写入晶体管T5的栅极与第二扫描信号输入端S2连接,数据写入晶体管T5的第一极与数据信号输入端VDATA连接,数据写入晶体管T5的第二极与驱动晶体管Tdr的第一极连接,驱动晶体管Tdr的第一极通过第一发光控制晶体管T6与第一电压输入端VDD连接,存储电容Cst的第一极与驱动晶体管Tdr的栅极连接,存储电容Cst的第二极与第一电压输入端VDD连接,第一发光控制晶体管T6的栅极和第二发光控制晶体管T7的栅极与发光控制信号输入端EM连接,第二发光控制晶体管T7的第一极与驱动晶体管Tdr的第二极连接,第二发光控制晶体管T7的第二极和复位晶体

管T8的第二极与发光单元D1的阳极连接,发光单元D1的阴极与第二电压输入端VSS连接,复位晶体管T8的第一极与参考信号输入端VREF1连接,复位晶体管T8的栅极与第一扫描信号输入端S1连接。在像素驱动电路的工作过程中,在发光阶段,驱动晶体管Tdr根据栅极电位形成驱动电流,驱动发光单元D1发光时,阈值补偿晶体管T3和初始化晶体管T4关断,且位于驱动晶体管Tdr不同的栅极漏电路径上。通过设置第一晶体管T1为阈值补偿晶体管T3或初始化晶体管T4,使得阈值补偿晶体管T3或初始化晶体管T4的阈值电压偏正,可以减小阈值补偿晶体管T3或初始化晶体管T4的漏电流,进而可以减小驱动晶体管Tdr的栅极漏电路径上的漏电流,从而改善了显示面板的闪烁现象,提高了显示面板的显示画质。

[0060] 需要说明的是,图6中示例性地示出了第一晶体管T1为阈值补偿晶体管T3,其可以减小驱动晶体管Tdr的栅极通过阈值补偿晶体管T3的漏电路径的漏电流。在其他实施例中,第一晶体管T1还可以为初始化晶体管T4,同样可以减小驱动晶体管Tdr的栅极通过初始化晶体管T4的漏电流路径的漏电流,改善显示面板的闪烁现象。

[0061] 在上述各技术方案的基础上,继续参考图6,像素驱动电路还包括第二晶体管T2,第二晶体管T2位于驱动晶体管Tdr的栅极漏电路径上,第二晶体管T2的阈值电压大于驱动晶体管Tdr的阈值电压;第二晶体管T2和第一晶体管T1位于驱动晶体管Tdr不同的栅极漏电路径上。

[0062] 具体地,当像素驱动电路包括阈值补偿晶体管T3和初始化晶体管T4时,驱动晶体管Tdr的栅极漏电路径包括两个,通过设置第一晶体管T1和第二晶体管T2位于驱动晶体管Tdr不同的栅极漏电路径上,第一晶体管T1的阈值电压偏正,可以减小第一晶体管T1所在的漏电路径上的漏电流,同时第二晶体管T2的阈值电压偏正,可以减小第二晶体管T2所在的漏电路径上的漏电流,从而可以同时减小驱动晶体管Tdr不同的栅极漏电路径上的漏电流,进一步地减小驱动晶体管Tdr的栅极漏电流,从而可以进一步地改善显示面板的闪烁现象,提高显示面板的显示画质。示例性地,图6中示例性地示出了第一晶体管T1为阈值补偿晶体管T3,用于减小驱动晶体管Tdr的栅极通过阈值补偿晶体管T3的漏电路径上的漏电流,第二晶体管T2为初始化晶体管T4,用于减小驱动晶体管Tdr的栅极通过初始化晶体管T4的漏电路径上的漏电流。

[0063] 需要说明的是,在其他实施例中,还可以设置第一晶体管T1为初始化晶体管T4,用于减小驱动晶体管Tdr的栅极通过初始化晶体管T4的漏电路径上的漏电流,第二晶体管T2为阈值补偿晶体管T3,用于减小驱动晶体管Tdr的栅极通过阈值补偿晶体管T3的漏电路径上的漏电流,同样可以同时减小驱动晶体管Tdr不同的栅极漏电路径上的漏电流,改善显示面板的闪烁现象。

[0064] 图7为本发明实施例提供的另一种像素驱动电路的结构示意图。如图7所示,驱动晶体管Tdr的栅极漏电路径上的晶体管为双栅晶体管。

[0065] 具体地,当像素驱动电路包括第一晶体管T1时,第一晶体管T1可以为双栅晶体管,可以在第一晶体管T1的阈值电压偏正的基础上进一步地降低第一晶体管T1的漏电流,从而可以进一步地减小第一晶体管T1所在的驱动晶体管Tdr的栅极漏电路径上的漏电流,增加了驱动晶体管Tdr的栅极电位保持时间,从而改善了显示面板的闪烁现象。当像素驱动电路包括第二晶体管T2时,第一晶体管T1和第二晶体管T2中的至少一个可以为双栅晶体管。当第二晶体管T2为双栅晶体管时,可以在第二晶体管T2的阈值电压偏正的基础上进一步地降

低第二晶体管T2的漏电流,从而可以进一步地减小第二晶体管T2所在的驱动晶体管Tdr的栅极漏电路径上的漏电流,增加了驱动晶体管Tdr的栅极电位保持时间,从而改善了显示面板的闪烁现象。

[0066] 需要说明的是,图7中示例性地示出了第一晶体管T1和第二晶体管T2同时为双栅晶体管。在其他实施例中,可以设置第一晶体管T1和第二晶体管T2中的一个为双栅晶体管。

[0067] 本发明实施例还提供一种显示面板。图8为本发明实施例提供的一种显示面板的结构示意图。如图8所示,该显示面板100包括本发明任意实施例提供的阵列基板。由于显示面板100包括本发明任意实施例提供的阵列基板,因此具有本发明任意实施例提供的阵列基板的有益效果,此处不再赘述。

[0068] 本发明实施例还提供一种阵列基板的制作方法。图9为本发明实施例提供的一种阵列基板的制作方法的流程图。如图9所示,该阵列基板的制作方法包括:

[0069] S10、在基板上形成像素驱动电路;其中,像素驱动电路包括驱动晶体管和第一晶体管,第一晶体管位于驱动晶体管的栅极漏电路径上,第一晶体管的阈值电压大于驱动晶体管的阈值电压。

[0070] 本发明实施例的技术方案,在基板上形成像素驱动电路时,使第一晶体管的阈值电压大于驱动晶体管的阈值电压,从而使得第一晶体管在关断状态下的漏电流比较小,从而可以减小第一晶体管所在的驱动晶体管的栅极漏电路径上的漏电流,增加了驱动晶体管的栅极电位保持时间,使得驱动晶体管形成的驱动电流比较稳定,降低了显示面板的闪烁现象,提高了显示面板的显示画质。

[0071] 图10为本发明实施例提供的另一种阵列基板的制作方法的流程图。如图10所示,该阵列基板的制作方法包括:

[0072] S20、在基板上形成半导体层;

[0073] 具体地,图11为本发明实施例提供的阵列基板的制作方法的步骤S20对应的阵列基板的结构示意图。如图11所示,在基板110上形成半导体层120之前,可以先在基板110上形成缓冲层130,缓冲层130可以用于阻隔水氧等杂质,避免杂质进入到显示面板中影响器件的性能。缓冲层130可以为二氧化硅或氮化硅等。半导体层120可以为多晶硅层,在基板110上形成半导体层120时,可以采用准分子镭射晶化法((Excimer Laser Annealing, ELA)结晶。

[0074] S21、图案化半导体层,形成第一沟道区和至少一个第二沟道区;其中,第一沟道区用于形成驱动晶体管的沟道,至少一个第二沟道区用于形成第一晶体管的沟道;

[0075] 具体地,图12为本发明实施例提供的阵列基板的制作方法的步骤S21对应的阵列基板的结构示意图。如图12所示,对半导体层120进行图案化后,形成第一沟道区121和第二沟道区122,第一沟道区121对应驱动晶体管的沟道,第二沟道区122对应第一晶体管的沟道。驱动晶体管的栅极漏电路径可以包括多个,示例性地,像素驱动电路包括阈值补偿晶体管和初始化晶体管;初始化晶体管的栅极与第一扫描信号输入端连接,初始化晶体管的第一极与参考信号输入端连接,初始化晶体的第二极和阈值补偿晶体的第二极与驱动晶体管的栅极连接,阈值补偿晶体的栅极与第二扫描信号输入端连接,阈值补偿晶体的第一极与驱动晶体的第二极连接,驱动晶体的第一极与第一电压输入端连接;此时初始化晶体管和阈值补偿晶体管均位于驱动晶体管的栅极漏电路径上,第一晶体管为阈值补

偿晶体管或初始化晶体管。

[0076] 需要说明的是,半导体层120还用于形成晶体管的源极区和漏极区,分别设置于晶体管的沟道区两侧。例如,可以在第一沟道区121的两侧形成驱动晶体管的源极区和漏极区,在第二沟道区122的两侧形成第一晶体管的源极区和漏极区。另外,当像素驱动电路还包括其他晶体管时,半导体层120图案化时,可以同时形成其他晶体管的沟道区。示例性地,当像素驱动电路还包括数据写入晶体管、发光控制晶体管和复位晶体管时,半导体层120图案化时,可以同时形成数据写入晶体管、发光控制晶体管和复位晶体管的沟道区。由于数据写入晶体管、发光控制晶体管和复位晶体管未设置于驱动晶体管的栅极漏电路径上,在后续离子注入后,数据写入晶体管、发光控制晶体管和复位晶体管的沟道区的离子浓度可以与第一沟道区的离子浓度相同。而且,当阵列基板上包括多个像素驱动电路时,半导体层120图案化时,可以同时形成多个第一沟道区121和多个第二沟道区122,分别用于形成每个像素驱动电路中驱动晶体管的沟道和第一晶体管的沟道。

[0077] S22、对第二沟道区进行离子注入,使第二沟道区的离子浓度大于第一沟道区的离子浓度;

[0078] 具体地,图13为本发明实施例提供的阵列基板的制作方法的步骤S22对应的阵列基板的结构示意图。如图13所示,在对第二沟道区122进行离子注入时,可以采用P-离子注入,以便于保证晶体管的沟道导电性。对第二沟道区122进行离子注入后,第二沟道区122的离子浓度大于第一沟道区121的离子浓度,使得第二沟道区122形成的第一晶体管的阈值电压大于第一沟道区121形成的驱动晶体管的阈值电压。示例性的,表2为本发明实施例提供的一种晶体管的沟道离子注入剂量与阈值电压的关系表。如表2可知,P-离子为晶体管的沟道注入的离子,P+为晶体管的源极区和漏极区注入的离子,Ion为晶体管的导通电流。在晶体管的源极区和漏极区注入的离子剂量不变的基础上,晶体管的沟道离子注入剂量由1e11增加至1e12,晶体管的阈值电压则由-4.52V偏正到-1.30V。由此可知,晶体管的沟道离子注入剂量越大,晶体管的阈值电压越偏正。通过设置第二沟道区122具有离子注入,可以使第二沟道区122的离子浓度大于第一沟道区121的离子浓度,从而使得第二沟道区122形成的第一晶体管的阈值电压大于第一沟道区121形成的驱动晶体管的阈值电压。

[0079] 表2一种晶体管的沟道离子注入剂量与阈值电压的关系表

P-	P+	阈值电压V _{th} (V)	导通电流I _{on} (A)	漏电流I _{off} (A)
1e11	1e15	-4.52	5.54e-6	6.25e-11
6e11	1e15	-2.89	9.21e-6	2.13e-11
1e12	1e15	-1.30	1.29e-5	7.79e-12

[0081] 继续参考图13,对第二沟道区进行离子注入,使第二沟道区的离子浓度大于第一沟道区的离子浓度,包括:

[0082] 遮蔽第一沟道区,对第二沟道区进行离子注入。

[0083] 具体地,在对第二沟道区122进行离子注入时,可以采用光阻层遮蔽第一沟道区121,避免第一沟道区121同时进行离子注入。示例性的,可以采用光刻胶遮蔽第一沟道区121。在第二沟道区122离子注入结束后,还需要去除光阻层,便于后续的工艺流程。

[0084] S23、基于第一沟道区和第二沟道区分别形成驱动晶体管和第一晶体管。

[0085] 具体地,在离子注入结束后,可以基于晶体管的制作工艺流程在第一沟道区对应

的位置形成驱动晶体管,在第二沟道区对应的位置形成第一晶体管,同时通过线路连接使得第一晶体管位于驱动晶体管的栅极漏电路径上,从而使得第一晶体管在关断时减小驱动晶体管的栅极漏电路径上的漏电流,增加了驱动晶体管栅极电位的维持时间,使得驱动晶体管形成的驱动电流比较稳定,降低了显示面板的闪烁现象,提高了显示面板的显示画质。

[0086] 图14为本发明实施例提供的另一种阵列基板的制作方法的流程图。如图14所示,该阵列基板的制作方法包括:

[0087] S30、在基板上形成半导体层;

[0088] S31、图案化半导体层,形成第一沟道区和至少一个第二沟道区;其中,第一沟道区用于形成驱动晶体管的沟道,至少一个第二沟道区用于形成第一晶体管的沟道;

[0089] S32、遮蔽第一沟道区,对第二沟道区进行离子注入;

[0090] S33、遮蔽第二沟道区,对第一沟道区进行离子注入;其中,第一沟道区的离子注入浓度小于第二沟道区的离子注入浓度。

[0091] 具体地,图15为本发明实施例提供的阵列基板的制作方法的步骤S33对应的阵列基板的结构示意图。如图15所示,对第二沟道区122进行离子注入后,可以再对第一沟道区121进行离子注入,以保证第一沟道区121形成的驱动晶体管的沟道导电性。而且,通过设置第一沟道区121的离子注入浓度小于第二沟道区122的离子注入浓度,从而可以使得第二沟道区122的离子浓度大于第一沟道区121的离子浓度,使得第二沟道区122形成的第一晶体管的阈值电压大于第一沟道区121形成的驱动晶体管的阈值电压。当第一晶体管位于驱动晶体管的栅极漏电路径上时,可以使得第一晶体管在关断时减小驱动晶体管的栅极漏电路径上的漏电流,增加了驱动晶体管栅极电位的维持时间,使得驱动晶体管形成的驱动电流比较稳定,降低了显示面板的闪烁现象,提高了显示面板的显示画质。

[0092] 需要说明的是,本发明实施例中先遮蔽第一沟道区121,对第二沟道区122进行离子注入,然后再遮蔽第二沟道区122,对第一沟道区121进行离子注入的顺序仅是一种示例,而不是限定。在其他实施例中,还可以对步骤S32和步骤S33进行顺序调换,此处不再赘述。另外,在对第一沟道区121和第二沟道区122进行离子注入时,还可以设置离子注入时的电压,以便于调节第一沟道区121内的离子浓度和第二沟道区122内的离子浓度。

[0093] S34、基于第一沟道区和第二沟道区分别形成驱动晶体管和第一晶体管。

[0094] 在其他实施例中,像素驱动电路还可以包括第二晶体管,第二晶体管位于驱动晶体管的栅极漏电路径上,且第二晶体管和第一晶体管位于驱动晶体管不同的栅极漏电路径上。示例性地,像素驱动电路包括阈值补偿晶体管和初始化晶体管;初始化晶体管的栅极与第一扫描信号输入端连接,初始化晶体管的第一极与参考信号输入端连接,初始化晶体管的第二极和阈值补偿晶体管的第二极与驱动晶体管的栅极连接,阈值补偿晶体管的栅极与第二扫描信号输入端连接,阈值补偿晶体管的第一极与驱动晶体管的第二极连接,驱动晶体管的第一极与第一电压输入端连接;此时初始化晶体管和阈值补偿晶体管均位于驱动晶体管的栅极漏电路径上,且第一晶体管和第二晶体管位于驱动晶体管不同的栅极漏电路径上,当第一晶体管为阈值补偿晶体管时,第二晶体管为初始化晶体管。当第一晶体管为初始化晶体管时,第二晶体管为阈值补偿晶体管。

[0095] 本发明还提供了一种阵列基板的制作方法。图16为本发明实施例提供的另一种阵列基板的制作方法的流程图。如图16所示,该阵列基板的制作方法包括:

[0096] S40、在基板上形成半导体层；

[0097] S41、图案化半导体层，形成第一沟道区和两个第二沟道区；其中，第一沟道区用于形成驱动晶体管的沟道，一个第二沟道区用于形成第一晶体管的沟道，一个第二沟道区用于形成第二晶体管的沟道；

[0098] 具体地，图17为本发明实施例提供的阵列基板的制作方法的步骤S41对应的阵列基板的结构示意图。如图17所示，对半导体层120进行图案化后，形成第一沟道区121和两个第二沟道区122，第一沟道区121对应驱动晶体管的沟道，一个第二沟道区122对应第一晶体管的沟道，另一个第二沟道区122对应第二晶体管的沟道。

[0099] S42、对第二沟道区进行离子注入，使第二沟道区的离子浓度大于第一沟道区的离子浓度；

[0100] 具体地，图18为本发明实施例提供的阵列基板的制作方法的步骤S42对应的阵列基板的结构示意图。如图18所示，可以对所有的第二沟道区122进行离子注入。在对所有的第二沟道区122进行离子注入时，可以采用P-离子注入，以便于保证晶体管的沟道导电性。对所有的第二沟道区122进行离子注入后，第二沟道区122的离子浓度大于第一沟道区121的离子浓度，使得第二沟道区122形成的第一晶体管的阈值电压以及第二沟道区122形成的第二晶体管的阈值电压均大于第一沟道区121形成的驱动晶体管的阈值电压。

[0101] 继续参考图18，对第二沟道区122进行离子注入时，可以遮蔽第一沟道区121，避免第二沟道区122进行离子注入时，第一沟道区121同时进行离子注入，以保证第二沟道区122的离子浓度大于第一沟道区121的离子浓度。

[0102] 在其他实施例中，还可以在对第二沟道区122进行离子注入后，遮蔽第二沟道区122，对第一沟道区121进行离子注入，且第一沟道区121的离子注入浓度小于第二沟道区122的离子注入浓度，在保证第一沟道区121的离子浓度小于第二沟道区122的离子浓度的基础上，保证第一沟道区121形成的驱动晶体管的沟道导电性。

[0103] S43、基于第一沟道区和第二沟道区分别形成驱动晶体管、第一晶体管和第二晶体管。

[0104] 具体地，在离子注入结束后，可以基于晶体管的制作工艺流程在第一沟道区对应的位置形成驱动晶体管，在一个第二沟道区对应的位置形成第一晶体管，在另一个第二沟道区对应的位置形成第二晶体管，同时通过线路连接使得第一晶体管和第二晶体管分别位于驱动晶体管不同的栅极漏电路径上，从而使得第一晶体管和第二晶体管在关断时减小驱动晶体管不同的栅极漏电路径上的漏电流，增加了驱动晶体管栅极电位的维持时间，使得驱动晶体管形成的驱动电流比较稳定，降低了显示面板的闪烁现象，提高了显示面板的显示画质。

[0105] 注意，上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解，本发明不限于这里所述的特定实施例，对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此，虽然通过以上实施例对本发明进行了较为详细的说明，但是本发明不仅仅限于以上实施例，在不脱离本发明构思的情况下，还可以包括更多其他等效实施例，而本发明的范围由所附的权利要求范围决定。

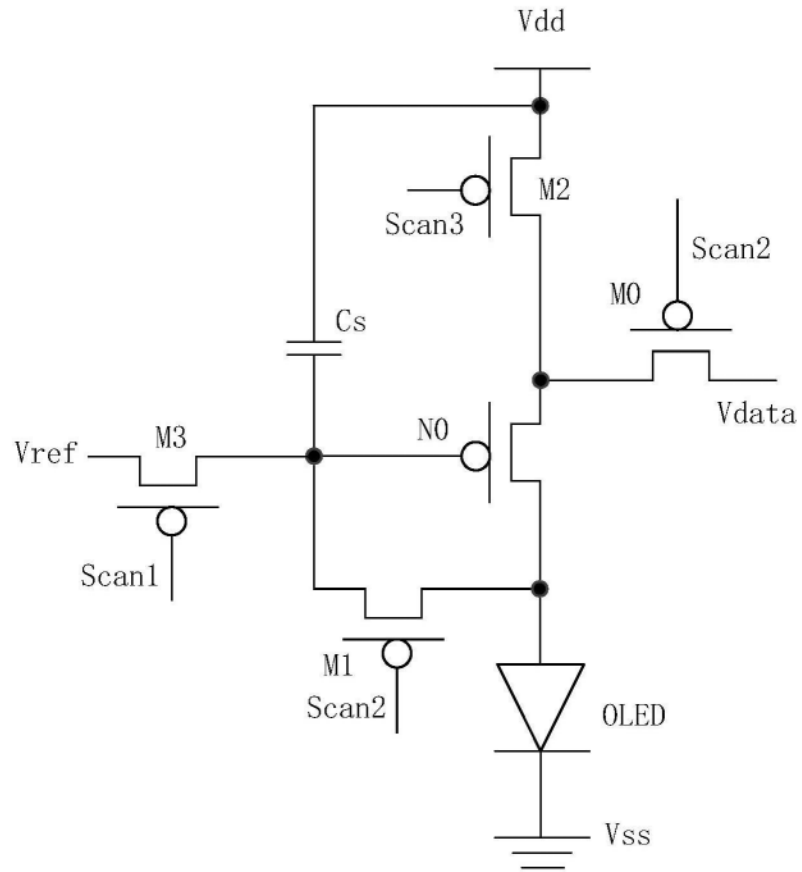


图1

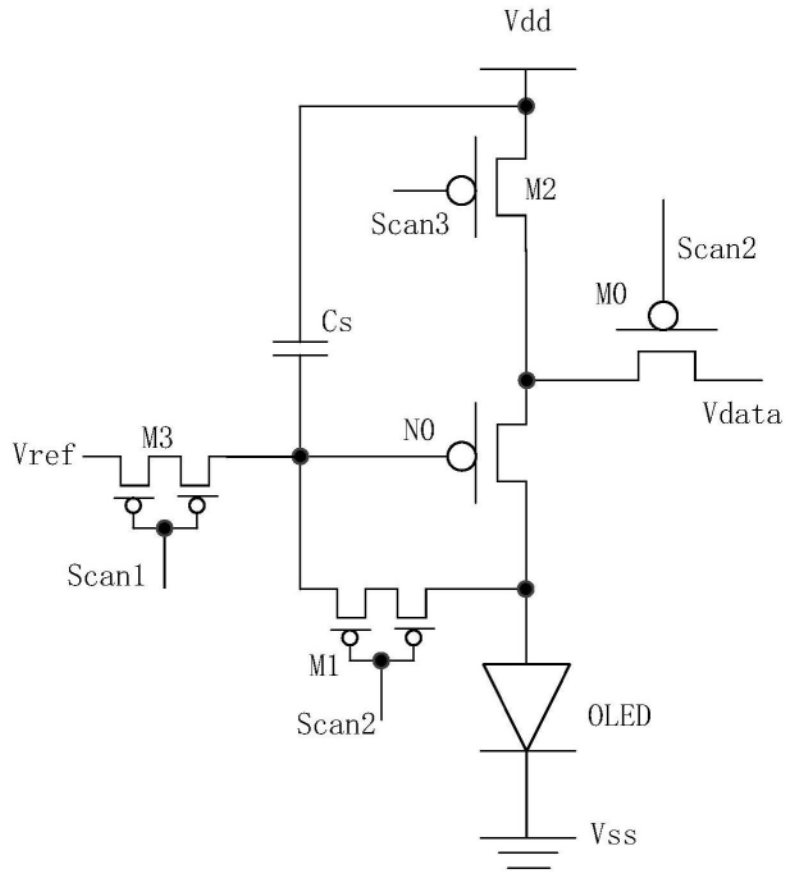


图2

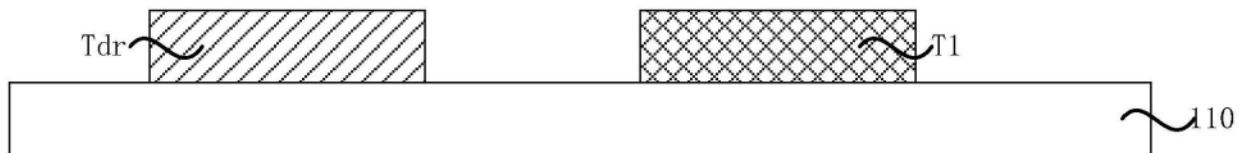


图3

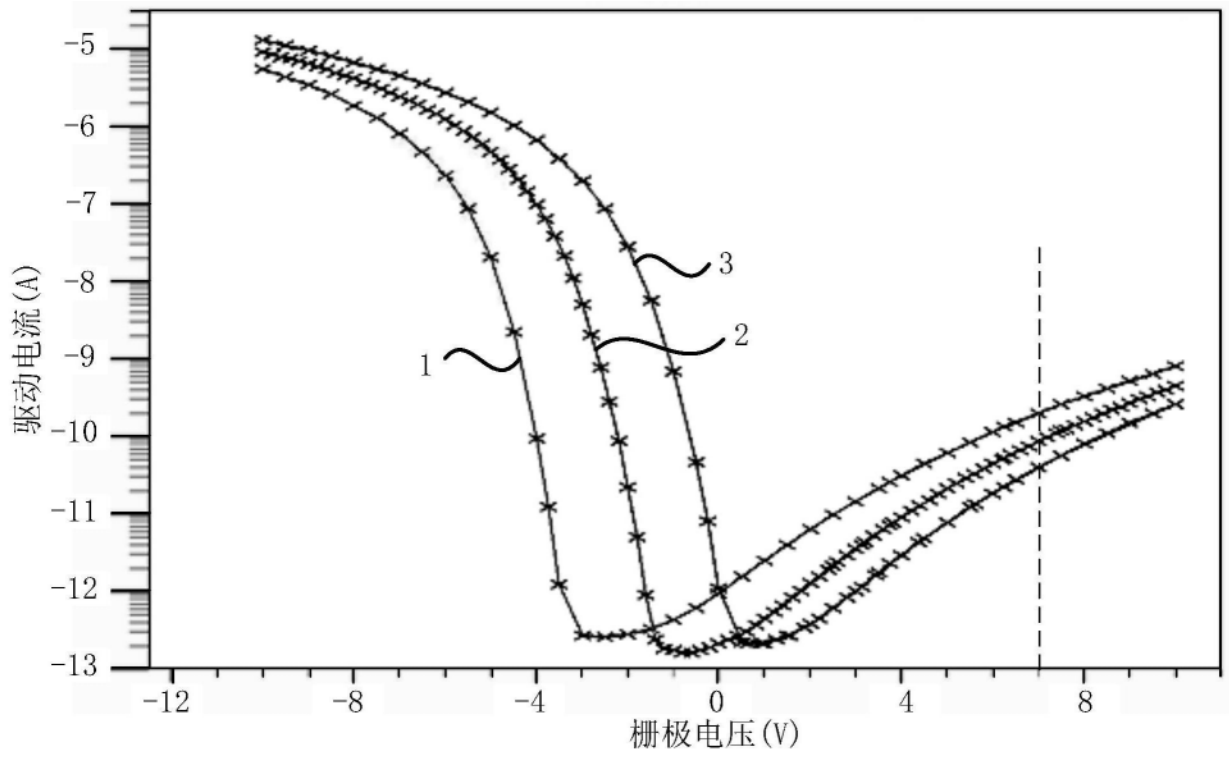


图4

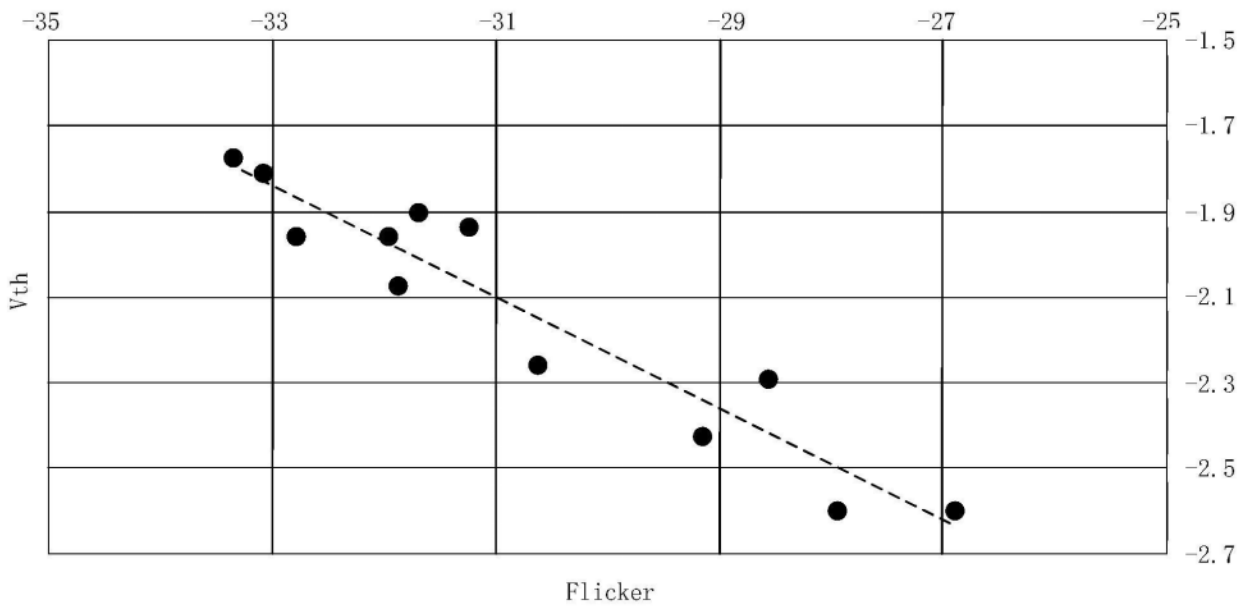


图5

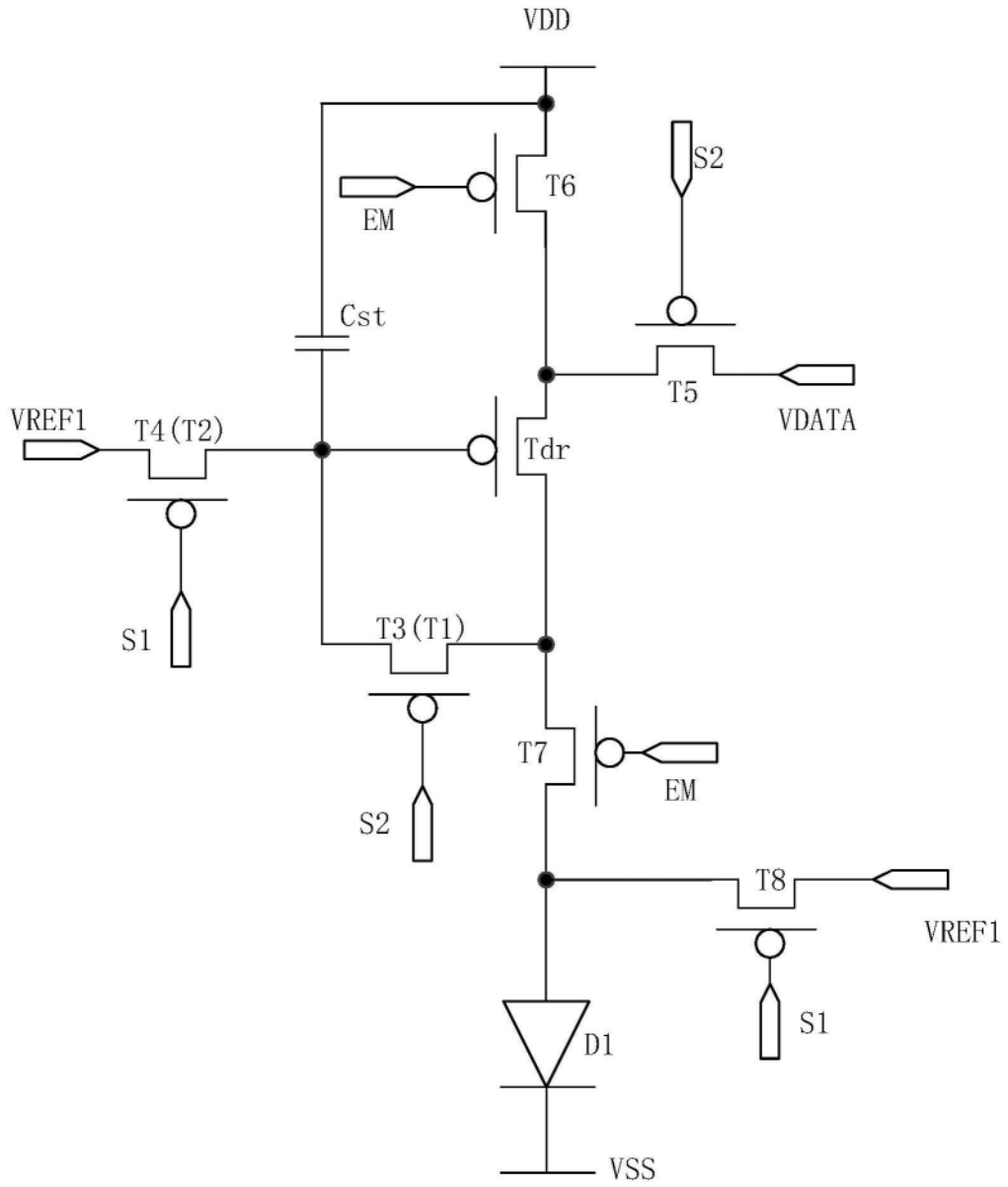


图6

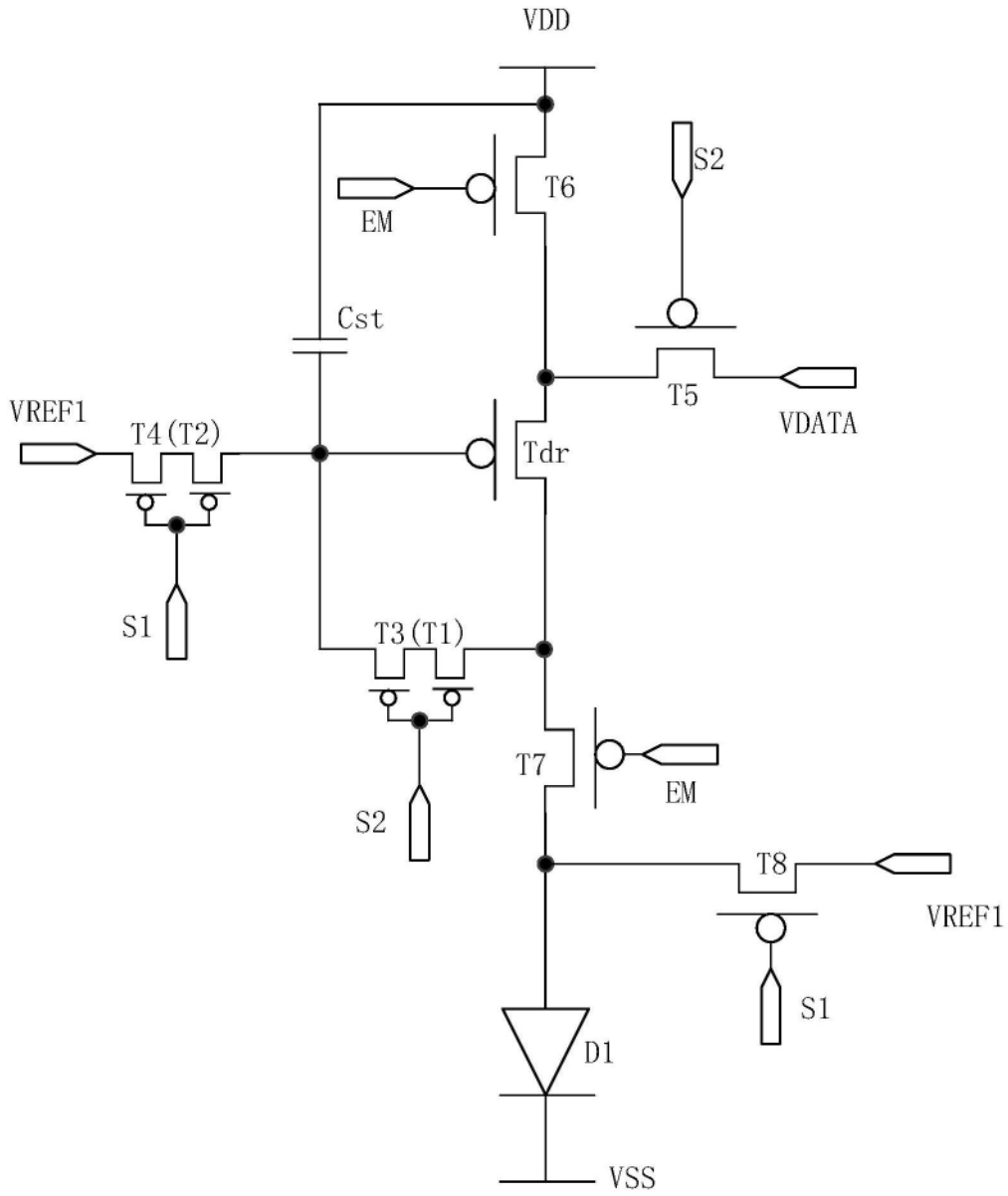


图7

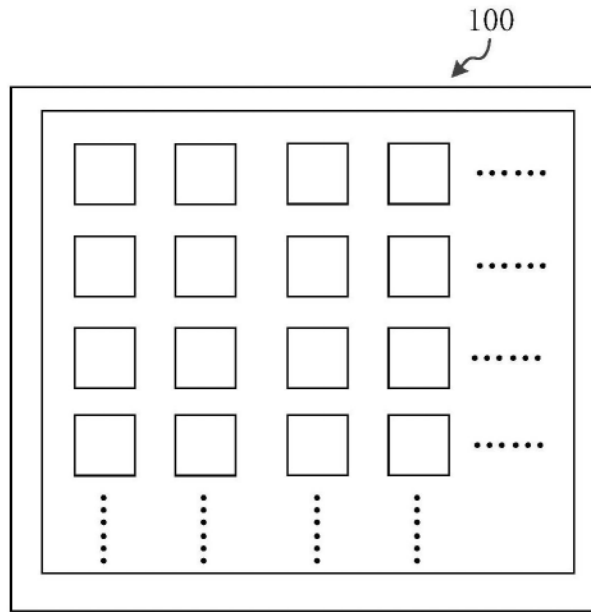


图8

在基板上形成像素驱动电路；其中，像素驱动电路包括驱动晶体管 and 第一晶体管，第一晶体管位于驱动晶体管的栅极漏电路径上，第一晶体管的阈值电压大于驱动晶体管的阈值电压

S10

图9

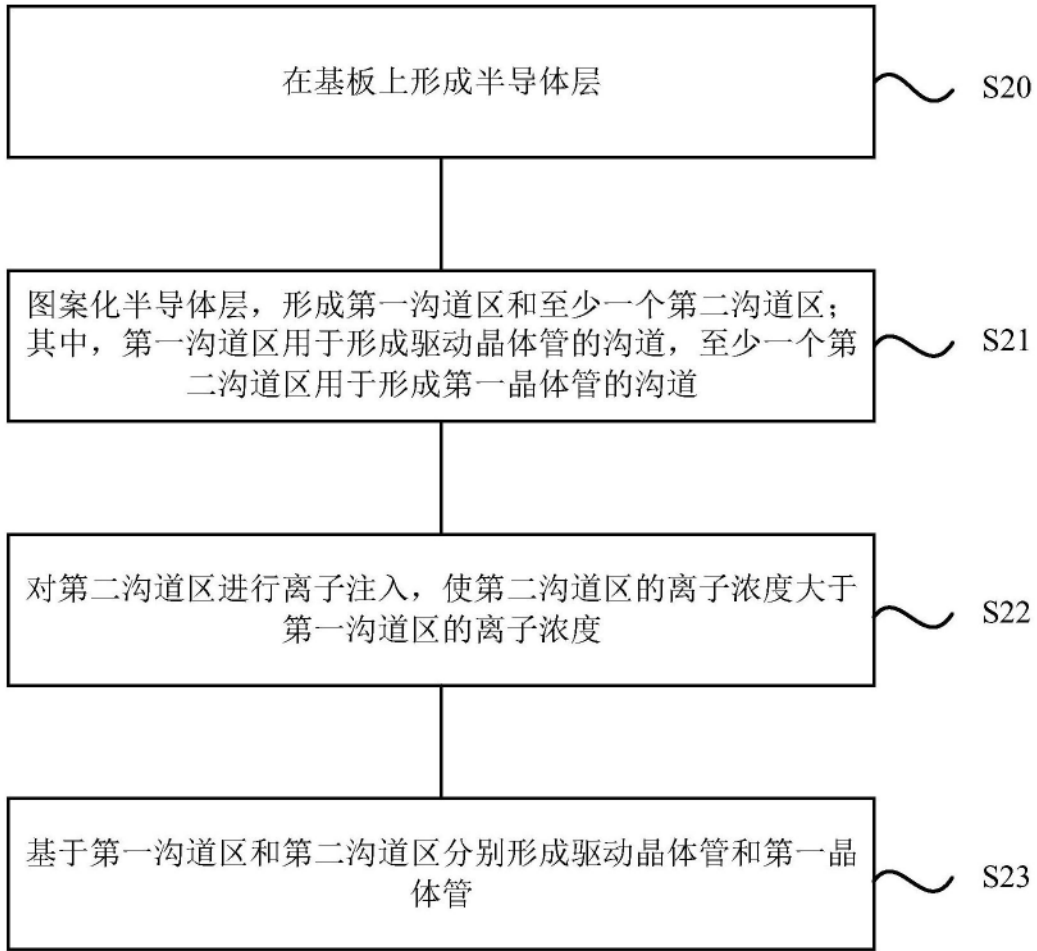


图10

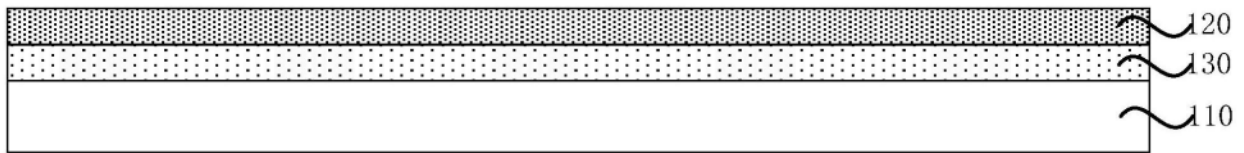


图11

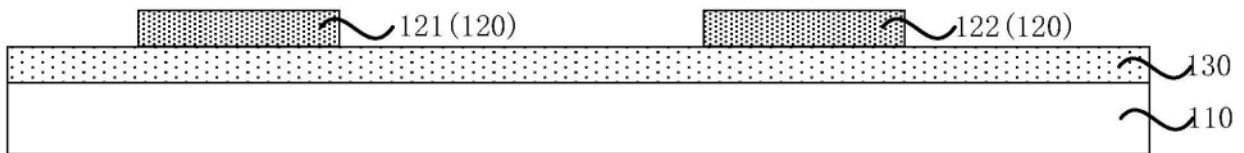


图12

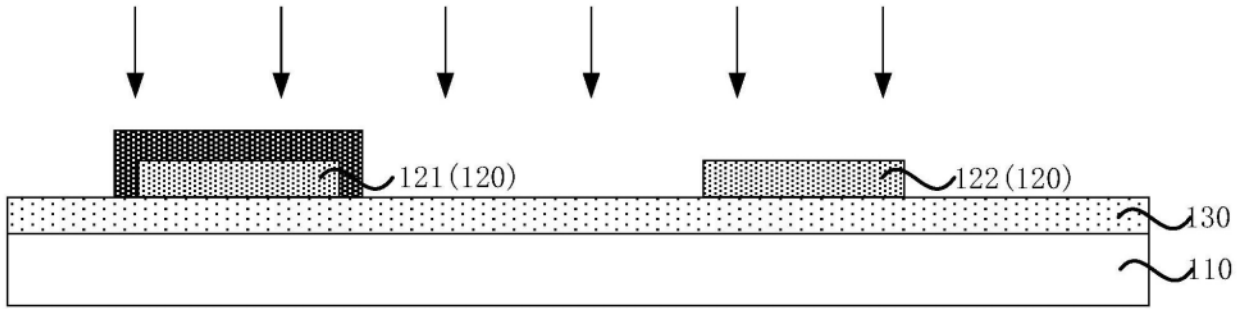


图13

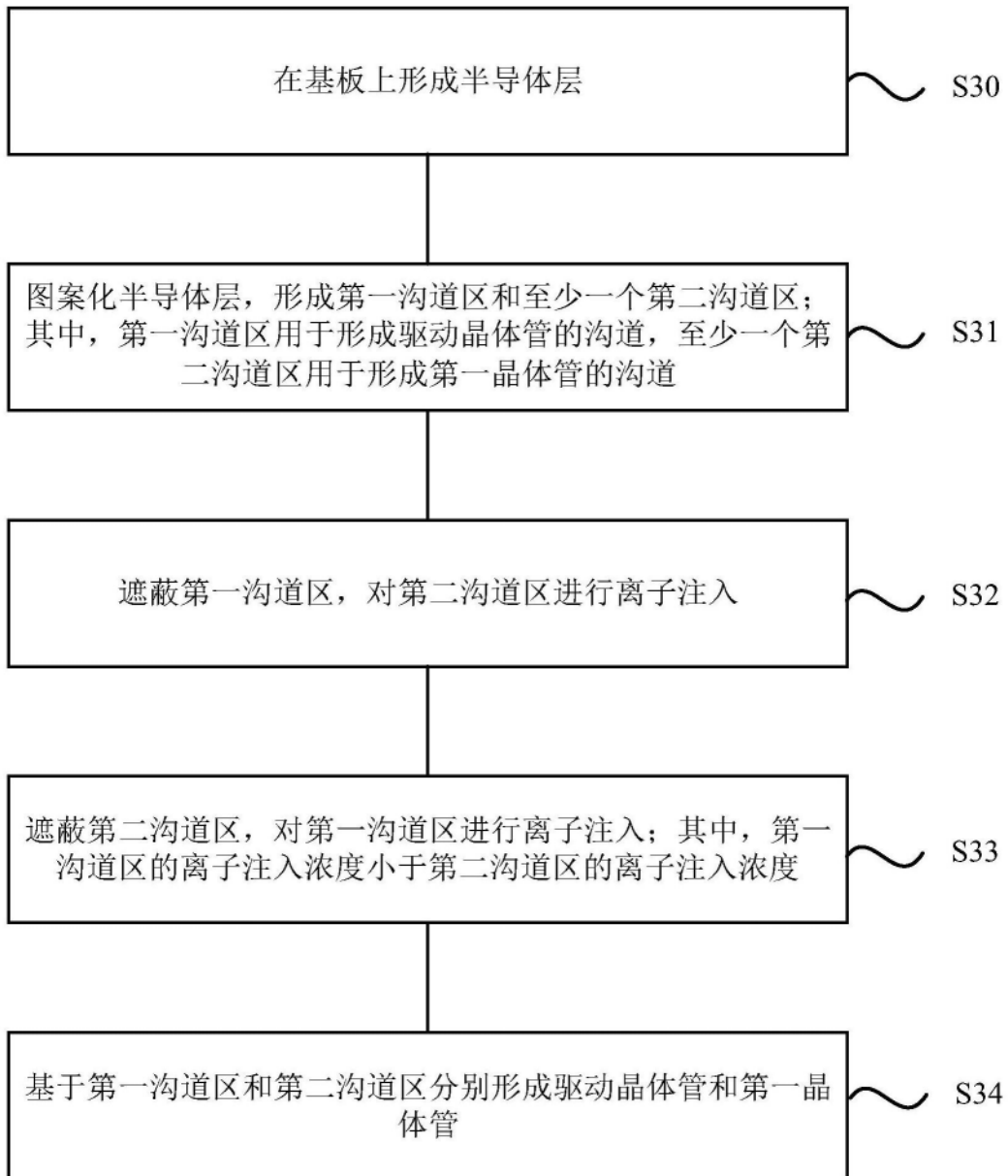


图14

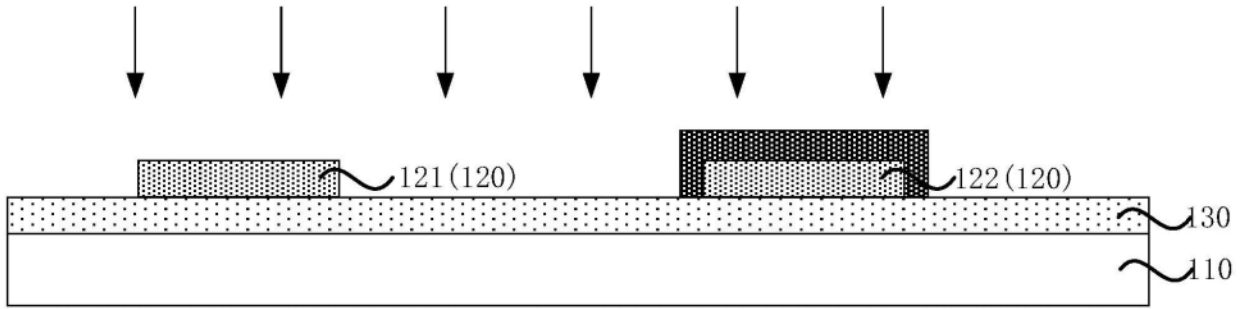


图15

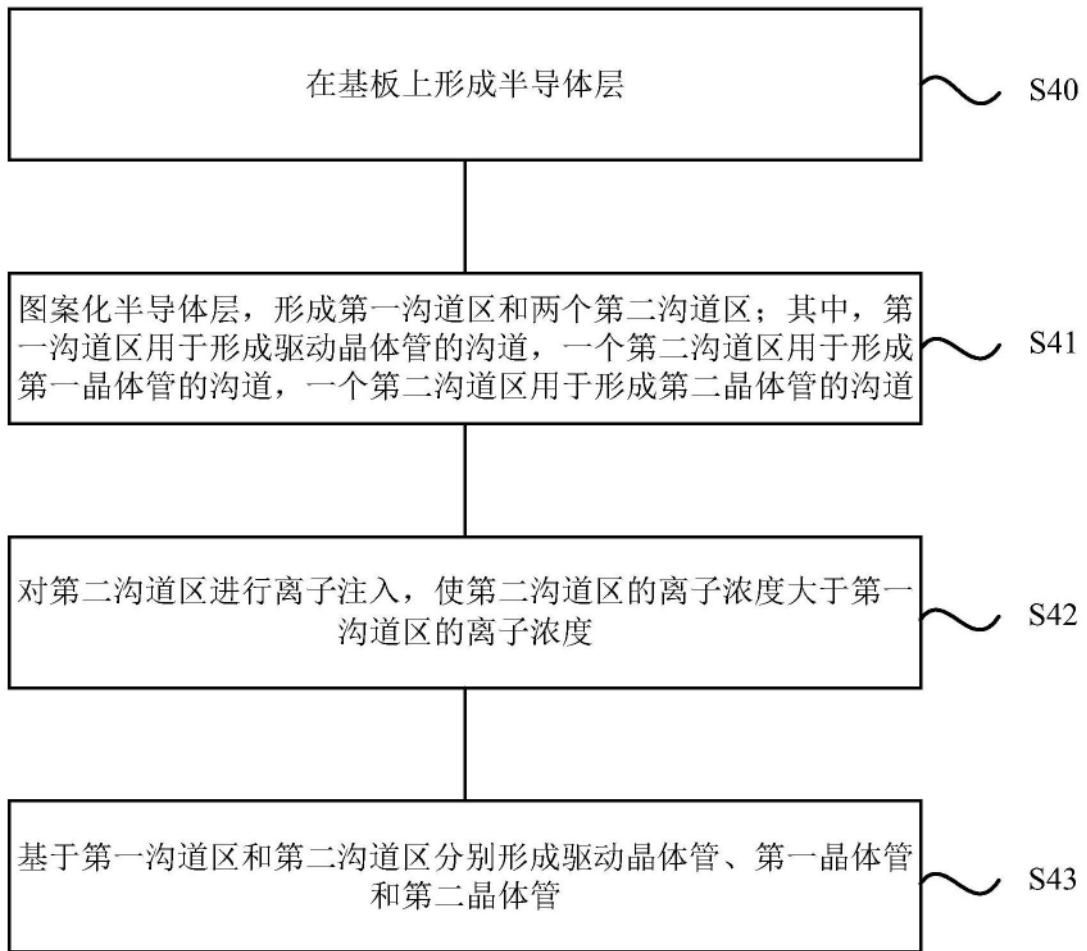


图16

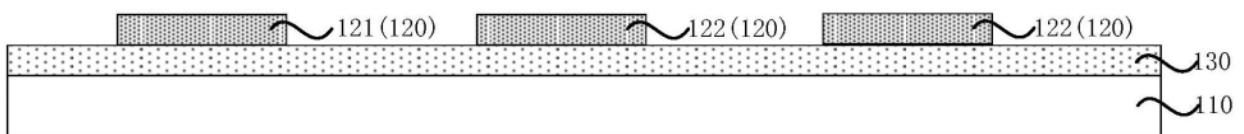


图17

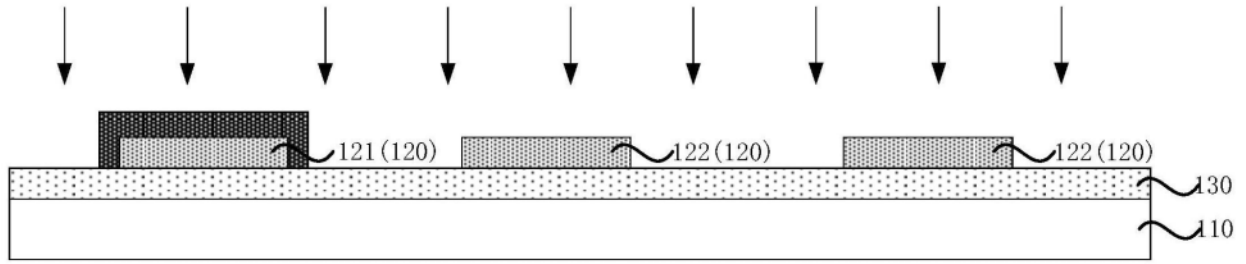


图18