



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I569367 B

(45) 公告日：中華民國 106 (2017) 年 02 月 01 日

(21) 申請案號：103145993 (22) 申請日：中華民國 103 (2014) 年 12 月 29 日

(51) Int. Cl. : H01L21/768 (2006.01) H01L23/48 (2006.01)

(30) 優先權：2014/03/21 美國 14/222,181

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：楊士億 YANG, SHIN YI (TW)；田希文 TIEN, HSI WEN (TW)；李明翰 LEE, MING
HAN (TW)；李香寰 LEE, HSIANG HUAN (TW)；睦曉林 SHUE, SHAU LIN (TW)

(74) 代理人：馮博生

(56) 參考文獻：

TW	200744946	TW	201034153A1
TW	201323318A1	US	2013/0015581A1
US	2013/0075929A1		

審查人員：王人毅

申請專利範圍項數：10 項 圖式數：12 共 37 頁

(54) 名稱

互連結構及其製造方法

INTERCONNECT STRUCTURE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本揭露係提供互連結構，其包含基板、位於基板上方的第一傳導特徵、位於第一傳導特徵上方的第二傳導特徵，以及環繞第一傳導特徵與第二傳導特徵的介電層。第一傳導特徵的寬度與第二傳導特徵的寬度係在 10nm 與 50nm 之間。本揭露亦提供製造互連結構的方法，其包含(1)在介電層中形成通路開口與線溝槽，(2)在通路開口中形成一維傳導特徵，(3)在線溝槽的側壁、線溝槽的底部以及一維傳導特徵的頂部上方，形成共形催化劑層，以及(4)從線溝槽的底部與一維傳導特徵的頂部，移除共形催化劑層。

The present disclosure provides an interconnect structure, including a substrate, a first conductive feature over the substrate, a second conductive feature over the first conductive feature, and a dielectric layer surrounding the first conductive feature and the second conductive feature. A width of the first conductive feature and a width of the second conductive feature are between 10nm and 50nm. The present disclosure also provides a method for manufacturing an interconnect structure, including (1) forming a via opening and a line trench in a dielectric layer, (2) forming a 1-dimensional conductive feature in the via opening, (3) forming a conformal catalyst layer over a sidewall of the line trench, a bottom of the line trench, and a top of the 1-dimensional conductive feature, and (4) removing the conformal catalyst layer from the bottom of the line trench and the top of the 1-dimensional conductive feature.

指定代表圖：

10

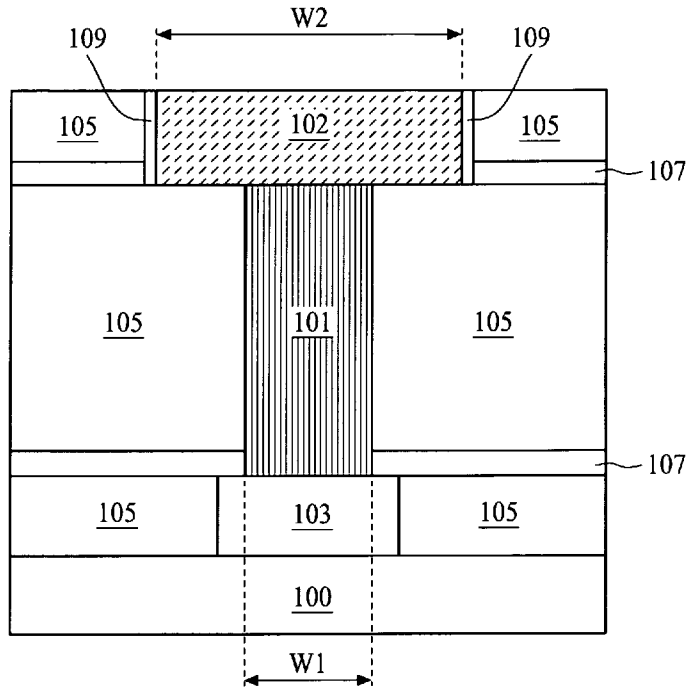
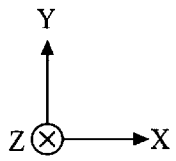


圖 1

符號簡單說明：

10 . . . 互連結構

100 . . . 基板

101 . . . 第一傳導特徵

102 . . . 第二傳導特徵

103 . . . 第三傳導特徵

105 . . . 介電層

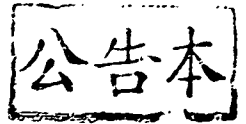
107 . . . 蝕刻停止層

109 . . . 催化劑層

W1 . . . 第一傳導特徵的寬度

W2 . . . 第二傳導特徵的寬度

發明摘要



※ 申請案號：103145993

※ 申請日：103.12.29

※IPC 分類：H01L21/768 (2006.01)

H01L23/48 (2006.01)

【發明名稱】

互連結構及其製造方法

INTERCONNECT STRUCTURE AND MANUFACTURING
METHOD THEREOF

【中文】

本揭露係提供互連結構，其包含基板、位於基板上方的第一傳導特徵、位於第一傳導特徵上方的第二傳導特徵，以及環繞第一傳導特徵與第二傳導特徵的介電層。第一傳導特徵的寬度與第二傳導特徵的寬度係在10 nm與50 nm之間。本揭露亦提供製造互連結構的方法，其包含(1)在介電層中形成通路開口與線溝槽，(2)在通路開口中形成一維傳導特徵，(3)在線溝槽的側壁、線溝槽的底部以及一維傳導特徵的頂部上方，形成共形催化劑層，以及(4)從線溝槽的底部與一維傳導特徵的頂部，移除共形催化劑層。

【英文】

The present disclosure provides an interconnect structure, including a substrate, a first conductive feature over the substrate, a second conductive feature over the first conductive feature, and a dielectric layer surrounding the first conductive feature and the second conductive feature. A width of the first conductive feature and a width of the second conductive feature are between 10nm and 50nm. The present disclosure

also provides a method for manufacturing an interconnect structure, including (1) forming a via opening and a line trench in a dielectric layer, (2) forming a 1-dimensional conductive feature in the via opening, (3) forming a conformal catalyst layer over a sidewall of the line trench, a bottom of the line trench, and a top of the 1-dimensional conductive feature, and (4) removing the conformal catalyst layer from the bottom of the line trench and the top of the 1-dimensional conductive feature.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10互連結構

100基板

101第一傳導特徵

102第二傳導特徵

103第三傳導特徵

105介電層

107蝕刻停止層

109催化劑層

W1第一傳導特徵的寬度

W2第二傳導特徵的寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

互連結構及其製造方法

INTERCONNECT STRUCTURE AND MANUFACTURING
METHOD THEREOF

【技術領域】

本揭露係關於互連結構及其製造方法。

【先前技術】

在半導體技術中，可使用各種製程，包含光微影蝕刻製程、離子植入、沉積以及蝕刻，在基板上形成積體電路圖案。鑲嵌製程用於形成多層銅互連，其包含垂直互連通路與水平互連金屬線。在鑲嵌製程中，在介電材料層中形成溝槽，在溝槽中填充銅或鎢，而後施用化學機械拋光(CMP)製程以移除該介電材料層上過多的金屬，並且平面化頂部表面。

由於銅提供低電阻與高熱傳導性，因而在半導體裝置中偏好使用銅作為傳導互連材料。典型使用鑲嵌製程技術而形成銅互連結構。由於積體電路(IC)的臨界尺寸持續縮小，同基底互連結構面臨製造、裝置效能與可信賴度的挑戰。

【發明內容】

本揭露的一些實施例係提供一種互連結構，其包括基板；第一傳導特徵，其係位於該基板上方並且包括一維傳導特徵的材料；第二傳導特徵，其係位於該第一傳導特徵上方並且包括二維傳導特徵的材料；以及介電層，其環繞該第一傳導特徵與該第二傳導特徵，其中該

第一傳導特徵的寬度與該第二傳導特徵的寬度係在約10 nm至約50 nm的範圍中。

本揭露的一些實施例係提供一種積體電路結構，其包括基板；一維傳導特徵，其係位於該基板上方並且包括碳奈米管；第一介電層，其環繞該一維傳導特徵；二維傳導特徵，其係位於該基板上方並且包括石墨烯片；以及第二介電層，其環繞該二維傳導特徵，其中該一維傳導特徵的深寬比與該二維傳導特徵的深寬比係在約4至10的範圍中。

本揭露的一些實施例係提供一種製造互連結構的方法，其包括在介電層中形成通路開口與線溝槽，其中該通路開口的寬度與該線溝槽的寬度係在約10 nm至約50 nm的範圍中；在該通路開口中，形成一維傳導特徵；在該線溝槽的側壁、該線溝槽的底部以及該一維傳導特徵的頂部上方，形成共形催化劑層；從該線溝槽的該底部與該一維傳導特徵的該頂部，移除該共形催化劑層；以及在該線溝槽中，形成二維傳導特徵。

【圖式簡單說明】

由以下詳細說明與附隨圖式得以最佳了解本申請案揭示內容之各方面。注意，根據產業之標準實施方式，各種特徵並非依比例繪示。實際上，為了清楚討論，可任意增大或縮小各種特徵的尺寸。

圖1係根據本揭露的一些實施例說明互連結構的剖面概示圖。

圖2係根據本揭露的一些實施例說明互連結構的剖面概示圖。

圖3係根據本揭露的一些實施例說明互連結構的剖面概示圖。

圖4係根據本揭露的一些實施例說明互連結構的剖面概示圖。

圖5係根據本揭露的一些實施例說明圖4的互連結構中之虛線所環繞的放大部分之透視圖。

圖6至圖12係根據本揭露的一些實施例說明製造互連結構的一些操作之片段圖式。

【實施方式】

以下揭示內容提供許多不同的實施例或範例，用於實施本申請案之不同特徵。元件與配置的特定範例之描述如下，以簡化本申請案之揭示內容。當然，這些僅為範例，並非用於限制本申請案。例如，以下描述在第二特徵上或上方形成第一特徵可包含形成直接接觸的第一與第二特徵之實施例，亦可包含在該第一與第二特徵之間形成其他特徵的實施例，因而該第一與第二特徵並非直接接觸。此外，本申請案可在不同範例中重複元件符號與/或字母。此重複係為了簡化與清楚之目的，而非支配不同實施例與/或所討論架構之間的關係。

再者，本申請案可使用空間對應語詞，例如「之下」、「低於」、「較低」、「高於」、「較高」等類似語詞之簡單說明，以描述圖式中一元件或特徵與另一元件或特徵的關係。空間對應語詞係用以包括除了圖式中描述的位向之外，裝置於使用或操作中之不同位向。裝置或可被定位(旋轉90度或是其他位向)，並且可相應解釋本申請案使用的空間對應描述。可理解當一特徵係形成於另一特徵或基板上方時，可有其他特徵存在於其間。

由於積體電路(IC)製造進展至先進的技術節點，因而IC特徵尺寸縮小比例至更小的尺寸。例如，線溝槽或通道尺寸越來越小。因此，銅互連結構的間隙填充能力受限，並且間隙填充品質受到挑戰。例如，當互連結構的線寬進步到50 nm以下時，在溝槽或通路開口附近阻障與種子層材料累積阻擋後續銅填充的通道。在電化學鍍銅材料之後，受到阻擋的開口可能造成空隙形成。

除了間隙填充能力之外，在較小尺寸銅基底互連結構中，電子

遷移(electro migration, EM)係容易發生的另一現象。由於傳導電子與擴散金屬原子之間的動量轉移，EM係導體中離子的顆粒移動造成的材料轉移。EM降低積體電路的可信賴度，並且最後可造成半導體裝置的退化或故障。例如，銅互連體中EM所造成的接縫與空隙增加互連結構的電阻。由於受限的電流密度約 $10^6\text{A}/\text{cm}^2$ ，銅互連結構的可信賴度下降，可能防止EM的發生。

由於尺寸依附性的分散效果，因而銅的電阻增加。例如，三維傳導路徑(亦即電荷載體可在銅互連結構的任何方向中自由移動)受到顆粒邊界與表面背向散射(backscattering)，因而對於電荷載體具有較短的平均自由路徑。位於銅互連體與接點區之間的阻障層係該技藝中已知在微電子製造內抑制含銅材料交互擴散的微電子製造。使用此阻障材料通常有損互連結構的電子效能。

因此，互連材料係進一步改進所需效能與可信賴度的互連結構之瓶頸。本揭露的一些實施例提供在微電子裝置的互連結構中自選擇(self-selective)由下而上(bottom-up)成長碳基底材料的方法。該自選擇由下而上成長碳基底材料的實施係藉由自表面上形成催化劑層，該表面係平行於包含二為傳導特徵的另一表面。本揭露的一些實施例提供碳基底互連結構，其具有基板，位於該基板上方並且具有一維傳導特徵之材料的第一傳導特徵，在該第一傳導特徵上方並且具有二維傳導特徵之材料的第二傳導特徵，以及環繞該第一傳導特徵與該第二傳導特徵的介電層。

本揭露所描述的碳基底互連結構及其製造方法解決縮小尺寸溝槽與通路的間隙填充問題，這是由於在一些實施例中，自選擇由下而上成長不需要種子層與/或阻障層沉積。在其他實施例中，化學氣相沉積(CVD)取代電化學鍍操作，用於該一維傳導特徵與該二維傳導特徵的成長。

由於碳基底材料中的一維與二維載體傳送機制，本揭露所描述之碳基底互連結構及其製造方法亦解決EM問題。在本文所述的碳基底互連結構中可有較高限度的電流密度(例如，高於 10^9 A/cm^2)。在一些實施例中，藉由本文所述之一維與二維傳導路徑中的較低載體分散，替換三維傳導路徑中的嚴重載體分散問題，因而產生較長的載體平均自由路徑。藉由減輕EM與載體分散問題，可抑制碳基底互連結構的電阻。

此外，碳基底互連提供的熱傳導性比銅互連的熱傳導性高一個數量級。例如，碳奈米管(carbon nanotube, CNT)或石墨烯片(graphene sheet, GS)的熱傳導性範圍自約 3000 W/(mK) 至約 5000 W/(mK) ，以及銅的熱傳導性約為 400 W/(mK) 。

如圖1所示，互連結構10包含基板100、在基板100上方且由一維傳導特徵之材料所組成的第一傳導特徵101。第二傳導特徵102係位於第一傳導特徵101上方，且由二維傳導特徵之材料所組成。環繞第一傳導特徵101與第二傳導特徵102的介電層係位於基板100上方。在一些實施例中，互連結構10進一步包括第三傳導特徵103，其電連接至第一傳導特徵101且由介電層105所環繞。互連結構10包含多層互連(multi-layer interconnect, MLI)結構以及與MLI結構整合的層間介電(inter-level dielectric, ILD)，提供電路由(electrical routing)以將基板100中的各種裝置耦合至輸入/輸出電力與信號。互連結構10包含各種金屬線、接點與金屬通路。金屬線提供水平電路由。接點提供基板100與金屬線或通路之間的垂直連接，而通路提供不同金屬層中金屬線之間的垂直連接或是提供接點與金屬線之間的垂直連接。如圖1所示，在一些實施例中，第一傳導特徵101可為通路，第二傳導特徵102可為金屬線，以及第三傳導特徵103可為基板100與通路中的接點連接傳導區(未繪示)，或是包埋在較低堆疊的介電層105中之金屬線。

在一些實施例中，互連結構10的基板100包含矽基板。或者，基板100可包含其他元素半導體，例如鍺。基板100亦可包含化合物半導體，例如碳化矽、砷化鎵、砷化銮以及磷化銮。基板100可包含合金半導體，例如矽鍺、矽鍺碳化物、磷化砷鎵 (gallium arsenic phosphide) 以及磷化銮鎵 (gallium indium phosphide)。在一實施例中，基板100包含磊晶層。例如，基板可具有覆在大塊半導體上方的磊晶層。再者，基板100可包含絕緣體上半導體(SOI)結構。例如，基板可包含包埋的氧化物 (BOX) 層，其係由例如氧植入隔離 (separation by implanted oxygen, SIMOX) 或例如晶圓接合與研磨之其他合適的技術而形成。基板100亦包含由例如離子植入與/或擴散之製程而實施的各種p型摻雜區與/或n型摻雜區。那些摻雜區包含n槽、p槽、光摻雜區 (LDD)、重摻雜源極與汲極 (S/D)，以及各種通道摻雜狀況，用於形成各種積體電路 (IC) 裝置，例如互補金屬氧化物半導體場效電晶體 (CMOSFET)、成像感測器以及/或發光二極體 (LED)。基板100可進一步包含其他功能特徵，例如形成於基板中與基板上的電阻器或電容器。基板100進一步包含側向隔離特徵，用以分隔基板100中形成的各種裝置。在一實施例中，淺溝槽隔離 (STI) 係用於側向隔離。當耦合至輸出與輸入信號時，各種裝置進一步包含位於S/D上的矽化物、閘極以及其他裝置特徵用於降低的接點電阻。

參閱圖1，蝕刻停止層107係位於基板100與環繞第一傳導特徵101的介電層105之間。在具有第三傳導層103的一些實施例中，蝕刻停止層107可夾在環繞第三傳導特徵103的介電層105與環繞第一傳導特徵101的介電層105之間。在一些實施例中，第一傳導特徵101穿過蝕刻停止層107，並且電連接至蝕刻停止層107下方的傳導區。蝕刻停止層107包含介電材料，其蝕刻電阻明顯高於蝕刻製程中的介電材料層105之蝕刻電阻，以使介電材料層105圖案化。在一範例中，蝕刻停

止層107包含氮化矽、碳化矽或其他合適的材料。

第一傳導特徵101包含一維傳導特徵的材料。本文所指之一維傳導特徵包含具有特定原子排列的材料，其造成電子移動於其中受到側向限制，因而所佔據的能階不同於大塊或三維材料中所發現的傳統連續能階或能帶。例如，一維傳導特徵的材料包含但不限於奈米線、奈米膠囊以及碳奈米管(CNT)。如圖1所示，在一些實施例中，CNT開始從第三傳導特徵103成長，並且結束於環繞第一傳導特徵101的介電材料層105之頂部表面。亦即CNT係沿著Y方向形成。在一範例中，CNT係隨機形成於第三傳導特徵103上而無催化劑層沉積在第三傳導特徵103上。由於在上述範例中，第三傳導特徵103可為金屬材料，例如銅，因而第三傳導特徵103係作為催化劑層而無額外處理。在不同的範例中，CNT包含單壁的CNT與/或多壁的CNT。在其他範例中，CNT可為半導體型CNT或金屬型CNT。在一些實施例中，第一傳導特徵101的寬度W1範圍係自約10 nm至約50 nm。

第二傳導特徵102包含二維傳導特徵的材料。本文所指之二維傳導特徵包含具有特定原子排列的材料，其阻擋在其中沿著特定方向受到傳導而移動的電子。二維傳導特徵的材料包含但不限於石墨烯、氮化硼、二硫族化合物(dichalcogenide)、矽烯(silicene)以及共價的有機或金屬有機網路(metalorganic network)。例如，石墨烯係由碳原子以規則的 sp^2 鍵結原子級六角形圖案緊密包裝而組成，並且在石墨烯片(GS)的二維平面上呈現二維同向性傳導(isotropic conduction)。由於 π 電子的低密度，GS受到垂直於GS的平面之方向上的高電阻，因而在垂直於GS的平面之該方向上的電子傳導程度係低至足以使得「二維傳導」可用以接近描述GS的電子傳導作用。

如圖1所示，在一些實施例中，GS開始從介電層105的側壁向第二傳導特徵102的中間部分成長。亦即二維GS係形成於YZ平面上，以

及在YZ平面上的GS從其前方向前朝向第二傳導特徵102的中間部分。在一些實施例中，催化劑層109係位於第二傳導特徵102與介電層105之間的界面處。再者，催化劑層109的厚度範圍係自約0.5 nm至約2 nm。催化劑層109係用以催化GS成長的作用，以及包含例如過渡金屬(例如，Co、Ni、Fe等)或傳導金屬(例如，Cu)之材料的均勻層。在一些實施例中，催化劑層109包含摻雜在擴散阻障層(未繪示圖1)中的過渡金屬或傳導金屬。在如圖1所示的一些實施例中，催化劑層109僅形成於介電層105的側壁，但在其他平面係與第二傳導特徵102接觸。

在一些實施例中，第二傳導特徵102的寬度W2範圍係自10 nm至約50 nm。例如，寬度W2可等於或大於寬度W1。

參閱圖1，介電層105包含氧化矽、低介電常數(低k)材料、其他合適的介電材料或是其組合。低k材料可包含氟化的二氧化矽玻璃(FSG)、摻雜碳的氧化矽、Black Diamond®(Applied Materials of Santa Clara, Calif.)、乾凝膠(Xerogel)、氣凝膠(Aerogel)、無定形的氟化碳、聚對二甲苯(parylene)、BCB(雙-苯并環丁烯，bis-benzocyclobutene)、SiLK(Dow Chemical, Midland, Mich.)、聚亞醯胺、多孔材料、以及/或其他未來發展的低k介電材料。在一些實施例中，環繞第一傳導特徵101、第二傳導特徵102以及第三傳導特徵103的介電層105係分別由不同的低k介電材料製成。然而，在其他實施例中，環繞不同傳導特徵的介電層105可由相同的低k材料製成。

參閱圖1，第三傳導特徵103可進一步為源極、汲極或閘極電極，如圖2所示。或者，第三傳導特徵103係位於源極、汲極或閘極電極上的矽化物特徵，如圖3所示。可藉由自對準的矽化物(金屬矽化物，salicide)技術，形成矽化物特徵。在另一實施例中，第三傳導特徵103包含電容器的電極或是電阻器的一端。在另一實施例中，基板100是互連結構的一部分，第三傳導特徵103包含接點、通路或金屬

線，如圖4所示。

在圖2中，第三傳導特徵103係MOSFET結構的源極或汲極。互連結結構20的第一傳導特徵101係直接形成在MOSFET結構的源極或汲極上。在一些實施例中，第三傳導特徵103的頂部上，未形成矽化物層。在其他實施例中，如圖2所示，在形成第一傳導特徵101之前，進行矽化作用，在源極或汲極的頂部上，形成矽化物層109'。除了介電層105之側壁的催化劑層109之外，在矽化作用操作中使用的過渡金屬係作為第一傳導特徵101的另一催化劑層。

在圖3中，第三傳導特徵103係MOSFET結構的閘極。在MOSFET結構的閘極上，形成互連結結構30的第一傳導特徵101。在一些實施例中，在圖3所示的第三傳導特徵103之頂部上，形成矽化物層。矽化作用操作所使用的材料係與MOSFET製造中所使用的材料相容，為求簡化而未詳列於本文中。互連結結構30包含第一催化劑層109，其係位於環繞第二傳導特徵102之介電層的側壁。相較於互連結結構20，互連結結構30進一步包含在第三傳導特徵103與第一傳導特徵101之間的第二催化劑層109'。第一催化劑層的厚度T1範圍可從約0.5 nm至約2 nm，第二催化劑層的厚度T2範圍可從約數奈米至數十奈米。

如圖3所示，在第一傳導特徵101與介電層105之間形成阻障層110。阻障層110提供有效防止碳擴散至介電層105中。在一範例中，阻障層110包含氮化鉬(TaN)與/或鉬(Ta)。在其他範例中，阻障層110可包含其他合適的材料，例如氮化鈦(TiN)。可藉由物理氣相沉積(PVD)或其他合適的技術，形成阻障層110。

在圖4中，第三傳導特徵103係金屬線，用以側向連接互連結結構40的下層中之兩個通路101'。在一些實施例中，下層中的兩個通路101'包含一維傳導特稱，例如CNT，以及第三傳導特徵103包含二維傳導特徵，例如GS。如本揭露先前所述，一維傳導特徵在Y方向中傳

導電子，然而二維傳導特徵係在法線方向垂直於Y方向的平面中自由傳導電子。該平面包含YZ平面或XY平面，取決於催化劑層係沉積在哪個平面。例如，由於催化劑層109係沉積在第二介電層105B的側壁上，亦即在YZ平面上，因而第二傳導特徵102的GS係形成於YZ平面上。在此狀況下。當電荷載體於Z方向中有效移動時(亦即，電子可在YZ平面上自由移動)，可達到低電阻。然而，由於第一傳導特徵103係沿著X方向延伸的金屬線，因而如果催化劑層(未繪示於圖4)係沉積在XY平面上，則第一傳導特徵103的GS係形成於XY平面上。因此，可根據催化劑沉積的平面，以自選擇方式決定GS的位向。

在圖4中，環繞第一傳導特徵101的介電層係第一介電層105A，環繞第二傳導特徵102的介電層係第二介電層105B，環繞第三傳導特徵103的介電層係第三介電層105C。

圖4中與圖1至3之相同的元件符號標示係指相同的結構或是其均等物，在此處為求簡化而不再重複。在一些實施例中，阻障層110'係位於第三傳導特徵103與第三介電層105C之間，以及阻障層110係位於第一傳導特徵101與第一介電層105A之間。在第二傳導特徵102與第二介電層105B之間形成第一催化劑層109，特別是當阻障層110'存在於互連結構40中時，第一催化劑層109係位於第二傳導特徵102與阻障層110'之間。在一些實施例中，介面材料層(未繪示)係位於第二傳導特徵102與阻障層110'之間，用於較佳的材料整合。在一範例，介電材料層包含鈦(Ru)。

圖5係圖4中的互連結構40之虛線所環繞的放大部分之透視圖。虛線包圍第一傳導特徵101與第二傳導特徵102。在圖5中，第二傳導特徵102的區域中係顯示GS之二維原子配置的說明，然而第一傳導特徵101的區域中係顯示CNT的原子配置。如圖5所示，電子係在GS的平面上或是在第二傳導特徵102與第二介電層105B之間的界面120平

行之平面上自由傳導。在一些實施例中，催化劑層109僅位於第二介電層105B的側壁上，並且不在第一介電層105A的頂部或第一傳導特徵101的頂部。因此，GS係自選擇成長於催化劑層109所位於的平面上。

參閱圖5，第一傳導特徵101的深寬比($H1/W1$)範圍係從約4至約10。第二傳導特徵102的深寬比($H2/W2$)範圍係從約4至約10。在一些實施例中，深寬比($H1/W1$)係等於或大於深寬比($H2/W2$)。

圖6至圖12係說明本揭露之圖1與圖2所示的製造互連結構10與20之一些操作的片段圖式。圖6至12中與圖1至5相同的元件符號標示係指相同或其均等物，並且為了簡化而不再重複於此處。在圖6中，低k介電堆疊包含基板100、第一介電層105A、第二介電層105B以及環繞第三傳導特徵103的第三介電層105C。在一些實施例中，在不同的介電層之間，形成蝕刻停止層107。在其他實施例中，僅在第三介電層105C與第一介電層105A之間，形成蝕刻停止層107。

如圖6所示，在第二介電層105B的頂部上，形成覆蓋層108。覆蓋層108無氮，並且包含例如碳與氧的材料。覆蓋層108亦作為底部抗反射塗覆(bottom anti-reflective coating, BARC)，其係用於圖案化後續形成的金屬硬遮罩。因此，覆蓋層108亦係指無氮抗反射塗覆(nitrogen-free anti-reflective coating, NFARC)。在一些實施例中，可在覆蓋層108的頂部上，形成硬遮罩層(未繪示)。硬遮罩可為金屬材料，例如Ti、TiN、Ta、TaN、Al以及類似物，然而亦可使用非金屬硬遮罩方案，非金屬材料例如SiO₂、SiC、SiN以及SiON。覆蓋層108的形成方法包含化學氣相沉積(CVD)以及物理氣相沉積(PVD)。然而，亦可使用其他方法，例如原子層沉積(ALD)。

圖7A與圖7B分別說明圖1與圖2所示之互連結構的片段剖面圖式。在圖7A中，第三傳導特徵103係第三介電層105C所環繞的金屬

線，然而在圖7B中，第三傳導特徵103係MOSFET的源極或汲極區。圖7A與圖7B中進行介電圖案化操作，以在包含105A與105B的低k介電堆疊中形成通路開口101'與線溝槽102'。藉由圖案化第一介電材料層105A，形成通路開口101'。在一些實施例中，圖案化操作包含微影蝕刻製程與蝕刻製程。微影蝕刻製程形成圖案化的光阻，其具有定義通路開口101'之區域的開口。

圖7A與7B中進行的蝕刻製程可包含兩個蝕刻步驟，以分別移除圖案化光阻層的開口內之第一介電材料層105A與蝕刻停止層107。在蝕刻之後，藉由濕式剝離或電漿灰化，移除圖案化光阻層。在一些實施例中，相同的操作用於形成線溝槽102'。然而，在圖7B中，通路開口101'不僅穿透第一介電材105A、蝕刻停止層107，亦穿透第三介電層105C，以暴露基板100中的MOSFET之源極或汲極區。注意，通路開口101'的寬度W1'係等於或小於線溝槽102'的寬度W2'。所形成的寬度W1'與W2'範圍係從約10 nm至約50 nm。

圖8A與圖8B係分別說明圖1與圖2所示之互連結構的片段剖面圖式。在通路開口101'中，形成一維傳導特徵101，如圖7A與7B所示。在一些實施例中，一維傳導特徵101包含CNT。可藉由化學氣相沉積(CVD)操作或電漿強化CVD(PE-CVD)操作，形成CNT。在一範例中，前驅物包含碳水化合物 C_xH_y ，例如甲烷(CH_4)與氫氣(H_2)。如圖8A所示，在CVD製程過程中，設計氣體流動與基板溫度，使得CNT可有效成長於第三傳導特徵103上而具有較佳的材料整合，該第三傳導特徵103係例如銅傳導線。如圖8B所示，在開始CNT成長之前，在第三傳導特徵103的頂部上，形成矽化物層109'。在一些實施例中，可藉由自對準矽化物(金屬矽化物)技術，形成矽化物層109'。

參閱圖8A與8B中所述之CNT成長，CVD製程可包含多步驟：(1) 施加 H_2 氣體以及將基板加熱至目標沉積溫度，其範圍從約攝氏25至約

1000度；(2)在該目標沉積溫度，施加 H_2 與 CH_4 用於CNT成長。氣體 H_2 與 CH_4 的氣體流動比例 H_2/CH_4 維持大於1；(3)冷卻基板。當將基板100維持在目標沉積溫度與CNT成長時，CVD沉積腔室的壓力範圍維持在約0.1 Torr至約760 Torr。CVD沉積腔室的氣體流動範圍維持在約100至約1000 SCCM。在施加前驅物氣體與反應物的過程中，從開始到結束總是開啟淨化氣體(purge gas)。在一些實施例中，在關閉前驅物氣體與反應物之後，淨化氣體延長預定時間。

參閱前述之CNT成長，在一些實施例中，成長參數例如PE-CVD操作的沉積溫度、前驅物與反應物、腔室壓力、氣體流動係類似於CVD操作的參數。在一些實施例中，用於CNT成長的PE-CVD操作之電漿功率範圍係從約50 W至約1000 W。在一些實施例中，第一傳導特徵101中成長的CNT係說明底部成長機制，其中催化劑材料(例如圖8A中的銅以及圖8B中的過渡金屬矽化物)係維持在CNT的底部。可藉由調整CVD或PE-CVD期間，控制CNT的高度。在一些實施例中，CNT的頂部表面101A係實質與線溝槽的底部表面102B齊平，如圖8A與8B所示。

參閱圖9，在線溝槽102'上方，形成催化劑層109。在一些實施例中，可使用物理氣相沉積(PVD)操作或CVD操作，形成描繪一維傳導特徵101的頂部表面101A、線溝槽102'的底部表面102B以及線溝槽102'的側壁102A之共形催化劑層109。如圖9所示，在一些實施例中，可使用PVD操作，例如真空蒸發接續為冷凝。在其他實施例中，可使用電漿濺鍍操作，其具有範圍從1000 kW至約50000 kW的DC功率。濺鍍腔室中的壓力係維持在約0.1 mTorr至約200 mTorr，以及可將基板的溫度控制在約攝氏-50度至約攝氏200度。在圖9中，用促進氫離子朝向靶材130轟擊之磁場(未繪示於圖9中)，將濺鍍靶材130置放於濺鍍腔室的頂部。在濺鍍靶材130附近產生電漿131。在一些實施例

中，濺鍍標的包含但不限於Fe、Co、Ni、Cu與其合金。從靶材130濺鍍的催化原子133移動於視線方向，並且沉積在線溝槽102'的上方。在一些實施例中，PVD操作所形成的催化劑層109之均勻厚度T1範圍係從0.5 nm至約2 nm。

如圖9所示，可使用CVD操作，沉積催化劑層109。在一些實施例中，CVD沉積腔室的壓力維持在約0.1 Torr至約760 Torr之間。CVD沉積腔室中的氣體流動範圍係維持在約100至約5000 SCCM。依照所使用的前驅物或反應物之反應性，基板溫度可控制在約攝氏25度至約攝氏500度。在施加前驅物氣體與反應物的過程中，從開始到結束總是開啟淨化氣體(purge gas)。在一些實施例中，在關閉前驅物氣體與反應物之後，淨化氣體延長預定時間。在一些實施例中，CVD操作所形成的催化劑層109之均勻厚度T2範圍係從0.5 nm至約2 nm。

參閱圖10，移除圖9所示之催化劑層109的選擇性部分。可使用非等向性蝕刻，例如電漿乾式蝕刻，移除位於覆蓋層108之頂部上、線溝槽102'的底部表面102B上以及一維傳導特徵101之頂部表面101A上之催化劑層109的部分。換言之，在此操作中，移除原本沉積在互連結構之水平部分上的催化劑層109。如圖10所示，在一些實施例中，線溝槽102'的底部表面102B無催化劑層109，因而並不偏好從該底部表面102B起始圖1至5所示之第二傳導特徵102的後續形成。

參閱圖11，在圖7A至10所示的線溝槽102'中，形成二維傳導特徵102。在一些實施例中，二維傳導特徵102包含石墨烯片(GS)。可藉由化學氣相沉積(CVD)操作或是強化的CVD(PE-CVD)操作，形成GS。在一範例中，前驅物包含碳水化合物 C_xH_y ，例如甲烷(CH_4)與氫氣(H_2)。如圖11所示，在CVD製程過程中，設計氣體流動與基板溫度，使得可從側壁102A的催化劑層109朝向二維傳導特徵102的中間部分有效成長GS。

參閱圖11所示之GS成長，CVD製程可包含多個步驟：(1)施加H₂氣體以及將基板加熱至目標沉積溫度，其範圍從約攝氏25至約1000度；(2)在該目標沉積溫度，施加H₂與CH₄用於CNT成長。氣體H₂與CH₄的氣體流動比例H₂/CH₄維持大於1；(3)冷卻基板。當將基板維持在目標沉積溫度與CNT成長時，CVD沉積腔室的壓力範圍維持在約0.1 Torr至約760 Torr。CVD沉積腔室的氣體流動範圍維持在約100至約1000 SCCM。在施加前驅物氣體與反應物的過程中，從開始到結束總是開啟淨化氣體(purge gas)。在一些實施例中，在關閉前驅物氣體與反應物之後，淨化氣體延長預定時間。

參閱前述之GS成長，在一些實施例中，成長參數例如PE-CVD操作的沉積溫度、前驅物或反應物、腔室壓力、氣體流動係類似於CVD操作的參數。在一些實施例中，用於GS成長的PE-CVD操作之電漿功率範圍係從約50 W至約1000 W。在一些實施例中，成長在二維傳導特徵102中的GS係呈現從催化劑表面由下而上成長一層接一層。

參閱圖12，藉由進行平面化作用操作，選擇性移除圖11所示的互連結構之頂部。在一些實施例中，藉由化學機械拋光操作，移除覆蓋層、二維傳導特徵102的部分以及在覆蓋層108之側壁的催化劑層109的部分。

本揭露的一些實施例係提供互連結構。互連結構包含基板、在基板上方且具有一維傳導特徵之材料的第一傳導特徵、在該第一傳導特徵上方且具有二維傳導特徵之材料的第二傳導特徵，以及環繞第一傳導特徵與第二傳導特徵的介電層。第一傳導特徵的寬度與第二傳導特徵的寬度範圍係約10 nm至約50 nm。

在本揭露的一些實施例中，互連結構進一步包含在第一傳導特徵下方的第三傳導特徵，其係電連接第一傳導特徵。

在本揭露的一些實施例中，互連結構的第三傳導特徵包含源極

區域、汲極區域、閘極區域、傳導通道、傳導線、或接點區域。

在本揭露的一些實施例中，互連結構的第一傳導特徵包含碳奈米管(CNT)。

在本揭露的一些實施例中，互連結構的第二傳導特徵包含石墨烯片(GS)。

在本揭露的一些實施例中，互連結構進一步包含第一催化劑層，其係位於第二傳導特徵與介電層之間的界面。

在本揭露的一些實施例中，互連結構之催化劑層的厚度範圍係從約0.5 nm至約2 nm。

在本揭露的一些實施例中，互連結構進一步包含第二催化劑層，其係位於第一傳導特徵與第三傳導特徵之間的第二催化劑層。

在本揭露的一些實施例中，第二傳導特徵的二維傳導特徵包含的結構係在一表面上傳導電子，該表面係平行於第二傳導特徵與介電層之間的界面。

在本揭露的一些實施例中，互連結構進一步包含位於第一催化劑層與介電層之間的阻障層。

本揭露的一些實施例係提供積體電路(IC)結構。IC結構包含基板、一維傳導特徵，其包括在基板上方的碳奈米管、環繞一維傳導特徵的第一介電層、二維傳導特徵，其包括在基板上方的石墨烯片，以及環繞二維傳導特徵的第二介電層。一維傳導特徵的深寬比與二維傳導特徵的深寬比範圍係約4至約10。

在本揭露的一些實施例中，IC結構進一步包含基板與第一介電層之間的蝕刻停止層。

在本揭露的一些實施例中，IC結構進一步包含石墨烯片的催化劑層，其係位在二維傳導特徵與第二介電層之間。

在本揭露的一些實施例中，IC結構進一步包含位於一維傳導特

徵與第一介電層之間的阻障層。

本揭露的一些實施例係提供製造互連結構的方法。該方法包含(1)在介電層中，形成通路開口與線溝槽，(2)在通路開口中，形成一維傳導特徵，(3)在線溝槽的側壁、線溝槽的底部以及一維傳導特徵的頂部，形成共形催化劑層，(4)移除線溝槽的底部與一維傳導特徵頂部的共形催化劑層，以及(5)在線溝槽中，形成二維傳導特徵。然而，在操作(1)中，所形成之線溝槽的寬度範圍約10 nm至約50 nm。

在本揭露的一些實施例中，在通路開口中形成一維傳導特徵的方法係包含進行化學氣相沉積(CVD)，以及在线溝槽中形成二維傳導特徵係包含進行CVD。

在本揭露的一些實施例中，形成共形催化劑層的方法係包含藉由進行物理氣相沉積、化學氣相沉積或其組合，形成厚度約0.5 nm至約2 nm的金屬層。

在本揭露的一些實施例中，該方法進一步包含進行化學機械拋光，以移除部分的二維傳導特徵與部分的共形催化劑層。

在本揭露的一些實施例中，該方法進一步包含在形成一維傳導特徵之前，在通路開口的底部，形成催化劑層。

在本揭露的一些實施例中，移除線溝槽的底部與一維傳導特徵頂部的共形催化劑層係包含進行乾式蝕刻。

前述內容概述一些實施方式的特徵，因而熟知此技藝之人士可更加理解本申請案揭示內容之各方面。熟知此技藝之人士應理解可輕易使用本申請案揭示內容作為基礎，用於設計或修飾其他製程與結構而實現與本申請案所述之實施方式具有相同目的與/或達到相同優點。熟知此技藝之人士亦應理解此均等架構並不脫離本申請案揭示內容的精神與範圍，以及熟知此技藝之人士可進行各種變化、取代與替換，而不脫離本申請案揭示內容之精神與範圍。

【符號說明】

10互連結構	100基板
101第一傳導特徵	102第二傳導特徵
103第三傳導特徵	105介電層
107蝕刻停止層	109催化劑層
109'矽化物層	20互連結構
30互連結構	40互連結構
101'通路(通路開口)	105A第一介電層
105B第二介電層	105C第三介電層
110阻障層	120界面
102'線溝槽	130濺鍍靶材
131電漿	133催化原子
108覆蓋層	102A側壁
102B底部表面	101A頂部表面

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

申請專利範圍

1. 一種互連結構，其包括：

基板；

第一傳導特徵，其係位於該基板上方並且包括一維傳導特徵的材料，且於該基板上方形成連續區；

第二傳導特徵，其係位於該第一傳導特徵上方並且包括二維傳導特徵的材料；以及

介電層，其環繞該第一傳導特徵與該第二傳導特徵，

其中該第一傳導特徵的寬度與該第二傳導特徵的寬度係在約 10 nm 至約 50 nm 的範圍中。

2. 如請求項 1 所述的互連結構，進一步包括第三傳導特徵，其係位於該第一傳導特徵下方，並且電連接該第一傳導特徵。

3. 如請求項 1 所述的互連結構，其中該第一傳導特徵係包括碳奈米管(CNT)。

4. 如請求項 1 所述的互連結構，其中該第二傳導特徵係包括石墨烯片。

5. 如請求項 1 所述的互連結構，進一步包括第一催化劑層，其係位在該第二傳導特徵與該介電層之間的界面。

6. 如請求項 5 所述的互連結構，進一步包括：

第三傳導特徵，其係位於該第一傳導特徵下方，並且電連接該第一傳導特徵；

第二催化劑層，其係位在該第一傳導特徵與該第三傳導特徵之間的界面。

7. 一種製造互連結構的方法，其包括：

在介電層中形成通路開口與線溝槽，其中該通路開口的寬度

與該線溝槽的寬度係在約10 nm至約50 nm的範圍中；

在該通路開口中，形成一維傳導特徵；

在該線溝槽的側壁、該線溝槽的底部以及該一維傳導特徵的頂部，形成共形催化劑層；

移除該線溝槽的該底部與該一維傳導特徵的該頂部的該共形催化劑層；以及

在該線溝槽中，形成二維傳導特徵。

8. 如請求項7所述的方法，其中形成該共形催化劑層係包括藉由進行物理氣相沉積、化學氣相沉積或其組合，形成厚度約0.5 nm至約2 nm的金屬層。
9. 如請求項7所述的方法，進一步包括在形成該一維傳導特徵之前，在該通路開口的底部，形成催化劑層。
10. 如請求項7所述的方法，其中移除該線溝槽的該底部以及該一維傳導特徵的該頂部的該共形催化劑層係包括進行乾式蝕刻。

圖式

10

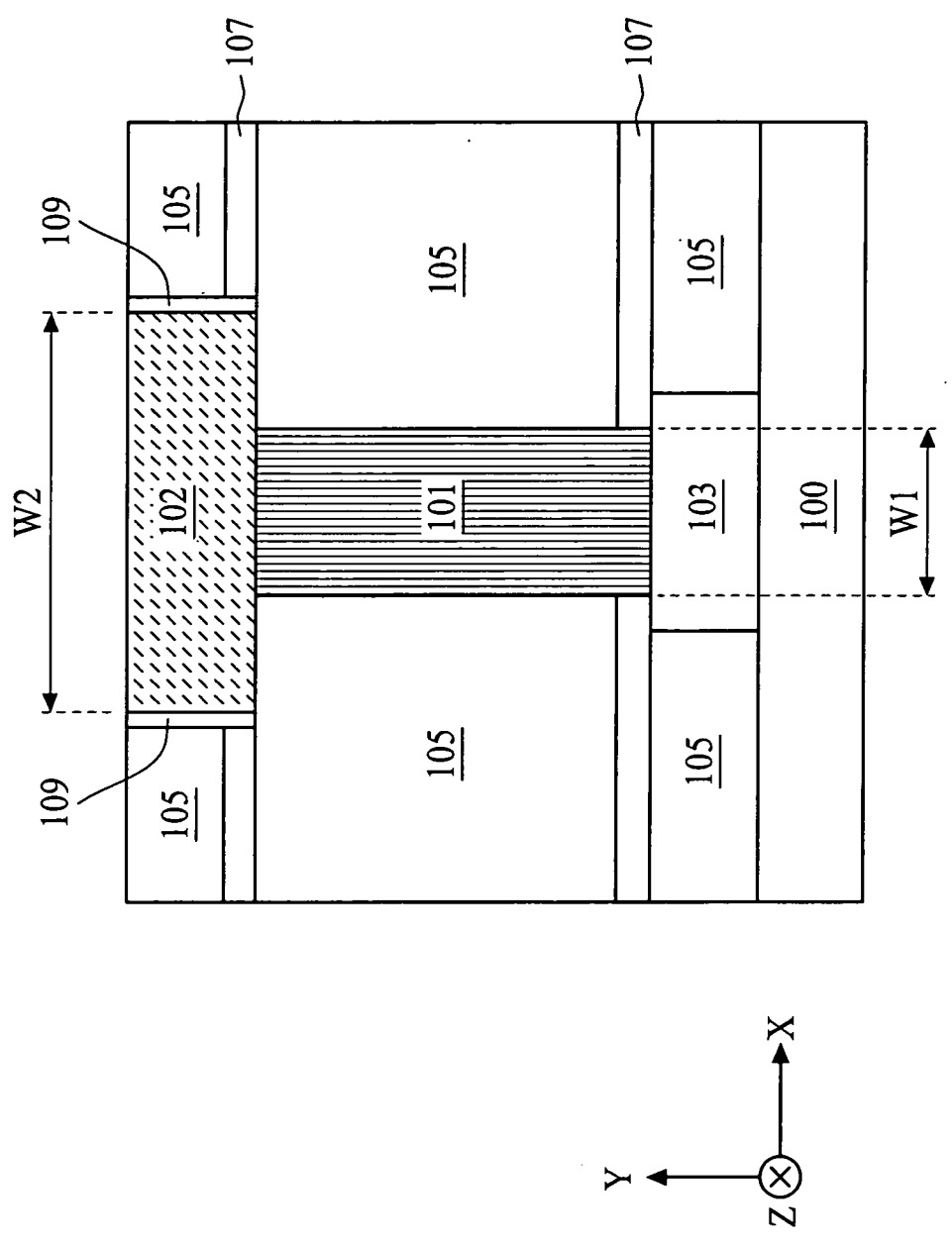


圖 1

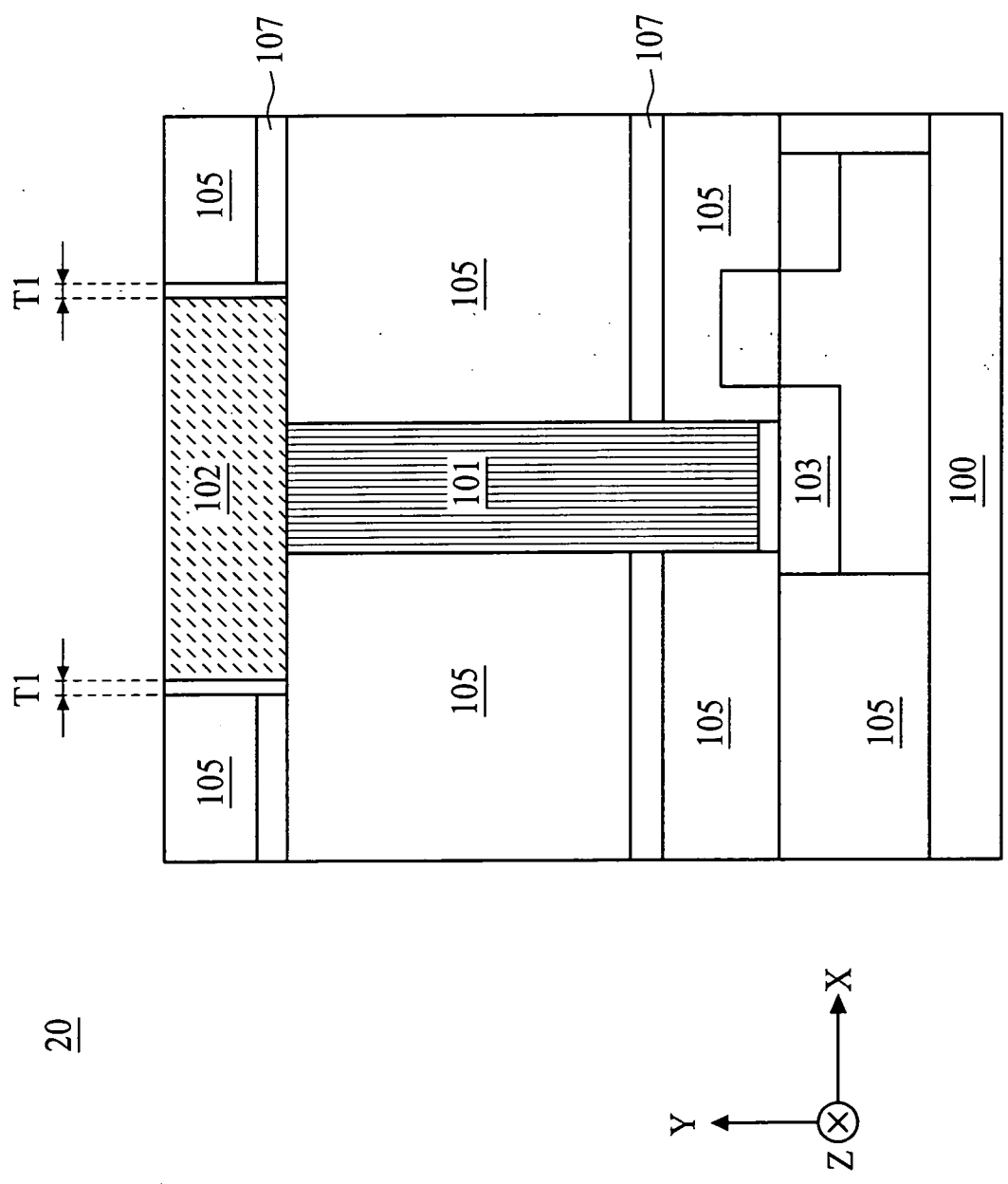


圖 2

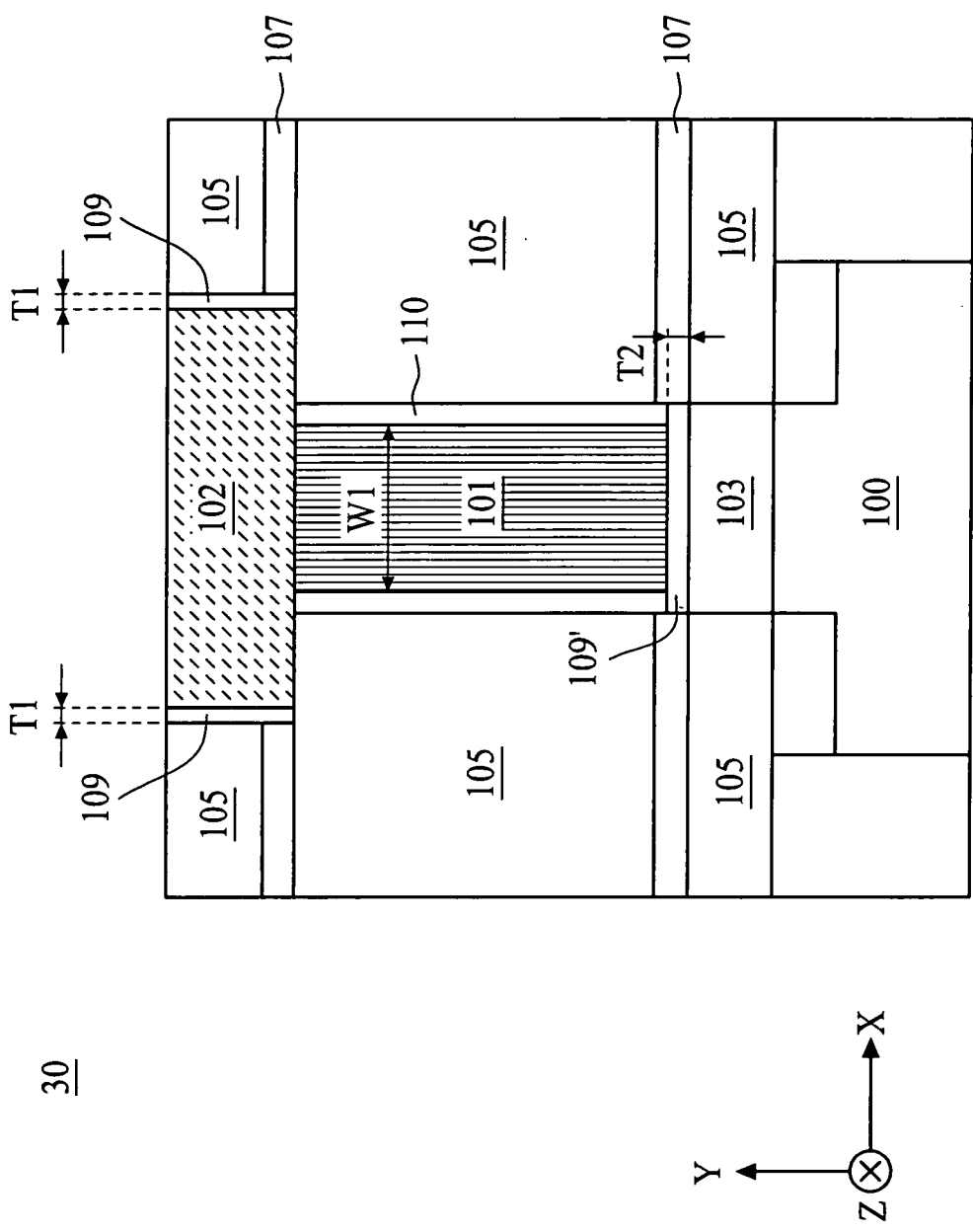


圖 3

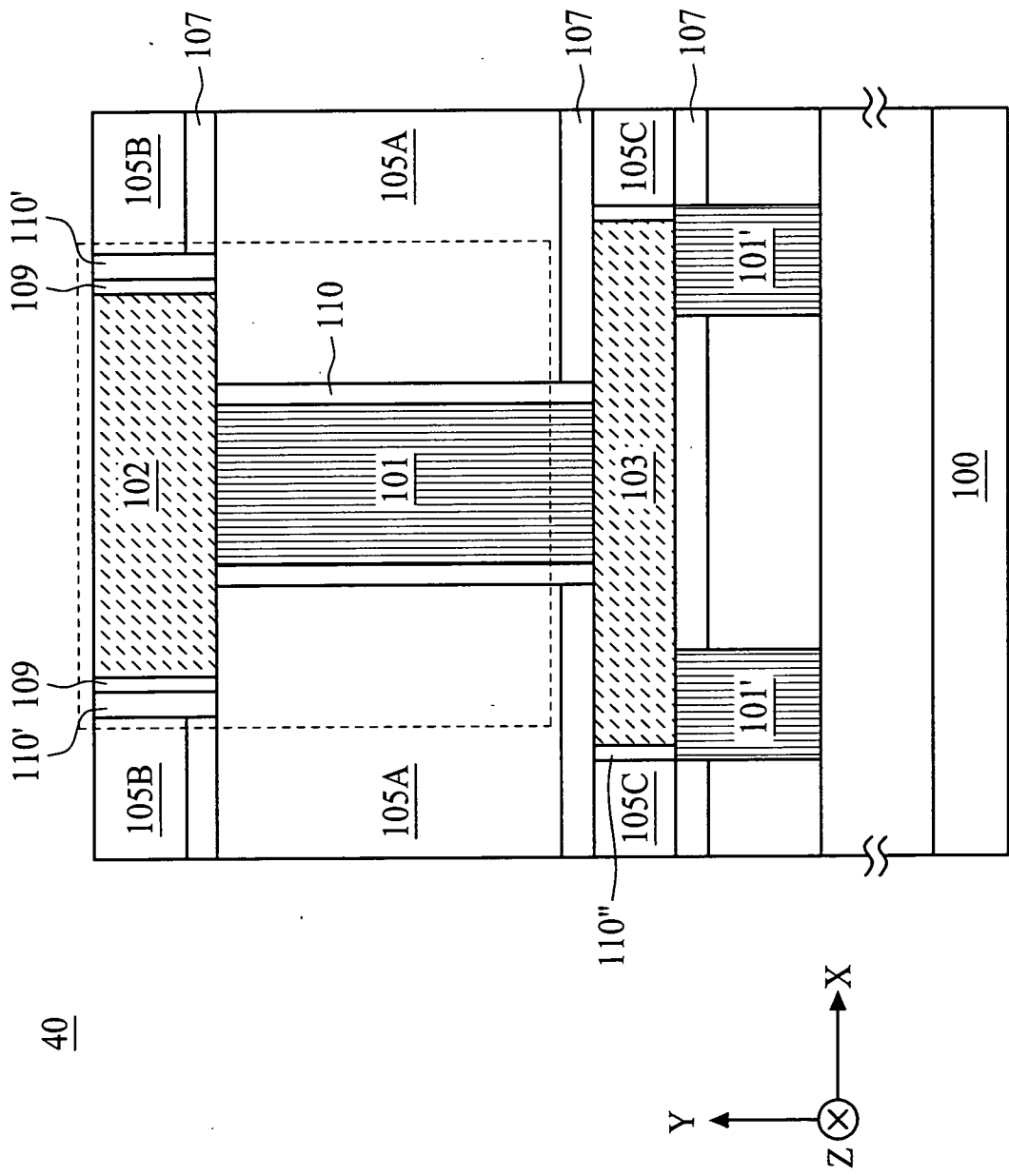


圖 4

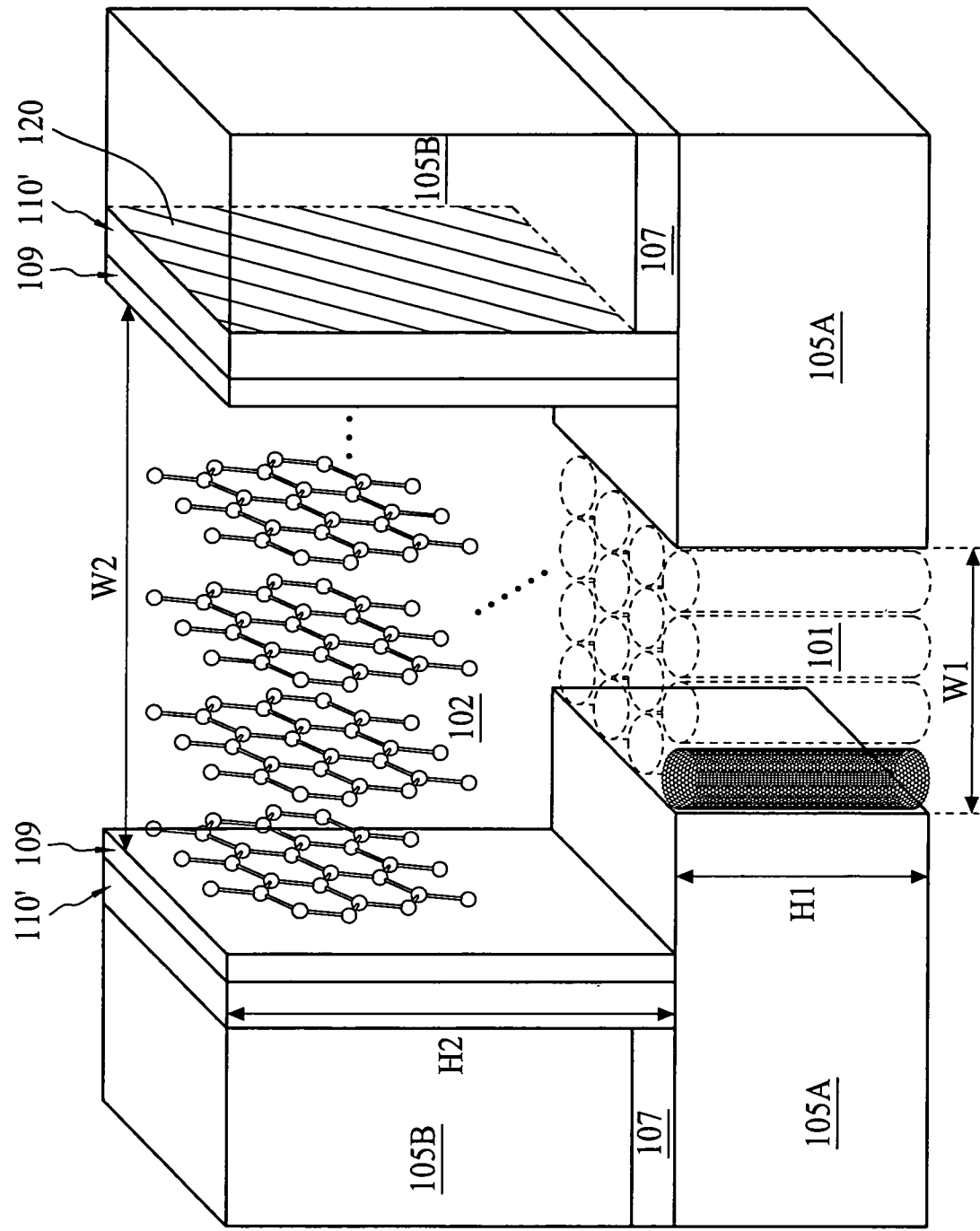


圖 5

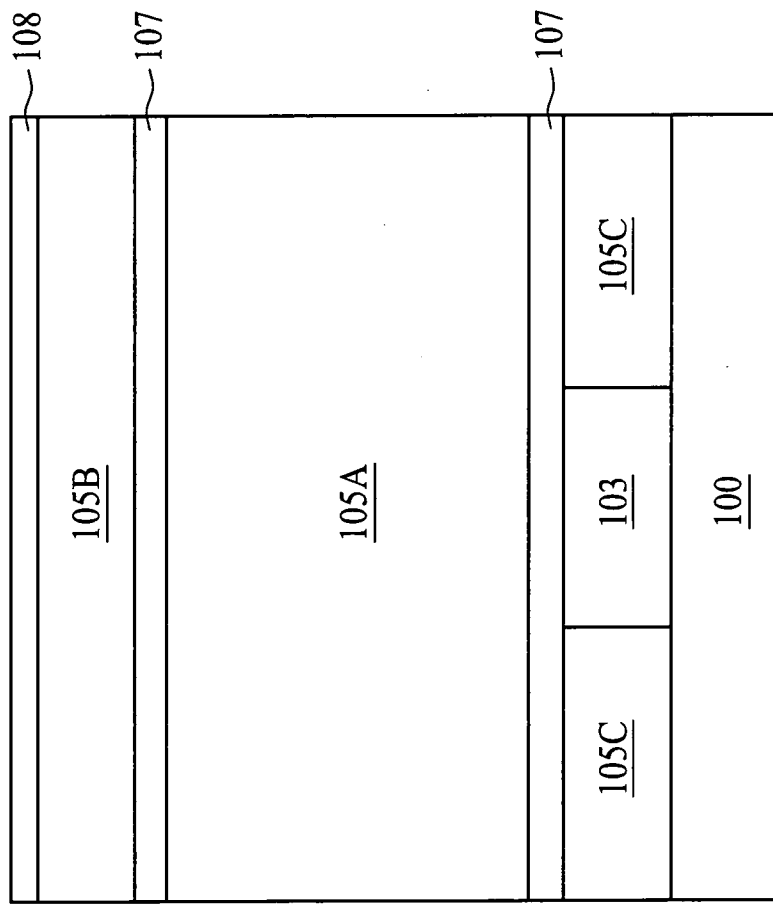


圖 6

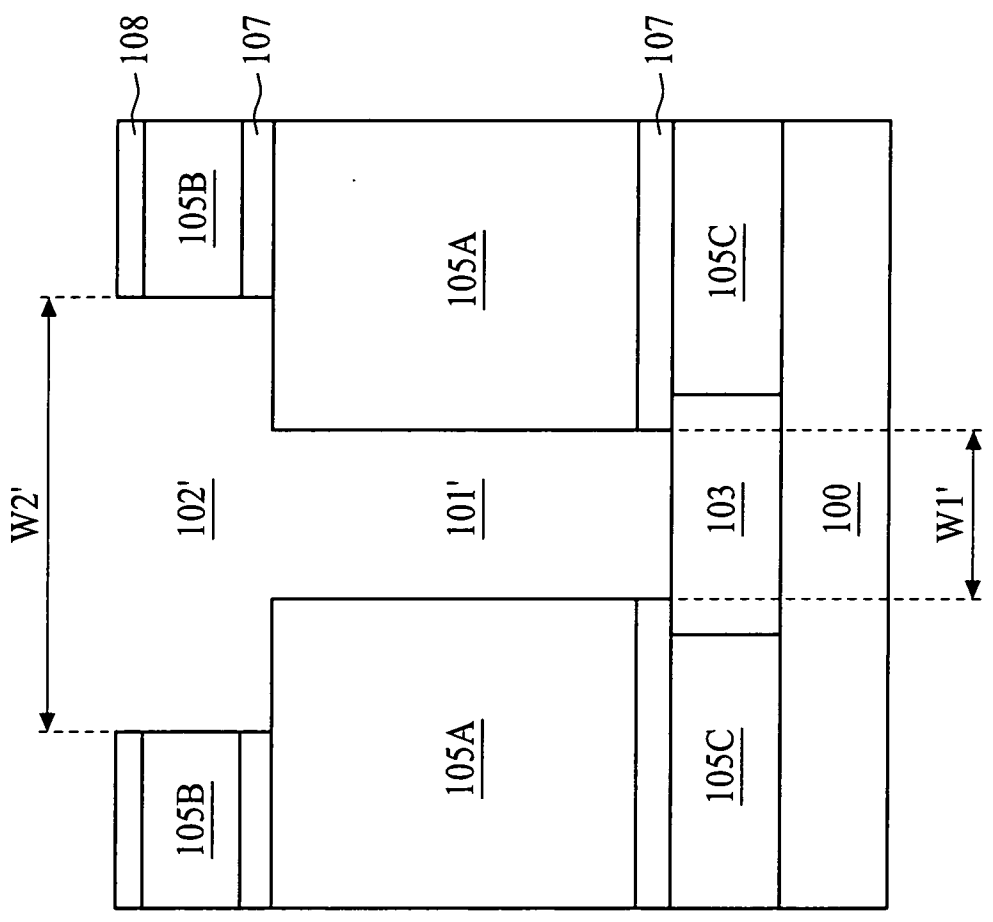


圖 7A

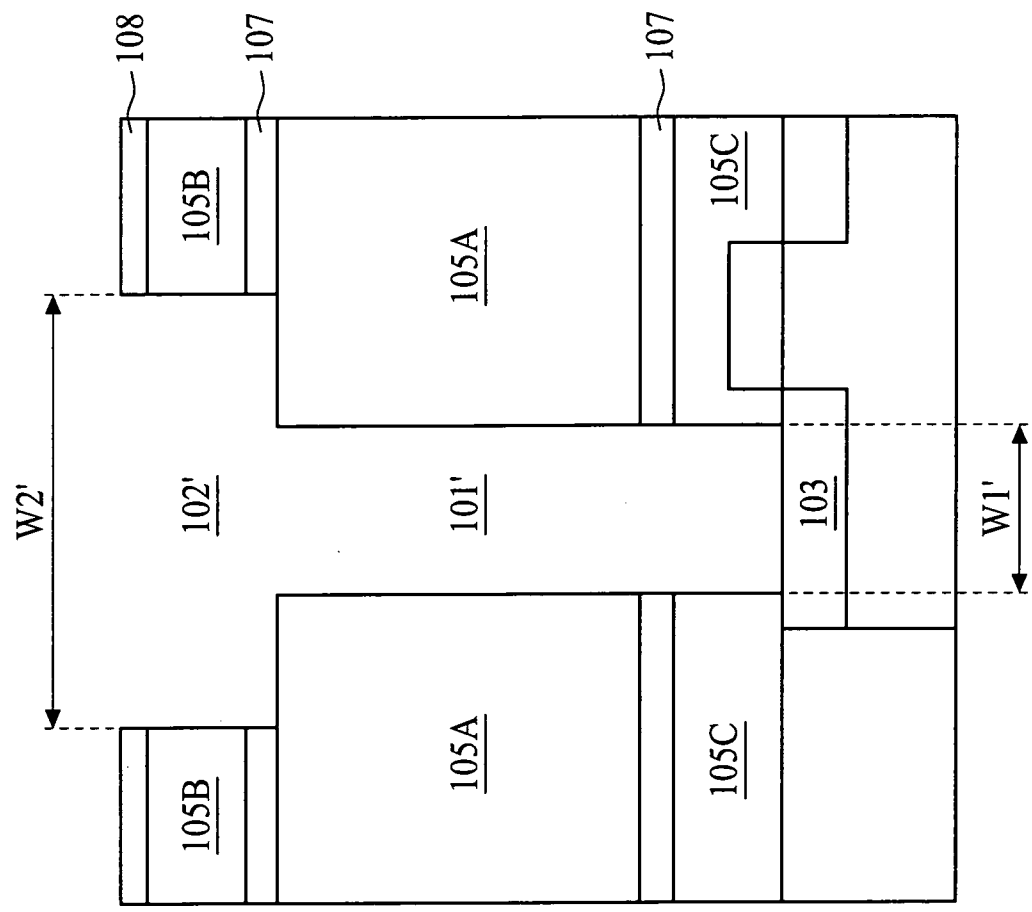


圖 7B

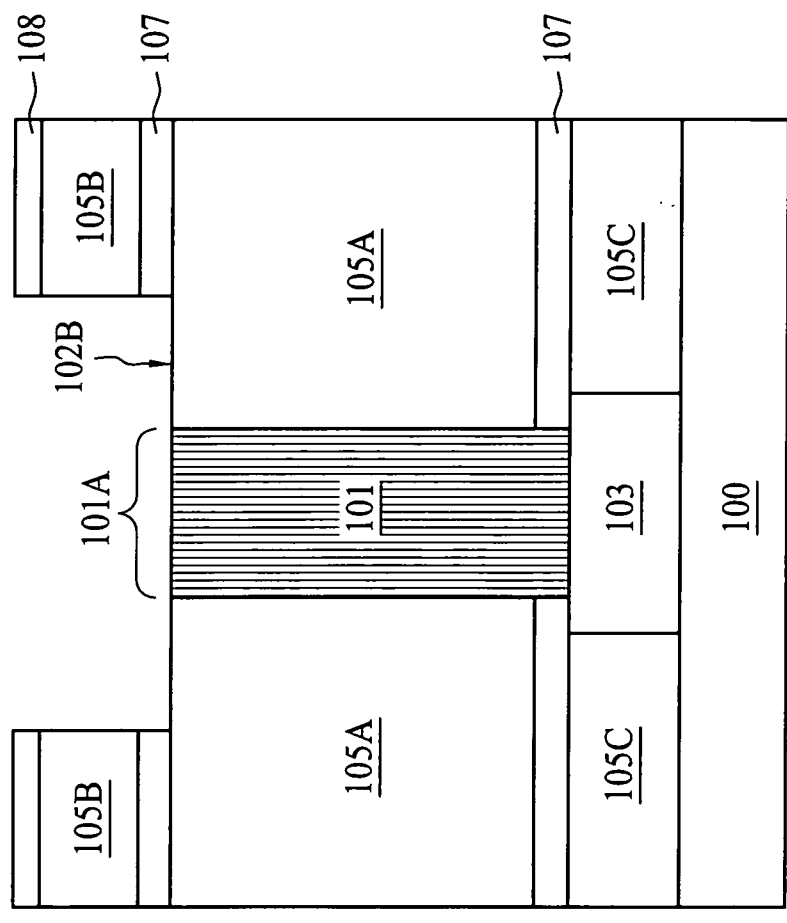


圖 8A

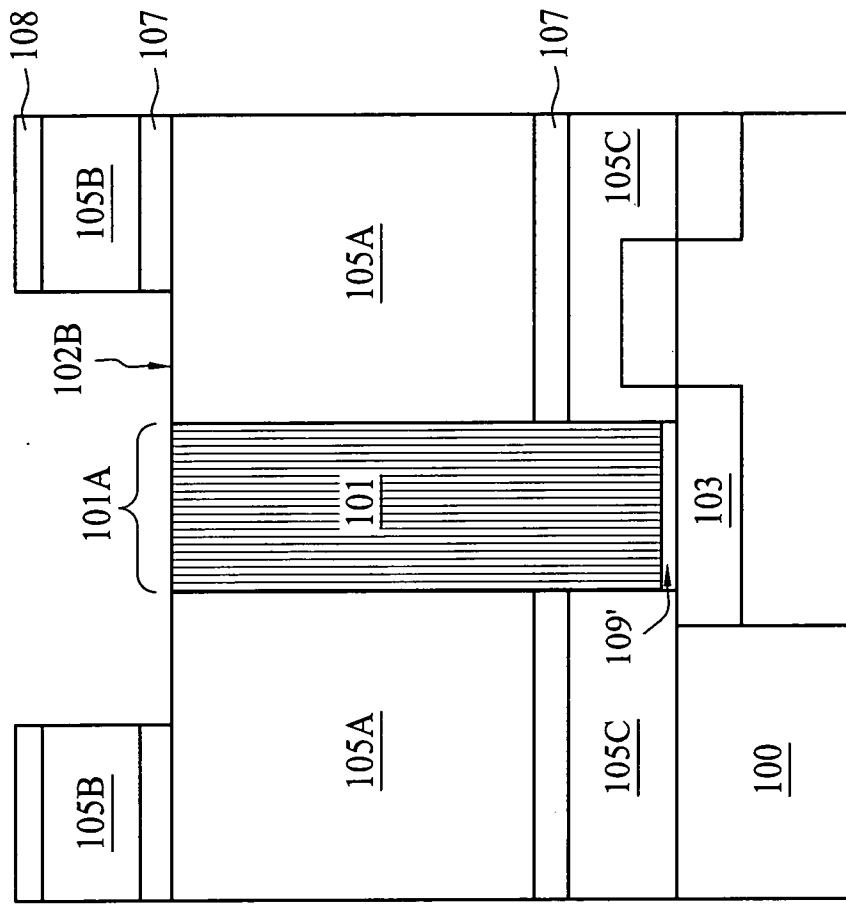


圖 8B

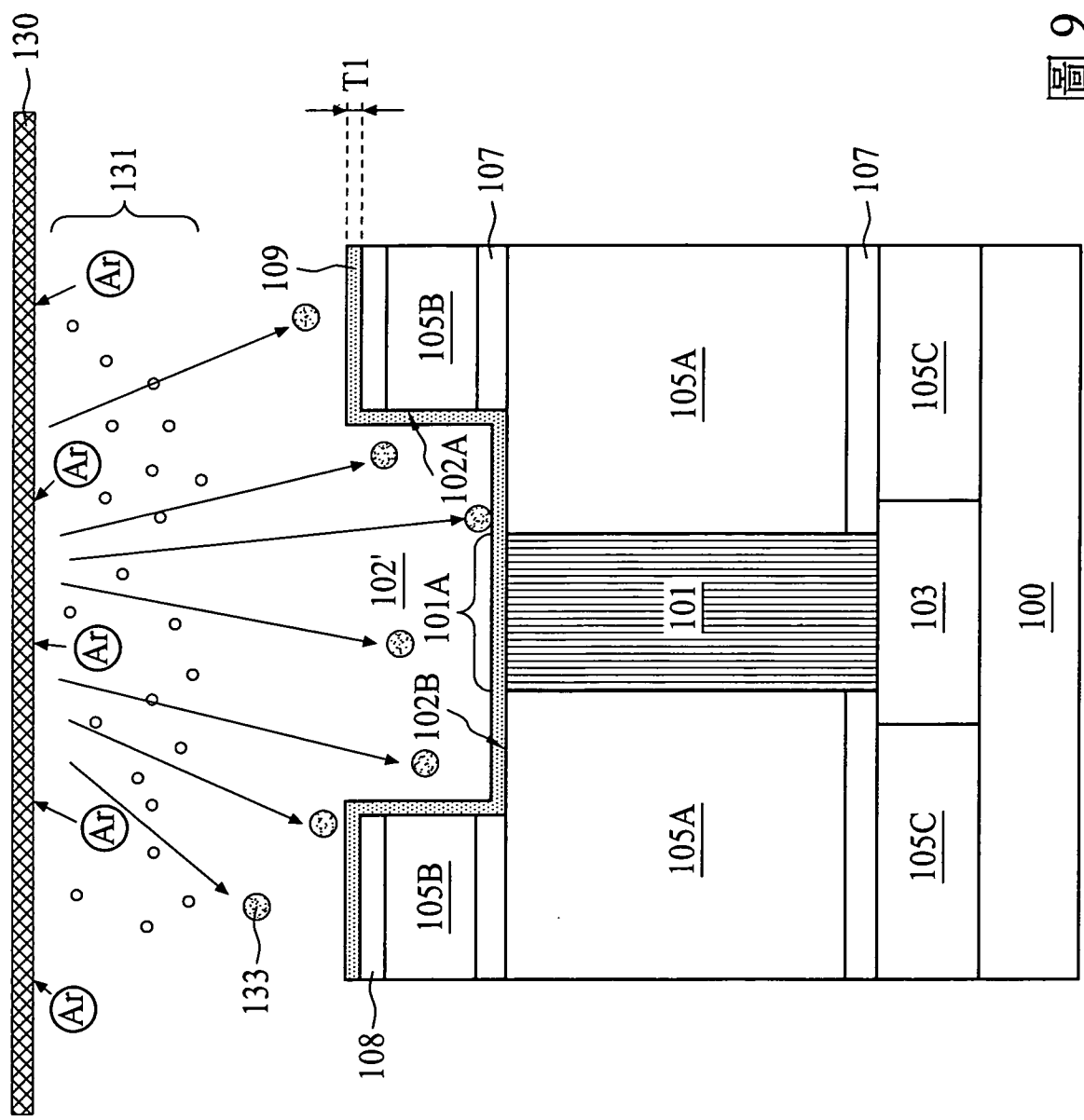


圖 9

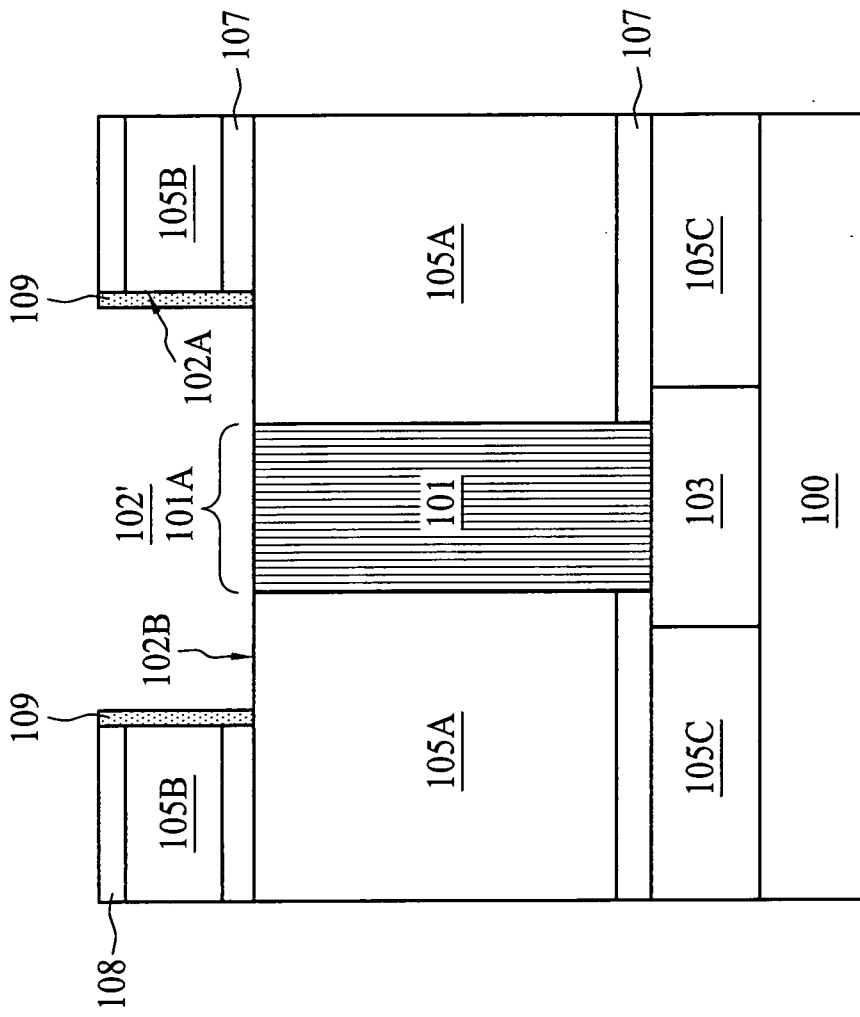


圖 10

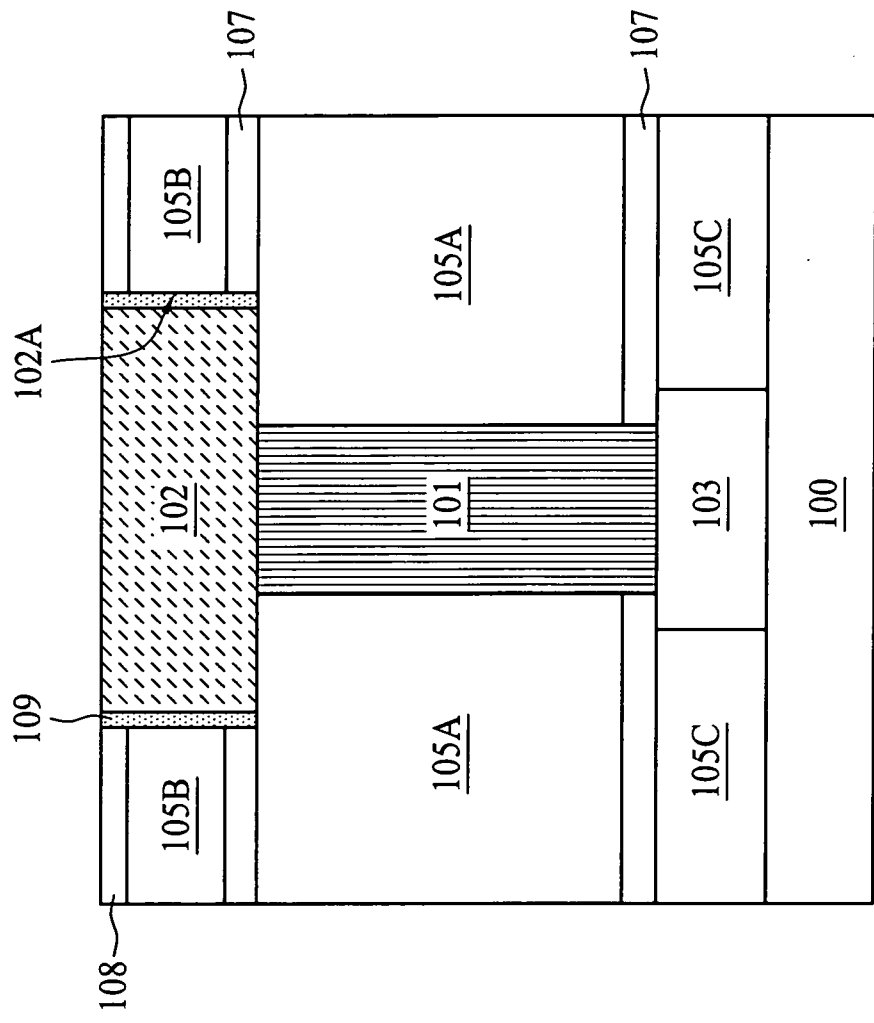


圖 11

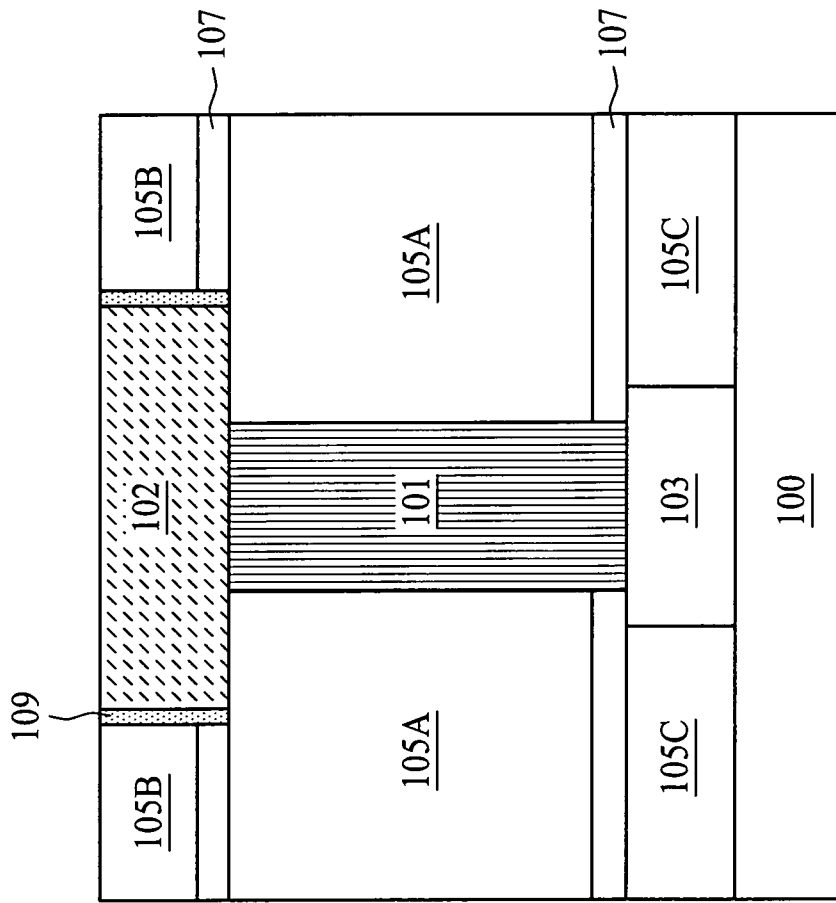


圖 12