

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6677832号
(P6677832)

(45) 発行日 令和2年4月8日(2020.4.8)

(24) 登録日 令和2年3月17日(2020.3.17)

(51) Int. Cl.	F I
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3 O 1 N
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 21/768 (2006.01)	
HO 1 L 23/522 (2006.01)	

請求項の数 19 (全 38 頁)

(21) 出願番号	特願2019-12206 (P2019-12206)	(73) 特許権者	302062931
(22) 出願日	平成31年1月28日 (2019.1.28)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2017-181792 (P2017-181792) の分割		東京都江東区豊洲三丁目2番24号
原出願日	平成26年4月14日 (2014.4.14)	(74) 代理人	110002066
(65) 公開番号	特開2019-62243 (P2019-62243A)		特許業務法人筒井国際特許事務所
(43) 公開日	平成31年4月18日 (2019.4.18)	(72) 発明者	富田 和朗
審査請求日	平成31年1月28日 (2019.1.28)		東京都江東区豊洲三丁目2番24号 ルネ サスエレクトロニクス株式会社内
		(72) 発明者	竹若 博基
			東京都江東区豊洲三丁目2番24号 ルネ サスエレクトロニクス株式会社内
		審査官	小池 英敏

最終頁に続く

(54) 【発明の名称】 半導体チップ

(57) 【特許請求の範囲】

【請求項1】

第1方向に沿って延在している第1辺と、平面視において、前記第1方向と直交する第2方向に沿って延在し、かつ前記第1辺と交差している第2辺と、を有する第1パッドと、

前記第1方向に沿って延在している第3辺と、前記第2方向に沿って延在し、かつ前記第3辺と交差している第4辺と、を有し、前記第1パッドと一体的に形成され、かつ、第1コンタクトを介して下層配線と接続された第1引き出し配線部と、

前記第1方向に沿って延在している第5辺と、前記第2方向に沿って延在し、かつ前記第5辺と交差している第6辺と、を有する第2パッドと、

前記第1方向に沿って延在している第7辺と、前記第2方向に沿って延在し、かつ前記第7辺と交差している第8辺と、を有し、前記第2パッドと一体的に形成され、かつ、第2コンタクトを介して下層配線と接続された第2引き出し配線部と、

前記第1パッドおよび第2パッドのそれぞれの表面の一部を露出している開口部が形成された表面保護膜と、

前記第1方向に沿って延在している第11辺と、前記第2方向に沿って延在し、かつ前記第11辺と交差している第12辺と、を有する第3パッドと、

前記第1方向に沿って延在している第13辺と、前記第2方向に沿って延在し、かつ前記第13辺と交差している第14辺と、を有し、前記第3パッドと一体的に形成され、かつ第3コンタクトを介して下層配線と接続された第3引き出し配線部と、

10

20

前記第 1 1 辺で前記第 3 パッドと一体的に形成された第 4 引き出し配線部と、
を有し、

前記第 2 辺および前記第 3 辺は、平面視において、前記第 1 方向および前記第 2 方向と異なり、かつ、前記第 1 辺および前記第 4 辺の一方から他方に向かう第 3 方向に沿って延在している第 9 辺を介して互いに接続されており、

前記第 6 辺および前記第 7 辺は、平面視において、前記第 3 方向に沿って延在している第 10 辺を介して互いに接続されており、

前記第 1 パッドは、平面視において、半導体チップの端辺と、前記第 1 引き出し配線部との間に位置しており、

前記第 2 引き出し配線部は、平面視において、前記半導体チップの前記端辺と、前記第 2 パッドとの間に位置しており、

前記第 1 コンタクトおよび前記第 2 コンタクトは、前記第 2 方向に沿って並び、かつ互いに隣接しており、

前記第 1 2 辺および前記第 1 4 辺は、平面視において、前記第 3 方向に沿って延在している第 1 5 辺を介して互いに接続されている、半導体チップ。

【請求項 2】

請求項 1 に記載の半導体チップにおいて、

前記第 1 パッドは、複数存在し、

前記第 2 パッドは、複数存在し、

複数の前記第 1 パッドは、前記半導体チップの前記端辺に沿うように配置され、

複数の前記第 2 パッドは、前記半導体チップの前記端辺に沿うように配置されている、半導体チップ。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体チップにおいて、

前記第 1 パッドを構成する複数の辺のうち、前記半導体チップの前記端辺に最も近い辺を覆う前記表面保護膜の被覆領域の幅は、前記第 1 パッドを構成する前記複数の辺のうち、前記半導体チップの前記端辺から最も離れた辺を覆う前記表面保護膜の被覆領域の幅より大きい、半導体チップ。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の半導体チップにおいて、

前記第 1 パッドは、前記半導体チップの角部に最も近く位置し、

前記第 2 パッドは、前記半導体チップの角部から前記第 1 パッドより遠くに位置し、

前記第 1 パッドの前記第 1 辺を覆っている前記表面保護膜の被覆領域の幅は、前記第 2 パッドの前記第 5 辺を覆っている前記表面保護膜の被覆領域の幅より大きい、半導体チップ。

【請求項 5】

請求項 4 に記載の半導体チップにおいて、

前記第 1 パッドを構成する複数の辺のうち、前記半導体チップの角部に最も近い辺を覆っている前記表面保護膜の被覆領域の幅は、前記第 1 パッドを構成する前記複数の辺のうち、前記半導体チップの前記端辺から最も離れた辺を覆っている前記表面保護膜の被覆領域の幅より大きい、半導体チップ。

【請求項 6】

請求項 1 ~ 5 のいずれか一項に記載の半導体チップにおいて、

前記第 1 引き出し配線部は、前記第 1 パッドを構成する複数の辺のうち、前記半導体チップの前記端辺から最も離れた前記第 2 辺と接続されており、

前記第 2 引き出し配線部は、前記第 2 パッドを構成する複数の辺のうち、前記半導体チップの前記端辺と最も近い前記第 6 辺と接続されている、半導体チップ。

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載の半導体チップにおいて、

前記半導体チップの前記端辺に沿うように配置された複数の前記第 1 パッドと、

10

20

30

40

50

複数の前記第 1 パッドより、前記半導体チップの前記端辺から遠くに配置された複数の前記第 2 パッドと、
を有する、半導体チップ。

【請求項 8】

請求項 7 に記載の半導体チップにおいて、

複数の前記第 1 パッドのそれぞれの前記第 1 引き出し配線部と、複数の前記第 2 パッドのそれぞれの前記第 2 引き出し配線部とは、前記半導体チップの前記端辺に沿って交互に配列されている、半導体チップ。

【請求項 9】

請求項 1 ~ 8 のいずれか一項に記載の半導体チップにおいて、

前記第 1 パッドおよび前記第 2 パッドの主成分は、アルミニウムである、半導体チップ

10

【請求項 10】

請求項 1 ~ 9 のいずれか一項に記載の半導体チップにおいて、

前記表面保護膜は、
酸化シリコン膜と、
前記酸化シリコン膜上に形成された窒化シリコン膜と、
を有する、半導体チップ。

【請求項 11】

請求項 1 ~ 10 のいずれか一項に記載の半導体チップにおいて、

前記第 1 方向における、前記第 2 辺および前記第 4 辺の間の距離は、前記第 1 辺の長さより小さい、半導体チップ。

20

【請求項 12】

請求項 1 ~ 11 のいずれか一項に記載の半導体チップにおいて、

前記第 3 パッドは、平面視において、前記半導体チップの前記端辺と、前記第 3 引き出し配線部との間に位置している、半導体チップ。

【請求項 13】

請求項 1 ~ 12 のいずれか一項に記載の半導体チップにおいて、

前記第 1 コンタクト、前記第 2 コンタクトおよび前記第 3 コンタクトは、前記第 2 方向に沿って並んでいる、半導体チップ。

30

【請求項 14】

請求項 1 ~ 13 のいずれか一項に記載の半導体チップにおいて、

前記下層配線と同じ層に形成されたダミーパターンをさらに有する、半導体チップ。

【請求項 15】

請求項 14 に記載の半導体チップにおいて、

平面視において、前記半導体チップの前記端辺に沿うように、前記第 1 パッドおよび前記第 2 パッドの外側に形成されたシールリングをさらに有し、

前記ダミーパターンは、平面視において、前記半導体チップの前記端辺と、前記シールリングとの間に形成されている、半導体チップ。

【請求項 16】

40

請求項 1 ~ 15 のいずれか一項に記載の半導体チップにおいて、

前記第 2 方向に沿って形成された複数の前記第 1 コンタクトを有し、

複数の前記第 1 コンタクトは、

平面視において、前記第 1 引き出し配線部の前記第 4 辺に沿うように形成された複数の第 4 コンタクトと、

平面視において、前記複数の第 4 コンタクトおよび前記第 1 パッドの間に形成された複数の第 5 コンタクトと、

を有する、半導体チップ。

【請求項 17】

請求項 1 ~ 16 のいずれか一項に記載の半導体チップにおいて、

50

前記第 1 引き出し配線部は、平面視において、前記第 2 引き出し配線部と隣り合っている、半導体チップ。

【請求項 18】

請求項 1 ~ 17 のいずれか一項に記載の半導体チップにおいて、
前記第 2 辺および前記第 9 辺により構成される接続角は、90 度よりも大きく、
前記第 3 辺および前記第 9 辺により構成される接続角は、90 度よりも大きい、半導体チップ。

【請求項 19】

請求項 1 ~ 18 のいずれか一項に記載の半導体チップにおいて、
前記第 6 辺および前記第 10 辺により構成される接続角は、90 度よりも大きく、
前記第 7 辺および前記第 10 辺により構成される接続角は、90 度よりも大きい、半導体チップ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、例えば、パッドを有する半導体装置およびその製造技術に適用して有効な技術に関する。

【背景技術】

【0002】

特開平 8 - 241909 号公報（特許文献 1）には、パッドを構成する複数の辺のうち、半導体チップの端辺に近い辺を覆う表面保護膜の被覆面積を、その他の辺を覆う表面保護膜の被覆面積よりも大きくする技術が記載されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 8 - 241909 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

例えば、半導体チップに形成されているパッドにおいて、パッドの表面の大部分は、表面保護膜に設けられた開口部から露出している一方、パッドの端部は、表面保護膜で覆われている。すなわち、パッドの端部においては、パッドの厚みに起因する段差を覆うように表面保護膜が形成されている。

30

【0005】

ここで、例えば、半導体チップを個片化するダイシング時に加わる応力や、半導体チップを封止する封止体から加わる応力などによって、パッドの端部に形成される段差を覆う表面保護膜にクラックが発生する場合がある。したがって、現状の半導体装置では、パッドの端部に形成される段差を覆う表面保護膜におけるクラックの発生を抑制して、半導体装置の信頼性を向上する観点から改善の余地が存在する。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0007】

一実施の形態における半導体装置は、矩形形状の半導体チップを備え、半導体チップは、複数のパッドのそれぞれと引き出し配線部との接続部位に設けられた傾斜部を有する。

【発明の効果】

【0008】

一実施の形態によれば、半導体装置の信頼性を向上することができる。

50

【図面の簡単な説明】

【0009】

【図1】QFPパッケージからなる半導体装置を上面から見た平面図である。

【図2】図1のA-A線で切断した断面図である。

【図3】半導体チップのレイアウト構成を示す図である。

【図4】半導体チップに形成されているパッドの近傍領域を拡大して示す図である。

【図5】パッドの変形を模式的に示す図である。

【図6】実施の形態1における半導体チップの一部を拡大して示す平面図である。

【図7】実施の形態1の特徴である傾斜部が設けられていないパッドの一部を拡大して示す図である。

10

【図8】実施の形態1の特徴である傾斜部が設けられたパッドの一部を拡大して示す図である。

【図9】図6のA-A線で切断した断面図である。

【図10】関連技術における複数のパッド間の構成を模式的に示す図である。

【図11】実施の形態1における複数のパッド間の構成を模式的に示す図である。

【図12】図6のB-B線で切断した模式的な断面図である。

【図13】実施の形態1の変形例における半導体チップの一部を拡大して示す平面図である。

【図14】半導体ウェハのレイアウト構成を示す平面図である。

【図15】実施の形態1における半導体装置の製造工程を示す断面図である。

20

【図16】図15に続く半導体装置の製造工程を示す図であって、(a)は、平面図であり、(b)は、図16(a)のA-A線で切断した断面図である。

【図17】図16に続く半導体装置の製造工程を示す図であって、(a)は、平面図であり、(b)は、図17(a)のA-A線で切断した断面図である。

【図18】図17に続く半導体装置の製造工程を示す図であって、(a)は、平面図であり、(b)は、図18(a)のA-A線で切断した断面図である。

【図19】図18に続く半導体装置の製造工程を示す図であって、(a)は、平面図であり、(b)は、図19(a)のA-A線で切断した断面図である。

【図20】パッドを形成した後の図であり、端辺(この段階では境界線)の境界領域近傍を示す断面模式図である。

30

【図21】半導体ウェハに集積回路を形成した後、例えば、QFPパッケージからなる半導体装置を製造する工程の流れを示すフローチャートである。

【図22】実施の形態2における半導体チップの一部を拡大して示す平面図である。

【図23】実施の形態3における半導体チップの一部を拡大して示す平面図である。

【図24】実施の形態3の変形例1における半導体チップの一部を拡大して示す平面図である。

【図25】実施の形態3の変形例2における半導体チップの一部を拡大して示す平面図である。

【図26】実施の形態4における半導体チップの一部を拡大して示す平面図である。

【図27】実施の形態4の変形例における半導体チップの一部を拡大して示す平面図である。

40

【図28】実施の形態5におけるパッドの模式的な構成を示す平面図である。

【図29】実施の形態5の変形例におけるパッドの模式的な構成を示す平面図である。

【図30】実施の形態6における半導体チップの一部を拡大して示す平面図である。

【図31】実施の形態7におけるパッドの一部を拡大して示す平面図である。

【図32】実施の形態7におけるパッド間を示す断面図である。

【発明を実施するための形態】

【0010】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なも

50

のではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0011】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0012】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0013】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0014】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0015】

（実施の形態1）

<半導体装置（QFPパッケージ）の構成例>

半導体装置のパッケージ構造には、例えば、BGA（Ball Grid Array）パッケージやQFP（Quad Flat Package）パッケージなどのように様々な種類がある。本実施の形態1における技術的思想は、これらのパッケージに適用可能であり、以下に、一例として、QFPパッケージからなる半導体装置の構成について説明する。

【0016】

図1は、QFPパッケージからなる半導体装置SA1を上面から見た平面図である。図1に示すように、半導体装置SA1は矩形形状をしており、半導体装置SA1の上面は樹脂（封止体）MRで覆われている。そして、樹脂MRの外形を規定する4辺から外側に向かってアウターリードOLが突き出ている。

【0017】

続いて、半導体装置SA1の内部構造について説明する。図2は、図1のA-A線で切断した断面図である。図2に示すように、チップ搭載部TABの裏面は樹脂MRで覆われている。一方、チップ搭載部TABの上面には半導体チップCHPが搭載されており、チップ搭載部TABはインナーリードIL1（リード端子）と分離されている。半導体チップCHPの主面にはパッドPDが形成されている。そして、半導体チップCHPに形成されているパッドPDは、インナーリードIL1とワイヤWで電氣的に接続されている。これらの半導体チップCHP、ワイヤWおよびインナーリードIL1は樹脂MRで覆われており、インナーリードIL1と一体化しているアウターリードOL（リード端子）が樹脂MRから突き出ている。樹脂MRから突き出ているアウターリードOLは、ガルウィング形状に成形されており、その表面にめっき膜PFが形成されている。

【0018】

チップ搭載部TAB、インナーリードIL1、および、アウターリードOLは、例えば、銅材や鉄とニッケルとの合金である42アロイ（42Alloy）などから形成されており、ワイヤWは、例えば、金線から形成されている。半導体チップCHPは、例えば、シリコンや化合物半導体（GaAsなど）から形成されており、この半導体チップCHPには、MOSFETなどの複数の半導体素子が形成されている。そして、半導体素子の上方に層間絶縁膜を介して多層配線が形成されており、この多層配線の最上層に多層配線と接続されるパッドPDが形成されている。したがって、半導体チップCHPに形成されている半導体素子は、多層配線を介してパッドPDと電氣的に接続されていることになる。つま

10

20

30

40

50

り、半導体チップC H Pに形成されている半導体素子と多層配線により集積回路が形成され、この集積回路と半導体チップC H Pの外部とを接続する端子として機能するものがパッドP Dである。このパッドP Dは、ワイヤWでインナーリードI L 1と接続され、インナーリードI L 1と一体的に形成されているアウターリードO Lと接続されている。このことから、半導体チップC H Pに形成されている集積回路は、パッドP D ワイヤW インナーリードI L 1 アウターリードO L 外部接続機器の経路によって、半導体装置S A 1の外部と電氣的に接続することができる。つまり、半導体装置S A 1に形成されているアウターリードO Lから電気信号を入力することにより、半導体チップC H Pに形成されている集積回路を制御することができる。また、集積回路からの出力信号をアウターリードO Lから外部へ取り出すこともできる。10

【0019】

次に、図3は、半導体チップC H Pのレイアウト構成を示す図である。図3において、半導体チップC H Pは、例えば、矩形形状をしており、半導体チップC H Pの端辺E Sに沿って、複数のパッドP Dが配置されている。具体的には、図3に示すように、矩形形状をした半導体チップC H Pの端辺E Sに沿って、端辺E Sの内側にシールリングS R Gが形成されており、このシールリングS R Gの内側に、複数のパッドP Dが半導体チップC H Pの端辺E Sに沿って配置されている。これらの複数のパッドP Dのそれぞれにおいて、図3では図示されていないが、パッドP Dの表面の大部分は、表面保護膜に設けられた開口部から露出している一方、パッドP Dの端部は、表面保護膜で覆われている。20

【0020】

ここで、例えば、半導体チップC H Pを個片化するダイシング時に加わる応力や、半導体チップC H Pを封止する樹脂（封止体）から加わる応力などによって、パッドP Dの端部を覆う表面保護膜にクラックが発生する場合がある。したがって、現状の樹脂封止型の半導体装置では、パッドP Dの端部に形成される段差を覆う表面保護膜におけるクラックの発生を抑制して、半導体装置の信頼性を向上する観点から改善の余地が存在する。

【0021】

<改善の余地>

図4は、半導体チップに形成されているパッドP Dの近傍領域を拡大して示す図である。図4に示すように、半導体チップの端辺E Sの内側にシールリングS R Gが形成されており、このシールリングS R Gの内側にパッドP Dが形成されている。このパッドP Dは、矩形形状をしており、パッドP Dと一体的に引き出し配線部D W Uが形成されている。引き出し配線部D W Uは、パッドP Dと、パッドP Dの下層に形成されている配線（図示せず）とを接続する機能を有する。そして、パッドP Dを覆うように表面保護膜P A Sが形成されており、この表面保護膜P A SにパッドP Dの表面領域の一部を露出する開口部O Pが形成されている。すなわち、パッドP Dの表面領域の大部分は、表面保護膜P A Sに設けられた開口部O Pから露出している一方、パッドP Dの端部を含む端部領域は、表面保護膜P A Sで覆われている。30

【0022】

本明細書では、表面保護膜P A Sで覆われているパッドP Dの端部領域を被覆領域と定義し、例えば、図4において、この被覆領域には、ドットが付されている。さらに、図4においては、パッドP Dの端部による段差の外側を覆う表面保護膜P A Sの一部にもドットが付されている。すなわち、表面保護膜P A Sは、パッドP Dが形成されている下地にわたって形成されているが、例えば、図4では、この表面保護膜P A Sのうち、特に、パッドP Dの端部を覆う被覆領域と、パッドP Dの端部による段差の外側近傍に形成されている表面保護膜P A Sの部分にドットを付している。40

【0023】

ここで、例えば、温度サイクル試験などによって、半導体チップを封止する樹脂の膨張や収縮が生じ、例えば、図5に示すように、この樹脂の膨張や収縮に起因する応力がパッドP Dに加わることが考えられる。すなわち、図5の矢印で示すように、半導体チップを封止する樹脂からの応力が、半導体チップの端辺E S側から加わることが考えられる。こ50

の場合、半導体チップを封止する樹脂からの応力によって、表面保護膜PASで覆われたパッドPDの被覆領域が変形し、パッドPDの一部がずれる「アルミスライド」が発生したり、表面保護膜PASで覆われたパッドPDの被覆領域の一部にクラックCLKが発生する可能性が高まる。

【0024】

この点について、本発明者が検討したところ、「アルミスライド」やクラックCLKの発生要因として、以下に示す3つの要因が考えられることを見出した。すなわち、第1要因は、図5に示すように、パッドPDと引き出し配線部DWUとの接続部位が直角であることに起因して、この接続部位における表面保護膜PASにクラックCLKが発生しやすくなるというものである。この第1要因は、例えば、パッドPDと引き出し配線部DWUとの接続部位が直角である場合、この接続部位を覆う表面保護膜PASの不連続領域（シーム領域）が1箇所に集中する結果、応力耐性の低い不連続領域に応力が集中することになり、接続部位で表面保護膜PASにクラックCLKが発生すると考えることができる。

10

【0025】

次に、第2要因は、表面保護膜PASで覆われたパッドPDの被覆領域の幅が小さいことに起因して、表面保護膜PASにクラックCLKが発生しやすくなるというものである。この第2要因は、表面保護膜PASで覆われたパッドPDの被覆領域の幅が小さい方が、表面保護膜PASで覆われたパッドPDの被覆領域の幅が大きい場合よりも応力耐性が低くなると考えられる。

【0026】

続いて、第3要因は、表面保護膜PASで覆われたパッドPDの被覆領域の幅に対して、被覆領域の幅と直交する方向の線分（パッドPDの1辺の一部）の長さが長くなることに起因して、パッドPDの一部がずれる「アルミスライド」や、表面保護膜PASにクラックCLKが発生しやすくなるというものである。この第3要因は、被覆領域の幅と直交する方向の線分の長さが長くなるほど、線分に直交する方向からの応力によって線分が撓みやすくなり、この線分の変形が大きくなることから理解することができる。

20

【0027】

そこで、本明細書では、上述した第1要因～第3要因に着目して、「アルミスライド」やクラックCLKの発生を抑制する技術的思想について説明する。特に、本実施の形態1では、パッドPDと引き出し配線部DWUとの接続部位が直角であることに起因して、接続部位における表面保護膜PASにクラックCLKが発生するという第1要因に対する工夫を施した技術的思想について説明する。

30

【0028】

<半導体チップの構成>

図6は、本実施の形態1における半導体チップCHPの一部を拡大して示す平面図である。図6において、半導体チップCHPは、例えば、複数の端辺ESを有する矩形形状をしており、互いに交差する端辺ESによって角部CNRが形成されている。そして、半導体チップCHPの端辺の内側には、半導体チップCHPの内部への異物の侵入を抑制するシールリングSRGが形成されており、このシールリングSRGの内側に、半導体チップCHPの端辺ESに沿って、アルミニウムを主成分とする複数のパッドPDが配置されている。複数のパッドPDのそれぞれは、例えば、長方形形状に代表される矩形形状をしており、これらの複数のパッドPDのそれぞれにおいて、パッドPDの表面の大部分は、表面保護膜PASに設けられた開口部OPから露出している一方、パッドPDの端部は、表面保護膜で覆われている。また、複数のパッドPDのそれぞれと一体的に引き出し配線部DWUが設けられており、この引き出し配線部DWUは、表面保護膜PASで覆われている。なお、図6では、半導体チップCHPの端辺ESの内側にシールリングSRGが形成されているが、半導体チップCHPの端辺ESとシールリングSRGとの間に、ダイシング時に発生するおそれのあるクラックの半導体チップCHP内（チップ領域内）への進行を抑制するダミーパターンが設けられる場合がある。このとき、ダミーパターンは必ずしも必要ではないが、ダイシング時のクラック防止や、各配線層の形成時に行われるCMP

40

50

工程での平坦性向上のため、ダミーパターンを設けることが望ましい。

【0029】

本明細書で、「主成分」とは、部材（層や膜）を構成する構成材料のうち、最も多く含まれている材料成分のことをいい、例えば、「アルミニウムを主成分とするパッドPD」とは、パッドPDの材料がアルミニウム（Al）を最も多く含んでいることを意味している。本明細書で「主成分」という言葉を使用する意図は、例えば、パッドPDが基本的にアルミニウムから構成されているが、その他に不純物を含む場合を排除するものではないことを表現するために使用している。

【0030】

例えば、半導体装置で一般的に使用されているパッドPDに着目すると、このパッドPDは、通常、チタン/窒化チタン膜からなるバリア導体膜でアルミニウム膜を挟んだ構成をしている。すなわち、パッドPDは、第1バリア導体膜と、この第1バリア導体膜上に形成されたアルミニウム膜と、アルミニウム膜上に形成された第2バリア導体膜からなる。この場合、第1バリア導体膜とアルミニウム膜と第2バリア導体膜からなる積層膜でパッドPDが構成されている場合、このパッドPDは、アルミニウム膜が大部分を占めることになるため、「アルミニウムを主成分とするパッドPD」となる。

【0031】

また、本明細書でいうアルミニウム膜には、純粋なアルミニウム膜である場合だけでなく、アルミニウムにシリコンが添加されたアルミニウム合金膜（AlSi膜）や、アルミニウムにシリコンと銅が添加されたアルミニウム合金膜（AlSiCu膜）も含む広い概念で使用されている。したがって、これらのアルミニウム合金膜を含むパッドPDも「アルミニウムを主成分とするパッドPD」に含まれることになる。つまり、本明細書でいう「アルミニウムを主成分とするパッドPD」には、アルミニウム膜とバリア導体膜を含むパッドPDにも使用されるとともに、アルミニウム膜自体がアルミニウム合金膜である場合のパッドPDにも使用されることになる。

【0032】

<実施の形態における特徴>

続いて、本実施の形態1における特徴点について説明する。図6において、本実施の形態1における特徴点は、パッドPDと引き出し配線部DWUとの接続部位に、補強パターンとしての傾斜部SLPを設けている点にある。これにより、本実施の形態1によれば、パッドPDの一部を表面保護膜PASによって被覆する被覆領域にクラックCLKが発生することを抑制することができる。以下に、この理由について、図面を参照しながら説明する。

【0033】

図7は、本実施の形態1の特徴である傾斜部SLPが設けられていないパッドPDの一部を拡大して示す図である。図7において、パッドPDと引き出し配線部DWUが一体的に接続されており、パッドPDと引き出し配線部DWUとの接続部位には、傾斜部SLPが設けられていない。つまり、図7では、パッドPDと引き出し配線部DWUとの接続部位の接続角が垂直（直角）となっている。このため、図7に示すように、パッドPDと引き出し配線部DWUとの接続部位を覆う表面保護膜PASには、点線で示す成膜時の不連続領域SM（シーム領域）が1箇所集中して形成される。この結果、図7に示すパッドPDでは、応力耐性の低い不連続領域SMに応力が集中することになり、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生しやすくなる。

【0034】

これに対し、図8は、本実施の形態1の特徴である補強パターンとして、傾斜部SLPが設けられたパッドPDの一部を拡大して示す図である。図8において、パッドPDと引き出し配線部DWUが一体的に接続されており、パッドPDと引き出し配線部DWUとの接続部位には、傾斜部SLPが設けられている。このとき、傾斜部SLPの形状は、例えば、直角三角形形状となっている。この結果、図8では、パッドPDと引き出し配線部DWUとの接続部位の接続角が90度よりも大きい角度である鈍角となる。

【 0 0 3 5 】

この場合、図7に示すパッドPDでは、傾斜部SLPが存在しないことによって、パッドPDと引き出し配線部DWUとの接続部位の接続角は1箇所の直角から構成されることになる。これに対し、図8に示すパッドPDでは、傾斜部SLPが存在することによって、パッドPDと引き出し配線部DWUとの接続部位の接続角は2箇所の鈍角から構成されることになる。このことは、図7に示すパッドPDでは、1箇所の直角に対応して1箇所の不連続領域SMが形成されることになるのに対し、図8に示すパッドPDでは、2箇所の鈍角に対応して2箇所の不連続領域SM1と不連続領域SM2が形成されることになることを意味している。つまり、図7に示すパッドPDにおいて、パッドPDと引き出し配線部DWUとの接続部位を覆う表面保護膜PASには、点線で示す成膜時の不連続領域SM（シーム領域）が1箇所に集中して形成される。これに対し、図8に示すパッドPDにおいて、パッドPDと引き出し配線部DWUとの接続部位を覆う表面保護膜PASには、点線で示す成膜時の不連続領域SM1と不連続領域SM2が2箇所に分散して形成されることになる。この結果、傾斜部SLPを有する本実施の形態1におけるパッドPDでは、応力耐性の低い不連続領域SM1と不連続領域SM2が2箇所存在するため、応力耐性の低い1箇所の不連続領域に応力が集中することを抑制できる。言い換えれば、傾斜部SLPを有する本実施の形態1におけるパッドPDでは、応力耐性の低い不連続領域SM1と不連続領域SM2が2箇所存在するため、応力が2箇所の不連続領域SM1と不連続領域SM2とに分散されることになる。この結果、本実施の形態1によれば、応力が2箇所の不連続領域SM1と不連続領域SM2とに分散されるため、不連続領域SM1と不連続領域SM2のそれぞれに加わる応力を低減することができる。したがって、本実施の形態1によれば、パッドPDと引き出し配線部DWUとの接続部位に傾斜部SLPを設けることにより、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生することを効果的に抑制することができるのである。このことから、本実施の形態1における半導体装置によれば、表面保護膜PASにクラックが発生することによる信頼性の低下を抑制することができる。言い換えれば、本実施の形態1によれば、半導体装置の信頼性を向上することができる。

10

20

【 0 0 3 6 】

特に、本実施の形態1において、引き出し配線部DWUの幅（X方向の幅）は、複数のパッドPDのそれぞれを構成する複数の辺のうち、引き出し配線部DWUが接続される辺の長さよりも短くなっており、傾斜部SLPは、引き出し配線部DWUの両側に設けられている。このため、本実施の形態によれば、パッドPDと引き出し配線部DWUとの接続部位の両側に傾斜部SLPを設けることにより、パッドPDと引き出し配線部DWUとの接続部位の両側において、表面保護膜PASにクラックが発生することを効果的に抑制することができる。

30

【 0 0 3 7 】

ここで、例えば、パッドPDと引き出し配線部DWUと傾斜部SLPとは、アルミニウムを主成分とする膜から一体的に形成されている。そして、図6に示すように、引き出し配線部DWUは、複数のパッドPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESから最も離れた辺と接続されている。

40

【 0 0 3 8 】

これは、複数のパッドPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESから最も離れた辺が、半導体チップCHPの内側に形成された集積回路領域に最も近く、半導体チップCHPの端辺ESから最も離れた辺に引き出し配線部DWUを設けることにより、集積回路領域に形成された集積回路と引き出し配線部DWUとの接続距離を短くすることができることを考慮したものである。つまり、半導体チップCHPの端辺ESから最も離れた辺に引き出し配線部DWUを設けることにより、集積回路と引き出し配線部DWUとを接続する配線の寄生抵抗を低減することができ、これによって、半導体装置の性能を向上することができる。

【 0 0 3 9 】

50

さらに、図6に示す半導体チップCHPの端辺ESから最も離れた辺に引き出し配線部DWUを設けるという構成は、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生することを抑制する観点からも望ましい構成といえる。なぜなら、本発明者の検討によると、例えば、図6において、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺を被覆する被覆領域に加わる応力が相対的に大きくなる傾向があるからである。すなわち、図6において、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺に引き出し配線部DWUが設けられている場合、半導体チップCHPの端辺ESに最も近い辺に、クラックの発生しやすいパッドPDと引き出し配線部DWUとの接続部位が設けられることになり、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生しやすくなると考えられるからである。

10

【0040】

本実施の形態1における半導体装置では、端辺ESから最も離れた辺に引き出し配線部DWUを設けた場合であっても、クラックが発生する可能性を最小限に留める工夫を施している。すなわち、パッドPDと引き出し配線部DWUとの接続部位に傾斜部SLPを設けることにより(第1構成)、図8に示す2箇所の不連続領域SM1と不連続領域SM2とに応力が分散される結果、不連続領域SM1と不連続領域SM2のそれぞれに加わる応力を低減することができる(第1構成による応力低減効果)。これと同時に、本実施の形態1における半導体装置では、半導体チップCHPの端辺ESから最も離れた辺に引き出し配線部DWUを設けることにより(第2構成)、パッドPDと引き出し配線部DWUとの接続部位に加わる応力の大きさを低減できる(第2構成による応力低減効果)。

20

【0041】

このように、本実施の形態1における半導体装置では、上述した第1構成と第2構成との相乗効果によって、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生することを効果的に抑制することができる。

【0042】

さらに、本実施の形態1によれば、上述した第2構成によって、半導体チップCHPの内側領域に形成される集積回路と引き出し配線部DWUとの接続距離を短くことができ、これによって、集積回路と引き出し配線部DWUとを接続する配線の寄生抵抗を低減することができるという利点も得ることができる。

30

【0043】

以上のことから、本実施の形態1によれば、半導体装置の性能向上を図りながら、信頼性を向上することができるという顕著な効果を得ることができる。

【0044】

次に、図9は、図6のA-A線で切断した断面図である。図9に示すように、例えば、シリコンからなる半導体基板1S上に、半導体素子の一例である電界効果トランジスタQが形成されており、この電界効果トランジスタQの上方に、例えば、微細な銅配線からなるファイン層FLが形成されている。そして、このファイン層FLの上方に、ファイン層FLを構成する銅配線よりも幅の大きな銅配線からなるグローバル層GLが形成されている。このグローバル層GL上には、複数のパッドPDが形成されている。パッドPDとグローバル層GLは、図7等て示される引き出し配線部DWUとコンタクトホールを介して接続されている。そして、図9に示すように、パッドPDは、グローバル層GLおよびファイン層FLを介して、半導体基板1S上に形成された電界効果トランジスタQと電氣的に接続されている。

40

【0045】

続いて、複数のパッドPDを覆い、かつ、複数のパッドPDの間を埋め込むように表面保護膜PASが形成されている。そして、表面保護膜PASには、開口部OPが形成されており、この開口部OPの底部からパッドPDの表面の一部が露出している。開口部OPから露出しているパッドPDの表面には、例えば、金線からなるワイヤWが接続されており、ワイヤWが接続されたパッドPDの表面を含む表面保護膜PAS上は、例えば、樹脂

50

MRで覆われている。

【0046】

ここで、本実施の形態1における特徴点の1つについて、図10および図11を参照しながら説明する。図10は、関連技術における複数のパッドPD間の構成を模式的に示す図であり、図11は、本実施の形態1における複数のパッドPD間の構成を模式的に示す図である。まず、図10に示すように、パッドPD間の隙間には、表面保護膜PASが形成されており、この表面保護膜PASは、例えば、プラズマCVD法で形成された酸化シリコン膜OXF1と、CVD法で形成された窒化シリコン膜SNFから構成される。このとき、パッドPDの膜厚は、1000~2000nmで形成され、例えば、1600nm程度である。酸化シリコン膜OXF1の膜厚は、200nm程度であり、かつ、窒化シリコン膜SNFの膜厚は、600nm程度である。したがって、パッドPDの膜厚は、酸化シリコン膜OXF1の膜厚と窒化シリコン膜SNFの膜厚を加えた膜厚よりも厚いことになる(1600nm > 200nm + 600nm = 800nm)。このことから、図10に示すように、パッドPD間の隙間は、酸化シリコン膜OXF1と窒化シリコン膜SNFからなる表面保護膜PASによって完全に埋め込まれないことになる。この結果、例えば、温度サイクル試験における温度変化によって、パッドPDを覆う樹脂(図示せず)に膨張と収縮が生じた場合、パッドPDは、横方向(水平方向)に動きやすくなる。このことは、図10に示す関連技術に示すパッドPDでは、温度変化に起因する「アルミスライド」が生じやすく、かつ、「アルミスライド」に起因して、パッドPDの端部を覆う表面保護膜PASに大きな応力が加わりやすくなる点と、表面保護膜PASの膜厚が薄い点との相乗要因によって、表面保護膜PASにクラックが発生しやすくなることを意味する。つまり、図10に示すパッドPDおよび表面保護膜PASの構成は、「アルミスライド」の発生およびクラックの発生を抑制する観点から、改善の余地が存在するといえることができる。

10

20

【0047】

なお、本実施の形態1では、上述のようにパッドPDの膜厚をかなり厚くしている。これは主に、パッドPDと同層の配線を引き回す際に低抵抗化を図るためや、プローブによる検査によってパッドPD下方にプローブ接触時の応力を緩和するために、従来よりも厚く形成しているのである。しかしながら、アルミニウムの体積が増えることによって、上記の「アルミスライド」がより発生しやすくなる状況となるため、本実施の形態1のような対策が必要なのである。

30

【0048】

これに対し、本実施の形態1では、図11に示すように、パッドPD間の隙間を完全に埋め込むように表面保護膜PASが形成されている。具体的に、表面保護膜PASは、プラズマCVD法によって形成された酸化シリコン膜OXF1と、高密度プラズマCVD法(HDP: High Density Plasma)によって形成された酸化シリコン膜OXF2と、TEOSを原料とするプラズマCVD法によって形成された酸化シリコン膜OXF3と、CVD法によって形成された窒化シリコン膜SNFから構成されている。

【0049】

このとき、パッドPDの膜厚は、1000~2000nmで形成され、例えば、1700nm程度であり、酸化シリコン膜OXF1の膜厚は、200nm程度である。また、酸化シリコン膜OXF2の膜厚は、900nm程度であり、酸化シリコン膜OXF3の膜厚は、800nm程度である。さらに、窒化シリコン膜SNFの膜厚は、例えば、600nm程度である。したがって、パッドPDの膜厚は、酸化シリコン膜OXF1の膜厚と酸化シリコン膜OXF2と酸化シリコン膜OXF3と窒化シリコン膜SNFの膜厚を加えた膜厚よりも薄いことになる(1700nm < 200nm + 900nm + 800nm + 600nm = 2500nm)。このことから、図11に示すように、パッドPD間の隙間は、酸化シリコン膜OXF1と酸化シリコン膜OXF2と酸化シリコン膜OXF3と窒化シリコン膜SNFからなる表面保護膜PASによって完全に埋め込まれることになる。この結果、例えば、温度サイクル試験における温度変化によって、パッドPDを覆う樹脂(図示せ

40

50

ず)に膨張と収縮が生じて、パッドPDは、隙間を埋め込む表面保護膜PASによって、しっかり固定されるため、パッドPDは、横方向(水平方向)に動きにくくなる。このことは、図11に示す本実施の形態1に示すパッドPDでは、温度変化に起因する「アルミスライド」が生じにくく、これによって、「アルミスライド」に起因して表面保護膜PASに働く応力も緩和されることになることを意味する。このことから、本実施の形態1によれば、パッドPD間の隙間を完全に埋め込む程度に表面保護膜PASの膜厚が厚くなっているという特徴点によって、パッドPDの「アルミスライド」が生じにくくなるとともに、表面保護膜PASにクラックが発生しにくくなる。つまり、図11に示すような本実施の形態1におけるパッドPDおよび表面保護膜PASの構成は、「アルミスライド」の発生およびクラックの発生を抑制する観点から優位性があることになる。

10

【0050】

このように本実施の形態1の特徴点の1つは、パッドPD間の隙間を完全に埋め込むように表面保護膜PASが形成されている点にあり、この特徴点によって、本実施の形態1によれば、「アルミスライド」の発生およびクラックの発生を効果的に抑制し、これによって、半導体装置の信頼性を向上することができることになる。

【0051】

次に、図12は、図6のB-B線で切断した模式的な断面図である。図12に示すように、半導体チップCHPの端面ESの内側に、シールリング領域SRRが設けられており、シールリング領域SRRには、シールリングSRGが形成されている。さらに、シールリング領域SRRの内側領域が集積回路領域ICRとなっており、この集積回路領域ICRに、パッドPDおよびパッドPDと一体的に形成されている引き出し配線部DWUが形成されている。このとき、本実施の形態1では、シールリングSRGの外側にダミー領域が設けられていないが、例えば、シールリングSRGの外側であって、半導体チップCHPの端面ES側に、ダミーパターンを設けてもよい。

20

【0052】

なお、本実施の形態で開示するシールリングSRGは、多層の配線層を接続することで形成されており、半導体基板1Sと接続されている。詳細に図示はしないが、半導体基板1Sに形成されているウェルと接続しており、接地電位等の固定電位とされている。一方、ダミーパターンは、シールリングSRGと同じように多層の配線層によって形成することができる、各配線層が接続されている場合もあるし、分離している場合もある。このダミーパターンは、シールリングSRGと異なり、固定電位に接続されておらず、フローティング状態となっていることが多い。

30

【0053】

さらに、図12に示すように、一体的に形成されているパッドPD1および引き出し配線部DWUを覆うように、表面保護膜PASが形成されている。そして、表面保護膜PASには、開口部OPが形成されており、この開口部OPの底部からパッドPDの表面の一部が露出している一方、引き出し配線部DWUの全体は、表面保護膜PASで覆われている。そして、表面保護膜PASは、集積回路領域ICRの外側に形成されているシールリング領域SRRを覆って、半導体チップCHPの端面ESにまで延在している。

【0054】

なお、図12において、集積回路領域ICRに形成されているパッドPDおよび引き出し配線部DWUの下層に形成されている配線構造およびデバイス構造は、基本的に図9と同様であるため、省略している。また、図12において、パッドPDと接続されるワイヤ、および、表面保護膜PASを覆う樹脂の図示も省略している。

40

【0055】

<変形例>

本実施の形態1における半導体装置は、上記のように構成されており、以下では、実施の形態1の変形例について説明する。

【0056】

図13は、本変形例における半導体チップCHPの一部を拡大して示す平面図である。

50

図13において、本変形例の特徴点は、引き出し配線部DWUが、複数のパッドPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺と接続されており、かつ、この引き出し配線部DWUとパッドPDとの接続部位に傾斜部SLPが設けられている点にある。これにより、本変形例によれば、実施の形態1と同様に、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生することを効果的に抑制することができる。

【0057】

例えば、本発明者の検討によると、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺を被覆する被覆領域に加わる応力が相対的に大きくなる傾向がある。すなわち、図13に示すように、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺に引き出し配線部DWUが設けられている場合、半導体チップCHPの端辺ESに最も近い辺に、クラックの発生しやすいパッドPDと引き出し配線部DWUとの接続部位が設けられることになる。この場合、パッドPDと引き出し配線部DWUとの接続部位で表面保護膜PASにクラックが発生しやすくなると考えられることから、通常の常識では、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺に引き出し配線部DWUを設ける構成は、クラックの発生を抑制する観点から採用されにくいと考えることができる。

【0058】

ところが、本変形例では、引き出し配線部DWUとパッドPDとの接続部位に傾斜部SLPを設けている結果、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺に引き出し配線部DWUを設けても、パッドPDと引き出し配線部DWUとの接続部位で発生しやすいクラックを抑制することができるのである。すなわち、本変形例では、引き出し配線部DWUとパッドPDとの接続部位に傾斜部SLPを設ける構成によって、パッドPDと引き出し配線部DWUとの接続部位におけるクラックの発生を抑制できることから、パッドPDを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺に引き出し配線部DWUを設ける構成も許容されるのである。つまり、本変形例では、クラックを防止する観点から、本来は採用されないような引き出し配線部DWUの配置であっても、引き出し配線部DWUとパッドPDとの接続部位に傾斜部SLPを設けるといった技術的思想を採用することにより可能となるのである。

【0059】

この結果、本変形例によれば、引き出し配線部DWUとパッドPDとの接続部位におけるクラックの発生を抑制しながら、引き出し配線部DWUを配置する自由度を向上することができる。つまり、本変形例によれば、パッドPDと一体的に形成される引き出し配線部DWUの配置位置の自由度を向上できる結果、半導体チップCHP全体のレイアウト配置の自由度も高めることができる。このことは、本変形例によれば、従来の制約に縛られない斬新なレイアウト配置を設計することができることを意味し、これによって、半導体装置の設計自由度を向上することができる。

【0060】

<半導体装置の製造方法>

次に、本実施の形態1における半導体装置の製造方法について、図面を参照しながら説明する。図14は、半導体ウェハWFのレイアウト構成を示す平面図である。図14に示すように、半導体ウェハWFは、略円盤形状をしており、内部領域に複数のチップ領域CRを有している。複数のチップ領域CRのそれぞれには、電界効果トランジスタに代表される半導体素子と多層配線層が形成されており、これらの複数のチップ領域CRは、スクライブ領域SCRによって区画されている。本実施の形態1では、図14に示すように、矩形形状のチップ領域CRと、チップ領域CRを区画するスクライブ領域SCRとを有する半導体ウェハ(半導体基板)WFを用意する。この段階で、半導体ウェハWFの複数のチップ領域CRのそれぞれには、電界効果トランジスタに代表される半導体素子が形成され、この半導体素子の上方に、例えば、ダマシン法によって、銅配線からなる多層配線層が形成されている。そして、以下の工程では、複数のチップ領域CRのそれぞれにおいて

、多層配線層の最上層にパッドを形成する工程から説明することにする。

【0061】

まず、図15に示すように、層間絶縁膜IL上に、バリア導体膜BCF1と、バリア導体膜BCF1上に形成されたアルミニウム膜AFと、アルミニウム膜AF上に形成されたバリア導体膜BCF2とからなる積層膜を形成する。バリア導体膜BCF1は、例えば、チタン膜と窒化チタン膜との積層膜から形成され、例えば、スパッタリング法を使用することにより形成することができる。また、アルミニウム膜AFは、アルミニウムを主成分とする膜から形成され、例えば、スパッタリング法を使用することにより形成することができる。さらに、バリア導体膜BCF2は、例えば、窒化チタン膜から形成され、例えば、スパッタリング法を使用することにより形成することができる。なお、チタンと窒化チタンの積層膜で形成しても良い。ここで、例えば、バリア導体膜BCF1の膜厚は、110nm程度であり(チタン膜の膜厚(50nm)+窒化チタン膜の膜厚(60nm))、アルミニウム膜AFの膜厚は、1500nm程度である。また、バリア導体膜BCF2の膜厚(窒化チタン膜の膜厚)は、75nm程度である。

10

【0062】

続いて、図16(a)および図16(b)に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、バリア導体膜BCF1とアルミニウム膜AFとバリア導体膜BCF2とからなる積層膜をパターンニングする。この積層膜のパターンニングにより、チップ領域とスクライプ領域との境界線に沿って、チップ領域内に、矩形形状のパッドPDと、パッドPDに設けられた引き出し配線部DWUと、パッドPDと引き出し配線部DWUとの接続部位に設けられた傾斜部SLPとを一体的に形成する。このとき、パッドPDと引き出し配線部DWUと傾斜部SLPとは、同一の積層膜から形成されることになるため、パッドPDの高さと引き出し配線部DWUの高さと傾斜部SLPの高さは、ほぼ同一の高さとなる。

20

【0063】

次に、図17(a)および図17(b)に示すように、パッドPDと引き出し配線部DWUと傾斜部SLPとを覆うように、層間絶縁膜IL上に酸化シリコン膜OXF1を形成する。この酸化シリコン膜OXF1は、例えば、プラズマCVD法(Cheical Vapor Deposition)により形成することができ、酸化シリコン膜OXF1の膜厚は、200nm程度である。続いて、酸化シリコン膜OXF1上に酸化シリコン膜OXF2を形成する。酸化シリコン膜OXF2は、例えば、膜のエッチングと膜の成膜とが同時進行する特性を有する高密度プラズマCVD法により形成することができ、酸化シリコン膜OXF2の膜厚は、900nm程度である。その後、酸化シリコン膜OXF2上に酸化シリコン膜OXF3を形成する。酸化シリコン膜OXF3は、例えば、TEOSを原料としたプラズマCVD法により形成することができ、酸化シリコン膜OXF3の膜厚は、800nm程度である。そして、酸化シリコン膜OXF3上に窒化シリコン膜SNFを形成する。窒化シリコン膜SNFは、例えば、CVD法を使用することにより形成することができる。このようにして、パッドPDと引き出し配線部DWUと傾斜部SLPとを覆うように、酸化シリコン膜OXF1と酸化シリコン膜OXF2と酸化シリコン膜OXF3と窒化シリコン膜SNFからなる表面保護膜PASを形成することができる。

30

40

【0064】

このとき、本実施の形態1において、表面保護膜PASの膜厚が、パッドPDの膜厚よりも厚くなることから、パッドPD間の隙間は、酸化シリコン膜OXF1と酸化シリコン膜OXF2と酸化シリコン膜OXF3と窒化シリコン膜SNFからなる表面保護膜PASによって完全に埋め込まれることになる。

【0065】

続いて、図18(a)および図18(b)に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、表面保護膜PASにパッドPDの表面の一部を露出する開口部OPを形成する。一方、引き出し配線部DWUおよび傾斜部SLPを露出する開口部は形成されず、引き出し配線部DWUの表面および傾斜部SLPの表面は、表

50

面保護膜PASで覆われた状態を維持する。その後、図19(a)および図19(b)に示すように、開口部OPから露出するパッドPDの表面をエッチングすることにより、開口部OPから露出するパッドPDの表面に形成されているバリア導体膜(窒化チタン膜)を除去する。これにより、開口部OPからアルミニウム膜が露出することになる。

【0066】

以上のようにして、多層配線層の最上層にパッドPDを形成することができる。具体的に、図20は、パッドPDを形成した後の図であり、端辺ES(この段階では境界線)の境界領域近傍を示す断面模式図である。図20において、スクライプ領域SCRの内側にシールリング領域SRRおよび集積回路領域ICRが形成されている。シールリング領域SRRには、シールリングSRGが形成されている。このシールリングSRGは、集積回路領域ICRに形成される多層配線(図20では図示せず)と同一の工程で形成される。そして、集積回路領域ICRにおいては、最上層にパッドPDが形成されている。

10

【0067】

次に、この後の工程について、フローチャートを参照しながら説明する。図21は、半導体ウェハに集積回路を形成した後、例えば、QFPパッケージからなる半導体装置を製造する工程の流れを示すフローチャートである。

【0068】

まず、半導体ウェハの複数のチップ領域のそれぞれに集積回路を形成した後、スクライプ領域に沿って、半導体ウェハをダイシングする(図21のS101)。これにより、複数のチップ領域が個片化されて、集積回路が形成された半導体チップを取得することができる。そして、リードフレームに形成されているチップ搭載部に半導体チップを搭載した後(図21のS102)、半導体チップに形成されているパッドとインナーリードとをワイヤで接続する(図21のS103)。その後、チップ搭載部、半導体チップ、ワイヤ、インナーリードを樹脂で封止する(図21のS104)。そして、リードフレームに形成されているダムを切断した後(図21のS105)、樹脂から露出しているアウターリードの表面にめっき膜を形成する(図21のS106)。続いて、樹脂の表面にマークを形成した後(図21のS107)、樹脂から突き出ているアウターリードを成形する(図21のS108)。このようにして半導体装置を製造した後、電気的特性検査が実施される(図21のS109)。そして、半導体装置に対して、温度サイクル試験が実施され(図21のS110)、良品と判断された半導体装置が製品として出荷される。

20

30

【0069】

(実施の形態2)

前記実施の形態1では、パッドPDと引き出し配線部DWUとの接続部位が直角であることに起因して、接続部位における表面保護膜PASにクラックCLKが発生するという第1要因に対する工夫を施した技術的思想について説明した。本実施の形態2では、前記実施の形態1で説明した技術的思想に加えて、さらに、表面保護膜PASで覆われたパッドPDの被覆領域の幅が小さいことに起因して、表面保護膜PASにクラックCLKが発生しやすくなるという第2要因に対する工夫を施した技術的思想について説明する。

【0070】

図22は、本実施の形態2における半導体チップCHPの一部を拡大して示す平面図である。図22において、本実施の形態2の特徴点は、開口部OPの中心位置が、複数のパッドPDのそれぞれの中心位置に対して、半導体チップCHPの内側方向(中心方向)にずれている点にある。

40

【0071】

これにより、図22に示すように、複数のパッドPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺を覆う表面保護膜PASの被覆領域CVR2の幅は、半導体チップCHPの端辺ESから最も離れた辺を覆う表面保護膜PASの被覆領域CVR1の幅よりも広くなる。このことは、パッドPDを構成する複数の辺のうち、温度変化によって生じる樹脂(図示せず)の膨張および収縮に起因する応力が最も加わりやすい辺(半導体チップCHPの端辺ESに最も近い辺)を被覆する被覆領域CVR

50

R 2の幅(Y方向の幅)を相対的に広くすることができることを意味する。そして、被覆領域CVR2の幅(Y方向の幅)を相対的に広くすることは、応力に対するクラック耐性が向上することを意味することから、本実施の形態2における半導体装置によれば、半導体チップCHPの端辺ESに最も近い辺を覆う表面保護膜PASの被覆領域CVR2におけるクラックの発生を抑制することができる。すなわち、本実施の形態2によれば、引き出し配線部DWUとパッドPDとの接続部位に傾斜部SLPを設けることによって、接続部位におけるクラックの発生を抑制できるとともに、半導体チップCHPの端辺ESに最も近い辺を覆う表面保護膜PASの被覆領域CVR2におけるクラックの発生を抑制することができる効果を得ることができる。つまり、本実施の形態2における技術的思想は、上述した第1要因と第2要因に対する工夫であり、第1要因と第2要因との相乗要因を効果的に抑制できる結果、優れたクラック耐性を有する信頼性の高い半導体装置を提供することができる。

10

【0072】

さらに、図22に示すように、本実施の形態2では、複数のパッドPDのうち、半導体チップCHPの角部CNRに最も近いパッドPD1に着目している。具体的には、図22に示すように、半導体チップCHPの角部CNRに最も近いパッドPD1においては、パッドPD1を構成する複数の辺のうち、半導体チップCHPの角部に最も近い辺を覆う表面保護膜PASの被覆領域CVR3の幅も、半導体チップCHPの端辺ESから最も離れた辺を覆う表面保護膜PASの被覆領域CVR1の幅よりも広くしている。

【0073】

これにより、本実施の形態2では、半導体チップCHPの角部CNRに最も近いパッドPD1において、温度変化によって生じる樹脂(図示せず)の膨張および収縮に起因する応力が大きくなりやすい辺(半導体チップCHPの端辺ESに最も近い辺)を被覆する被覆領域CVR2の幅(Y方向の幅)を相対的に広くすることができる。さらに、それだけでなく、本実施の形態2では、応力が大きくなりやすい角部CNRに最も近い辺を被覆する被覆領域CVR3の幅も相対的に広くすることができる。この結果、本実施の形態2では、半導体チップCHPの角部CNRに最も近い位置に配置されるパッドPD1において、特に、クラック耐性が向上する。

20

【0074】

なお、開口部OPの中心位置を、複数のパッドPDのそれぞれの中心位置に対して、半導体チップCHPの内側方向(中心方向)にずらす構成を実現する手段としては、パッドPDのサイズ(面積)を維持しながら、開口部OPのサイズを小さくする第1手段と、開口部OPのサイズ(面積)を維持しながら、パッドPDのサイズを大きくする第2手段を考慮することができる。例えば、第1手段の利点としては、パッドPDのサイズが維持されることから、複数のパッドPDを配列する間隔(ピッチ)を大きくすることなく、本実施の形態2における技術的思想を実現できる点を挙げることができる。この場合、例えば、半導体チップの増大を抑制しながら、本実施の形態2における技術的思想を実現できる利点を得ることができる。

30

【0075】

一方、第2手段の利点としては、開口部OPのサイズが維持されることから、開口部OPから露出するパッドPDの表面に接続されるワイヤの接続信頼性を損なうことなく、本実施の形態2における技術的思想を実現できる点を挙げることができる。この場合、例えば、半導体装置の信頼性(特に、ワイヤの接続信頼性)に影響を与えることなく、本実施の形態2における技術的思想を実現できる利点を得ることができる。

40

【0076】

本実施の形態2における半導体装置の製造方法は、基本的に前記実施の形態1における半導体装置の製造方法と同様である。ただし、本実施の形態2における半導体装置の製造方法においては、表面保護膜PASに複数のパッドPDのそれぞれの表面の一部を露出する開口部OPを形成する工程において、フォトリソグラフィ技術およびエッチング技術を使用したパターニングが変更される。具体的には、開口部OPのパターニング工程は、開

50

口部OPの中心位置が、複数のパッドPDのそれぞれの中心位置に対して、チップ領域の内側方向（中心方向）にずれるように実施される。つまり、開口部OPのパターニング工程は、複数のパッドPDのそれぞれを構成する複数の辺のうち、境界線に最も近い辺を覆う表面保護膜PASの被覆領域CVR2の幅が、境界線から最も離れた辺を覆う表面保護膜PASの被覆領域CVR1の幅よりも広くなるように実施される。

【0077】

さらに、本実施の形態2における開口部OPのパターニング工程は、複数のパッドPDのうち、チップ領域の角部CNRに最も近いパッドPD1において、パッドPD1を構成する複数の辺のうち、チップ領域の角部CNRに最も近い辺を覆う表面保護膜PASの被覆領域CVR3の幅も、境界線から最も離れた辺を覆う表面保護膜PASの被覆領域CVR1の幅よりも広くなるように実施される。

10

【0078】

（実施の形態3）

前記実施の形態1および前記実施の形態2では、半導体チップCHPの端辺ESに沿って、複数のパッドPDが1列に配置されている構成例について説明したが、本実施の形態3では、半導体チップCHPの端辺ESに沿って、複数のパッドPDが複数列（例えば、2列）に配置されている構成例について説明する。

【0079】

図23は、本実施の形態3における半導体チップCHPの一部を拡大して示す平面図である。図23において、半導体チップCHPの端辺ESに沿って、複数のパッドが2列に配置されている。具体的に、複数のパッドは、半導体チップCHPの端辺ESに近い側で、端辺ESに沿って配置された複数の外側パッドOPDと、半導体チップCHPの端辺ESから遠い側で、端辺ESに沿って配置された複数の内側パッドIPDを含んでいる。例えば、図23においては、2列に配置されている外側パッドOPDと内側パッドIPDとが、いわゆる千鳥配置で配置されている例が示されている。ここでは、端辺ESからの距離が近い1列目に外側パッドOPDを配置し、端辺ESからの距離が遠い2列目に内側パッドIPDを配置している。

20

【0080】

図23に示すように、複数の内側パッドIPDでは、複数の内側パッドIPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESに最も近い辺と接続するように、引き出し配線部DWUが設けられており、かつ、複数の内側パッドIPDのそれぞれと引き出し配線部DWUとの接続部位には、傾斜部SLP(IN)が設けられている。

30

【0081】

一方、複数の外側パッドOPDでは、複数の外側パッドOPDのそれぞれを構成する複数の辺のうち、半導体チップCHPの端辺ESから最も離れた辺と接続するように、引き出し配線部DWUが設けられている。そして、複数の外側パッドOPDのそれぞれと引き出し配線部DWUとの接続部位には、傾斜部SLP(OUT)が設けられている。

【0082】

ここで、例えば、内側パッドIPDと一体的に設けられている傾斜部SLP(IN)の形状やサイズは、外側パッドOPDと一体的に設けられている傾斜部SLP(OUT)の形状やサイズと同一となっている。

40

【0083】

このように本実施の形態3では、千鳥配置で配置された外側パッドOPDと内側パッドIPDのいずれにおいても、引き出し配線部DWUとの接続部位に傾斜部SLP(OUT)あるいは傾斜部SLP(IN)が設けられている。これにより、本実施の形態3においても、外側パッドOPDの一部を表面保護膜PASによって被覆する被覆領域や内側パッドIPDの一部を表面保護膜PASによって被覆する被覆領域にクラックが発生することを抑制することができる。つまり、前記実施の形態1で説明した技術的思想は、1列に配置された複数のパッドPDに適用できるだけでなく、本実施の形態3のように、例えば、千鳥配置に代表される複数列に配置された複数の内側パッドIPDや複数の外側パッドO

50

P Dにも適用することができる。

【 0 0 8 4 】

< 変形例 1 >

実施の形態 3 では、図 2 3 に示すように、内側パッド I P D と一体的に設けられている傾斜部 S L P (I N) の形状やサイズは、外側パッド O P D と一体的に設けられている傾斜部 S L P (O U T) の形状やサイズと同一となっている例について説明したが、本変形例 1 では、傾斜部 S L P (I N) のサイズと、傾斜部 S L P (O U T) のサイズが異なる例について説明する。

【 0 0 8 5 】

図 2 4 は、本変形例 1 における半導体チップ C H P の一部を拡大して示す平面図である。図 2 4 において、本変形例 1 では、内側パッド I P D と一体的に設けられている傾斜部 S L P (I N) のサイズ(面積)が、外側パッド O P D と一体的に設けられている傾斜部 S L P (O U T) のサイズ(面積)よりも大きくなっている。言い換えれば、外側パッド O P D と一体的に設けられている傾斜部 S L P (O U T) のサイズは、内側パッド I P D と一体的に設けられている傾斜部 S L P (I N) のサイズよりも小さくなっている。

【 0 0 8 6 】

以下に、この理由について説明する。本発明者の検討によると、パッドを構成する複数の辺のうち、半導体チップ C H P の端辺 E S に最も近い辺を被覆する被覆領域に加わる応力が相対的に大きくなる傾向があることがわかっている。この点を踏まえて、図 2 4 に示す内側パッド I P D に着目すると、内側パッド I P D においては、内側パッド I P D を構成する複数の辺のうち、半導体チップ C H P の端辺 E S に最も近い辺に引き出し配線部 D W U が設けられている。したがって、内側パッド I P D においては、応力が大きくなりやすい半導体チップ C H P の端辺 E S に最も近い辺に、内側パッド I P D と引き出し配線部 D W U との接続部位が存在することになる。このことは、内側パッド I P D では、相対的に応力が大きくなる箇所に、内側パッド I P D と引き出し配線部 D W U との接続部位が存在することを意味し、この接続部位を被覆する表面保護膜 P A S の被覆領域でクラックが発生しやすくなる。そこで、本変形例 1 では、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生を十分に抑制する観点から、この接続部位に大きなサイズの傾斜部 S L P (I N) を設けている。すなわち、傾斜部 S L P (I N) のサイズが大きくなればなるほど、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生を抑制できると考えられることから、内側パッド I P D と引き出し配線部 D W U との接続部位に大きなサイズの傾斜部 S L P (I N) を設けている。これにより、内側パッド I P D と引き出し配線部 D W U との接続部位に相対的に大きな応力が加わる場合であっても、この接続部位でのクラックの発生を十分に抑制することができる。

【 0 0 8 7 】

一方、図 2 4 に示す外側パッド O P D に着目すると、外側パッド O P D においては、外側パッド O P D を構成する複数の辺のうち、半導体チップ C H P の端辺 E S から最も離れた辺に引き出し配線部 D W U が設けられている。したがって、外側パッド O P D においては、応力が相対的に大きくなりないと想定される半導体チップ C H P の端辺 E S から最も離れた辺に、外側パッド O P D と引き出し配線部 D W U との接続部位が存在することになる。このことは、外側パッド O P D では、相対的に応力が大きくなりにくい箇所に、外側パッド O P D と引き出し配線部 D W U との接続部位が存在することを意味し、この接続部位を被覆する表面保護膜 P A S の被覆領域でクラックが発生しにくいと考えることができる。そこで、本変形例 1 では、外側パッド O P D と引き出し配線部 D W U との接続部位でのクラックの発生が、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生よりも問題となりにくいことを考慮して、外側パッド O P D と引き出し配線部 D W U との接続部位に小さなサイズの傾斜部 S L P (O U T) を設けている。すなわち、傾斜部 S L P (O U T) のサイズが小さくても、外側パッド O P D と引き出し配線部 D W U との接続部位でのクラックの発生を抑制できると考えられることから、外側パッド O P D と引き出し配線部 D W U との接続部位に小さなサイズの傾斜部 S L P (O U T) を設けて

10

20

30

40

50

いる。この結果、本変形例 1 では、内側パッド I P D と一体的に設けられている傾斜部 S L P (I N) のサイズが、外側パッド O P D と一体的に設けられている傾斜部 S L P (O U T) のサイズよりも大きくなる構成が実現されることになる。この構成においても、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生を抑制することができるとともに、外側パッド O P D と引き出し配線部 D W U との接続部位でのクラックの発生を抑制することができる。

【 0 0 8 8 】

< 変形例 2 >

本変形例 2 では、内側パッド I P D と一体的に傾斜部 S L P (I N) を設ける一方、外側パッド O P D と引き出し配線部 D W U との接続部位には、傾斜部を設けない例について説明する。

10

【 0 0 8 9 】

図 2 5 は、本変形例 2 における半導体チップ C H P の一部を拡大して示す平面図である。例えば、上述した変形例 1 で説明したように、外側パッド O P D においては、外側パッド O P D を構成する複数の辺のうち、半導体チップ C H P の端辺 E S から最も離れた辺に引き出し配線部 D W U が設けられている。この場合、外側パッド O P D においては、外側パッド O P D と引き出し配線部 D W U との接続部位に加わる応力の大きさが比較的小さいと考えられることから、この接続部位を被覆する表面保護膜 P A S の被覆領域でクラックが発生しにくいと推測することができる。そこで、本変形例 2 では、外側パッド O P D と引き出し配線部 D W U との接続部位でのクラックの発生が、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生よりも問題となりにくいという点をさらに考慮して、外側パッド O P D と引き出し配線部 D W U との接続部位には、傾斜部を設けないように構成している。このように構成される本変形例 2 においても、内側パッド I P D においては、一体的に傾斜部 S L P (I N) を設けているため、内側パッド I P D と引き出し配線部 D W U との接続部位でのクラックの発生を十分に抑制することができる。

20

【 0 0 9 0 】

(実施の形態 4)

本実施の形態 4 では、前記実施の形態 3 と同様に、半導体チップ C H P の端辺 E S に沿って、複数のパッドが千鳥配置で配置されている構成例を前提として、さらに、表面保護膜 P A S で覆われたパッドの被覆領域の幅が小さいことに起因して、表面保護膜 P A S にクラックが発生しやすくなるという第 2 要因に対する工夫も取り入れた技術的思想について説明する。

30

【 0 0 9 1 】

図 2 6 は、本実施の形態 4 における半導体チップ C H P の一部を拡大して示す平面図である。図 2 6 において、本実施の形態 4 では、千鳥配置を前提として、千鳥配置を構成する複数の内側パッド I P D において、開口部 O P の中心位置が、複数の内側パッド I P D のそれぞれの中心位置と一致している。これに対し、千鳥配置を構成する複数の外側パッド O P D において、開口部 O P の中心位置が、複数の外側パッド O P D のそれぞれの中心位置に対して、半導体チップ C H P の内側方向 (中心方向) にずれている。

【 0 0 9 2 】

40

これにより、図 2 6 に示すように、複数の外側パッド O P D のそれぞれを構成する複数の辺のうち、半導体チップ C H P の端辺 E S に最も近い辺を覆う表面保護膜 P A S の被覆領域 C V R 2 の幅は、半導体チップ C H P の端辺 E S から最も離れた辺を覆う表面保護膜 P A S の被覆領域 C V R 1 の幅よりも広くなる。このことは、外側パッド O P D を構成する複数の辺のうち、温度変化によって生じる樹脂 (図示せず) の膨張および収縮に起因する応力が最も加わりやすい辺 (半導体チップ C H P の端辺 E S に最も近い辺) を被覆する被覆領域 C V R 2 の幅 (Y 方向の幅) を相対的に広くすることができることを意味する。そして、被覆領域 C V R 2 の幅 (Y 方向の幅) を相対的に広くするということは、応力に対するクラック耐性が向上することを意味することから、本実施の形態 4 における半導体装置によれば、外側パッド O P D において、半導体チップ C H P の端辺 E S に最も近い辺

50

を覆う表面保護膜 P A S の被覆領域 C V R 2 におけるクラックの発生を抑制することができる。すなわち、本実施の形態 4 によれば、前記実施の形態 3 と同様に、外側パッド O P D と引き出し配線部 D W U との接続部位に傾斜部 S L P (O U T) を設け、かつ、内側パッド I P D と引き出し配線部 D W U との接続部位に傾斜部 S L P (I N) を設けることによって、接続部位でのクラックの発生を抑制することができる。さらに、本実施の形態 4 では、図 2 6 に示すように、外側パッド O P D の被覆領域 C V R 2 の幅 (Y 方向の幅) を相対的に広くすることができる結果、半導体チップ C H P の端辺 E S に最も近い辺を覆う表面保護膜 P A S の被覆領域 C V R 2 におけるクラックの発生も抑制することができる。

【 0 0 9 3 】

さらに、図 2 6 に示すように、本実施の形態 4 では、複数の外側パッド O P D のうち、半導体チップ C H P の角部 C N R に最も近い外側パッド O P D 1 に着目している。具体的には、図 2 6 に示すように、半導体チップ C H P の角部 C N R に最も近い外側パッド O P D 1 においては、外側パッド O P D 1 を構成する複数の辺のうち、半導体チップ C H P の角部に最も近い辺を覆う表面保護膜 P A S の被覆領域 C V R 3 の幅も、半導体チップ C H P の端辺 E S から最も離れた辺を覆う表面保護膜 P A S の被覆領域 C V R 1 の幅よりも広くしている。

【 0 0 9 4 】

これにより、本実施の形態 4 では、半導体チップ C H P の角部 C N R に最も近い外側パッド O P D 1 において、温度変化によって生じる樹脂 (図示せず) の膨張および収縮に起因する応力が大きくなりやすい辺 (半導体チップ C H P の端辺 E S に最も近い辺) を被覆する被覆領域 C V R 2 の幅 (Y 方向の幅) を相対的に広くすることができる。さらに、それだけでなく、本実施の形態 4 では、応力が大きくなりやすい角部 C N R に最も近い辺を被覆する被覆領域 C V R 3 の幅も相対的に広くすることができる。この結果、本実施の形態 4 では、半導体チップ C H P の角部 C N R に最も近い位置に配置される外側パッド O P D 1 において、特に、クラック耐性を向上することができる。

【 0 0 9 5 】

< 変形例 >

次に、実施の形態 4 の変形例について説明する。実施の形態 4 では、外側パッド O P D に着目して、表面保護膜 P A S で覆われた外側パッド O P D の被覆領域の幅が小さいことに起因して、表面保護膜 P A S にクラックが発生しやすくなるという第 2 要因に対する工夫も取り入れた例について説明した。本変形例では、さらに、内側パッド I P D にも着目して、内側パッド I P D に対しても第 2 要因に対する工夫も取り入れる例について説明する。つまり、実施の形態 4 では、半導体チップ C H P の端辺 E S に近い外側パッド O P D において、上述した第 2 要因が顕在化すると考えられることから、まず、外側パッド O P D に対して、第 2 要因に対する工夫を取り入れる例を説明した。さらに、本変形例では、内側パッド I P D においては、外側パッド O P D よりも半導体チップ C H P の端辺 E S から離れていることから、外側パッド O P D よりも上述した第 2 要因に対する影響は少ないと考えられるが、第 2 要因の影響を多少受ける可能性を考慮している。すなわち、本変形例では、半導体装置の信頼性のさらなる向上を図る観点から、内側パッド I P D に対しても第 2 要因に対する工夫も取り入れている。

【 0 0 9 6 】

図 2 7 は、本変形例における半導体チップ C H P の一部を拡大して示す平面図である。図 2 7 において、本変形例では、千鳥配置を前提として、千鳥配置を構成する複数の外側パッド O P D だけでなく、内側パッド I P D においても、開口部 O P の中心位置が、複数の内側パッド I P D のそれぞれの中心位置に対して、半導体チップ C H P の内側方向 (中心方向) にずれている点に特徴点がある。

【 0 0 9 7 】

これにより、図 2 7 に示すように、複数の内側パッド I P D のそれぞれを構成する複数の辺のうち、半導体チップ C H P の端辺 E S に最も近い辺を覆う表面保護膜 P A S の被覆領域 C V R 2 の幅は、半導体チップ C H P の端辺 E S から最も離れた辺を覆う表面保護膜

10

20

30

40

50

PASの被覆領域CVR1の幅よりも広くなる。このことは、内側パッドIPDを構成する複数の辺のうち、温度変化によって生じる樹脂（図示せず）の膨張および収縮に起因する応力が最も加わりやすい辺（半導体チップCHPの端辺ESに最も近い辺）を被覆する被覆領域CVR2の幅（Y方向の幅）を相対的に広くすることができることを意味する。そして、被覆領域CVR2の幅（Y方向の幅）を相対的に広くすることは、応力に対するクラック耐性が向上することを意味することから、本変形例における半導体装置によれば、内側パッドIPDにおいて、半導体チップCHPの端辺ESに最も近い辺を覆う表面保護膜PASの被覆領域CVR2におけるクラックの発生を抑制することができる。

【0098】

さらに、図27に示すように、本変形例では、複数の内側パッドIPDのうち、半導体チップCHPの角部CNRに最も近い内側パッドIPD1に着目している。具体的には、図27に示すように、半導体チップCHPの角部CNRに最も近い内側パッドIPD1においては、内側パッドIPD1を構成する複数の辺のうち、半導体チップCHPの角部に最も近い辺を覆う表面保護膜PASの被覆領域CVR3の幅も、半導体チップCHPの端辺ESから最も離れた辺を覆う表面保護膜PASの被覆領域CVR1の幅よりも広くしている。

【0099】

これにより、本変形例では、半導体チップCHPの角部CNRに最も近い内側パッドIPD1において、温度変化によって生じる樹脂（図示せず）の膨張および収縮に起因する応力が大きくなりやすい辺（半導体チップCHPの端辺ESに最も近い辺）を被覆する被覆領域CVR2の幅（Y方向の幅）を相対的に広くすることができる。さらに、それだけでなく、本変形例では、応力が大きくなりやすい角部CNRに最も近い辺を被覆する被覆領域CVR3の幅も相対的に広くすることができる。この結果、本変形例では、半導体チップCHPの角部CNRに最も近い位置に配置される内側パッドIPD1において、特に、クラック耐性を向上することができる。

【0100】

このように本変形例によれば、外側パッドOPDだけでなく、内側パッドIPDにおいても、第2要因に対する工夫を取り入れている。この結果、本変形例によれば、千鳥配置で配置された複数の外側パッドOPDおよび複数の内側パッドIPDの両方で、第1要因と第2要因に対するクラック耐性を向上することができ、これによって、半導体装置のさらなる信頼性向上を図ることができる。

【0101】

（実施の形態5）

本実施の形態5では、上述した第3要因に対する工夫を施した技術的思想について説明する。つまり、本実施の形態5では、表面保護膜PASで覆われたパッドPDの被覆領域の幅（Y方向の幅）に対して、被覆領域の幅と直交する方向の線分（パッドPDの1辺の一部）の長さ（X方向の長さ）が長くなることに起因して、パッドPDの一部がずれる「アルミスライド」や、表面保護膜PASにクラックCLKが発生しやすくなる点に対する工夫を説明する。

【0102】

図28は、本実施の形態5におけるパッドPDの模式的な構成を示す平面図である。図28において、パッドPDと一体的に引き出し配線部DWUが設けられている。このとき、引き出し配線部DWUの幅（X方向の幅）は、パッドPDを構成する複数の辺のうち、引き出し配線部DWUが接続される辺の長さよりも短くなっている。そして、引き出し配線部DWUの幅の中心位置は、パッドPDを構成する複数の辺のうち、引き出し配線部DWUが接続される辺の中心位置に対して、ずれている。

【0103】

このように構成される本実施の形態5におけるパッドPDでは、図28に示すように、引き出し配線部DWUの一方の片側は、引き出し配線部DWUが接続される辺のうちの引き出し配線部DWUと接触しない線分の長さが長い側（長線分側）（図28の引き出し配

10

20

30

40

50

線部DWUの左側)となる。一方、引き出し配線部DWUの他方の片側は、引き出し配線部DWUが接続される辺のうちの引き出し配線部DWUと接触しない線分の長さが短い側(短線分側)(図28の引き出し配線部DWUの右側)となる。

【0104】

このように構成されている本実施の形態5におけるパッドPDでは、温度変化に起因する樹脂(図示せず)の膨張および収縮によって、特に長線分側での辺の撓みが大きくなる。この結果、長線分側で「アルミスライド」やクラックの発生が顕在化するおそれが高まる。

【0105】

そこで、本実施の形態5では、引き出し配線部DWUの両側に傾斜部が設けることを前提として、引き出し配線部DWUの一方の片側(長線分側)に設けられている傾斜部SLP1の形状と、引き出し配線部DWUの他方の片側(短線分側)に設けられている傾斜部SLP2の形状とが非対称になるようにしている。

10

【0106】

具体的には、図28に示すように、引き出し配線部DWUの一方の片側(長線分側)に設けられている傾斜部SLP1のサイズは、引き出し配線部の他方の片側(短線分側)に設けられている傾斜部SLP2のサイズよりも大きくなっている。そして、例えば、図28に示すように、引き出し配線部DWUの一方の片側(長線分側)に設けられている傾斜部SLP1の形状は、台形状となっており、引き出し配線部DWUの他方の片側(短線分側)に設けられている傾斜部SLP2の形状は、三角形形状となっている。

20

【0107】

これにより、辺の撓みが大きくなると考えられる長線分側に設けられる傾斜部SLPのサイズが大きくなるため、長線分側での撓みを抑制することができる。この結果、本実施の形態5によれば、長線分側での撓みによって顕在化する「アルミスライド」やクラックの発生が効果的に抑制することができる。

【0108】

特に、本発明者の検討によると、図28において、パッドPDを構成する複数の辺のうち、引き出し配線部DWUが接続される辺を覆う表面保護膜PASの被覆領域の幅(Y方向の幅)を a_1 とし、表面保護膜PASの被覆領域の幅(X方向の幅)を b_1 とする場合、 $b_1/a_1 < 3$ の関係を満たす場合には、樹脂の膨張および収縮に起因する応力によって、パッドPDの辺の撓みを十分に抑制できることを見出している。また、傾斜部SLP1である台形状の高さ(Y方向)を a_2 とし、傾斜部SLP1である台形状の底辺の長さを b_2 とする場合、 $b_2/a_2 < 3$ の関係を満たすことが、同様の理由から望ましい。さらに、 $(b_2/a_2) + (b_1/a_1) < 3$ を満たす事がより望ましい。

30

【0109】

<変形例1>

実施の形態5で説明したように、引き出し配線部DWUの一方の片側(長線分側)に設けられている傾斜部SLP1のサイズを、引き出し配線部の他方の片側(短線分側)に設けられている傾斜部SLP2のサイズよりも大きくすることが、長線分側での撓みによって顕在化する「アルミスライド」やクラックの発生を防止する観点から望ましい。

40

【0110】

ただし、傾斜部SLP1の形状を台形状にし、かつ、傾斜部SLP2の形状を三角形形状とすることは、一例に過ぎず、例えば、図29に示すように、引き出し配線部DWUの一方の片側(長線分側)に設けられている傾斜部SLP1の形状を第1三角形形状とし、かつ、引き出し配線部DWUの他方の片側(短線分側)に設けられている傾斜部SLP2の形状を第2三角形形状としてもよい。

【0111】

このとき、パッドPDを構成する複数の辺のうち、引き出し配線部DWUが接続される辺を覆う表面保護膜PASの被覆領域の幅(Y方向の幅)を a_1 とし、表面保護膜PASの被覆領域の幅(X方向の幅) b_1 とする場合、 $b_1/a_1 < 3$ の関係を満たすことが長

50

線分側での撓みによって顕在化する「アルミスライド」やクラックの発生を確実に防止する観点から望ましい。また、傾斜部 S L P 1 である第 1 三角形形状の高さ (Y 方向) を a_2 とし、傾斜部 S L P 1 である第 1 三角形形状の底辺 (X 方向) の長さを b_2 とする場合、 $b_2 / a_2 < 3$ の関係を満たすことが同様の理由から望ましい。さらに、 $(b_2 / a_2) + (b_1 / a_1) < 3$ を満たす事がより望ましい。

【 0 1 1 2 】

< 変形例 2 >

また、上述の図 2 8 および図 2 9 に開示した技術を、前述の実施の形態 3 に記載した図 2 3、図 2 4 および図 2 5 に適用することも可能である。すなわち、図 2 3 のように、上述の傾斜部 S L P 1 および傾斜部 S L P 2 を、千鳥配置の 1 列目および 2 列目に形成してもよい。また、図 2 4 のように、千鳥配置の 2 列目に形成する傾斜部 S L P 1 および傾斜部 S L P 2 の大きさを、千鳥配置の 1 列目に形成する傾斜部 S L P 1 および傾斜部 S L P 2 の大きさよりも大きくなるように形成してもよい。また、図 2 5 のように、傾斜部 S L P 1 および傾斜部 S L P 2 を千鳥配置の 2 列目のみ形成し、1 列目には形成しないようにしてもよい。また、上述の図 2 8 および図 2 9 に開示した技術を、前述の実施の形態 4 に適用することも可能である。

10

【 0 1 1 3 】

(実施の形態 6)

本実施の形態 6 では、パッド P D と一体的に設けられる引き出し配線部 D W U が複数存在する構成を前提として、この前提構成に対して、第 1 要因に対する工夫を施した技術的思想を適用する例について説明する。

20

【 0 1 1 4 】

図 3 0 は、本実施の形態 6 における半導体チップ C H P の一部を拡大して示す平面図である。図 3 0 において、例えば、千鳥配置で配置された複数の外側パッド O P D と複数の内側パッド I P D のうち、複数の外側パッド O P D のうちの外側パッド O P D 2 では、外側パッド O P D 2 と一体的に引き出し配線部 D W U 1 と引き出し配線部 D W U 2 が設けられている。これは、例えば、外側パッド O P D 2 に流れる電流量を確保するために実施されるレイアウト構成の一例である。すなわち、例えば、外側パッド O P D 2 を流れる電流量が大きく、単一の引き出し配線部 D W U 1 だけでは対応が困難な場合に、外側パッド O P D 2 と一体的に引き出し配線部 D W U 1 と引き出し配線部 D W U 2 とを設けることにより、電流量が大きな場合にも対応することができる。なお、図示はしていないが、引き出し配線部 D W U 2 には、引き出し配線部 D W U 1 と同様に下層配線へのコンタクトが設けられており、集積回路領域に設けられた電界効果トランジスタ Q と電氣的に接続している。

30

【 0 1 1 5 】

また、このような引き出し配線部 D W U 2 は、2 つの外側パッド O P D 間に更にパッドを設けるスペースが無い場合や、電源等の同じ機能を有するパッド O P D を 2 つ並べる必要がある場合に、チップ面積の縮小を図れる点で効果的である。

【 0 1 1 6 】

具体的には、図 3 0 に示すように、外側パッド O P D 2 は、長方形形状をしており、外側パッド O P D 2 と接続されている複数の引き出し配線部は、外側パッド O P D 2 の短辺と接続される引き出し配線部 D W U 1 と、外側パッド O P D 2 の長辺と接続される引き出し配線部 D W U 2 から構成される。この場合、外側パッド O P D 2 と引き出し配線部 D W U 1 との接続部位に傾斜部 S L P (O U T) が設けられるとともに、外側パッド O P D 2 と引き出し配線部 D W U 2 との接続部位にも傾斜部 S L P (O U T) が設けられる。

40

【 0 1 1 7 】

このように構成される本実施の形態 6 における外側パッド O P D 2 においても、外側パッド O P D 2 と引き出し配線部 D W U 1 との接続部位でのクラックの発生を抑制できるとともに、外側パッド O P D 2 と引き出し配線部 D W U 2 との接続部位でもクラックの発生を抑制することができる。

50

【 0 1 1 8 】

また、本実施の形態 6 では、外側パッド O P D 2 に引き出し配線部 D W U 1 と引き出し配線部 D W U 2 の両方を形成する場合を例示したが、これに限らず、例えば、外側パッド O P D 2 に引き出し配線部 D W U 2 のみを形成する場合であっても、同様の効果が得られる。

【 0 1 1 9 】

また、本実施の形態 6 では、千鳥配置の例で示しているが、前述の実施の形態 1 および実施の形態 2 のように、パッドが 1 列のみの場合であっても適用することができる。すなわち、本実施の形態 6 に開示した技術を、前述の実施の形態 1 ~ 5 にも適用することができる。

10

【 0 1 2 0 】

(実施の形態 7)

本実施の形態 7 では、図 1 1 に開示した表面保護膜 P A S のうち、窒化シリコン膜 S N F の開口部の位置を変更している例について説明する。

【 0 1 2 1 】

図 3 1 は、パッド P D の平面図であり、図 3 2 はパッド P D の断面図を示している。本実施の形態 7 では、酸化シリコン膜 O X F 1、酸化シリコン膜 O X F 2、酸化シリコン膜 O X F 3 を形成した後に、フォトレジスト膜をマスクとしてパターンニングすることで開口部 O P 1 を形成する。なお、バリア導体膜 B C F 2 も同工程でエッチングされ、開口部 O P 1 からアルミニウム膜 A F が露出する。その後、窒化シリコン膜 S N F を形成して、別途パターンニングすることで、開口部 O P 1 の内側に開口部 O P 2 を形成する。

20

【 0 1 2 2 】

本実施の形態 7 では、開口部 O P 1 において、酸化シリコン膜 O X F 1、酸化シリコン膜 O X F 2、酸化シリコン膜 O X F 3 およびバリア導体膜 B C F 2 の側面を、窒化シリコン膜 S N F によって覆うことができる。このため、バリア導体膜 B C F 2 として窒化チタンが用いられている場合に、窒化チタンが酸化されることを防止することができる。窒化チタンが酸化されると、その体積が膨張し、その上の表面保護膜 P A S に応力が加わることになる。その結果、窒化シリコン膜 S N F にクラックが発生しやすくなってしまいう懸念がある。このため、本実施の形態 7 ではバリア導体膜 B C F 2 の側面を、窒化シリコン膜 S N F によって覆うことで、クラックの発生を更に防止することが可能となる。

30

【 0 1 2 3 】

なお、本実施の形態 7 に開示した技術は、前述の実施の形態 1 ~ 6 に適用できることは勿論である。その場合、本実施の形態 7 の開口部 O P 2 が前述の実施の形態 1 ~ 6 で示した開口部 O P に相当する。

【 0 1 2 4 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各々を組み合わせて実施することが可能であることは言うまでもない。

【 0 1 2 5 】

前記実施の形態は、以下の形態を含む。

40

【 0 1 2 6 】

(付記 1)

矩形形状の半導体チップを備え、

前記半導体チップは、

(a) 前記半導体チップの端辺に沿って配置された複数のパッド、

(b) 前記複数のパッドのそれぞれに設けられた引き出し配線部、

(c) 前記複数のパッドのそれぞれと前記引き出し配線部との接続部位に設けられた傾斜部、

を有し、

前記引き出し配線部の幅は、前記複数のパッドのそれぞれを構成する複数の辺のうち、

50

前記引き出し配線部が接続される辺の長さよりも短く、

前記引き出し配線部の幅の中心位置は、前記複数のパッドのそれぞれを構成する複数の辺のうち、前記引き出し配線部が接続される辺の中心位置に対して、ずれている半導体装置。

【0127】

(付記2)

付記1に記載の半導体装置において、

前記引き出し配線部の両側に前記傾斜部が設けられている、半導体装置。

【0128】

(付記3)

付記2に記載の半導体装置において、

前記引き出し配線部の一方の片側に設けられている前記傾斜部の形状と、前記引き出し配線部の他方の片側に設けられている前記傾斜部の形状とは、非対称である、半導体装置。

10

【0129】

(付記4)

付記3に記載の半導体装置において、

前記引き出し配線部の一方の片側は、前記引き出し配線部が接続される辺のうちの前記引き出し配線部と接触しない線分の長さが長い側であり、

前記引き出し配線部の他方の片側は、前記引き出し配線部が接続される辺のうちの前記引き出し配線部と接触しない線分の長さが短い側であり、

前記引き出し配線部の一方の片側に設けられている前記傾斜部のサイズは、前記引き出し配線部の他方の片側に設けられている前記傾斜部のサイズよりも大きい、半導体装置。

20

【0130】

(付記5)

付記4に記載の半導体装置において、

前記引き出し配線部の一方の片側に設けられている前記傾斜部の形状は、台形形状であり、前記引き出し配線部の他方の片側に設けられている前記傾斜部の形状は、三角形形状である、半導体装置。

【0131】

(付記6)

付記5に記載の半導体装置において、

(d)前記複数のパッドのそれぞれと、前記引き出し配線部と、前記傾斜部とを覆う表面保護膜を有し、

前記表面保護膜には、前記複数のパッドのそれぞれの表面の一部を露出する開口部が設けられており、

前記台形形状の高さを a_2 とし、

前記台形形状の底辺の長さを b_2 とする場合、 $b_2 / a_2 < 3$ の関係を満たす、半導体装置。

30

【0132】

(付記7)

付記4に記載の半導体装置において、

前記引き出し配線部の一方の片側に設けられている前記傾斜部の形状は、第1三角形形状であり、前記引き出し配線部の他方の片側に設けられている前記傾斜部の形状は、第2三角形形状である、半導体装置。

40

【0133】

(付記8)

付記7に記載の半導体装置において、

(d)前記複数のパッドのそれぞれと、前記引き出し配線部と、前記傾斜部とを覆う表面保護膜を有し、

50

前記表面保護膜には、前記複数のパッドのそれぞれの表面の一部を露出する開口部が設けられており、

前記第 1 三角形形状の高さを a_2 とし、

前記第 1 三角形形状の底辺の長さを b_2 とする場合、 $b_2 / a_2 < 3$ の関係を満たす、半導体装置。

【 0 1 3 4 】

(付記 9)

矩形形状の半導体チップを備え、

前記半導体チップは、

(a) 前記半導体チップの端辺に沿って配置された複数のパッド、

(b) 前記複数のパッドのそれぞれに設けられた引き出し配線部、

(c) 前記複数のパッドのそれぞれと前記引き出し配線部との接続部位に設けられた傾斜部、

を有し、

前記複数のパッドのうちの第 1 パッドには、複数の引き出し配線部が接続されており、

前記第 1 パッドと接続されている複数の引き出し配線部のそれぞれの接続部位には、前記傾斜部が設けられている、半導体装置。

【 0 1 3 5 】

(付記 1 0)

付記 9 に記載の半導体装置において、

前記複数のパッドのそれぞれは、長方形形状をしており、

前記第 1 パッドと接続されている前記複数の引き出し配線部は、前記第 1 パッドの短辺と接続される第 1 引き出し配線部と、前記第 1 パッドの長辺と接続される第 2 引き出し配線部とを含む、半導体装置。

【 0 1 3 6 】

(付記 1 1)

(a) 矩形形状のチップ領域と、前記チップ領域を区画するスクライブ領域とを有する半導体基板を用意する工程、

(b) 前記チップ領域と前記スクライブ領域との境界線に沿って、前記チップ領域内に、矩形形状の複数のパッドと、前記複数のパッドのそれぞれに設けられた引き出し配線部と、

前記複数のパッドのそれぞれと前記引き出し配線部との接続部位に設けられた傾斜部とを形成する工程、

を備える、半導体装置の製造方法。

【 0 1 3 7 】

(付記 1 2)

付記 1 1 に記載の半導体装置の製造方法において、

(c) 前記複数のパッドと前記引き出し配線部と前記傾斜部とを覆う表面保護膜を形成する工程、

(d) 前記表面保護膜に前記複数のパッドのそれぞれの表面の一部を露出する開口部を形成する工程、

(e) 前記 (d) 工程後、前記スクライブ領域に沿って、前記半導体基板をダイシングすることにより、半導体チップを取得する工程、

(f) 前記 (e) 工程後、前記開口部から露出する前記複数のパッドのそれぞれの表面にワイヤを接続する工程、

(g) 前記 (f) 工程後、前記半導体チップを封止する工程、

を有する、半導体装置の製造方法。

【 0 1 3 8 】

(付記 1 3)

付記 1 2 に記載の半導体装置の製造方法において、

10

20

30

40

50

(g) 工程後、温度サイクル試験を実施する工程を有する、半導体装置の製造方法。

【0139】

(付記14)

付記12に記載の半導体装置の製造方法において、

前記(d)工程は、前記開口部の中心位置が、前記複数のパッドのそれぞれの中心位置に対して、前記チップ領域の内側方向にずれるように、前記開口部を形成する、半導体装置の製造方法。

【0140】

(付記15)

付記12に記載の半導体装置の製造方法において、

前記(d)工程は、前記複数のパッドのそれぞれを構成する複数の辺のうち、前記境界線に最も近い辺を覆う前記表面保護膜の被覆領域の幅が、前記境界線から最も離れた辺を覆う前記表面保護膜の被覆領域の幅よりも広くなるように、前記開口部を形成する、半導体装置の製造方法。

10

【0141】

(付記16)

付記15に記載の半導体装置の製造方法において、

前記(d)工程は、前記複数のパッドのうち、前記チップ領域の角部に最も近い第1パッドにおいては、さらに、前記第1パッドを構成する複数の辺のうち、前記チップ領域の角部に最も近い辺を覆う前記表面保護膜の被覆領域の幅も、前記境界線から最も離れた辺を覆う前記表面保護膜の被覆領域の幅よりも広くなるように、前記開口部を形成する、半導体装置の製造方法。

20

【符号の説明】

【0142】

- 1 S 半導体基板
- A F アルミニウム膜
- B C F 1 バリア導体膜
- B C F 2 バリア導体膜
- C H P 半導体チップ
- C L K クラック
- C N R 角部
- C R チップ領域
- C V R 1 被覆領域
- C V R 2 被覆領域
- C V R 3 被覆領域
- D W U 引き出し配線部
- D W U 1 引き出し配線部
- D W U 2 引き出し配線部
- E S 端辺
- F L ファイン層
- G L グローバル層
- I C R 集積回路領域
- I L 層間絶縁膜
- I L 1 インナーリード
- I P D 内側パッド
- I P D 1 内側パッド
- M R 樹脂
- O L アウターリード
- O P 開口部
- O P D 外側パッド

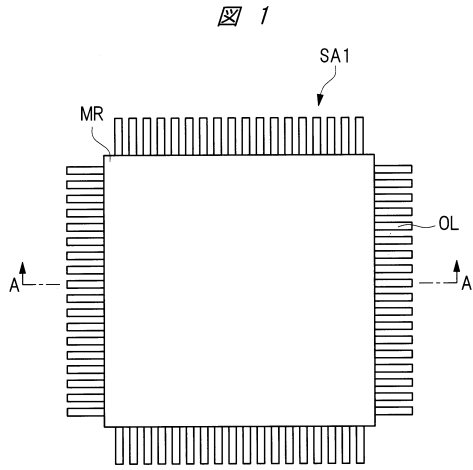
30

40

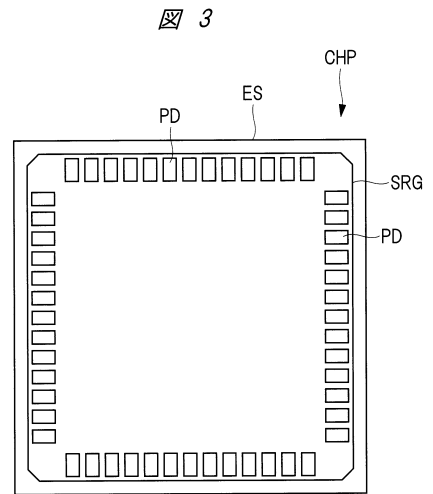
50

OPD1	外側パッド	
OPD2	外側パッド	
OXF1	酸化シリコン膜	
OXF2	酸化シリコン膜	
OXF3	酸化シリコン膜	
PAS	表面保護膜	
PD	パッド	
PD1	パッド	
PF	めっき膜	
Q	電界効果トランジスタ	10
SA1	半導体装置	
SCR	スクライブ領域	
SLP	傾斜部	
SLP(IN)	傾斜部	
SLP(OUT)	傾斜部	
SLP1	傾斜部	
SLP2	傾斜部	
SM	不連続領域	
SM1	不連続領域	
SM2	不連続領域	20
SNF	窒化シリコン膜	
SRG	シールリング	
SRR	シールリング領域	
TAB	チップ搭載部	
W	ワイヤ	
WF	半導体ウェハ	

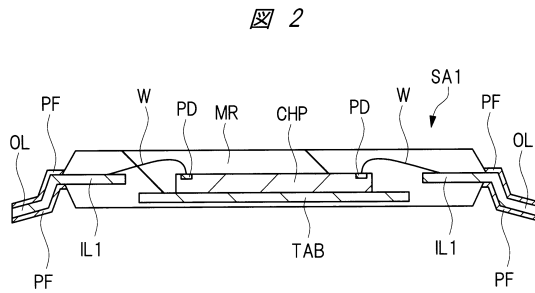
【図1】



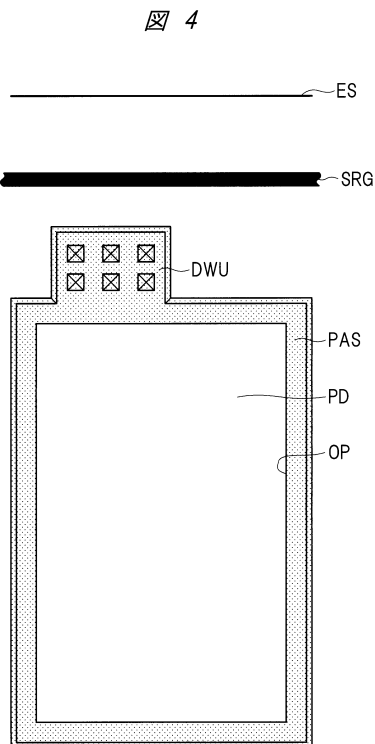
【図3】



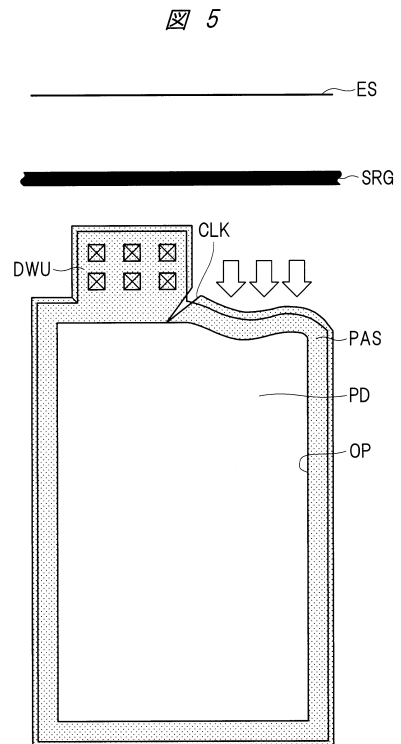
【図2】



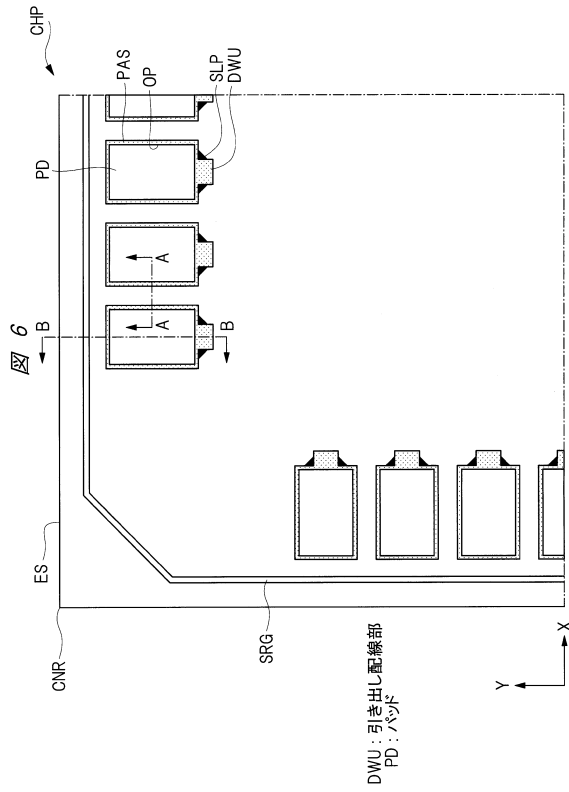
【図4】



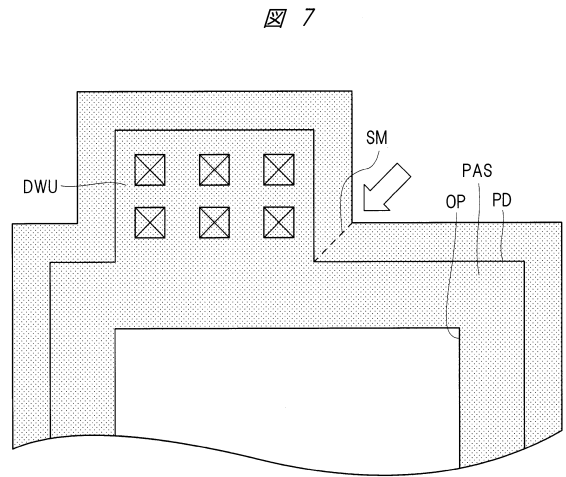
【図5】



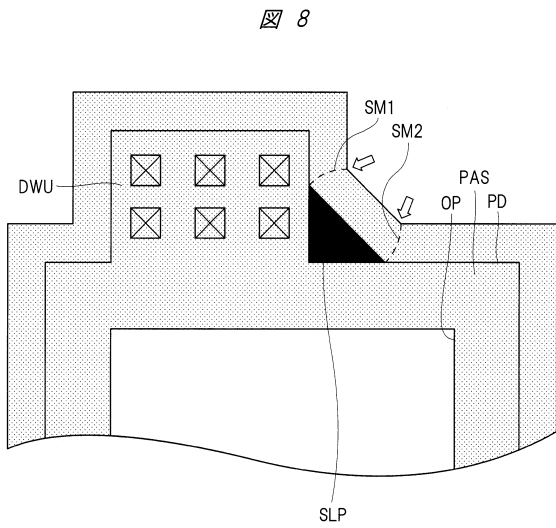
【図6】



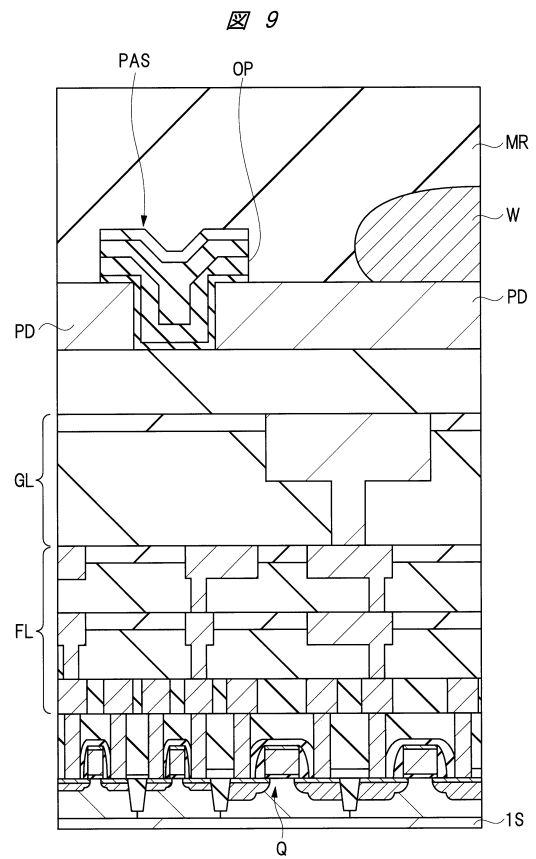
【図7】



【図8】

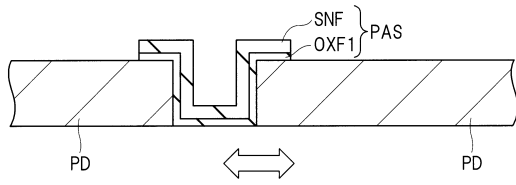


【図9】



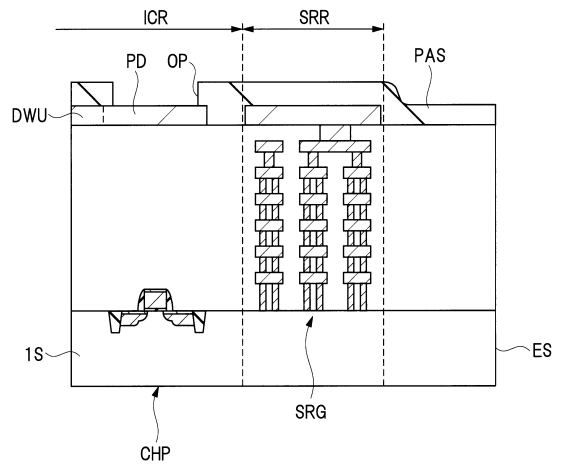
【図10】

図 10



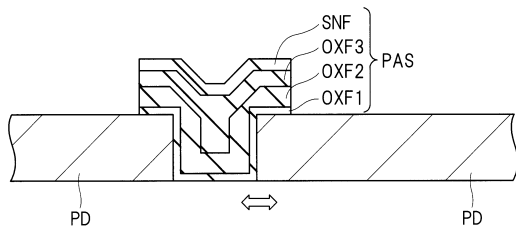
【図12】

図 12

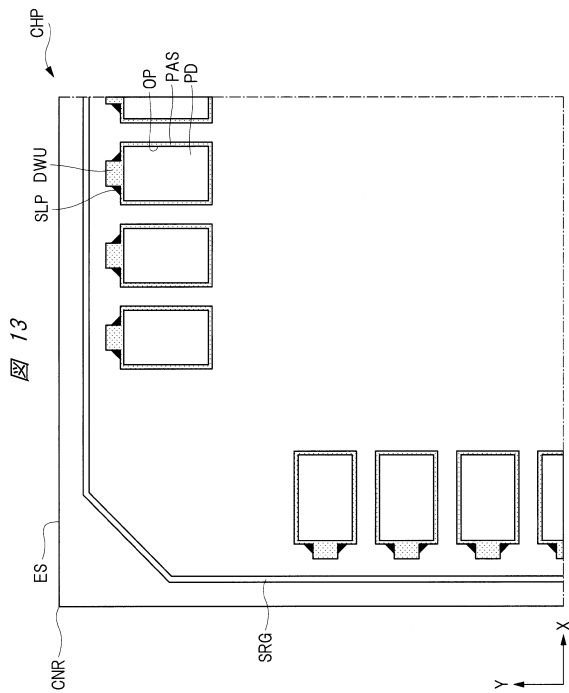


【図11】

図 11

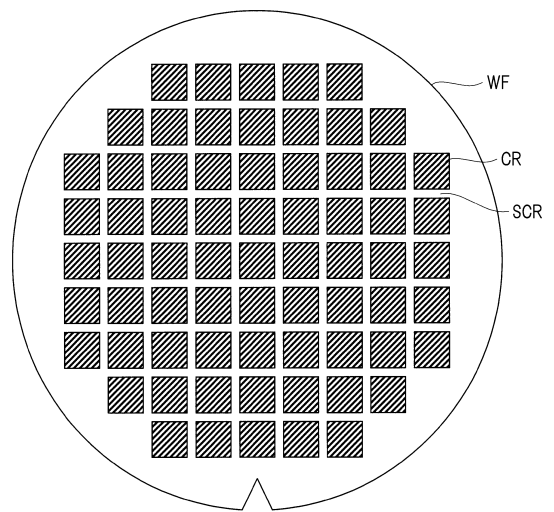


【図13】

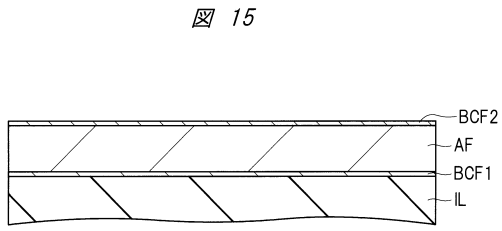


【図14】

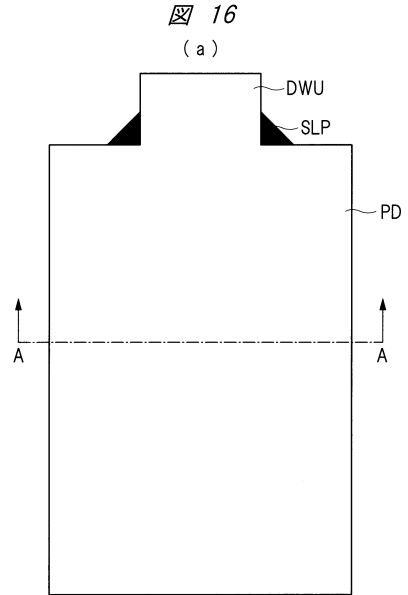
図 14



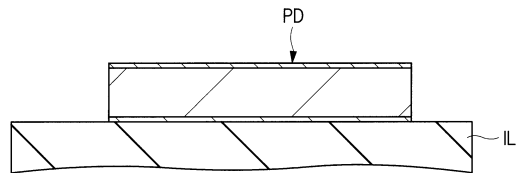
【図 15】



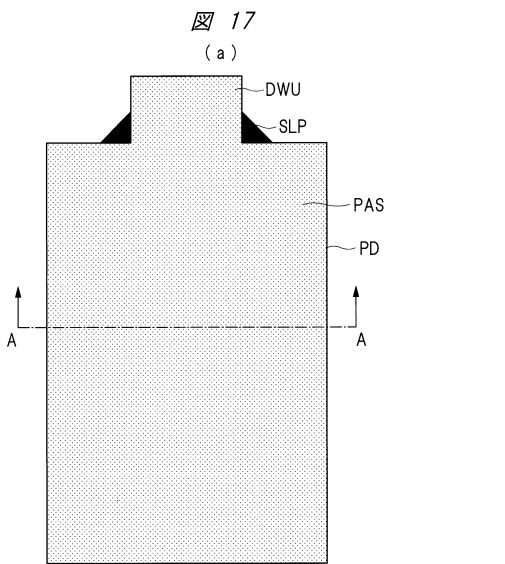
【図 16】



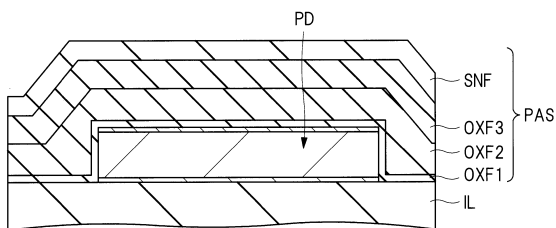
(b)



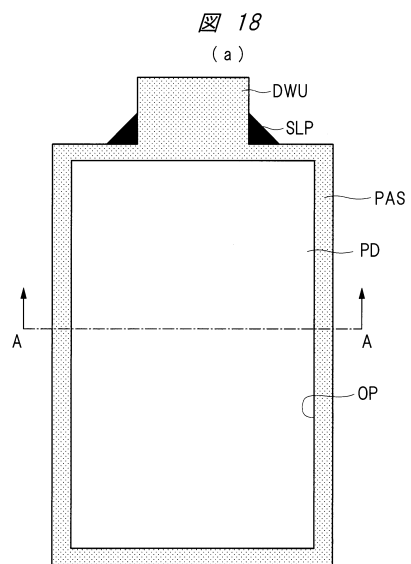
【図 17】



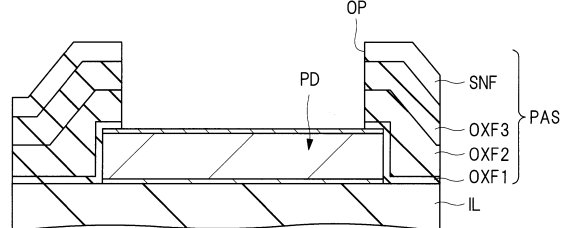
(b)



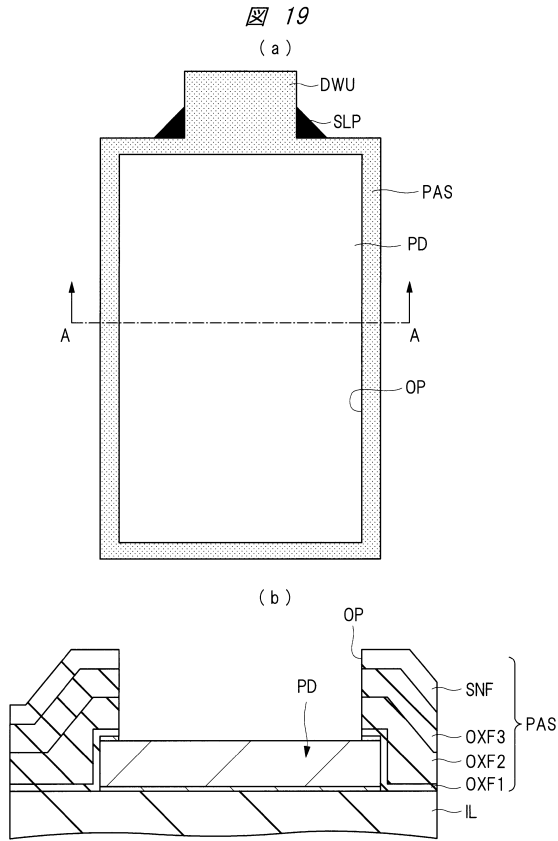
【図 18】



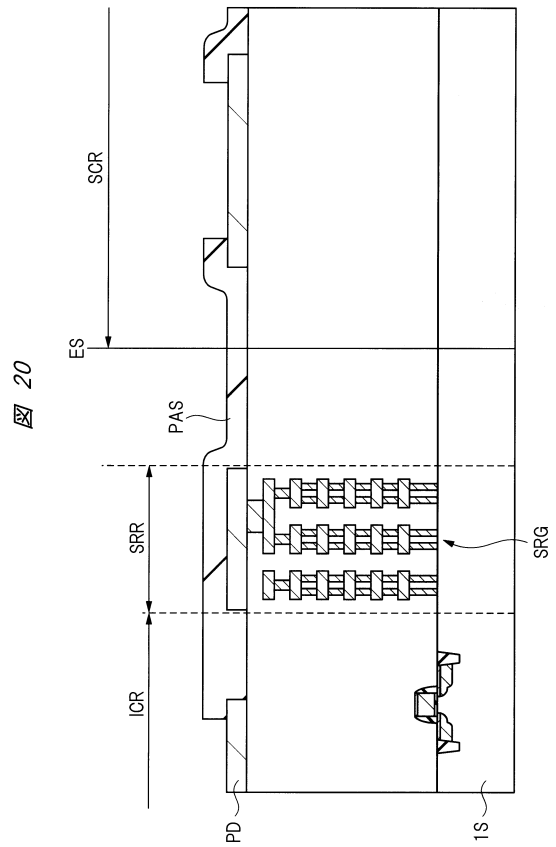
(b)



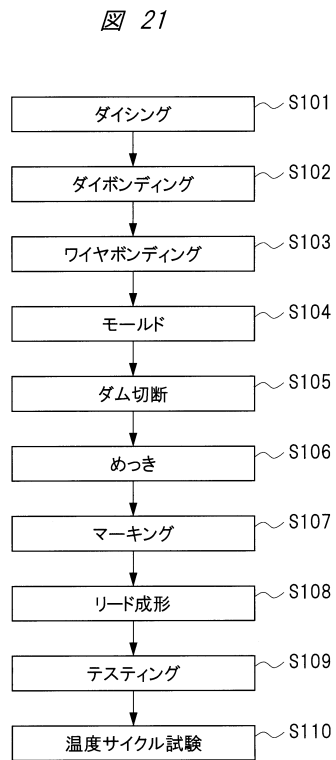
【図19】



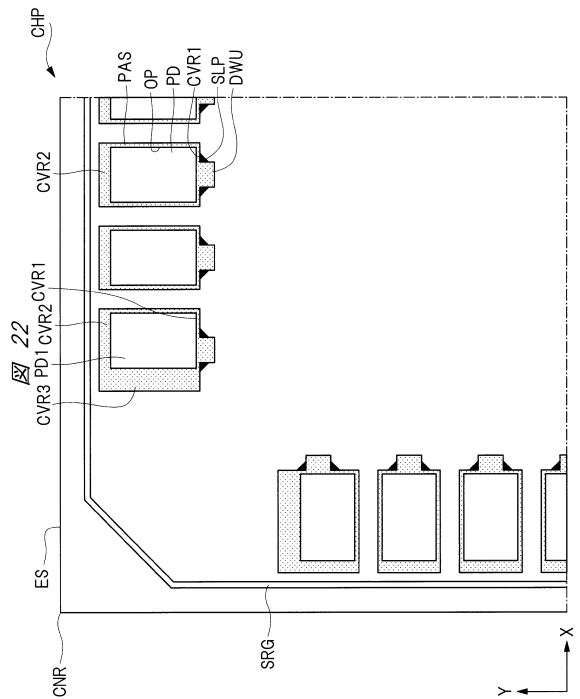
【図20】



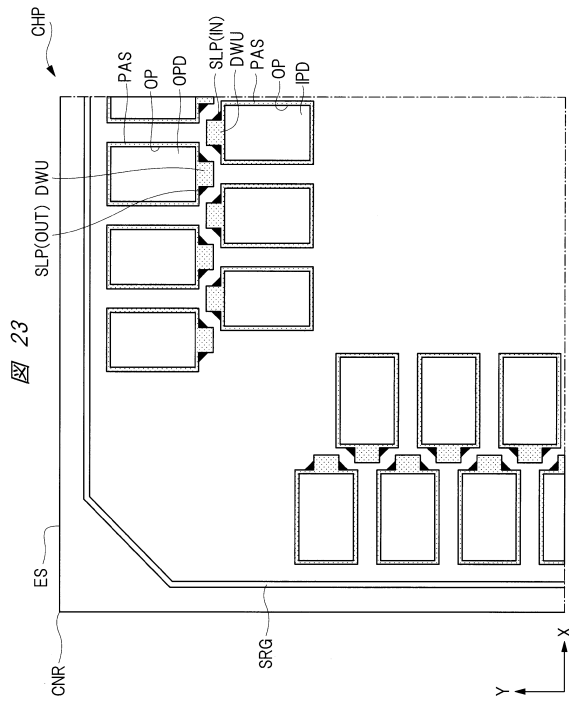
【図21】



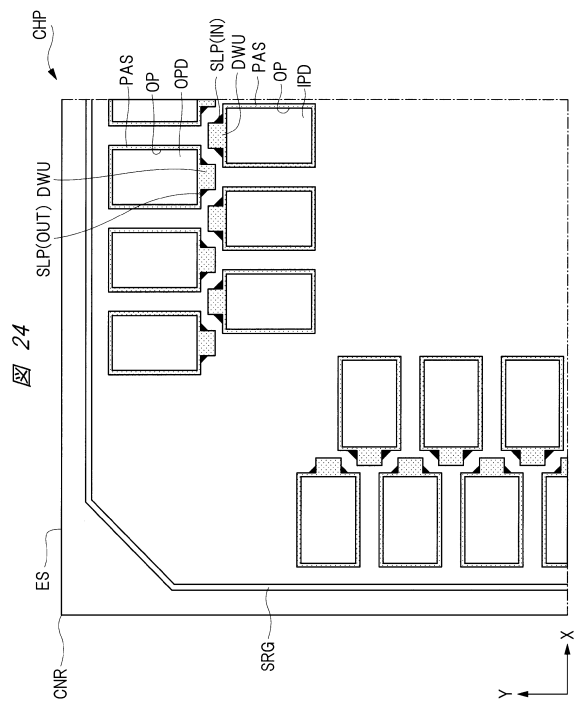
【図22】



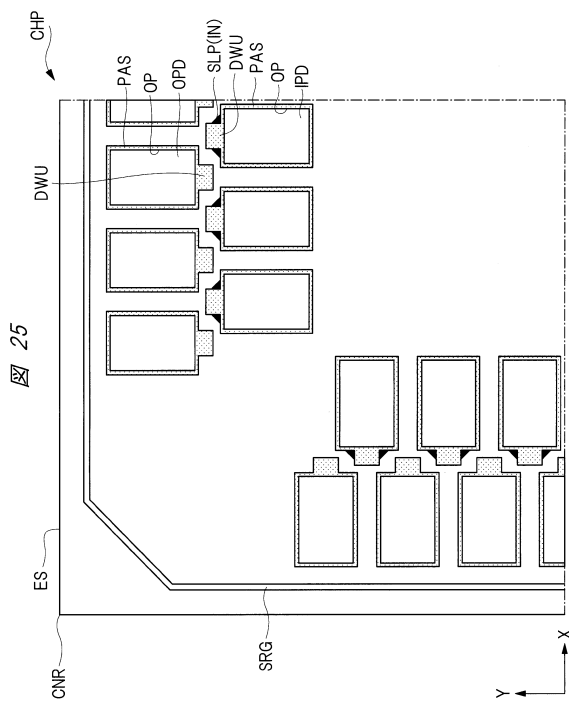
【 23 】



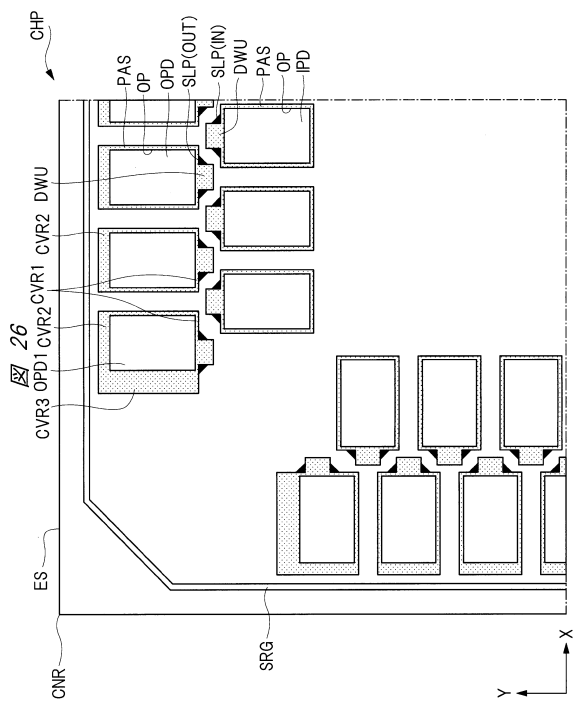
【 24 】



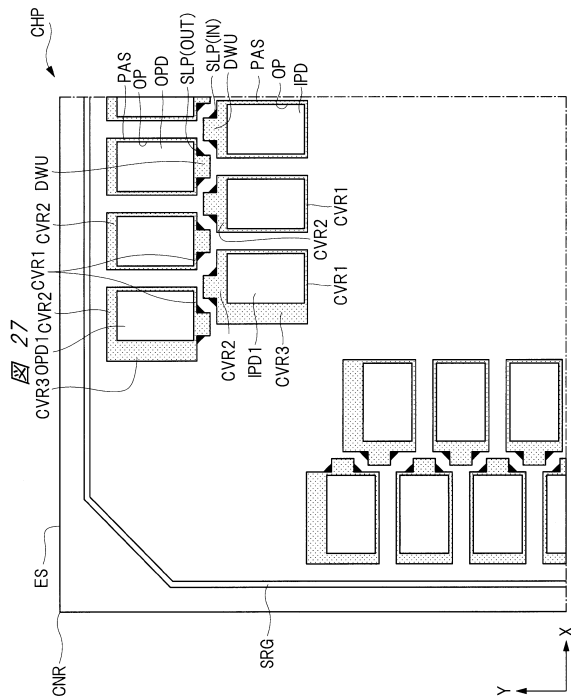
【 25 】



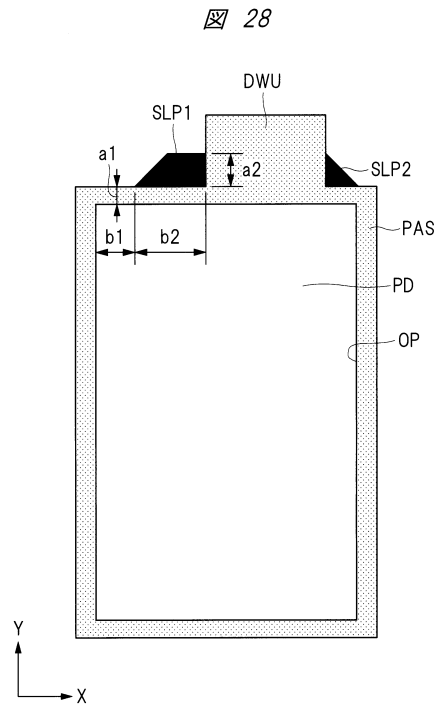
【 26 】



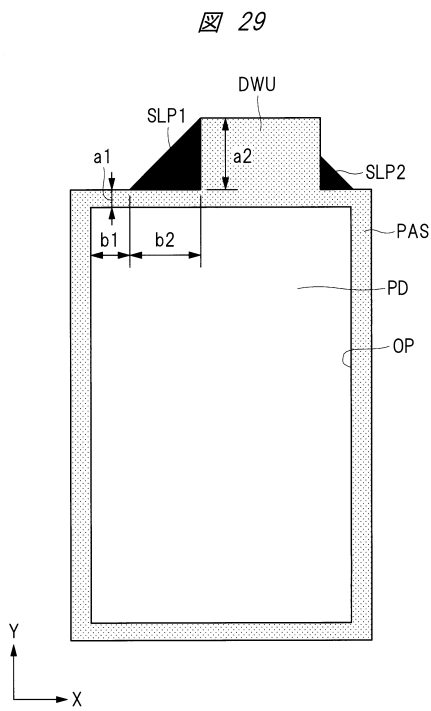
【 27 】



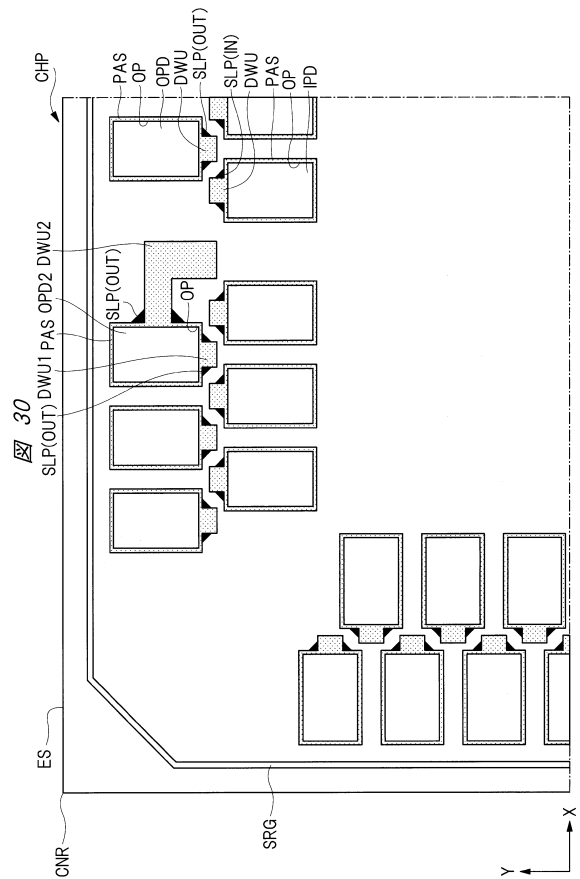
【 28 】



【 29 】



【 30 】

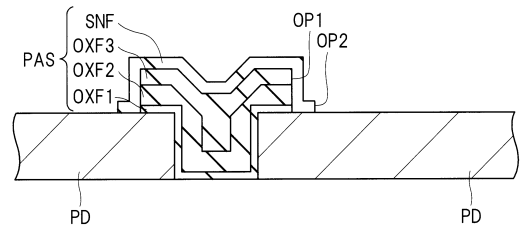
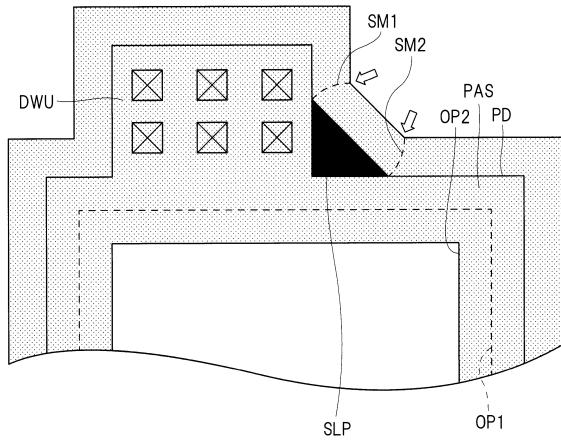


【図 3 1】

【図 3 2】

図 31

図 32



フロントページの続き

- (56)参考文献 特開平05 - 218021 (JP, A)
特開平08 - 097339 (JP, A)
特開平08 - 241909 (JP, A)
特開2005 - 064193 (JP, A)
特開2007 - 103792 (JP, A)
特開平07 - 297370 (JP, A)
米国特許出願公開第2011/0101545 (US, A1)
特開平04 - 162439 (JP, A)
特開2002 - 170844 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 21/3205
H01L 21/768
H01L 23/522