

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5262454号  
(P5262454)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 0 1 A

請求項の数 9 (全 17 頁)

<p>(21) 出願番号 特願2008-223364 (P2008-223364)</p> <p>(22) 出願日 平成20年9月1日(2008.9.1)</p> <p>(65) 公開番号 特開2010-61703 (P2010-61703A)</p> <p>(43) 公開日 平成22年3月18日(2010.3.18)</p> <p>審査請求日 平成23年4月28日(2011.4.28)</p>	<p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23</p> <p>(74) 代理人 100072718 弁理士 古谷 史旺</p> <p>(74) 代理人 100116001 弁理士 森 俊秀</p> <p>(72) 発明者 児玉 剛 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内</p> <p>審査官 堀 拓也</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

スタティックメモリセルと、  
前記スタティックメモリセルのトランジスタに接続されたワード線と、  
前記ワード線を活性化するワードドライバと、  
前記ワード線の活性化に対応して前記ワード線の高レベル電圧を下げるために前記ワード線を低レベル電圧線に接続し、前記ワード線の活性化から第1期間後に前記ワード線と低レベル電圧線との接続を解除する第1抵抗部と、  
前記ワード線の活性化期間のうち少なくとも前記第1期間を除く第2期間に、前記ワード線を高レベル電圧線に接続する第2抵抗部と、  
前記第2期間に、前記ワード線を低レベル電圧線に接続し、オン抵抗が前記第1抵抗部より高い第3抵抗部とを備え、  
前記第2期間中の前記ワード線の高レベル電圧は、前記第2および第3抵抗部の抵抗分割により、前記高レベル電圧線の電圧より低く設定されることを特徴とする半導体メモリ。

10

【請求項2】

請求項1記載の半導体メモリにおいて、  
前記第1、第2および第3抵抗部は、ゲートで制御電圧を受けてオンするときに抵抗として動作するトランジスタを備え、  
前記第3抵抗部のトランジスタのサイズは、前記第1抵抗部のトランジスタのサイズよ

20

り小さいことを特徴とする半導体メモリ。

【請求項 3】

請求項 2 記載の半導体メモリにおいて、

第 2 抵抗部のトランジスタは、前記メモリセルの p M O S トランジスタと同じサイズの p M O S トランジスタであり、

第 3 抵抗部のトランジスタは、前記メモリセルの n M O S トランジスタと同じサイズの n M O S トランジスタであることを特徴とする半導体メモリ。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体メモリにおいて、

前記第 2 抵抗部は、前記ワード線の電圧レベルを反転したレベルをゲートで受け、ソースが前記高レベル電圧線に接続され、ドレインが前記ワード線に接続された p M O S トランジスタであり、

前記第 3 抵抗部は、ゲートおよびドレインが前記ワード線に接続され、ソースが前記低レベル電圧線に接続された n M O S トランジスタであることを特徴とする半導体メモリ。

10

【請求項 5】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体メモリにおいて、

前記第 2 抵抗部は、前記ワード線の電圧レベルを反転したレベルをゲートで受け、ソースが前記高レベル電圧線に接続され、ドレインが前記ワード線に接続された p M O S トランジスタであり、

前記第 3 抵抗部は、ドレインが前記ワード線に接続され、ゲートが前記高レベル電圧線に接続され、ソースが前記低レベル電圧線に接続された n M O S トランジスタであることを特徴とする半導体メモリ。

20

【請求項 6】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体メモリにおいて、

前記第 2 抵抗部は、前記ワード線の電圧レベルを反転したレベルをゲートで受け、ソースが前記高レベル電圧線に接続され、ドレインが前記ワード線に接続された p M O S トランジスタであり、

前記第 3 抵抗部は、前記ワード線と前記低レベル電圧線との間に直列にダイオード接続された複数の n M O S トランジスタを有することを特徴とする半導体メモリ。

30

【請求項 7】

請求項 1 ないし請求項 6 のいずれか 1 項記載の半導体メモリにおいて、

スタティックメモリセルと同じトランジスタを有するダミーメモリセルを備え、

前記第 2 および第 3 抵抗部は、前記ダミーメモリセルのトランジスタを用いて形成されることを特徴とする半導体メモリ。

【請求項 8】

請求項 1 ないし請求項 7 のいずれか 1 項記載の半導体メモリにおいて、

前記ワード線の活性化から前記第 1 期間後に非活性化信号を出力する遅延回路を備え、

前記第 1 抵抗部は、前記非活性化信号に応答して前記ワード線と低レベル電圧線との接続を解除することを特徴とする半導体メモリ。

40

【請求項 9】

請求項 8 記載の半導体メモリにおいて、

前記遅延回路の入力は、前記ワード線の電圧および前記ワード線の電圧の変化に応答して変化する信号のいずれかを受けることを特徴とする半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スタティックメモリセルを有する半導体メモリに関する。

【背景技術】

【0002】

トランジスタ構造の微細化に伴い、半導体メモリに供給される電源電圧は低くなる傾向

50

にある。これに伴い、スタティックメモリセル内のトランジスタの製造工程に起因する電気的特性（閾値電圧等）がばらつきやすくなってきている。電気的特性のばらつきにより、メモリセルの安定した動作は困難になり、半導体メモリの歩留は低下する。

【0003】

メモリセルの電気的特性のばらつきによる歩留の低下を防止するために、ワード線の高レベル電圧を、製造されたメモリセルの電気的特性に合わせて調整する手法が提案されている（例えば、特許文献1参照）。具体的には、ワード線の活性化期間にワード線から接地線に電流を流すために、メモリセルトランジスタと同じnMOSトランジスタがワード線と接地線の間に配置される。これにより、メモリセルトランジスタの特性の変動に合わせてワード線の高レベル電圧は調整される。また、アドレス信号のノイズによる誤動作を防止するために、ラッチ機能を有するワードドライバが提案されている（例えば、特許文献2参照）。

10

【特許文献1】特開2007-66493号公報

【特許文献2】特開平8-36881号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、以下の課題を解決するためになされた。メモリセル内のトランジスタのサイズは小さい。このため、メモリセル内のトランジスタと同じnMOSトランジスタを用いてワード線の高レベル電圧を下げる時、所望の値に迅速に下げることができない。一方、駆動能力の大きいnMOSトランジスタを用いてワード線の高レベル電圧を下げる時、消費電流が増加してしまう。したがって、ワード線の高レベル電圧を、消費電力を増加することなく所望の値に迅速に下げることができない。また、メモリセルのpMOSトランジスタの電気的特性が変動するとき、この変動に合わせて、ワード線の高レベル電圧を最適な値に設定できない。したがって、ワード線の高レベル電圧を、製造されたメモリセルの電気的特性に合わせて調整することは困難である。

20

【0005】

本発明の目的は、ワード線の高レベル電圧を、消費電力を増加することなく所望の値に迅速に下げることである。本発明の別の目的は、ワード線の高レベル電圧をメモリセルの電気的特性に合わせて最適な値に設定し、メモリセルの電気的特性のばらつきによる歩留の低下を防止することである。

30

【課題を解決するための手段】

【0006】

本発明の一形態では、半導体メモリは、スタティックメモリセルと、スタティックメモリセルのトランスファトランジスタに接続されたワード線と、ワード線を活性化するワードドライバと、ワード線の活性化に対応してワード線の高レベル電圧を下げるためにワード線を低レベル電圧線に接続し、ワード線の活性化から第1期間後にワード線と低レベル電圧線との接続を解除する第1抵抗部と、ワード線の活性化期間のうち少なくとも第1期間を除く第2期間に、ワード線を高レベル電圧線に接続する第2抵抗部と、第2期間に、ワード線を低レベル電圧線に接続し、オン抵抗が第1抵抗部より高い第3抵抗部とを備えている。第2期間中のワード線の高レベル電圧は、第2および第3抵抗部の抵抗分割により、高レベル電圧線の電圧より低く設定される。

40

【発明の効果】

【0007】

ワード線の高レベル電圧を、消費電力を増加することなく所望の値に迅速に下げることができる。また、ワード線の高レベル電圧をメモリセルの電気的特性に合わせて最適な値に設定でき、メモリセルの電気的特性のばらつきによる歩留の低下を防止できる。

【発明を実施するための最良の形態】

【0008】

以下、実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本を示す

50

。また、太線が接続されているブロックの一部は、複数の回路を有する。信号が伝達される信号線には、信号名と同じ符号を使用する。先頭に " / " の付く信号は、負論理を示している。図中の二重の四角印は、外部端子を示している。外部端子は、例えば、半導体チップ上のパッド、あるいは半導体チップが収納されるパッケージのリードである。外部端子を介して供給される信号には、端子名と同じ符号を使用する。

【 0 0 0 9 】

図 1 は、一実施形態における半導体メモリを示している。例えば、半導体メモリは、SRAM である。SRAM は、パッケージに封入された半導体メモリ装置として設計されてもよく、システム LSI 等に搭載されるメモリマクロ (IP) として設計されてもよい。この例の SRAM は、クロック非同期タイプであるが、クロック同期タイプでもよい。

10

【 0 0 1 0 】

SRAM は、例えば、シリコン基板上に CMOS プロセスを使用して形成されている。SRAM は、アドレスバッファ ADB、コマンドバッファ CMD B、ワードデコーダ WDEC、ワードドライバ WDRV、ワード線制御部 WLC、コラムデコーダ CDEC、複数の制御回路 CNTL、プリチャージ部 PRE、メモリセルアレイ ARY、センスアンプ部 SA、コラムスイッチ部 CSW およびデータ入出力部 IOB を有している。例えば、これ等回路は、外部端子に供給される電源電圧 VDD を受けて動作する。

【 0 0 1 1 】

アドレスバッファ ADB は、アドレス端子を介してアドレス信号 AD を受け、受けた信号をワードデコーダ WDEC およびコラムデコーダ CDEC に出力する。コマンドバッファ CMD B は、例えば、チップセレクト信号 /CS およびライトイネーブル信号 /WE 等のコマンド信号 CMD をコマンド端子を介して受信する。コマンドバッファ CMD B は、受信した信号を解読し、読み出し制御信号 RD または書き込み制御信号 RD を各制御回路 CNTL に出力する。制御回路 CNTL は、読み出し制御信号 RD または書き込み制御信号 WR を受け、ワードデコーダ WDEC、ワードドライバ WDRV、コラムデコーダ CDEC、プリチャージ部 PRE、センスアンプ部 SA およびデータ入出力部 IOB を動作させる制御信号 (タイミング信号) を出力する。

20

【 0 0 1 2 】

ワードデコーダ WDEC は、アドレス信号 AD の上位ビット (ロウアドレス RAD) をデコードし、駆動するワードドライバ WDRV を選択する。選択されたワードドライバ WDRV は、ロウアドレス RAD により示されるワード線 WL を所定の期間低レベル (VSS) から高レベル (VDD) に活性化する。ワードデコーダ WDEC およびワードドライバ WDRV は、制御回路 CNTL からのワード活性化信号 WLP およびワードクロック信号 /WCLK に応答して動作する。

30

【 0 0 1 3 】

ワード線制御部 WLC は、メモリセル MC の電気的特性に応じて、ワード線 WL の高レベル電圧の値を調整する。コラムデコーダ CDEC は、アドレス信号の下位ビット (コラムアドレス CAD) をデコードし、コラムアドレス CAD により示されるビット線対 BL、/BL に対応するコラム選択信号 CL を所定の期間低レベル (VSS) から高レベル (VDD) に活性化する。プリチャージ部 PRE は、メモリセル MC がアクセスされない期間に、ビット線 BL、/BL を高レベルにプリチャージし、メモリセル MC がアクセスされるときに、プリチャージを解除する。なお、後述する図 5 に示すように、ワード線制御部 WLC をメモリセルアレイ ARY 内のダミーメモリセル DMC を用いて形成してもよい。

40

【 0 0 1 4 】

メモリセルアレイ ARY は、マトリックス状に配置された複数のスタティックメモリセル MC を有している。図の横方向に並ぶメモリセル MC は、共通のワード線 WL に接続されている。図の縦方向に並ぶメモリセル MC は、共通のビット線対 BL、/BL に接続されている。センスアンプ部 SA は、各ビット線対 BL、/BL に接続された複数のセンスアンプを有している。センスアンプの数は、1本のワード線 WL に接続されたメモリセル

50

MCの数(例えば、1024個)に等しい。センスアンプは、例えば、ビット線対BL、/BLの電圧の差を差動増幅することで、メモリセルMCから読み出されるデータの論理を判定する。

【0015】

コラムスイッチ部CSWは、各ビット線対BL、/BLをデータ入出力部IOBに接続するコラムスイッチを有している。コラムスイッチは、対応するコラム選択信号CLが高レベルのときにオンし、コラムアドレスCADが示すビット線対BL、/BLをデータ入出力部IOBに接続する。例えば、16個のコラムスイッチが1つのコラムアドレスCADによってオンする。

【0016】

データ入出力部IOBは、読み出し動作時に、センスアンプ部SAにより判定された複数ビットの読み出しデータのうち、コラムスイッチを介して受ける16ビットをデータ入出力端子I/Oに出力する。データ入出力端子I/Oは、例えば、16ビットである。また、データ入出力部IOBは、書き込み動作時に、データ入出力端子I/Oから供給される16ビットの書き込みデータをコラムスイッチにより選択される16個のビット線対BL、/BLに出力する。書き込み動作では、コラムアドレスCADにより選択される16個のメモリセルMCに書き込みデータが書き込まれる。データが書き込まれるメモリセルMCに対応するワード線WLに接続された残りのメモリセルMCの動作は、データがデータ入出力部IOBに出力されないことを除き、読み出し動作と同じである。

【0017】

図2は、図1に示したワードデコーダWDEC、ワードドライバWDRV、ワード線制御回路WLCおよびメモリセルARRAYの例を示している。実際の回路では、図2に示したワードデコーダWDEC、ワードドライバWDRV、ワード線制御回路WLCは、ワード線WL毎に配置されている。

【0018】

ワードデコーダWDECは、ワード線WLを選択するためのアドレスデコード信号ADECが有効レベル(例えば高レベル)のときに、ワード活性化信号WLPに同期してワードイネーブル信号/WLENを低レベルに設定するNANDゲートC1を有している。なお、ワードデコーダWDECは、ロウアドレスRADに応じてアドレスデコード信号ADECを生成する論理回路も有している。なお、ワードデコーダWDECのデコード論理は、NANDゲートC1に限定されるものではない。例えば、複数のアドレスデコード信号ADECと、ワード活性化信号WLPを受けるデコード論理を設計してもよい。

【0019】

ワードドライバWDRVは、電源線VDDと接地線VSSの間に直列に配置されたpMOSトランジスタP11、P12およびnMOSトランジスタN11を有している。トランジスタP11のゲートは、ワードクロック信号/WCLKを受ける。トランジスタP12、N11のゲートは、ワードイネーブル信号/WLENを受ける。トランジスタP12、N11のドレインは、ワード線WLに接続されている。なお、pMOSトランジスタP11のソースは、電源線VDD以外の高レベル電圧線に接続されてもよい。

【0020】

また、ワードドライバWDRVは、ワード線WLと接地線VSSの間に配置されたnMOSトランジスタN12を有している。なお、nMOSトランジスタN12は、ワードドライバWDRVの外側に配置されてもよい。また、nMOSトランジスタN12のソースは、接地線VSS以外の低レベル電圧線に接続されてもよい。トランジスタN12のゲートは、CMOSインバータC2を介してワードクロック信号/WCLKを受ける。トランジスタN12は、ワードクロック信号/WCLKが低レベルの間オンし、ワード線WLを接地線VSSに接続する。このとき、トランジスタN12は抵抗として動作する。高レベルのワード線WLから接地線VSSに流れる電流は、トランジスタN12のオン抵抗により決まる。ワードドライバWDRVは、ワードイネーブル信号/WLENおよびワードクロック信号/WCLKがともに低レベルのときに、ワード線WLを高レベルに活性化する

10

20

30

40

50

## 【 0 0 2 1 】

ワード線制御部WLCは、電源線VDDと接地線VSSの間に直列に配置されたpMOSトランジスタP21およびnMOSトランジスタN21と、ワード線WLの論理レベルを反転してトランジスタP21のゲートに出力するCMOSインバータC3とを有している。なお、pMOSトランジスタP21のソースは、電源線VDD以外の高レベル電圧線に接続されてもよい。nMOSトランジスタN21のソースは、接地線VSS以外の低レベル電圧線に接続されてもよい。

## 【 0 0 2 2 】

トランジスタP21のゲートは、CMOSインバータC3の出力を制御電圧として受ける。トランジスタP21は、ワード線WLが高レベルの間にオンし、ワード線WLを電源線VDDに接続する。このとき、トランジスタP21は抵抗として動作する。トランジスタN21のゲートはワード線WLに接続され、ワード線WLの電圧を制御電圧として受ける。トランジスタN21は、ワード線WLが高レベル電圧がトランジスタN21の閾値を超えている間にオンし、ワード線WLを接地線VSSに接続する。このとき、トランジスタN21は抵抗として動作する。電源線VDDからトランジスタP21、N21を介して接地線VSSに流れる貫通電流は、トランジスタP21のオン抵抗およびトランジスタN21のオン抵抗により決まる。

## 【 0 0 2 3 】

トランジスタP21のサイズおよび構造は、例えば、メモリセルのトランジスタP2と同じである。このため、トランジスタP21の閾値電圧等の電気的特性は、トランジスタP2のそれと同じである。トランジスタN21のサイズおよび構造は、例えば、メモリセルMCのトランジスタN2と同じである。このため、トランジスタN21の閾値電圧等の電気的特性は、トランジスタN2のそれと同じである。インバータC3は、例えば、メモリセルMCのトランジスタP1、N1と同じトランジスタを用いて形成される。トランジスタN21のサイズは、トランジスタN12のサイズより小さい。このため、トランジスタN21のオン抵抗は、トランジスタN12のオン抵抗より高い。

## 【 0 0 2 4 】

図2に示したおよびワード線制御部WLCにより、ワードイネーブル信号/WLENおよびワードクロック信号/WCLKがともに低レベルのときに、ワード線WLの高レベルは、トランジスタP11、P12、P21のオン抵抗とトランジスタN12、N21のオン抵抗との比で決まる。但し、ワード線WLの高レベルを決める支配的な要因は、駆動能力が大きいトランジスタP11、P12とトランジスタN12である。一方、ワードイネーブル信号/WLENが低レベルでワードクロック信号/WCLKが高レベルのときに、ワード線WLの高レベルは、駆動能力が小さいトランジスタP21のオン抵抗とトランジスタN21のオン抵抗の比で決まる。

## 【 0 0 2 5 】

トランジスタP11、P12、N11、N12のトランジスタサイズは、トランジスタP21、N21のトランジスタサイズに比べて十分に大きく（例えば、100倍）、駆動能力も大きい。例えば、トランジスタサイズは、トランジスタのゲート幅Wで示される。トランジスタの駆動能力は、チャンネル長Lとゲート幅Wの比W/Lで示される。例えば、トランジスタP11、P12、N11、N12、P21、N21のチャンネル長はほぼ等しい。

## 【 0 0 2 6 】

メモリセルMCは、一般的なSRAMと同様に、pMOSトランジスタP1、P2（負荷トランジスタ）、nMOSトランジスタN1、N2（ドライバトランジスタ）およびnMOSトランジスタN3、N4（トランスファトランジスタ）を有している。トランジスタP1、P2の構造は互いに等しい。トランジスタN1、N2の構造は互いに等しい。トランジスタN3、N4の構造は互いに等しい。

## 【 0 0 2 7 】

10

20

30

40

50

図3は、図1に示したワードデコーダWDEC、ワードドライバWDRVおよびワード線制御回路WLCの動作を示している。まず、SRAMがアクセスされる時に、チップセレクト信号/CSが低レベルに活性化される(図3(a))。読み出し動作RDでは、ライトイネーブル信号/WEは高レベルに保持される。書き込み動作WRでは、ライトイネーブル信号/WEはチップセレクト信号/CSに同期して低レベルに活性化される(図3(b))。アドレス信号ADは、チップセレクト信号/CSに同期してSRAMに供給される(図3(c))。チップセレクト信号/CS、アドレス信号ADおよびライトイネーブル信号/WEは、SRAMをアクセスするCPU等のコントローラから出力される。

【0028】

図2に示したワードデコーダWDECは、チップセレクト信号/CSの活性化中に、アドレス信号AD(ロウアドレス)により示されるワード線WLに対応するアドレスデコード信号ADECを高レベルに活性化する(図3(d))。図1に示した制御回路CNTLは、チップセレクト信号/CSに同期してワード活性化信号WLPを高レベルに活性化する(図3(e))。ワード活性化信号WLPは、ワード線WLの活性化期間を決めるタイミング信号である。高レベルのアドレスデコード信号ADECを受けるNANDゲートC1は、ワード活性化信号WLPに同期してワードイネーブル信号/WLENを低レベルに活性化する(図3(f))。

【0029】

制御回路CNTLは、チップセレクト信号/CSに同期してワードクロック信号/WLCKを所定の期間低レベルに活性化する(図3(g))。例えば、ワードクロック信号/WLCKの活性化期間ACT1は、ワード線WLが高レベルまで上昇する時間に基づいて決められる。一般に、ワード線WLは多数のメモリセルMCが接続されており、負荷容量が大きい。この実施形態では、駆動能力が大きいトランジスタP11、P12を活性化期間ACT1にオンさせることで、アクセス動作(読み出し動作または書き込み動作)の開始時にワード線WLを低レベルから高レベルに迅速に変化できる。

【0030】

トランジスタN12の駆動能力は、トランジスタP11、P12に合わせて大きく設計されている。これにより、トランジスタN12は、トランジスタP11、P12を介してワード線WLに流れ込む電流の一部を貫通電流として接地線VSSに流すことができる。したがって、駆動能力の大きいトランジスタN12により、ワード線WLの高レベル電圧を所望の値まで確実に下げることができる。

【0031】

これに対して、トランジスタN12がメモリセルMCのnMOSトランジスタN1またはN3と同じとき、トランジスタN12の閾値電圧等の電気的特性は、メモリセルトランジスタの電気的特性に追従する。しかし、メモリセルトランジスタのサイズ(駆動能力)は小さいため、ワード線WLの高レベル電圧を所望の値まで下げることができない。

【0032】

駆動能力が大きいトランジスタP11、P12、N12に流れる貫通電流は大きい。しかし、活性化期間ACT1は、ワード線WLの活性化期間の一部(例えば、20%から50%)である。このため、トランジスタP11、P12、N12をワード線WLの活性化期間に常時オンするときに比べてSRAMの消費電流を少なくできる。

【0033】

ワードドライバWDRVは、低レベルのワードイネーブル信号/WLENおよび低レベルのワードクロック信号/WLCKに同期してトランジスタN11をオフし、トランジスタP11、P12、N12をオンする。これにより、ワード線WLのレベルは、トランジスタP11、P12とトランジスタN12とのオン抵抗の比で決まる値Vbaseに設定される(図3(h))。

【0034】

電圧Vbaseは、トランジスタP11、P12、N12の閾値電圧に応じて定まる。トランジスタP11、P12、N12は、メモリセルMC内のトランジスタとサイズが異

10

20

30

40

50

なり、また、レイアウトされる位置もメモリセルMCから離れている。このため、トランジスタP11、P12、N12の閾値電圧は、メモリセルMC内のトランジスタの閾値電圧とは一致しない。しかし、半導体メモリの製造条件の変動による閾値電圧がずれる方向は、pMOSトランジスタ毎およびnMOSトランジスタ毎に同じである。したがって、電圧Vbaseは、メモリセルMCの閾値電圧に合わせた値に設定される。

【0035】

電圧Vbaseは、電源電圧VDDより低いため、メモリセルMCのトランスファトランジスタN3、N4のオン抵抗は上がる。これにより、メモリセルMCのスタティックノイズマージンSNMを向上できる。スタティックノイズマージンSNMについては、図4で説明する。

10

【0036】

活性化期間ACT1の後、ワードクロック信号/WLCKは高レベルに非活性化され、トランジスタP11、N12はオフする(図3(i))。トランジスタP11、P12、N12に流れる貫通電流はなくなる。一方、トランジスタP21、N21は、ワード線WLの高レベル電圧によりオンしている。このため、ワード線WLの活性化期間の残りの期間ACT2に、トランジスタP21、N21を介して電源線VDDから接地線VSSに貫通電流が流れる。但し、トランジスタP21、N21は、メモリセルMCのトランジスタP1、N1と同じであり、サイズが小さい。このため、貫通電流は、トランジスタP11、P12、N12を流れる貫通電流より大幅に少ない。したがって、SRAMのアクセス動作時の消費電流を削減できる。

20

【0037】

活性化期間ACT2におけるワード線WLの高レベル電圧は、トランジスタP21のオン抵抗(閾値電圧)と、トランジスタN21のオン抵抗(閾値電圧)の比に応じて設定される。すなわち、ワード線WLの電圧は、トランジスタP21のオン抵抗成分とトランジスタN21のオン抵抗成分の抵抗分割により設定される。例えば、トランジスタP21の閾値電圧(絶対値)が低いとき、あるいはトランジスタN21の閾値電圧が高いとき、あるいはトランジスタP21の閾値電圧(絶対値)が低く、トランジスタN21の閾値電圧が高いとき、ワード線WLの高レベル電圧は上昇する(図3(j))。一方、トランジスタP21の閾値電圧(絶対値)が高いとき、あるいはトランジスタN21の閾値電圧が低いとき、あるいはトランジスタP21の閾値電圧(絶対値)が高く、トランジスタN21

30

【0038】

この後、チップセレクト信号/CSが高レベルに非活性化される(図3(l))。アドレスデコード信号ADECは、アドレス信号ADの変化に同期して非活性化される(図3(m))。ワード活性化信号WLPは、チップセレクト信号/CSの非活性化に同期して非活性化される(図3(n))。ワードイネーブル信号/WLENは、アドレスデコード信号ADECまたはワード活性化信号WLPの非活性化に同期して非活性化される(図3(o))。ワードイネーブル信号/WLENの非活性化に同期してトランジスタP12はオフし、トランジスタN11はオンする。そして、ワード線WLは低レベルに非活性化される(図3(p))。ワード線WLの低レベルの変化により、ワード線制御部WLCのトランジスタP21、N21はオフする。

40

【0039】

図4は、図3に示したメモリセルMCの電気的特性を示している。横軸はnMOSトランジスタN1-N4の閾値電圧Vthnを示す。縦軸は、pMOSトランジスタP1-P2の閾値電圧Vthpを示す。図中の破線Typは、閾値電圧Vthn、Vthpの標準値(理想値)を示す。平行四辺形で示す領域は、閾値電圧の規格を示す。閾値電圧Vth

50



$n$ 、 $V_{thp}$ は、SRAMの製造工程においてチップ毎またはウエハ毎に測定される。そして、規格内の閾値電圧 $V_{thn}$ 、 $V_{thp}$ を有するチップについて、詳細な動作テストが実施される。

【0040】

図に示したメモリセルMCは、トランスファトランジスタN3側の記憶ノードND1が低レベルLを記憶し、トランスファトランジスタT4側の記憶ノードND2が高レベルHを記憶している。図の左上のメモリセルMCは、読み出し動作マージン(スタティックノイズマージンSNM)が少ない例を示している。図の右下のメモリセルMCは、書き込み動作マージンが少ない例を示している。

【0041】

読み出し動作では、ビット線BL、/BLは、予め高レベルHにプリチャージされる。 $n$ MOSトランジスタN1-N4の閾値電圧 $V_{thn}$ が低いとき(Low)、トランスファトランジスタN3のオン抵抗は下がる。このため、トランスファトランジスタN3を介してビット線BLから記憶ノードND1に流れる電流量は増える。ドライバトランジスタN1の閾値電圧 $V_{thn}$ も低いため、記憶ノードND1から接地線VSSに流れる電流量も増加する。しかし、記憶ノードND1の電圧は、ビット線BLからの電流により一時的に上昇しやすくなる。

【0042】

ドライバトランジスタN2は、記憶ノードND1が低レベルLを保持しているときオフしているが、記憶ノードND1の電圧の上昇(スタティックノイズ)によりオンしやすくなる。ドライバトランジスタN2がオンするとメモリセルMCに保持されているデータの論理は破壊される。すなわち、閾値電圧 $V_{thn}$ が低いとき、読み出し動作マージン(スタティックノイズマージンSNM)は低下する。読み出し動作マージンの低下は、 $p$ MOSトランジスタP1-P2の閾値電圧 $V_{thp}$ が高いとき、あるいは $n$ MOSトランジスタN1-N4の閾値電圧 $V_{thn}$ が低く、かつ $p$ MOSトランジスタP1-P2の閾値電圧 $V_{thp}$ が高いときにも発生する。さらに、上述した読み出し動作と同じ不具合が、書き込み動作においてデータが書き込まれないメモリセルMC(コラムスイッチにより選択されないメモリセルMC)で発生する。

【0043】

書き込み動作では、例えば、ビット線BL、/BLは、データ入出力部IOBによって記憶ノードND1、ND2と反対のレベルH、Lに設定される。トランジスタN1-N4の閾値電圧 $V_{thn}$ が高いとき(High)、記憶ノードND2からビット線/BLに流れる電流量は減る。また、記憶ノードND2からドライバトランジスタN2を介して接地線VSSに流れる電流は減る。このため、記憶ノードND2は、低レベルLに反転し難くなる。すなわち、閾値電圧 $V_{thn}$ が高いとき、書き込み動作マージンは低下する。書き込み動作マージンの低下は、 $p$ MOSトランジスタP1-P2の閾値電圧 $V_{thp}$ が低いとき、あるいは $n$ MOSトランジスタN1-N4の閾値電圧 $V_{thn}$ が高く、かつ $p$ MOSトランジスタP1-P2の閾値電圧 $V_{thp}$ が低いときにも発生する。

【0044】

図2に示した回路では、ワード線制御部WLCのトランジスタN21は、メモリセルMCの $n$ MOSトランジスタの閾値電圧 $V_{thn}$ と同じ値に製造される。同様に、ワード線制御部WLCのトランジスタP21は、メモリセルMCの $p$ MOSトランジスタの閾値電圧 $V_{thp}$ と同じ値に製造される。閾値電圧 $V_{thn}$ が低いとき、トランジスタN21のオン抵抗は下がるため、ワード線WLの高レベル電圧は下がる。閾値電圧 $V_{thp}$ が高いとき、トランジスタP21のオン抵抗は上がるため、ワード線WLの高レベル電圧は下がる。ワード線WLの高レベル電圧が下がるため、トランスファトランジスタN3のオン抵抗は上がる。したがって、図4の左上のメモリセルMCに示した閾値電圧の条件において、ビット線BLから記憶ノードND1に流れる電流量が増加することを防止でき、読み出し動作マージンが低下することを防止できる。

【0045】

10

20

30

40

50

さらに、閾値電圧 $V_{thn}$ が高いとき、トランジスタ $N_{21}$ のオン抵抗は上がるため、ワード線 $WL$ の高レベル電圧は上がる。閾値電圧 $V_{thp}$ が低いとき、トランジスタ $P_{21}$ のオン抵抗は下がるため、ワード線 $WL$ の高レベル電圧は上がる。ワード線 $WL$ の高レベル電圧が上がるため、トランスファトランジスタ $N_4$ のオン抵抗は下がる。したがって、図4の右下のメモリセル $MC$ に示した閾値電圧の条件において、ビット線 $BL$ から記憶ノード $ND_2$ に流れる電流量が減少することを防止でき、書き込み動作マージンが低下することを防止できる。

【0046】

以上、この実施形態では、ワード線 $WL$ の活性化期間の最初の期間 $ACT_1$ に駆動能力の高いトランジスタ $P_{11}$ 、 $P_{12}$ 、 $N_{12}$ をオンし、ワード線 $WL$ の活性化期間の残りの期間 $ACT_2$ に駆動能力の低いトランジスタ $P_{21}$ 、 $N_{21}$ のみをオンする。これにより、ワード線 $WL$ の高レベル電圧を、消費電力を増加することなく迅速に電源電圧 $V_{DD}$ より低い所望の値に設定することができる。また、ワード線 $WL$ の高レベル電圧をメモリセル $MC$ の閾値電圧 $V_{thp}$ 、 $V_{thn}$ に応じた最適な値に設定することができる。特に、ワード線 $WL$ の高レベル電圧を、閾値電圧 $V_{thn}$ だけでなく、閾値電圧 $V_{thp}$ に合わせて最適な値に設定することができる。この結果、閾値電圧 $V_{thp}$ 、 $V_{thn}$ のばらつきによる読み出し動作マージンおよび書き込み動作マージンの低下を防止でき、 $SRAM$ の歩留の低下を防止できる。

【0047】

図5は、別の実施形態における半導体メモリを示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の $SRAM$ では、ワード線制御部 $WLC$ は、メモリセルアレイ $ARY$ 内にダミーメモリセル $DMC$ を用いて形成されている。ダミーメモリセル $DMC$ は、メモリセル $MC$ のトランジスタ $P_1 - P_2$ 、 $N_1 - N_4$ と同じトランジスタを有しており、メモリセル $MC$ と同じ間隔で形成されている。また、ダミーメモリセル $DMC$ の両側には、ビット線 $BL$ 、 $BL$ と同じ間隔でダミービット線 $DBL$ 、 $DBL$ が配置されている。その他の構成は、図1と同じである。なお、ワード線制御部 $WLC$ は、図1に示したように、メモリセルアレイ $ARY$ の外側に配置してもよい。

【0048】

図6は、図5に示したワードデコーダ $WDEC$ 、ワードドライバ $WDRV$ およびワード線制御回路 $WLC$ の例を示している。メモリセル $MC$ は、図2と同じである。ダミーメモリセル $DMC$ の構造は、メモリセル $MC$ と同じであり、トランジスタの接続配線の一部がメモリセル $MC$ の接続配線と相違している。その他の構成は、図2と同じである。図の下側のダミーメモリセル $DMC$ は、等価回路を示している。

【0049】

等価回路において、ワード線制御部 $WLC$ は、 $pMOS$ トランジスタ $P_2$ 、 $nMOS$ トランジスタ $N_2$ 、 $CMOS$ インバータ $P_1/N_1$ 、および $nMOS$ トランジスタ $N_4$ を有している。トランジスタ $P_2$ 、 $N_2$ は、電源線 $V_{DD}$ と接地線 $V_{SS}$ の間に直列に配置されている。 $CMOS$ インバータ $P_1/N_1$ は、ワード線 $WL$ の論理レベルを反転してトランジスタ $P_2$ 、 $N_2$ のゲートに出力する。 $nMOS$ トランジスタ $N_4$ は、ワード線 $WL$ と接地線 $V_{SS}$ の間に直列に配置されている。

【0050】

ワード線制御部 $WLC$ は、図2に示したワード線制御部 $WLC$ に $CMOS$ インバータ $P_1/N_1$ の出力をゲートで受けるトランジスタ $N_2$ を追加している。ワード線制御部 $WLC$ の動作は、図3と同じである。

【0051】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、ワード線制御部 $WLC$ をメモリセル $MC$ と同じ構造のダミーメモリセル $DMC$ を用いて形成することで、メモリセル $MC$ 内のトランジスタの電気的特性に合わせてワード線 $WL$ の高レベル電圧を正確に設定できる。

10

20

30

40

50

## 【 0 0 5 2 】

図7は、別の実施形態におけるワードデコーダWDEC、ワードドライバWDRVおよびワード線制御回路WLCの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。メモリセルMCは、図2と同じである。半導体メモリは、SRAMである。

## 【 0 0 5 3 】

この実施形態では、ワード線制御回路WLCのnMOSトランジスタN21のゲートが電源線VDDに接続されている。ワード線制御回路WLCのその他の構成は、図2と同じである。ワード線制御部WLCの動作は、図3と同じである。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

10

## 【 0 0 5 4 】

図8は、別の実施形態におけるワードデコーダWDEC、ワードドライバWDRVおよびワード線制御回路WLCの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。メモリセルMCは、図2と同じである。

## 【 0 0 5 5 】

この実施形態では、ワードドライバWDRVは、ワード線制御部WLCのインバータC3の出力を受ける遅延回路C4と、ワード活性化信号WLPおよび遅延回路C4の出力信号を受け、ワードクロック信号/WCLKを生成するNANDゲートC5を有している。図1に示した左上の制御回路CNTLは、ワードクロック信号/WCLKを生成しない。

20

## 【 0 0 5 6 】

遅延回路C4は、縦続接続された偶数個のインバータを有している。遅延回路C4の遅延時間は、図3に示した活性化期間ACT1に等しい。遅延回路C4は、ワード線WLの活性化から活性化期間ACT1後に低レベルの非活性化信号をNANDゲートC5に出力する。遅延回路C4により、制御回路CNTLを使用することなく、図3と同じ波形を有するワードクロック信号/WCLKを生成できる。なお、ワード線制御部WLCのトランジスタN21のゲートは、図7に示したように、電源線VDDに接続してもよい。また、遅延回路C4は、ワード制御部WLCに配置してもよい。さらに、遅延回路C4を縦続接続された奇数個のインバータで形成し、遅延回路C4の入力にワード線WLを直接接続してもよい。

30

## 【 0 0 5 7 】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、ワードクロック信号/WCLKの非活性化タイミング(立ち上がりエッジ)をワード線WLの電圧の変化に応答して生成する。このため、活性化期間ACT1の終了タイミングを、ワード線WLの実際の活性化タイミングから所定時間後に常に設定できる。この結果、トランジスタP11、P12、N12に貫通電流が流れる活性化期間ACT1を最小限に設定でき、SRAMのアクセス動作時の消費電流を削減できる。換言すれば、メモリセルMCのトランジスタの閾値電圧が低く、リーク電流が多いときにも、消費電流の規格値を超えるSRAMの数を少なくでき、歩留の低下を防止できる。

40

## 【 0 0 5 8 】

図9は、別の実施形態におけるワードデコーダWDEC、ワードドライバWDRVおよびワード線制御回路WLCの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。メモリセルMCは、図2と同じである。半導体メモリは、SRAMである。

## 【 0 0 5 9 】

この実施形態では、ワード線制御部WLCは、図6と同様に、ダミーメモリセルDMCを用いて形成される。ワードドライバWDRVは、図8と同様に、遅延回路C4およびNANDゲートC5を有している。ワードクロック信号/WCLKは、NANDゲートC5により生成されるため、図1に示した左上の制御回路CNTLは、ワードクロック信号/

50

W L C Kを生成しない。ワード線制御部W L Cの動作は、図3と同じである。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

【0060】

図10は、別の実施形態におけるワードデコーダW D E C、ワードドライバW D R Vおよびワード線制御回路W L Cの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。メモリセルM Cは、図2と同じである。半導体メモリは、S R A Mである。

【0061】

この実施形態では、ワード線制御回路W L Cは、図2の構成からトランジスタN 2 1を削除し、ダイオード接続されたn M O SトランジスタN 2 2、N 2 3を追加している。すなわち、トランジスタN 2 2のゲートはワード線W Lに接続されている。トランジスタN 2 3のゲートは、トランジスタN 2 2のソースに接続されている。S R A Mのその他の構成は、ワード制御部W L Cのトランジスタのサイズが異なることを除き、図1および図2と同じである。

10

【0062】

なお、ワード制御部W L Cは、図5および図6に示したように、メモリセルアレイA R Y内に、ダミーメモリセルD M Cを用いて形成してもよい。また、図8に示した遅延回路C 4を用いてワードクロック信号/W L C Kを生成してもよい。

【0063】

図11は、図10に示したワードデコーダW D E C、ワードドライバW D R Vおよびワード線制御回路W L Cの動作の例を示している。図に示した動作は、活性化期間A C T 2のワード線W Lの電圧が図4と異なる。その他の動作は図4と同じである。

20

【0064】

この実施形態では、メモリセルM Cのn M O Sトランジスタの閾値電圧V t h nが高いときに、図10に示したトランジスタN 2 2、N 2 3はオンし難くなる。したがって、n M O Sトランジスタの閾値電圧V t h nが高いとき、活性化期間A C T 2におけるワード線W Lの高レベル電圧は高くなる(図11(a))。ワード線W Lの高レベル電圧は高くすることで、メモリセルM CのトランスファトランジスタN 3、N 4のオン抵抗を下げることができ、書き込み動作マージンを向上できる。

【0065】

なお、図10に示したトランジスタP 2 1の閾値電圧は、メモリセルM Cの閾値電圧V t h n、V t h pが標準値T y pのときに、活性化期間A C T 2のワード線W Lの電圧が図3に示した基準電圧V b a s eになるように設計される。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

30

【0066】

図12は、別の実施形態におけるワードデコーダW D E C、ワードドライバW D R Vおよびワード線制御回路W L Cの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。メモリセルM Cは、図2と同じである。半導体メモリは、S R A Mである。

【0067】

この実施形態では、図10に示したダイオード接続されたn M O SトランジスタN 2 2、N 2 3が、図2のワード線制御部W L Cに追加されている。その他の構成は、図1および図2と同じである。なお、ワード制御部W L Cは、図5および図6に示したように、メモリセルアレイA R Y内に、ダミーメモリセルD M Cを用いて形成してもよい。また、図8に示した遅延回路C 4を用いてワードクロック信号/W L C Kを生成してもよい。以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

40

【0068】

以上の詳細な説明により、実施形態の特徴点及び利点は明らかになるであろう。これは、特許請求の範囲がその精神及び権利範囲を逸脱しない範囲で前述のような実施形態の特徴点及び利点にまで及ぶことを意図するものである。また、当該技術分野において通常の

50

知識を有する者であれば、あらゆる改良及び変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物及び均等物に拠ることも可能である。

【図面の簡単な説明】

【0069】

【図1】一実施形態における半導体メモリを示している。

【図2】図1に示したワードデコーダ、ワードドライバ、ワード線制御回路およびメモリセルアレイの例を示している。

【図3】図1に示したワードデコーダ、ワードドライバおよびワード線制御回路の動作を示している。

【図4】図3に示したメモリセルの電気的特性を示している。

【図5】別の実施形態における半導体メモリを示している。

【図6】図5に示したワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【図7】別の実施形態におけるワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【図8】別の実施形態におけるワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【図9】別の実施形態におけるワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【図10】別の実施形態におけるワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【図11】図10に示したワードデコーダ、ワードドライバおよびワード線制御回路の動作の例を示している。

【図12】別の実施形態におけるワードデコーダ、ワードドライバおよびワード線制御回路の例を示している。

【符号の説明】

【0070】

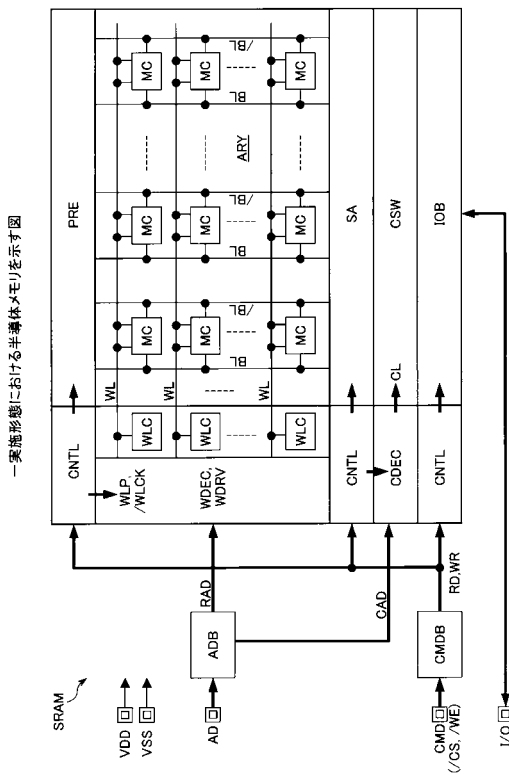
A D B アドレスバッファ； A R Y メモリセルアレイ； B L、 / B L ビット線； C D E C コラムデコーダ； C M D B コマンドバッファ； C N T L 複数の制御回路； C S W コラムスイッチ部； D B L、 / D B L ダミービット線； D M C ダミーメモリセル； I O B データ入出力部； M C メモリセル； P R E プリチャージ部； S A センズアンプ部； W D E C ワードデコーダ； W D R V ワードドライバ； W L ワード線； W L C ワード線制御部； / W L C K ワードクロック信号； W L P ワード活性化信号

10

20

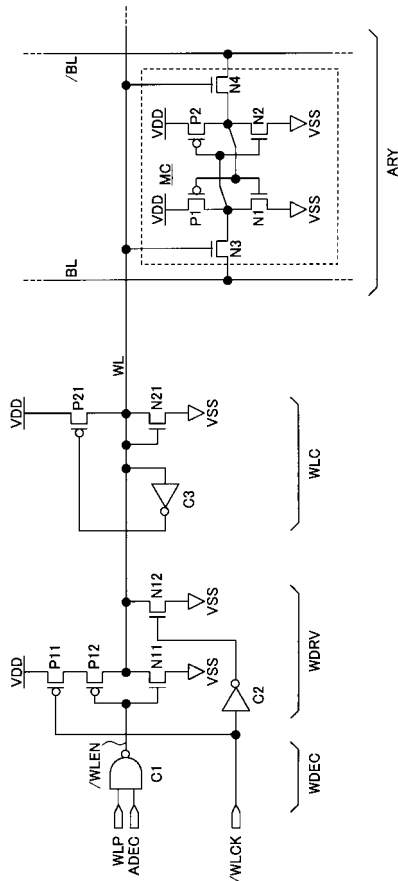
30

【 図 1 】



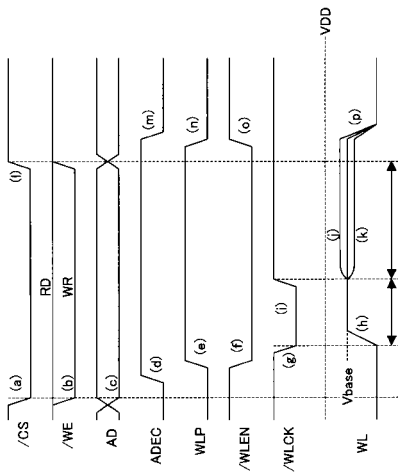
【 図 2 】

図1のWDEC, WDRV, WLCの例を示す図



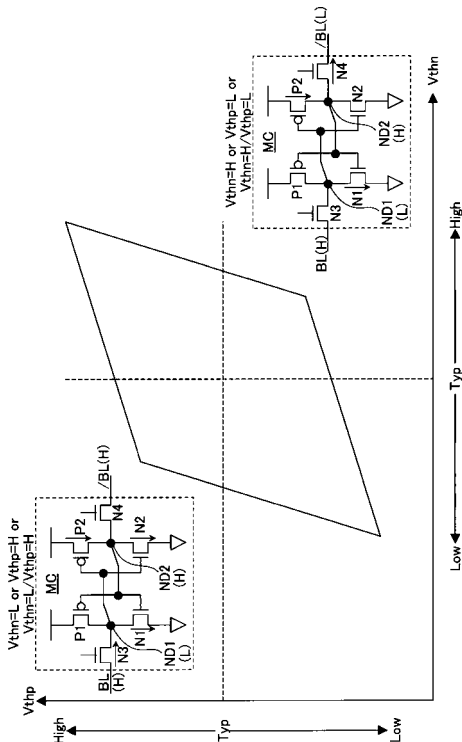
【 図 3 】

図1のWDEC, WDRV, WLCの動作を示す図

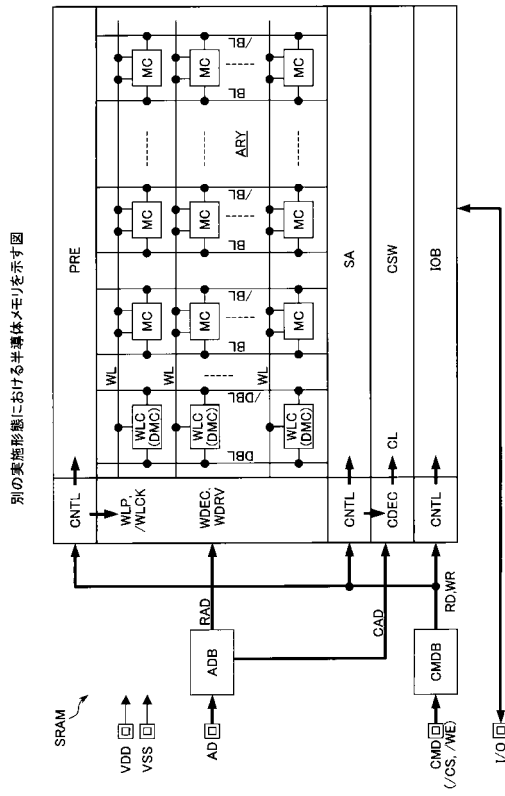


【 図 4 】

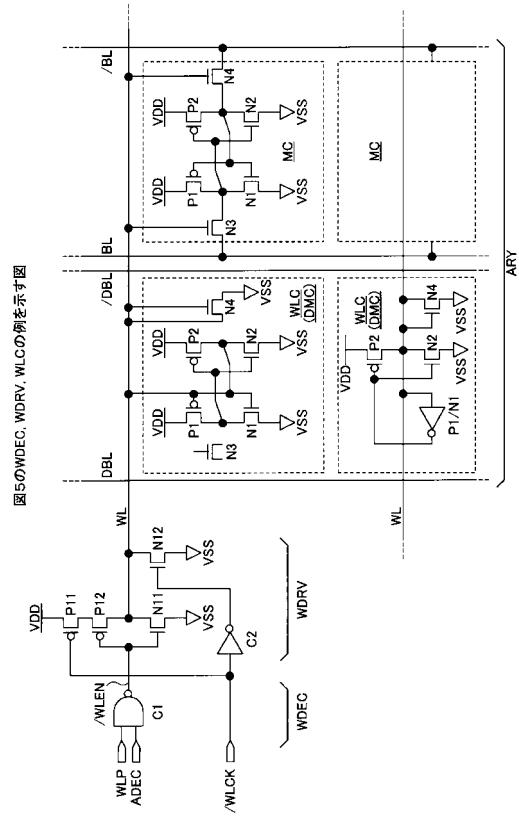
メモリの特性を示す図



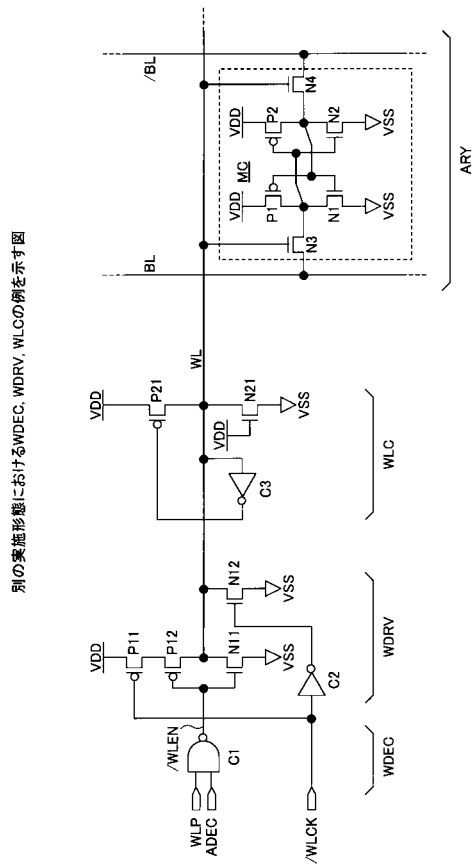
【 図 5 】



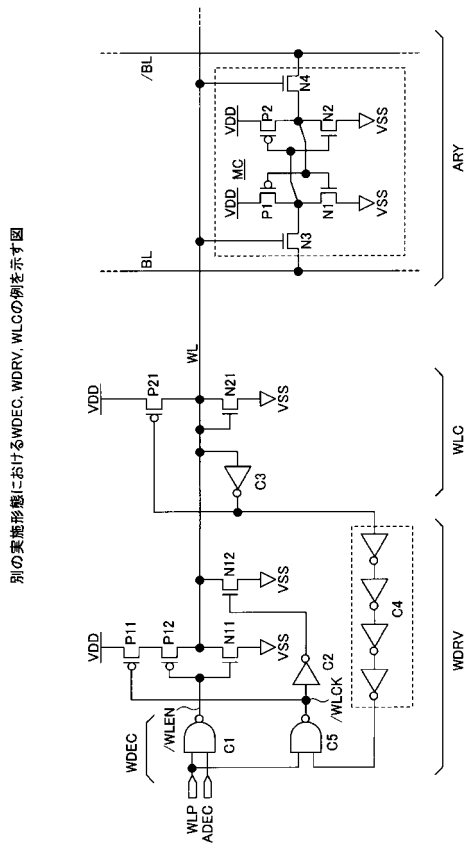
【 図 6 】



【 図 7 】

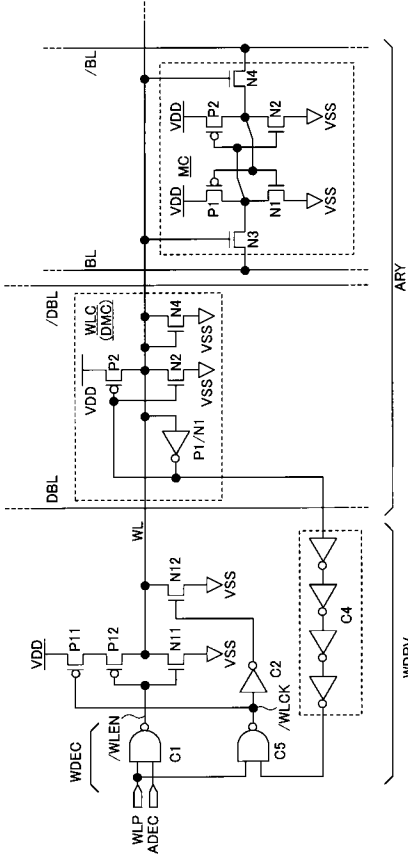


【 図 8 】



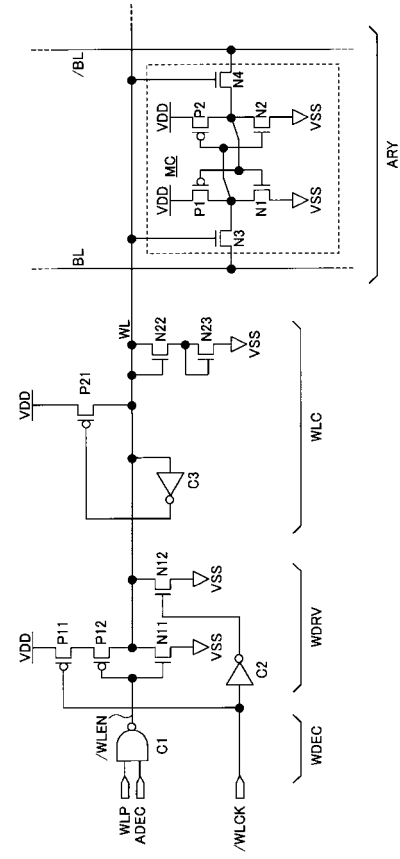
【 図 9 】

別の実施形態におけるWDEC, WDRV, WLCの例を示す図



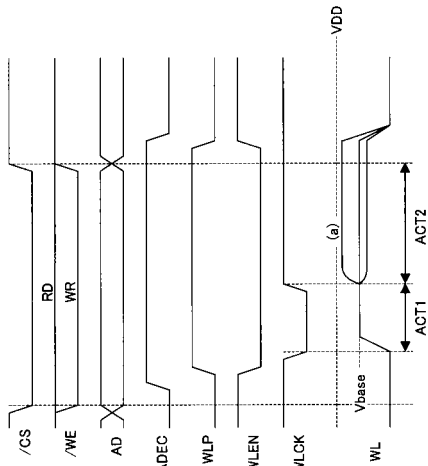
【 図 10 】

別の実施形態におけるWDEC, WDRV, WLCの例を示す図



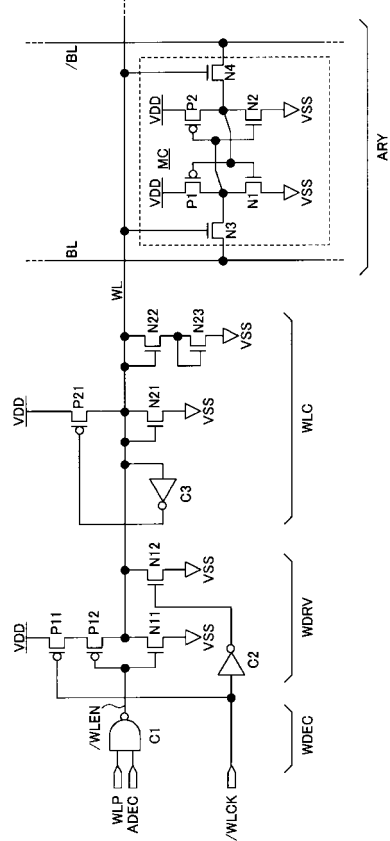
【 図 11 】

図10のWDEC, WDRV, WLCの動作を示す図



【 図 12 】

別の実施形態におけるWDEC, WDRV, WLCの例を示す図





---

フロントページの続き

- (56)参考文献 特開2008-176907(JP,A)  
特開2007-066493(JP,A)  
特開平02-302994(JP,A)  
特開2008-171546(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 11/413