

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11B 20/10	(45) 공고일자 2000년 10월 02일
	(11) 등록번호 10-0264087
	(24) 등록일자 2000년 05월 25일
(21) 출원번호 10-1996-0056452	(65) 공개번호 특 1997-0029618
(22) 출원일자 1996년 11월 22일	(43) 공개일자 1997년 06월 26일
(30) 우선권 주장 95-304667	1995년 11월 22일 일본(JP)
(73) 특허권자	후지쯔 가부시기가이샤 아끼구사 나오유키 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1
(72) 발명자	타니시마 히데아끼 일본국 아이찌켄 가수가이시 고히로오메 2쵸오메 1844-2 후지쯔 브이 엘 에스 아이 가부시기가이샤 내 토미타 노리꼬 일본국 아이찌켄 가수가이시 데가와쵸오 1769 에스포이 유 씨 202 토미타 마사토 일본국 아이찌켄 가수가이시 고히로오메 1844-2 후지쯔 브이 엘 에스 아이 가부시기가이샤 내
(74) 대리인	문두현, 문기상, 조기호

심사관 : 정해권

(54) 데이터복조장치와 데이터판독장치 및 데이터복조방법

요약

CLV 방식 및 ZCLV 방식으로 기록된 기록매체를 등속회전으로 구동하고, 모터의 소형화 및 저소비전력화를 도모하면서 소정의 판독데이터를 보조가능한 데이터판독장치를 제공하는데 있다. 해결수단은 모터(M)로 회전구동되는 기록매체(3)로부터 픽업장치(4)를 거쳐서 데이터가 판독되고, 이 픽업장치(4)의 출력신호로부터 판독데이터(RD)가 복조된다. 픽업장치(4)의 출력신호는 적어도 일부분에서 선속도 일정방식으로 기록매체(3)에 기록된 데이터를 상기 기록매체(3)를 등속회전으로 구동함으로써 판독된 것이고, 복조장치(DE)에 의해서 출력신호의 주파수 또는 진폭의 변화에 대응하여 상기 출력신호로부터 판독데이터(RD)가 복조된다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 원리설명도.
제2도는 데이터판독장치를 나타낸 블록도.
제3도는 VGA를 나타낸 블록도.
제4도는 GCA를 나타낸 회로도.
제5도는 비교기를 나타낸 회로도.
제6도는 VGA의 동작을 나타낸 파형도.
제7도는 비교기의 입출력특성도.
제8도는 VGA의 다른 예를 나타낸 블록도.
제9도는 비교기를 나타낸 블록도.
제10도는 비교기의 증폭기를 나타낸 회로도.
제11도는 비교기의 동작을 나타낸 파형도.
제12도는 비교기를 나타낸 회로도.
제13도는 비교기의 다른 예를 나타낸 회로도.
제14도는 PLL 회로를 나타낸 블록도.

제15도는 VCO를 나타낸 회로도.

제16도는 제1바이어스전압 생성회로를 나타낸 회로도.

제17도는 제1VCO의 입출력특성도.

제18도는 제2VCO의 입출력특성도.

제19도는 PLL 회로에서 출력되는 클럭신호의 출력특성도.

제20도는 CLV 방식에 의한 디스크 포맷을 나타낸 설명도.

제21도는 CLV 방식의 특성을 나타낸 설명도.

제22도는 ZCLV 방식에 의한 디스크 포맷을 나타낸 설명도.

제23도는 ZCLV 방식의 특성을 나타낸 설명도.

제24도는 CAV 방식에 의한 디스크 포맷을 나타낸 설명도.

제25도는 CAV 방식의 특성을 나타낸 설명도.

제26도는 CLV 방식으로 기록된 디스크를 등속 회전시켜 데이터를 판독한 경우의 픽업장치의 출력주파수 특성도.

제27도는 CLV 방식으로 기록된 디스크를 등속 회전시켜 데이터를 판독한 경우의 픽업장치의 출력진폭 특성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, CD-ROM 또는 DVD(Digital Video Disk) 등의 기록매체로부터 데이터를 판독하기 위한 데이터판독장치에 관한 것이다.

최근, 멀티미디어에 있어서 주요한 기록매체로서 광디스크의 전개가 주목되고, LD, CD-ROM, MD 등의 여러 가지의 매체가 개발되어 있다. 또, CD-ROM과 같은 크기로, 약 7.5배의 기억 용량을 갖는 DVD가 개발되어 있다.

최근의 데이터 처리 시스템에 있어서, 기록매체의 기억 용량의 증대와 함께 데이터 처리 속도의 고속화가 요청되고 있기 때문에, 이러한 DVD에서 데이터를 판독하기 위한 데이터판독장치에서의 판독속도의 고속화가 필요하다. 또한, 휴대용 퍼스널 컴퓨터의 보급과 함께, 데이터판독장치의 소형화 및 저소비 전력화가 요구되고 있다.

종래, CD-ROM 또는 DVD 등의 광디스크로부터 데이터를 판독하기 위한 데이터판독장치에서는 디스크를 디스크 구동모터로 회전 구동하고, 그 디스크에 디지털신호로서 저장되어 있는 저장데이터를 픽업장치로 광학적으로 판독한다.

픽업장치로 판독된 저장데이터는 픽업장치로부터 아날로그신호로서 출력되고, 이 아날로그 신호는 증폭기에서 소정 진폭으로 증폭되고, 이어서 증폭기의 출력신호의 전압레벨을 소정의 임계치에 준해서 2치화(2진수화)하고 디지털 펄스신호로 변환하여, 이 디지털 펄스신호로 소정의 복조처리가 행해져 판독데이터가 생성된다.

상기한 바와 같이, 데이터판독장치로 광디스크로부터 데이터를 판독하는 방식(환언하면, 디스크로의 데이터의 기록방식)으로서는, CLV(Constant Linear Velocity) 방식, ZCLV(Zone Constant Linear Velocity) 방식, CAV(Constant Angular Velocity) 방식 등이 있다.

CLV 방식은 선속도(線速度) 일정방식이라고 하며, 제20도에 나타낸 포맷으로 데이터가 기록된다. 즉, 디스크상의 각 트랙(T)에 기록되는 어드레스 영역(A1)과 데이터 영역(A2)으로 이루어지는 섹터의 길이는, 트랙(T)이 디스크의 내주인가 외주인가의 여부에 관계없이 일정하다.

이러한 디스크로부터 데이터를 판독할 경우에는, 디스크의 직경방향의 픽업장치의 위치에 따라 디스크의 회전속도가 조정되어, 제21(a)도에 나타낸 바와 같이, 픽업장치를 디스크의 외주의 트랙(T)으로부터 내주의 트랙(T)으로 이동시킴에 따라 디스크의 회전속도가 고속화된다.

따라서, 디스크상의 각 섹터에 저장되어 있는 데이터는 동일한 선속도로 판독되고, 제21(b)도에 나타낸 바와 같이 픽업장치로부터 단위시간당에 판독되는 데이터량인 데이터율, 즉 판독데이터의 주파수는 디스크의 내외주에 관계없이 일정하게 되고, 또 판독데이터의 진폭도 일정하게 된다.

이것은, 섹터내에서 데이터를 기록하고 있는 기록피트(pit) 길이가 디스크의 내외주에 관계없이 일정하기 때문이다.

또, 제21(c)도에 나타낸 바와 같이, 각 섹터의 길이는 디스크의 내외주에 관계없이 일정해진다.

ZCLV 방식은, 존(zone) 선속도 일정방식이라고 하고, 제22도에 나타낸 포맷으로 데이터가 기록된다. 즉, 디스크상의 각 트랙(T)에 기록되는 어드레스 영역(A1)과 데이터 영역(A2)으로 이루어지는 섹터의 길이는 디스크의 직경방향으로 복수설정된 각 존(Z)마다 외주의 트랙(T)에 위치하는 섹터만큼 길게 설정되어, 각 존(Z)의 섹터 길이의 변화범위가 동일하게 되도록 설정된다.

따라서, 각 트랙(T)의 섹터는 각 존(Z) 내에서는 직경방향으로 정렬하여, 방사상으로 배열된다.

이러한 디스크로부터 데이터를 판독할 때에는, 디스크의 직경방향의 픽업장치의 위치에 따라서, 디스크의 회전속도가 각 존마다 조정되어, 제23(a)도에 나타낸 바와 같이, 픽업장치를 디스크의 외주의 트랙(T)에서 내주의 트랙(T)으로 이동시킴에 따라 디스크의 회전속도는 각 존(Z) 마다 단계적으로 고속화 된다.

따라서, 디스크상의 각 섹터에 저장되어 있는 데이터는, 동일한 선속도로 판독되어, 제23(b)도에 나타낸 바와 같이 픽업장치로부터 단위시간당 판독되는 데이터량인 데이터율, 즉 판독데이터의 주파수는 디스크의 내외주에 관계없이 일정하게 되고, 또 판독데이터의 진폭도 일정하게 된다.

또, 제23(c)도에 나타낸 바와 같이, 기록피트 길이가 각 존내에서 변화하고 있고, 그 변화범위는 각 존에서 동일하기 때문에, 각 섹터의 길이도 각 존내에서 변화하며, 그 변화범위는 각 존에서 동일하게 된다.

CAV 방식은 각속도(角速度) 일정방식이라 하고, 제24도에 나타낸 포맷으로 데이터가 기록된다. 즉, 디스크상의 각 트랙(T)에 기록되는 어드레스 영역(A1)과 데이터 영역(A2)으로 이루어지는 섹터의 길이는 디스크의 외주에 위치하는 만큼 길게 설정된다.

따라서, 각 트랙(T)의 섹터는 디스크의 직경방향으로 정렬하여, 방사상으로 배열된다.

이러한 디스크로부터 데이터를 판독할 때에는, 제25(a)도에 나타낸 바와 같이, 픽업장치를 디스크의 외주의 트랙(T)에서 내주의 트랙(T)으로 이동시키더라도, 디스크의 회전속도는 일정하게 유지된다.

그리고, 제25(b)도에 나타낸 바와 같이, 픽업장치로부터 단위시간당 판독되는 데이터량인 데이터율, 즉 판독데이터의 주파수는 디스크의 내외주에 관계없이 일정하게 되도록 설정되고, 또 판독데이터의 진폭도 일정해진다.

또, 제25(c)도에 나타낸 바와 같이, 기록피트 길이가 디스크의 외주로 갈수록 길게 설정되기 때문에 각 섹터의 길이는 디스크의 외주에 위치하는 섹터만큼 길게 설정된다.

상기한 바와 같은 각 방식에 있어서는, CLV 방식의 디스크의 기록밀도가 가장 높게 되고, 따라서 동일한 크기의 디스크라면 CLV 방식의 디스크의 기억 용량이 가장 크게 된다.

또한, ZCLV 방식은 기억 용량이 크다는 CLV 방식의 이점을 살리면서, 디스크 구동 모터의 회전수 제어를 간단하게 하도록 한 것이다. 그리고, ZCLV 방식의 기록밀도는, CLV 방식과 CAV 방식의 중간 기록밀도로 되고, CAV 방식의 기록밀도는 상기 3방식 중에서 가장 낮게 된다.

CD-ROM 또는 DVD 같은 디스크매체에 있어서는, 기록밀도에 있어 유리한 CLV 방식 또는 ZCLV 방식의 데이터판독장치가 채용되어 있다. 즉, 원판상의 디스크에 기록되는 데이터는, CLV 방식 또는 ZCLV 방식으로 기록되고, CLV 방식 또는 ZCLV 방식에 의한 디스크의 회전제어에 의거하여 픽업장치로 데이터가 판독된다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이, CLV 방식 또는 ZCLV 방식의 데이터판독장치에 있어서, 판독속도를 향상시키기 위해서는 디스크의 회전속도를 빨리할 필요가 있다.

그런데, 상기 CLV 방식으로 디스크의 회전속도를 빨리하면, 디스크상에 있어서 직경방향으로 떨어져 위치하는 섹터를 시크(seek)할 때 디스크의 회전속도를 고속으로 변화시킬 필요가 있다.

따라서, 디스크를 회전구동하기 위한 모터의 구동토크를 충분히 확보할 필요가 있기 때문에, 모터가 대형화함과 동시에 소비전력도 증대한다는 문제점이 있다.

한편, CLV 방식 또는 ZCLV 방식으로 기록된 DVD 등의 디스크매체로부터, CAV 방식의 디스크 회전제어에 의해 디스크를 등속도로 회전구동하여, 각 섹터로부터 저장데이터를 판독하면, 구동토크가 작은 모터를 사용할 수 있으므로, 모터의 소형화 및 저소비전력화를 도모할 수 있다.

그런데, CLV 방식으로 기록된 DVD 등의 디스크매체의 각 섹터로부터, CAV 방식의 디스크 회전제어에 의해 저장데이터를 판독하면, 디스크의 내주부의 섹터와 외주부의 섹터를 판독할 때 그 선속도가 다르기 때문에 픽업장치로부터 증폭기로 출력되는 아날로그신호의 주파수(F)는 제26도에 나타낸 바와 같이, 디스크의 내주로부터 외주를 향해서 상승하여, 최대로 1:2.5가 된다.

또, 픽업장치로부터 증폭기로 출력되는 아날로그신호의 진폭(W)은 제27도에 나타낸 바와 같이 디스크의 내주로부터 외주를 향해서 작아진다.

ZCLV 방식으로 기록된 DVD 등의 디스크매체의 각 섹터로부터, CAV방식의 디스크 회전제어에 의해 저장데이터를 판독하면, 픽업장치로부터 증폭기로 출력되는 아날로그신호의 주파수(F)는 각 존의 경계부분에서 일정주파수만큼 하강하면서, 디스크의 내주로부터 외주를 향해서 서서히 상승한다. 또한, 픽업장치로부터 증폭기로 출력되는 아날로그신호의 진폭(W)은 각 존의 경계부분에서 일정폭만큼 커지면서, 디스크의 내주로부터 외주를 향해서 작아진다.

따라서, 픽업장치로부터 출력되는 아날로그신호의 주파수 및 진폭이 크게 변동하기 때문에, 이러한 아날로그신호로부터 소정의 판독데이터를 복조하는 것은 매우 곤란하다. 따라서, CLV 방식 또는 ZCLV 방식으로 기록된 CD-ROM 또는 DVD 등의 디스크매체로부터, CAV 방식의 디스크 회전제어로 데이터를 판독하는 것은 사실상 곤란했다.

본 발명의 목적은, CLV 방식 및 ZCLV 방식으로 기록된 기록매체를 등속회전으로 구동하여, 모터의 소형화 및 저소비전력화를 도모하면서, 소정의 판독 데이터를 복조 가능하게 한 데이터판독장치를 제공하는 것에 있다.

발명의 구성 및 작용

제1도는 청구항 1의 원리설명도이다. 즉, 모터(M)로 회전구동되는 기록매체(3)로부터 픽업장치(4)를 거쳐서 데이터가 판독되고, 그 픽업장치(4)의 출력신호로부터 판독데이터(RD)가 복조된다. 상기 픽업장치(4)의 출력신호는 적어도 일부분에 선속도 일정방식으로 상기 기록매체(3)에 기록된 데이터를, 기록매체(3)를 등속회전으로 구동함으로써 판독한 것이고, 상기 복조장치(DE)에 의해 상기 출력신호의 주파수 또는 진폭의 변화에 대응하여, 출력신호로부터 상기 판독데이터(RD)가 복조된다.

또한, 상기 데이터복조장치는 상기 픽업장치의 출력신호의 진폭을 일정하게 하여 출력하는 이득 가변증폭기를 구비한다.

또한, 상기 데이터복조장치는 상기 픽업장치에 의한 기록매체로부터의 데이터판독 위치에 따라서, 차단주파수를 조정가능하게 한 필터가 구비된다.

또한, 상기 데이터복조장치는 증폭기의 출력신호가 적분기를 거쳐서 증폭기의 바이어스 전압으로서 입력되는 비교기가 구비되고, 상기 비교기의 증폭기에 입력되는 아날로그입력신호의 주파수의 변화에 관계없이 일정한 디지털 펄스신호가 비교기로부터 출력된다.

또한, 상기 데이터복조장치는 상기 픽업장치에 의한 기록매체로부터의 데이터판독 위치에 따라서, 전압제어 발진기의 이득을 조정가능하게 한 PLL 회로가 구비된다.

또한, 상기 PLL 회로는 이득이 다른 복수의 전압제어발진기를 구비하여, 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서 선택한 전압제어발진기로부터 출력신호가 출력된다.

또한, 상기 PLL 회로는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서 조정되는 바이어스전류의 입력에 따라서, 이득을 조정가능하게 한 전압제어발진기가 구비된다.

또한, 상기 PLL 회로는, 이득이 다른 복수의 전압제어발진기를 구비하고, 상기 각 전압제어발진기는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서 조정되는 바이어스 전류의 입력에 준해서, 이득을 조정 가능하게 하고, 또 기록매체로부터의 데이터판독위치에 따라서 선택한 전압제어발진기로부터 출력신호가 출력된다.

또한, 모터로 회전구동되는 기록매체로부터 픽업장치를 거쳐서 데이터가 판독되고, 픽업장치의 출력신호로부터 판독데이터가 복조된다. 상기 픽업장치의 출력신호는 데이터가 적어도 일부분으로 선속도 일정방식으로 기록된 디스크를 등속회전으로 구동하여 판독된 것이고, 상기 데이터복조장치는 상기 픽업장치의 출력신호의 진폭을 일정하게 출력하는 이득가변 증폭기와 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서, 차단주파수를 조정가능하게 한 필터와, 증폭기의 출력신호를 적분기를 거쳐서 증폭기의 바이어스전압으로서 입력하고, 상기 비교기의 증폭기에 입력되는 아날로그입력신호의 주파수의 변화에 관계없이 듀티가 일정한 디지털펄스신호를 출력하는 비교기와, 이득이 다른 복수의 전압제어발진기를 구비하여, 상기 각 전압제어발진기는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서 조정되는 바이어스전류의 입력에 준해서, 이득을 조정할 수 있고, 또한 기록매체로부터의 데이터판독위치에 따라서 선택한 전압제어발진기로부터 출력신호를 출력하는 PLL 회로가 구비된다.

또한, 모터로 회전구동되는 기록매체로부터 픽업장치를 거쳐서 데이터가 판독되고, 상기 픽업장치의 출력신호로부터 판독데이터가 복조된다. 상기 모터에 의해 데이터가 적어도 일부분에서 선속도 일정방식으로 기록된 기록매체가 등속회전으로 구동되어, 상기 픽업장치로부터 출력되는 출력신호의 주파수 또는 진폭에 따라서 상기 판독데이터를 복조하는 데이터복조장치가 구비된다.

또한, 모터로 회전구동되는 기록매체로부터 픽업장치를 거쳐서 데이터가 판독되고, 상기 픽업장치의 출력신호로부터 판독데이터가 복조된다. 데이터가 적어도 일부분에서 선속도 일정방식에 의해 기록된 기록매체가 등속회전으로 구동되어, 상기 기록매체로부터 상기 픽업장치를 거쳐서 상기 데이터가 아날로그신호로서 판독되고, 상기 아날로그신호의 진폭이 일정하게 되고, 또 상기 아날로그신호는 그 주파수를 변경하지 않고 디지털 펄스신호로 변환되어, 상기 디지털 펄스신호로부터 상기 판독데이터가 복조된다.

청구항 1, 10, 11에서는, 기록매체(3)가 등속회전으로 구동되기 때문에, 저토크의 모터(M)를 사용할 수 있다.

또한, 픽업장치의 출력신호가, 이득가변 증폭기로 진폭이 일정한 신호로 증폭되기 때문에, 판독데이터의 복조동작이 용이해진다. 또한, 픽업장치의 출력신호의 주파수가 변화하더라도, 필터로 소요의 주파수의 신호가 추출되어, 판독데이터의 복조동작이 용이해진다.

청구항 4에서는, 비교기의 입력신호의 주파수가 변화하더라도, 비교기로부터 출력되는 디지털 펄스신호의 듀티가 일정해진다.

청구항 5에서는, 전압제어 발진기의 출력신호주파수가 변화하더라도, 그 전압제어 발진기의 이득의 변화가 억제된다.

청구항 6에서는 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서, 이득이 다른 전압제어발진기가 선택되기 때문에, 전압제어발진기의 출력신호주파수가 변화하더라도, 그 전압제어발진기의 이득의 변화가 억제된다.

청구항 7에서는, 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서, 전압제어발진기의 바이어스전류가 조정되어 그 이득이 조정되기 때문에, 전압제어발진기의 출력신호주파수가 변화하더라도, 그 전압제어발진기의 이득의 변화가 억제된다.

청구항 8에서는 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서, 이득이 다른 전압제어발진기가 선택되고, 또 선택된 전압제어발진기의 바이어스전류가 조정되어 그 이득이 조정되기 때문에, 전압제어발진기의 출력신호주파수가 변화하더라도, 그 전압제어발진기의 이득의 변화가 억제된다.

청구항 9에서는, 기록매체가 등속회전으로 구동되기 때문에, 저토크의 모터를 사용가능하고, 픽업장치의 출력신호가 이득 가변증폭기로 진폭이 일정한 신호로 증폭되어, 픽업장치의 출력신호의 주파수가 변화하더라도, 필터로 소요의 주파수의 신호가 추출되어, 비교기의 입력신호의 주파수가 변화하더라도, 비교기로부터 출력되는 디지털 펄스신호의 듀티가 일정하여, 픽업장치에 의한 디스크로부터의 데이터판독위치에 따라서, 이득이 다른 전압제어발진기가 선택되고, 또 선택된 전압제어발진기의 바이어스 전류가 조정되어 그 이득이 조정되기 때문에, 전압제어발진기의 출력신호주파수가 변하더라도, 그 전압제어발진기의 이득의 변화가 억제되므로, 판독데이터의 복조동작이 용이해진다.

[실시에]

제2도는 본 발명을 구체화한 데이터판독장치를 나타낸다. 이 데이터판독장치는 스피들모터(M)와, CLV 방식 또는 ZCLV 방식으로 기록된 기록매체인 CD-ROM 또는 DVD 등의 디스크(3)로부터 데이터를 판독하는 픽업(4)과 데이터복조장치(1)로 구성되며, 각각 마이크로컴퓨터(2)의 제어에 따라서 동작한다.

상기 디스크(3)는 상기 CAV 방식에 의거하여, 스피들모터(M)에 의해 일정한 회전수로 회전 구동되어, 그 저장데이터는 픽업(4)에 의해 광학적으로 판독되고, 아날로그신호로서 출력되는 픽업(4)의 출력신호(SG1)는 가변이득증폭기(이하 VGA라함)(5)에 출력된다.

상기 VGA(5)에 입력되는 아날로그신호(SG1)는, 디스크(3)의 저장데이터가 CAV 방식으로 판독된 것이므로, 데이터의 판독위치의 변화에 의해 그 주파수 및 진폭이 다른 신호이다.

그리고, VGA(5)는 입력된 아날로그신호(SG1)를 증폭하여, 항상 일정한 진폭의 출력신호(SG2)를 필터(6)로 출력한다.

상기 필터(6)는 상기 VGA(5)의 출력신호(SG2) 중에서 필요한 주파수성분을 추출하여, 비교기(7)에 출력신호(SG3)로서 출력한다.

비교기(7)는 필터(6)로부터 출력되는 아날로그신호(SG3)를, 그 아날로그신호의 진폭 변화에 동반하여 변화하는 임계치에 따라서 2치화하고 디지털펄스신호로 한 출력신호(SG4)를 EFM 복조회로(8) 및 PLL 회로(9)에 출력한다.

상기 PLL 회로(9)는 비교기(7)의 출력신호(SG4)의 주파수에 따른 클럭신호(CLK)를 생성하여, 상기 EFM 복조회로(8)에 출력한다.

상기 EFM 복조회로(8)는, 상기 비교기(7)의 출력신호(SG4)에 대하여, 상기 PLL 회로(9)로부터 출력되는 클럭신호(CLK)에 따라서 EFM 복조처리를 행하여, 그 출력신호(SG5)를 디코더회로(10)로 출력한다.

상기 디코더회로(10)는 EFM 복조회로(8)로 복조된 디지털신호(SG5)를 디코드하여, 이 디코드신호(SG6)가 판독데이터(RD)로서 호스트인터페이스(11)로부터 출력된다.

[VGA5의 실시의 형태]

제3도는 상기 VGA(5)의 구체적 구성을 나타낸다. VGA(5)는 이득제어증폭기(이하 GCA라 함)(12)와, 비교기(13)로 구성된다. 상기 GCA(12)는 상기 픽업(4)의 출력신호(SG1)를 증폭하여 출력신호(SG2)를 출력한다.

상기 비교기(13)에는 상기 출력신호(SG2)와, 기준전압(Vref)이 입력된다. 그리고, 비교기(13)는 신호(SG2)와 기준전압(Vref)을 비교하여 제어신호(CNTL)를 상기 GCA(12)로 출력하고, GCA(12)는 그 제어신호(CNTL)에 의거하여 증폭율을 변화시켜 출력신호(SG2)의 진폭을 일정하게 하도록 동작한다.

상기 마이크로컴퓨터(2)에는 상기 픽업(4)의 위치정보(P0)가 입력되어, 그 위치정보(P0)에 의거하여 상기 필터(6)에 제어신호(FCSET)를 출력한다. 그리고, 필터(6)에서는 그 제어신호(FCSET)에 의거하여 용량 등의 정수가 변경되어, 입력신호(SG2)의 주파수의 변화에 대응하도록 차단주파수가 조정된다.

또한, 필터(6)는 다른 차단주파수를 복수 구비하여, 제어신호(FCSET)에 의해서 어느 하나를 선택하도록 하더라도 좋다.

상기 GCA(12)의 구체적 구성을 제4도에 나타냈다. 상기 입력신호(SG1)는 N채널 MOS 트랜지스터(Tr1)의 게이트에 입력되고, 이 트랜지스터(Tr1)의 드레인은 P채널 MOS 트랜지스터(Tr2)를 거쳐서 전원(VDD)에 접속된다. 상기 트랜지스터(Tr1)의 소스는 전류원(14a)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr2)의 게이트는 이 트랜지스터(Tr2)의 드레인에 접속되는 동시에, P채널 MOS 트랜지스터(Tr3)의 게이트에 접속된다. 상기 트랜지스터(Tr3)의 소스는 전원(VDD)에 접속됨과 동시에, 드레인은 저항(R1)을 거쳐서 전원(Vss)에 접속된다. 따라서, 상기 트랜지스터(Tr2,Tr3)로 커런트 미러 회로가 구성된다.

상기 입력신호(SG1)와 상보신호를 이루는 입력신호(bhSG1)는 N채널 MOS 트랜지스터(Tr4)의 게이트에 입력되고, 이 트랜지스터(Tr4)의 드레인은 P채널 MOS 트랜지스터(Tr5)를 거쳐서 전원(VDD)에 접속된다. 상기 트랜지스터(Tr4)의 소스는 전류원(14b)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr5)의 게이트는 이 트랜지스터(Tr5)의 드레인에 접속되는 동시에, P채널 MOS 트랜지스터(Tr6)의 게이트에 접속된다. 상기 트랜지스터(Tr6)의 소스는 전원(VDD)에 접속됨과 동시에, 드레인은 저항(R2)을 거쳐서 전원(Vs)에 접속된다. 따라서, 상기 트랜지스터(Tr5,Tr6)로 커런트 미러 회로가 구성된다.

상기 트랜지스터(Tr1,Tr4)의 소스는 N채널 MOS 트랜지스터(Tr7)를 거쳐서 접속되고, 이 트랜지스터(Tr7)의 게이트에는 상기 제어신호(CNTL)가 입력된다.

상기 트랜지스터(Tr3)의 드레인은 N채널 MOS 트랜지스터(Tr8)의 게이트에 접속되고 이 트랜지스터(Tr8)의 드레인은 전원(VDD)에 접속되고 소스는 저항(R3)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr6)의 드레인은 N채널 MOS 트랜지스터(Tr9)의 게이트에 접속되고 이 트랜지스터(Tr9)의 드레인은 전원(VDD)에 접속되고 소스는 저항(R4)을 거쳐서 전원(Vss)에 접속된다.

그리고, 상기 트랜지스터(Tr8,Tr9)의 소스로부터 상보출력신호(SG2,바SG2)가 출력된다.

이와 같이 구성된 GCA(12)에서는, 입력신호(SG1,바SG1)의 레벨차에 따라서, 트랜지스터(Tr3,Tr6)의 드레인전류에 차가 생겨 트랜지스터(Tr8, Tr9)의 게이트전위에 차가 생긴다.

그리고, 트랜지스터(Tr8,Tr9)의 게이트전위의 차에 따라서, 이 트랜지스터(Tr8,Tr9)의 드레인전류에 차가 생겨 동트랜지스터(Tr8,Tr9)의 소스로부터 입력신호(SG1,바SG1)를 증폭한 출력 신호(SG2,바SG2)가 출력된다.

상기한 바와 같은 동작에 있어서, 제어 신호(CNTL)의 전위가 상승하면, 트랜지스터(Tr7)의 드레인전류가 증대한다. 따라서, 트랜지스터(Tr1,Tr4)의 드레인 전류차가 축소되기 때문에, 출력신호(SG2,바SG2)의 전위차가 축소된다.

따라서, 제어신호(CNTL)의 레벨의 상승에 동반하여 증폭율은 「1」 이하까지 저하하고, 제어신호(CNTL)의 레벨의 저하에 동반하여 증폭율은 「1」 이상까지 상승하도록 동작한다.

상기 비교기(13)의 구체적 구성을 제5도에 나타낸다. 입력신호(SG2,바SG2)는 각각 N채널 MOS트랜지스터(Tr10,Tr11)의 게이트에 입력되어, 이 트랜지스터(Tr10,Tr11)의 소스는 전류원(14c)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr10,Tr11)의 드레인은 P채널 MOS 트랜지스터(Tr12,Tr14)의 드레인에 접속되고 이 트랜지스터(Tr12,Tr14)의 소스는 전원(VDD)에 접속되고, 트랜지스터(Tr12)의 게이트는 이 트랜지스터(Tr12)의 드레인에 접속된다.

상기 기준전압(Vref)은 N채널 MOS 트랜지스터(Tr16)의 게이트에 입력되고 이 트랜지스터(Tr16)의 소스는 상기 전류원(14c)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr16)의 드레인은 P채널 MOS 트랜지스터(Tr13,Tr15)의 드레인에 접속되고 이 트랜지스터(Tr13,Tr15)의 소스는 전원(VDD)에 접속되고 트랜지스터(Tr15)의 게이트는 이 트랜지스터(Tr15)의 드레인에 접속된다.

또, 상기 트랜지스터(Tr13)의 게이트는 상기 트랜지스터(Tr12) 드레인에 접속되고, 상기 트랜지스터(Tr14)의 게이트는 상기 트랜지스터(Tr15)의 드레인에 접속된다.

이러한 트랜지스터(Tr10~Tr16)에 의해 차동회로가 구성되어, 입력신호(SG2,바SG2)의 피크치가 기준전압(Vref)을 넘으면, 트랜지스터(Tr10,Tr11)의 드레인전류인 노드(N1)의 전위가 저하하고 입력신호(SG2,바SG2)의 피크치가 기준전압(Vref)을 넘지 않은 상태에는 노드(N1)의 전위가 상승한다.

상기 노드(N1)는 P채널 MOS 트랜지스터(Tr17)의 게이트에 접속되고 이 트랜지스터(Tr17)의 소스는 전원(VDD)에 접속되고 드레인은 저항(R5)을 거쳐서 전원(Vss)에 접속된다. 또한, 상기 저항(R5)에는 용량(C1)이 병렬로 접속된다.

상기 트랜지스터(Tr17)의 드레인은 N채널 MOS 트랜지스터(Tr18)의 게이트에 접속되고 이 트랜지스터(Tr18)의 소스는 전류원(14d)을 거쳐서 전원(Vss)에 접속된다.

상기 트랜지스터(Tr18)의 드레인은 P채널 MOS 트랜지스터(Tr19)를 거쳐서 전원(VDD)에 접속되고 이 트랜지스터(Tr19)의 게이트는 P채널 MOS 트랜지스터(Tr20)의 게이트에 접속된다.

상기 트랜지스터(Tr20)의 소스는 전원(VDD)에 접속되고 드레인은 게이트에 접속됨과 동시에, N채널 MOS 트랜지스터(Tr21)의 드레인에 접속된다.

상기 트랜지스터(Tr21)의 게이트에는 고정전압(Vcst)이 입력되고 소스는 상기 전류원(14d)를 거쳐서 전원(Vss)에 접속된다. 상기 고정전압(Vcst)은 정전압생성회로에 의해 생성된다.

이러한 트랜지스터(Tr18~Tr21)로 차동회로가 구성되고, 트랜지스터(Tr18)의 게이트전위가 상승하면, 이 트랜지스터(Tr18)의 드레인전위가 저하하는 동시에, 트랜지스터(Tr21)의 드레인전위가 상승한다.

또, 트랜지스터(Tr18)의 게이트전위가 저하하면, 이 트랜지스터(Tr18)의 드레인전위가 상승함과 동시에, 트랜지스터(Tr21)의 드레인전위가 저하한다.

상기 트랜지스터(Tr18,Tr19)의 드레인은 P채널 MOS 트랜지스터(Tr22)의 게이트에 입력되고 이 트랜지스터(Tr22)의 소스는 전원(VDD)에 접속되고 드레인은 저항(R6)을 거쳐서 전원(Vss)에 접속된다. 그리고, 상기 트랜지스터(Tr22)의 드레인으로부터 상기 제어신호(CNTL)가 출력된다.

이와 같이 구성된 비교기(13)는 입력신호(SG2,바SG2)의 진폭이 증가되고 그 피크치가 기준전압(Vref)을 넘으면, 노드(N1)의 전위가 저하하고 트랜지스터(Tr17)의 드레인전류가 증대한다.

따라서, 트랜지스터(Tr18)의 게이트전위가 상승하여, 이 트랜지스터(Tr18)의 드레인전류가 증대하여, 트랜지스터(Tr22)의 게이트전위가 저하한다. 이 결과, 트랜지스터(Tr22)의 드레인전류가 증대하여, 제어신호(CNTL)의 전압레벨이 상승한다.

한편, 입력신호(SG2,바SG2)의 진폭이 축소되어, 그 피크치가 기준전압(Vref)을 초과하지 않은 상태로 되면, 노드(N1)의 전위가 상승하여, 트랜지스터(Tr17)의 드레인전류가 감소한다.

따라서, 트랜지스터(Tr18)의 게이트전위가 저하하고, 이 트랜지스터(Tr18)의 드레인전류가 감소하고, 트랜지스터(Tr22)의 게이트전위가 상승한다. 이 결과, 트랜지스터(Tr22)의 드레인전류가 증대하고, 제어신호(CNTL)의 전압레벨이 저하한다. 또, 용량(C1)은 트랜지스터(Tr18)의 게이트전압이 급격한 변화를 방지

하도록 동작한다.

상기한 바와 같이 구성된 GCA(12) 및 비교기(13)로 이루어지는 VGA(5)의 동작을 설명한다.

제6(a)도에 나타난 바와 같이, GCA(12)의 출력신호(SG2)의 진폭이 V_{in1} 으로 되고, 그 피크치가 기준전압(V_{ref})과 일치하면, 제7도에 나타난 바와 같이, 비교기(13)로부터 출력되는 제어신호(CNTL)는 V_{c10} 이 된다.

그리고, 제어신호(CNTL)이 V_{c10} 이 될 때, GCA(12)의 증폭율이 「1」이 되도록, GCA(12)을 구성하는 각 트랜지스터의 정수 및 비교기(13)의 고정전압(V_{cst})이 설정된다.

또, 제6(b)도에 나타난 바와 같이, GCA(12)의 출력신호(SG2)의 진폭이 V_{in2} 가 되면, 그 피크치가 기준전압(V_{ref})에 도달할 때는 제7도에 나타난 바와 같이, 비교기(13)로부터 출력되는 제어신호(CNTL)은 V_{c2} 로 저하한다.

따라서, GCA(12)의 증폭율이 「1」 이상이 되어, GCA(12)의 출력신호(SG2)의 진폭이 증대된다.

또, 제6(c)도에 나타난 바와 같이, GCA(12)의 출력신호(SG2)의 진폭이 V_{in3} 이 되고, 그 피크치가 기준전압(V_{ref})을 초과하면, 제7도에 나타난 바와 같이, 비교기(13)로부터 출력되는 제어신호(CNTL)은 V_{c3} 로 상승한다.

따라서, GCA(12)의 증폭율이 「1」 이하로 되어, GCA(12)의 출력신호(SG2)의 진폭이 축소된다.

이러한 동작에 의해, VGA5는 픽업(4)의 출력신호(SG1)의 진폭이 변화하더라도, 그 피크치가 기준전압(V_{ref})으로 되는 진폭의 출력신호(SG2)를 출력할 수 있다.

또한, VGA(5)의 출력신호(SG2)의 주파수가 변화하더라도, 마이크로컴퓨터(2)로부터 출력되는 제어신호(FCSET)에 따라서 필터(6)의 차단주파수가 조정되기 때문에, 출력신호(SG2)에 포함되는 불필요한 주파수 성분을 확실하게 제거할 수 있다.

제8도는 상기 VGA(5)의 다른 예를 나타낸 것으로, 상기 GCA(12)에 입력하는 제어신호(CNTL)을 마이크로컴퓨터(2)로 생성하는 구성을 부가한 것이다. 즉, GCA(12)의 출력신호(SG2)는 스위치(15a)를 거쳐서 마이크로컴퓨터(2)에 입력되고, 이 마이크로컴퓨터(2)에는 상기 기준전압(V_{ref})이 입력된다. 그리고, 마이크로컴퓨터(2)는 GCA(12)의 출력신호(SG2)와 기준전압(V_{ref})에 따라서, GCA(12)의 출력신호(SG2)의 피크치를 기준전압(V_{ref})으로 하는 제어신호(CNTL)을 연산하는 기능을 구비한다.

마이크로컴퓨터(2)로부터 출력되는 제어신호(CNTL)은 스위치(15b)를 거쳐서 GCA(12)로 입력된다. 또한, 비교기(13)로부터 출력되는 제어신호(CNTL)는 스위치(15c)를 거쳐서 GCA(12)로 입력된다.

이러한 구성에서는 스위치(15a, 15b)를 도통시키고, 스위치(15c)를 비도통으로 하면, 마이크로컴퓨터(2)로부터 출력되는 제어신호(CNTL)에 따라서, VGA(5)의 출력신호(SG2)의 진폭이 일정하게 유지된다.

또, 스위치(15a, 15b)를 비도통으로 하고, 스위치(15c)를 도통시키면, 제3도에 나타난 VGA(5)와 같이 동작한다.

[비교기(7)의 실시형태]

제9도는 상기 비교기(7)의 구체적 구성을 나타낸다. 이 비교기(7)는 증폭기(16)와, 적분기(17)로 구성되고, 이 증폭기(16)에 상기 필터(6)의 입력신호(SG3)가 입력된다. 상기 적분기(17)는 오퍼레이션앰프의 입력 출력단자간에 저항 및 용량이 병렬로 접속되는 공지의 회로이다.

상기 증폭기(16)의 출력신호(SG4)는 상기 적분기(17)로 입력되고, 이 적분기(17)의 출력신호(SG7)가 증폭기(16)로 입력된다. 그리고, 증폭기(16)는 적분기(17)의 출력신호(SG7)의 전압레벨을 임계치로 하여, 아날로그입력신호(SG3)를 디지털 펄스신호에 파형성형하여, 출력신호(SG4)로서 출력한다.

상기 증폭기(16)의 구체적 구성을 제10도에 나타낸다. 이 증폭기(16)는 4단의 인버터회로(18a~18d)가 직렬로 접속되고, 제1단의 인버터회로(18a)에는 입력신호(SG3)가 저항(R11)을 거쳐서 입력되고, 제1단과 제2단의 인버터회로(18a, 18b)사이에는 저항(R12)이 개재되고, 제2단과 제3단의 인버터회로(18b, 18c)사이에는 저항(R13)이 개재된다.

상기 인버터회로(18a)의 입출력단자간에는 저항(R14)과 용량(C2)이 병렬로 접속되고, 용량(C2)은 예를 들어 0.33pF, 상기 저항(R14, R11)의 저항값은 20k Ω 로 설정된다. 따라서, 인버터회로(18a)는 증폭율 「1」의 증폭기를 구성한다.

상기 인버터회로(18b)의 입출력단자 사이에는 저항(R15)과 용량(C3)이 병렬로 접속되고, 용량(C3)은 예를 들어 0.18pF, 상기 저항(R12)의 저항치는 5k Ω , 저항(R15)의 저항치는 25k Ω 로 설정된다. 따라서, 인버터회로(18a)는 증폭율 「5」의 증폭기를 구성한다.

상기 인버터회로(18c)의 입출력단자 사이에는 저항(R16)과 용량(C4)이 병렬로 접속되고, 용량(C4)은 예를 들어 0.11pF, 상기 저항(R13)의 저항치는 5k Ω , 저항(R16)의 저항치는 30k Ω 로 설정된다. 따라서, 인버터회로(18a)는 증폭율 「6」의 증폭기를 구성한다.

상기 적분기(17)의 출력신호(SG7)는 저항(R17)을 거쳐서 인버터회로(18a)에 입력된다.

상기 인버터회로(18a~18d)는 그 출력신호의 상승 및 하강 속도를 같이 하기 위해서, 각각 컷오프주파수가 다르게 설정된다. 컷오프주파수를 다르게 하기 위해서, 각 인버터회로(18a~18d)를 구성하는 P채널 MOS 트랜지스터(Tr31~Tr34)와, N채널 MOS트랜지스터(Tr35~Tr38)의 게이트폭(W) 및 게이트길이(L)는 다음과 같이 설정된다. 단위는 전부 마이크론이다.

Tr31 W=37 L=0.5

Tr32 W=57 L=0.6

Tr33 W=73 L=0.7

Tr34 W=103 L=0.8

Tr35 W=12 L=0.7

Tr36 W=15 L=0.8

Tr37 W=18 L=1.0

Tr38 W=24 L=1.2

이러한 설정에 의해, 인버터회로(18a)의 컷오프주파수는 24MHZ, 인버터회로(18b)의 컷오프주파수는 35MHZ, 인버터회로(18c)의 컷오프주파수는 48MHZ가 된다.

이와 같이 구성된 비교기(7)에서는 제11도에 나타난 바와 같이, 아날로그의 입력신호(SG3)가 입력되면 증폭기(16)의 각 인버터회로(18a~18d)가 순차 증폭되어, 후단의 인버터회로의 출력신호 정도 진폭이 커져 서서히 한계점 상태로 되어 종단의 인버터회로(18d)로부터 디지털 펄스신호로 된 출력신호(SG4)가 출력된다.

이때, 상기 VGA5의 동작에 관계없이, 입력신호(SG3)는 주파수의 변화에 동반하여 과도적으로 진폭이 변화한다. 이 진폭의 변화는 주파수가 높아지면 진폭이 작아지고, 주파수가 낮아지면 진폭이 커진다.

또, 입력신호(SG3)는 디스크(3)의 기록방식 이 CLV 방식이면 디스크(3)의 직경방향에서의 픽업(4)의 위치의 이동에 동반하여 주파수 및 진폭이 변화하고, ZCLV 방식이면 각 존내에서 디스크(3)의 직경방향의 픽업(4)위치의 이동에 동반하여 주파수 및 진폭이 변화한다.

증폭기(16)의 제1단의 인버터회로(18a)는 입출력단자가 저항(R14) 및 용량(C2)으로 접속되어 있으므로, 그 바이어스전압은 VDD/2에 수축(收束)하려 한다.

입력신호(SG3)의 진폭의 변화에 의해, 이 입력신호(SG3)의 중간레벨이 VDD/2로부터 어긋나면, 출력신호(SG4)의 듀티가 1:1로부터 어긋나 버리지만, 적분기(17)의 출력신호(SG7)에 따라서, 인버터회로(18a)의 바이어스전압은 입력신호(SG3)의 중간레벨로 추종한다.

즉, 입력신호(SG3)의 중간레벨이 VDD/2보다 낮아지면, 출력신호(SG4)의 H레벨의 펄스폭이 짧아져, L레벨의 펄스폭이 길어진다. 그러면, 적분기(17)의 출력신호(SG7)의 전압레벨이 저하하기 때문에, 인버터회로(18a)의 바이어스전압이 낮게 되도록 보정된다.

또한, 입력신호(SG3)의 중간레벨이 VDD/2보다 높게 되면, 출력신호(SG4)의 L레벨 펄스폭이 짧아져, H레벨의 펄스폭이 길어진다. 따라서, 적분기(17)의 출력신호(SG7)의 전압레벨이 상승하기 때문에, 인버터회로(18a)의 바이어스전압이 높아지도록 보정된다.

따라서, 증폭기(16) 및 적분기(17)의 동작에 의해, 출력신호(SG4)는 그 듀티가 항상 1:1이 되도록 제어된다. 제12도는 비교기(7)의 제2실시형태를 나타낸다. 이 실시의 형태는 상기 증폭기(16)의 바이어스전압을 오프셋하기 위해서, 상기 마이크로컴퓨터(2)로부터 출력되는 오프셋전압(OS1)을 스위치(19a)를 거쳐서 입력 가능하게 하여, 적분기(17)에는 바이어스전압으로서 VDD/2를 스위치(19b)를 거쳐서 입력 가능하게 하고, 상기 마이크로컴퓨터(2)로부터 출력되는 오프셋전압(OS2)을 스위치(19c)를 거쳐서 입력 가능하게 한 것이다.

상기 오프셋전압(OS1)은 증폭기(16)의 출력신호(SG4)의 듀티의 엇갈림을 보정하도록, 상기 EFM 복조회로(8)로부터 마이크로컴퓨터(2)로 출력되는 신호에 따라서, 마이크로컴퓨터(2)로 인버터회로(18a)의 바이어스전압의 오프셋치를 연산하고, 그 연산치를 D/A 변환기(도시하지 않음)에서 아날로그전압으로 변환한 것이다.

상기 오프셋전압(OS2)은 증폭기(16)의 출력신호(SG4)의 듀티의 변화를 보정하도록, 적분기(17)의 바이어스전압의 오프셋치를 마이크로컴퓨터(2)로 연산하고, D/A 변환기(도시하지 않음)로 아날로그전압으로 변환한 것이다. 상기 스위치(19a~19c)는 마이크로컴퓨터(2)에 의해 개폐제어가 행해진다.

이와 같이 구성된 비교기(7)에서는 스위치(19b)를 도통시키고, 스위치(19a, 19c)를 비도통으로 하면, 상기 실시형태와 같이 동작한다.

또, 증폭기(16)의 바이어스전압이 VDD/2로부터 어긋나고 있는 경우에는 스위치(19b)를 비도통으로 하고 또한 스위치(19c)를 도통시켜, 마이크로컴퓨터(2)의 연산에 준한 오프셋전압(OS2)을 입력하여, 적분기(17)와 증폭기(16)의 오프셋 전압을 일치시키도록 하면, 출력신호(SG4)의 듀티를 확실히 또 신속하게 보정할 수 있다.

또한, 스위치(19a)를 도통시키고, 마이크로컴퓨터(2)의 연산에 근거하는 증폭기(16)의 오프셋전압(OS1)을 입력하면, 출력신호(SG4)의 듀티를 확실히 보정할 수 있다.

제13도는 비교기(7)의 제3실시형태를 나타낸다. 본 실시형태는 상기 제2의 실시형태의 구성으로, 스위치(19d~19e)에 의한 제어기능을 가한 것이다.

즉, 증폭기(16)에는 입력신호(SG3)가 스위치(19d)를 거쳐서 입력된다. 또, 증폭기(16)에는 임의의 펄스신호(VCO1)가 스위치(19e)를 거쳐서 입력되고, 적분기(17)의 출력신호(SG7)가 스위치(19f)를 거쳐서 입력된다.

상기 적분기(17)에는 증폭기(16)의 출력신호(SG4)가 스위치(19g)를 거쳐서 입력되고, 적분기(17)의 입출력단자 사이에는 스위치(19h)를 거쳐서 저항이 접속된다.

상기 펄스신호(VCO1)는 마이크로컴퓨터(2)로 생성되고, 스위치(19d~19e)는 마이크로컴퓨터(2)에 의해서 제어된다.

이와 같이 구성된 비교기에서는 스위치(19d, 19f, 19g)를 도통시켜 스위치(19h)를 비도통으로 한 상태에서 나머지의 스위치의 개폐를 제어하면, 상기 제2의 실시형태와 같은 작용효과를 얻을 수 있다.

디스크(3)로부터 저장데이터를 픽업(4)으로 판독할 수 없을 때 또는 디스크의 결함에 의해 데이터를 판독할 수 없을 때, 입력신호(SG3)는 H레벨 또는 L레벨로 고정된 상태가 된다.

이 때에, 스위치(19d, 19f, 19g)를 비도통으로 하고, 스위치(19e, 19f)를 도통시키면, 적분기(17)는 증폭기(16)와 분리된다. 그리고, 적분기(17)의 출력신호(SG7)는 VDD/2에 고정되어, 증폭기(16)에서는 펄스신호(VCO1)의 증폭동작이 행해진다.

이러한 상태로 함으로서, 정상인 판독동작에 의해, 입력신호(SG3)의 입력이 재개될 때, 출력신호(SG4)가 정상인 디지털 펄스신호로 될 때까지 요하는 시간을, 증폭기(16)의 출력신호(SG4) 및 적분기(17)의 출력신호(SG7)가 H레벨 또는 L레벨로 고정된 상태에서부터 정상 상태로 복귀될 때까지의 시간에 비해서, 단축할 수 있게 된다.

또, 적분기(17)의 출력신호(SG7)를 VDD/2에 고정하는 것은 아니고, 스위치(19c)를 도통시켜, 증폭기(16)의 오프셋전압에 맞춘 오프셋전압(OS2)을 입력하면, 복귀에 요하는 시간을 더 단축할 수 있다.

[PLL 회로(9)의 실시형태]

제14도는 상기 PLL 회로(9)의 실시형태를 나타낸다. 일반적으로 PLL 회로를 구성하는 VCO(전압제어발진기)는 출력주파수(Fvco)가 높아질수록, 그 이득이 높아진다. 따라서, 이 데이터판독장치(1)에서 픽업(4)의 위치에 의해 비교기(7)의 출력신호(SG7)의 주파수가 크게 변동하면 PLL 회로(9)의 이득이 크게 변화한다.

VCO의 이득이 높으면, 출력주파수(Fvco)의 록업후의 안정성이 저하하고, VCO의 이득이 낮으면, 출력주파수(Fvce)의 록업시간이 길어진다.

이와 같은 것으로부터, PLL회로(9)의 VCO의 출력주파수(Fvco)의 변화에 의한 이득의 변동을 넓은 주파수 범위로 억제할 필요가 있다.

이 실시형태는 넓은 주파수범위로 VCO의 이득 변동을 억제가능하게 한 PLL 회로를 나타낸 것이다.

비교기(7)로부터 입력되는 입력신호(SG4)는 위상비교기(20)로 입력되고, 그 위상비교기(20)에는 분주기(25)의 출력신호가 입력된다.

그리고, 위상비교기(20)는 입력신호(SG4)와 분주기(25)의 출력신호의 위상차에 준하는 위상차신호(ϕR , ϕP)를 출력한다.

상기 위상차신호(ϕR , ϕP)는 차지펌프(21a, 21b)에 병렬로 입력되고, 이 차지펌프(21a, 21b)는 위상차신호(ϕR , ϕP)에 근거하는 전류신호를 출력한다.

상기 차지펌프(21a)의 출력단자는 저항(R20) 및 용량(C10)을 거쳐서 전원(Vss)에 접속되고, 상기 차지펌프(21b)의 출력단자는 상기 저항(R20)과 용량(C10)의 접속점에 접속되어 있다.

이와 같이 병렬로 동작하는 차지펌프(21a, 21b)의 출력신호가 저항(R20) 및 용량(C10)으로 평활된다.

상기 차지펌프(21a, 21b)의 출력신호(P0)는 상기 마이크로컴퓨터(2)로 제어되는 스위치(22a)를 거쳐서, 제1VCO(23a)와 제2VCO(23b)의 어느 하나로 출력된다.

상기 제1VCO(23a)와 제2VCO(23b)는 그 이득이 다르고, 제1VCO(23a)는 제2VCO(23b)보다 높은 이득을 갖는다.

상기 마이크로컴퓨터(2)는 상기 픽업(4)의 위치정보에 따라서 스위치(22a)를 제어하고, 픽업(4)이 디스크(3)의 내주부에 위치할 때는 제1VCO(23a)를 선택하고, 픽업(4)이 디스크(3)의 외주부에 위치할 때는 제2VCO(23b)를 선택하도록 동작한다.

또, 상기 제1의 VCO(23a)와 제2VCO(23b)에는 D/A 변환기(24)로부터 바이어스전류(BC)가 입력된다. 상기 D/A 변환기(24)는 상기 픽업(4)의 위치정보에 따라서, 마이크로컴퓨터(2)로부터 출력되는 바이어스제어신호(BD)를 아날로그치로 변환하여, 바이어스전류(BC)로서 출력하는 것이다.

그리고, 픽업(4)이 외주를 향해서 이동하면 바이어스전류(BC)가 커지게 되고, 픽업(4)이 내주를 향해서 이동하면, 바이어스전류(BC)가 작아진다.

상기 제1VCO(23a) 및 제2의 VCO(23b)의 출력신호(fvco1, fvco2)는 이중 어느 하나가 스위치(22b)를 거쳐서 상기 클럭신호(CLK)로서 출력된다.

상기 스위치(22b)는 상기 스위치(22a)와 같이 상기 마이크로컴퓨터(2)에 의해 제어되어, 상기 차지펌프(21a, 21b)의 출력신호(P0)가 입력된 VCO의 출력신호를 클럭신호(CLK)로서 출력한다.

상기 제1VCO(23a) 및 제2VCO(23b)는 이득이 다른 동일구성의 회로에서 구성되어, 제15도에 그 일례를 나타낸다. 3단의 인버터회로(26)는 각각 전송게이트(27a~27c)를 거쳐서 환상으로 접속되고, 어느 하나의 인버터회로(26)의 출력단자로부터, 출력신호(fvco)가 출력된다.

상기 전송게이트(27a, 27c)를 구성하는 P채널 MOS 트랜지스터 및 N채널 MOS 트랜지스터의 게이트에는 제1 바이어스전압 생성회로(28)로부터 출력되는 제어신호(bi1p, bi1n)가 입력되고, 이 제어신호(bi1p, bi1n)에 따라서 전송게이트(27a, 27c)를 흐르는 전류가 제어된다.

따라서, 전송게이트(27a, 27c)를 흐르는 전류가 증대하면, 출력신호(fvco)의 주파수가 높게 된다. 상기 전

송게이트(27b)를 구성하는 P채널 MOS 트랜지스터 및 N 채널 MOS 트랜지스터의 게이트에는 제2바이어스 전압생성회로(29)로부터 출력되는 제어신호(bi2p, bi2n)가 입력되고, 이 제어신호(bi2p, bi2n)에 따라서, 전송게이트(27b)를 흐르는 전류가 제어된다.

따라서, 전송게이트(27b)를 흐르는 전류가 증대하면, 출력신호(fvco)의 주파수가 높게 된다. 또, 상기 전송게이트(27a, 27c)의 출력단자에 소스가 접속되고, 그 드레인이 전원(VDD)에 접속되는 P채널 MOS 트랜지스터(Tr40, Tr41)는 전송게이트(27a, 27c)의 출력전위가 전원(VDD)보다 트랜지스터(Tr40, Tr41)의 임계치 이상 높아진 때 온된다.

따라서, 전송게이트(27a, 27c)에 의한 전류제어에 동반하여 발생하는 노이즈가 트랜지스터(Tr40, Tr41)에 의해 흡수된다.

상기 제1바이어스전압 생성회로(28)에는 상기 D/A 변환기(24)로부터 바이어스전류(BC)가 입력되고, 상기 제2바이어스전압 생성회로(29)에는 상기 차지펌프(21a, 21b)의 출력신호(P0)가 입력된다.

상기 제1바이어스전압 생성회로(28)에 대해서, 그 회로구성을 제16도에 따라 설명한다. P채널 MOS 트랜지스터(Tr42, Tr43)의 소스는 전원(VDD)에 접속되고, 이 트랜지스터(Tr42, Tr43)의 게이트 및 트랜지스터(Tr42)의 드레인은 N채널 MOS 트랜지스터(Tr44)의 드레인에 접속된다.

상기 트랜지스터(Tr44)의 게이트는 전원(VDD)에 접속되고, 이 트랜지스터(Tr44)는 상시 온 상태로 유지되어, 이 트랜지스터(Tr44)의 소스에 상기 바이어스전류(BC)가 입력된다.

따라서, 상기 트랜지스터(Tr42, Tr43)는 커런트 미러 회로를 구성하고, 바이어스전류(BC)가 변화하면, 트랜지스터(Tr42, Tr44)에 흐르는 드레인전류가 변화하고, 이 드레인전류의 변화에 동반하여, 트랜지스터(Tr43)의 드레인 전류가 변화한다.

상기 트랜지스터(Tr42, Tr44)의 드레인으로부터 제어신호(bi1p)가 출력된다. 또한, 트랜지스터(Tr42, Tr44)의 드레인은 P채널 MOS 트랜지스터(Tr45)를 거쳐서 전원(VDD)에 접속되고, 이 트랜지스터(Tr45)의 게이트는 전원(VDD)에 접속된다.

따라서, 트랜지스터(Tr44)의 동작에 따라서, 제어신호(bi1p)가 전원(VDD)보다 트랜지스터(Tr45)의 임계치 이상 높게 될 때는 이 트랜지스터(Tr45)가 온 되어, 제어신호(bi1p)에 생기는 노이즈가 흡수된다.

상기 트랜지스터(Tr43)의 드레인은 N채널 MOS 트랜지스터(Tr46)의 드레인 및 게이트에 접속되고, 이 트랜지스터(Tr46)의 소스는 전원(Vss)에 접속되고, 이 트랜지스터(Tr46)의 드레인으로부터 제어신호(bi1n)이 출력된다.

또한, 상기 트랜지스터(Tr46)의 드레인은 N채널 MOS 트랜지스터(Tr47)를 거쳐서 전원(Vss)에 접속되고, 이 트랜지스터(Tr47)의 게이트는 전원(Vss)에 접속된다.

따라서, 트랜지스터(Tr46)의 동작에 따라서, 제어신호(bi1n)가 전원(Vss)보다 트랜지스터(Tr47)의 임계치 이상 낮게 될 때는 이 트랜지스터(Tr47)가 온 되어, 제어신호(bi1n)에 생기는 노이즈가 흡수된다.

이와 같이 구성된 제1바이어스전압 생성회로(28)에서는 바이어스전류(BC)에 따라서, 트랜지스터(Tr44)에 흐르는 전류가 작아지면, 제어신호(bi1p)의 전압이 상승하여, 제어신호(bi1n)의 전압이 저하한다.

또, 바이어스전류(BC)에 따라서, 트랜지스터(Tr44)에 흐르는 전류가 작아지면, 제어신호(bi1p, bi1n)은 전원(VDD)과 전원(Vss)의 중간레벨에 가까워지도록 동작한다. 제2바이어스전압 생성회로(29)에서도, 차지펌프(21a, 21b)의 출력신호(P0)에 따라서, 동일하게 동작한다.

상기한 바와 같이 구성된 제1VCO(23a)에서는 픽업(4)의 위치에 따라서, D/A 변환기(24)로부터 출력되는 바이어스전류(BC)가 단계적으로 조정되고, 그 바이어스전류(BC)의 변화에 의해, 제17도에 나타난 바와 같이, 차지펌프(21a, 21b)에서의 입력신호(P0)에 따라서, 출력신호(fvco1)가 출력된다.

이 때, 출력신호(fvco1)의 주파수가 높아질수록, 제1VCO(23a)의 이득이 커지므로, 입력신호(P0)의 변화에 대한 출력신호(fvco1)의 경사가 커진다.

또, 제2VCO(23b)에서도, 픽업(4)의 위치에 따라서 D/A 변환기(24)로부터 출력되는 바이어스전류(BC)가 단계적으로 조정되고, 이 바이어스전류(BC)의 변화에 의해, 제18도에 나타난 바와 같이, 차지펌프(21a, 21b)에서의 입력신호(P0)에 따라서 출력신호(fvco2)가 출력된다.

이때, 출력신호(fvco2)의 주파수가 높아질수록, 제2VCO(23b)의 이득이 커지므로, 입력신호(P0)의 변화에 대한 출력신호(fvco2)의 경사가 커진다. 그리고, 제2VCO(23b)는 제1VCO(23a)보다 이득이 낮게 설정되어 있기 때문에, 동일범위의 출력주파수에 있어서, 출력신호(fvco2)의 경사는 출력신호(fvco1)의 경사보다 작아진다.

또, 픽업(4)의 위치가 디스크(3)의 직경방향 중간에서 내주에 걸쳐서는 스위치(22a, 22b)에 의해 제1VCO(23a)가 선택되고, 픽업(4)의 위치가 디스크(3)의 직경방향중간에서 외주에 걸쳐서는 스위치(22a, 22b)에 의해 제2VCO(23b)가 선택된다.

즉, 이 PLL 회로(9)의 입력신호(SG4)가 낮은 때에는 제1VCO(23a)가 선택되고, 입력신호(SG4)가 높은 때에는 제2VCO(23b)가 선택된다.

이러한 동작에 의해, 제19도에 나타난 바와 같이, 제1 및 제2VCO(23a, 23b)의 출력신호(fvco1, fvco2)의 변화에 대한 이득의 변화를 억제할 수 있으므로, 넓은 주파수범위에 있어서, 클럭신호(CLK)의 경사의 변화를 억제할 수 있다.

따라서, 이 PLL 회로(9)에서는 입력신호(SG4)가 넓은 주파수 범위에 있어서, 록업후의 클럭신호(CLK)를 안정시키고, 또 록업 시간을 단축할 수 있다.

이상과 같은 데이터판독장치에서는 다음에 나타난 작용효과를 얻을 수 있다.

- (1) CLV 방식 또는 ZCLV 방식으로 기록된 디스크(3)를 등속회전으로 구동하면서 데이터를 판독할 수 있기 때문에, 스피들모터(M)를 소형화하여, 소비전력을 절감할 수 있다.
- (2) CLV 방식 또는 ZCLV 방식으로 기록된 디스크(3)를 등속회전으로 구동하여 데이터를 판독하면, 픽업(4)의 출력신호(SG1)는 디스크(3)의 판독위치에 의해서, 그 주파수 및 진폭이 변화하지만, VGA5에 의하여 그 진폭을 일정하게 할 수 있다. 따라서, 진폭의 변화에 의한 복조동작의 곤란성을 해소할 수 있으므로, CAV 방식을 용이하게 채용할 수 있다.
- (3) VGA4의 출력신호(SG2)의 변화에 동반하여, 필터(6)의 차단주파수를 변경하고, VGA4의 출력신호(SG2)로부터 필요한 주파수를 확실히 추출할 수 있기 때문에, CLV 방식 또는 ZCLV 방식으로 기록된 디스크(3)로부터 데이터를 판독하는 판독장치로서, 디스크를 등속 회전시키는 CAV 방식을 용이하게 채용할 수 있다.
- (4) 비교기(7)는 증폭기(16) 및 적분기(17)의 동작에 의해, 입력신호(SG3)의 주파수의 변화에 관계없이, 입력신호(SG3)를 듀티가 일정한 디지털펄스신호로 변환할 수 있기 때문에, CAV 방식을 용이하게 채용할 수 있다.
- (5) PLL 회로(9)는 입력신호(SG4)의 주파수변화에 관계없이, VCO의 이득 변화를 억제할 수 있기 때문에, EFM 복조회로(8)에 출력하는 클럭신호(CLK)의 록업시 및 로크 업동작시의 클럭신호(CLK)를 안정시킬 수 있다.

상기 실시형태로부터 파악할 수 있는 청구항 이외의 기술사상을 그 효과와 함께 기술한다.

(1) 본 발명에 의하면, 상기 이득가변증폭기는 증폭기의 출력신호와 미리 설정된 기준전압을 비교하여 생성되는 제어신호에 따라서, 상기 증폭기의 이득이 조정된다. 증폭기의 이득을 자동적으로 조정하여, 그 증폭기의 출력신호의 진폭을 일정하게 유지할 수 있다.

(2) 본 발명에 의하면, 상기 이득가변증폭기는 픽업장치의 위치정보와 기준전압에 따라서, 마이크로컴퓨터로 연산되는 제어신호로 증폭기의 이득이 조정된다. 증폭기의 이득을 자동적으로 조정하여, 그 증폭기의 출력신호의 진폭을 일정하게 유지할 수 있다.

발명의 효과

이상 상술한 바와 같이, 본 발명은 CLV 방식 및 ZCLV 방식 등, 데이터가 적어도 일부분에서 선속도 일정 방식으로 기록된 기록매체를 등속회전으로 구동하여, 모터의 소형화 및 저소비전력화를 도모하면서, 소정의 판독데이터를 복조 가능하게 한 데이터복조장치 및 데이터판독장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

기록 매체로부터 판독한 아날로그 데이터 신호를 복조하는 데이터 복조장치로서, 거의 일정한 선속도 방식으로 상기 기록매체의 적어도 일부에 데이터가 기록되어 있으며, 상기 아날로그 데이터 신호를 판독하는 동안 상기 기록매체가 거의 등속도로 회전하여 상기 판독되는 아날로그 데이터 신호의 주파수와 진폭 중의 하나가 변하는 데이터 복조장치에 있어서, 상기 주파수와 진폭 중 하나의 변화에 대응하여 상기 판독된 아날로그 데이터 신호를 처리하여 복조에 적합한 디지털 데이터 신호를 생성하는 시그널 프로세서와, 상기 디지털 데이터 신호를 복조하여 복조 디지털 데이터 신호를 생성하는 복조기를 포함하며, 상기 시그널 프로세서는, 소정의 전압 및 증폭 아날로그 데이터 신호와 상기 데이터판독위치의 정보 중 하나에 따라 자기 이득을 조정하면서, 상기 판독된 아날로그 데이터 신호를 증폭하여 거의 일정한 진폭을 갖는 증폭 아날로그 데이터 신호를 생성하는 가변이득 증폭기와, 상기 가변이득 증폭기에 접속되어, 상기 데이터판독위치의 쉬프트에 따라 자기 차단주파수를 조정하면서 증폭된 아날로그 데이터신호를 필터링하는 필터와, 상기 필터에 접속되어, 상기 아날로그 데이터 신호의 진폭과 주파수 중 하나의 변화에 따라 임계치를 변화시키면서, 필터링된 아날로그 데이터신호를 입력받아 필터링된 아날로그 데이터신호의 진폭과 임계치를 비교하여 디지털 데이터 신호를 생성하는 비교기를 구비하는 것을 특징으로 하는 데이터 복조장치.

청구항 2

제1항에 있어서, 상기 비교기는 상기 아날로그 데이터 신호를 입력받아 출력신호를 생성하는 증폭기와, 상기 출력신호를 입력받아 상기 증폭기에 입력되는 바이어스 전압을 생성하는 적분기를 포함하고, 상기 증폭기는 상기 바이어스전압에 대응하여 상기 출력신호를 나타내는 상기 디지털 데이터 신호를 생성하는 것을 특징으로 하는 데이터복조장치.

청구항 3

제1항에 있어서, 상기 데이터복조장치는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 대응하여 전압제어발진기의 이득을 조정가능하게 한 PLL 회로를 구비하는 것을 특징으로 하는 데이터복조장치.

청구항 4

제3항에 있어서, 상기 PLL 회로는 이득이 다른 복수의 전압제어발진기를 구비하고, 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 대응하여 선택한 전압제어발진기로부터 출력신호를 출력하는 것을 특징으로 하는 데이터복조장치.

청구항 5

제3항에 있어서, 상기 PLL 회로는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 대응하여 조정되는 바이어스전류의 입력에 의거하여, 이득을 조정 가능하게 한 전압제어발진기를 구비하는 것을 특징으로 하는 데이터복조장치.

청구항 6

제3항에 있어서, 상기 PLL 회로는 이득이 다른 복수의 전압제어발진기를 구비하고, 상기 각 전압제어발진기는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 대응하여 조정되는 바이어스전류의 입력에 의거하여, 이득을 조정 가능하게 하고, 또한 기록매체로부터의 데이터판독위치에 대응하여 선택한 전압제어발진기로부터 출력신호를 출력하는 것을 특징으로 하는 데이터복조장치.

청구항 7

모터로 회전구동되는 기록매체로부터 픽업장치를 거쳐서 데이터를 판독하고, 상기 픽업장치의 출력신호로부터 판독데이터를 복조하는 복조장치를 구비한 데이터복조장치에 있어서, 상기 픽업장치의 출력신호는 적어도 일부분에서 선속도 일정방식에 의해서 기록매체에 기록된 데이터를, 상기 기록매체를 등속회전으로 구동함으로써 판독한 것이고, 상기 복조장치는, 상기 픽업장치의 출력신호의 진폭을 일정하게 하여 출력하는 이득가변증폭기와, 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 따라서, 차단주파수를 조정 가능하게 한 필터와, 증폭기의 출력신호를 적분기를 거쳐서 상기 증폭기의 바이어스전압으로서 입력하여, 상기 비교기의 증폭기에 입력되는 아날로그입력신호의 주파수 변화에 관계없이 듀티가 일정한 디지털 펄스신호를 출력하는 비교기와, 이득이 다른 복수의 전압제어 발진기를 구비하고, 상기 각 전압제어발진기는 상기 픽업장치에 의한 기록매체로부터의 데이터판독위치에 대응하여 조정되는 바이어스 전류의 입력에 의거하여 이득을 조정 가능하게 하고, 또한 기록매체로부터의 데이터판독위치에 대응하여 선택한 전압제어발진기로부터 출력신호를 출력하는 PLL 회로를 구비하는 것을 특징으로 하는 데이터복조장치.

청구항 8

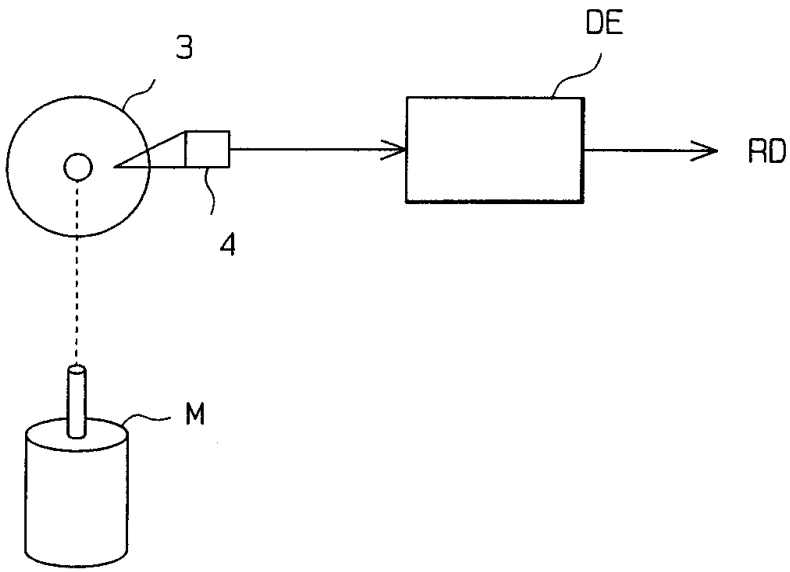
기록 매체의 적어도 일부분에 기록된 데이터를 판독하고 변조하도록 구성된 데이터판독장치로서, 상기 데이터는 거의 일정한 선속도 방식으로 기록되어 있으며, 상기 기록매체는 상기 데이터를 판독하는 동안 거의 등속도로 회전하는 데이터판독장치에 있어서, 상기 기록매체로부터 데이터를 판독하되, 상기 판독한 데이터신호의 주파수와 진폭 중 하나가 변하는 아날로그 데이터 신호를 생성하는 픽업장치와, 상기 주파수와 진폭 중 하나의 변화에 대응하여 상기 판독된 아날로그 데이터신호를 처리하여 복조에 적합한 디지털데이터신호를 생성하는 시그널 프로세서와, 상기 디지털 데이터신호를 복조하여 복조디지털데이터신호를 생성하는 복조기를 포함하며, 상기 시그널 프로세서는, 소정의 전압 및 증폭 아날로그 데이터 신호의 진폭과 상기 기록매체의 상기 데이터 판독위치 정보 중 하나에 따라 자기 이득을 조정하면서 상기 판독된 아날로그 데이터 신호를 증폭하여 거의 일정한 진폭을 갖는 증폭 아날로그 데이터 신호를 생성하는 가변 이득 증폭기와, 상기 가변 이득 증폭기에 접속되어, 상기 데이터 판독 위치의 쉬프트에 따라 셀프-차단주파수를 조정하면서 상기 증폭 아날로그 데이터 신호를 필터링하는 필터와, 상기 필터에 접속되어, 상기 아날로그 데이터 신호의 진폭 및 주파수 중 하나의 변화에 따라 임계치를 변화시키면서 필터링된 아날로그 데이터신호를 입력받아 상기 필터링된 아날로그 데이터 신호의 진폭과 임계치를 비교하여 디지털 데이터 신호를 생성하는 비교기를 구비하는 것을 특징으로 하는 데이터판독장치.

청구항 9

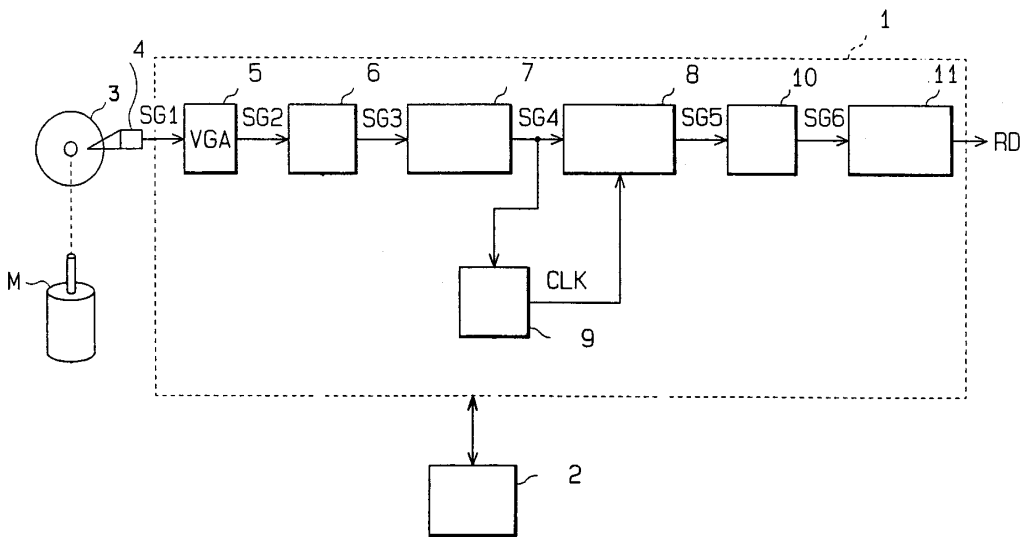
데이터가 적어도 일부분에 기록되어 있으며 거의 일정한 선속도 방식으로 기록되어 있는 기록매체로부터 판독되는 데이터 신호를 복조하는 데이터 복조 방법에 있어서, 상기 기록매체를 거의 등속도로 회전시키는 단계와, 상기 기록매체로부터 아날로그 신호 형태의 데이터를 판독하되, 상기 기록매체의 데이터 판독 위치에 의거하여 주파수와 진폭중의 적어도 어느 하나가 변하는 단계와, 상기 아날로그 신호를 증폭하여, 소정의 전압 및 증폭 아날로그 데이터 신호의 진폭과 상기 데이터 판독 위치에 대한 정보중 하나에 따라 이득을 조정함으로써 거의 일정한 진폭을 갖는 증폭 아날로그 데이터 신호를 생성하는 단계와, 상기 데이터 판독 위치의 쉬프트에 따라 차단주파수를 조정함으로써 상기 증폭 아날로그 신호를 필터링하는 단계와, 상기 필터링된 아날로그 신호의 진폭을 임계치와 비교하고 상기 아날로그 신호의 진폭과 주파수 중의 하나의 변화에 따라 임계치를 변화시킴으로써 디지털 데이터신호를 생성하는 단계와, 상기 아날로그 신호의 상기 주파수를 유지하면서 상기 아날로그 신호를 디지털 펄스 신호로 변환시키는 단계와, 상기 디지털 펄스 신호를 복조하여 복조 데이터를 생성하는 단계를 포함하는 데이터 복조 방법.

도면

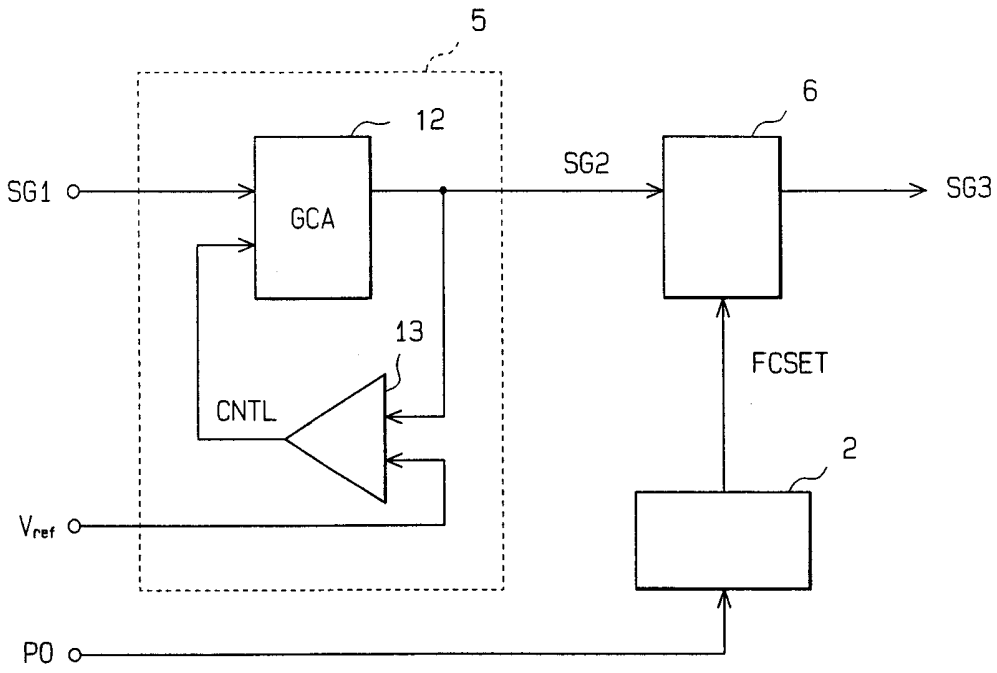
도면1



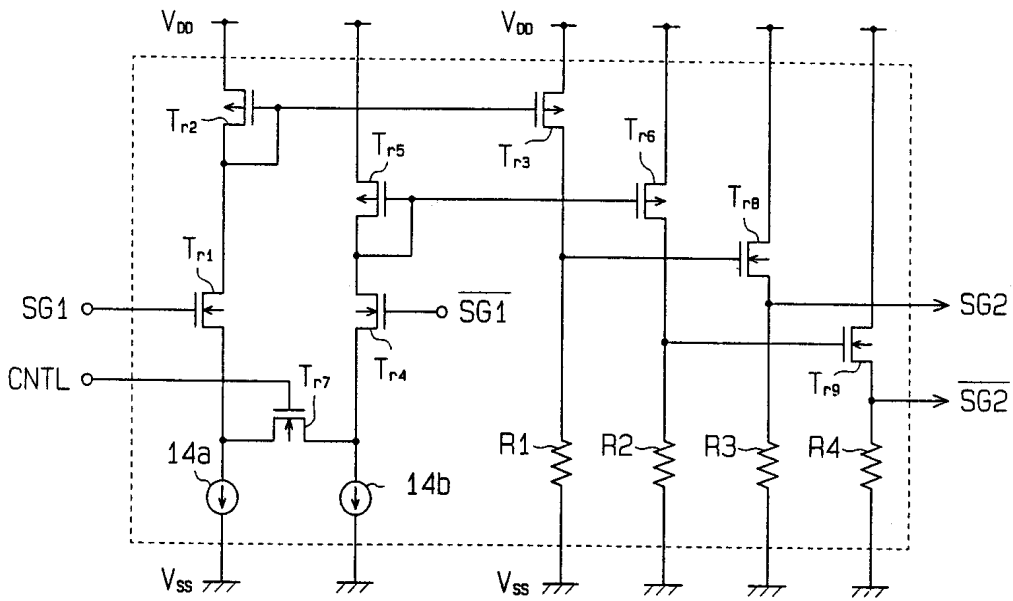
도면2



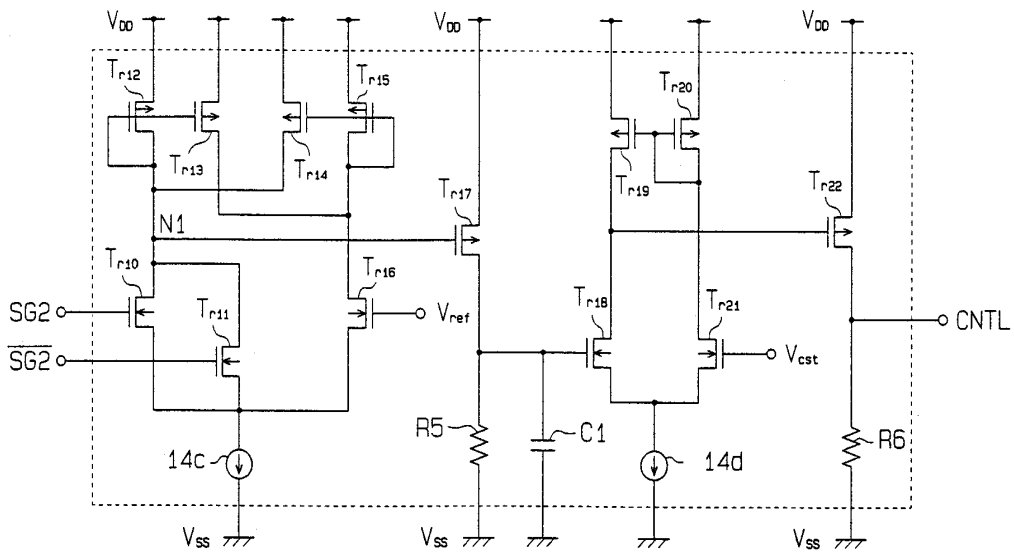
도면3



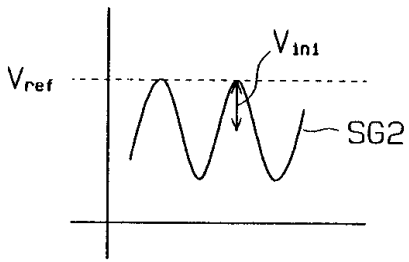
도면4



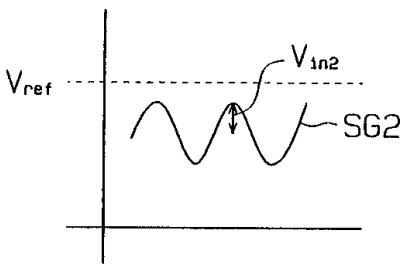
도면5



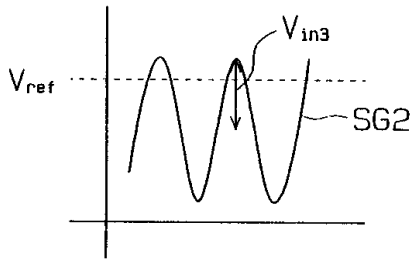
도면6a



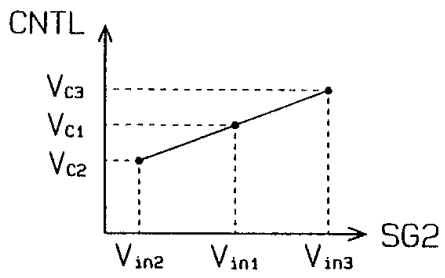
도면6b



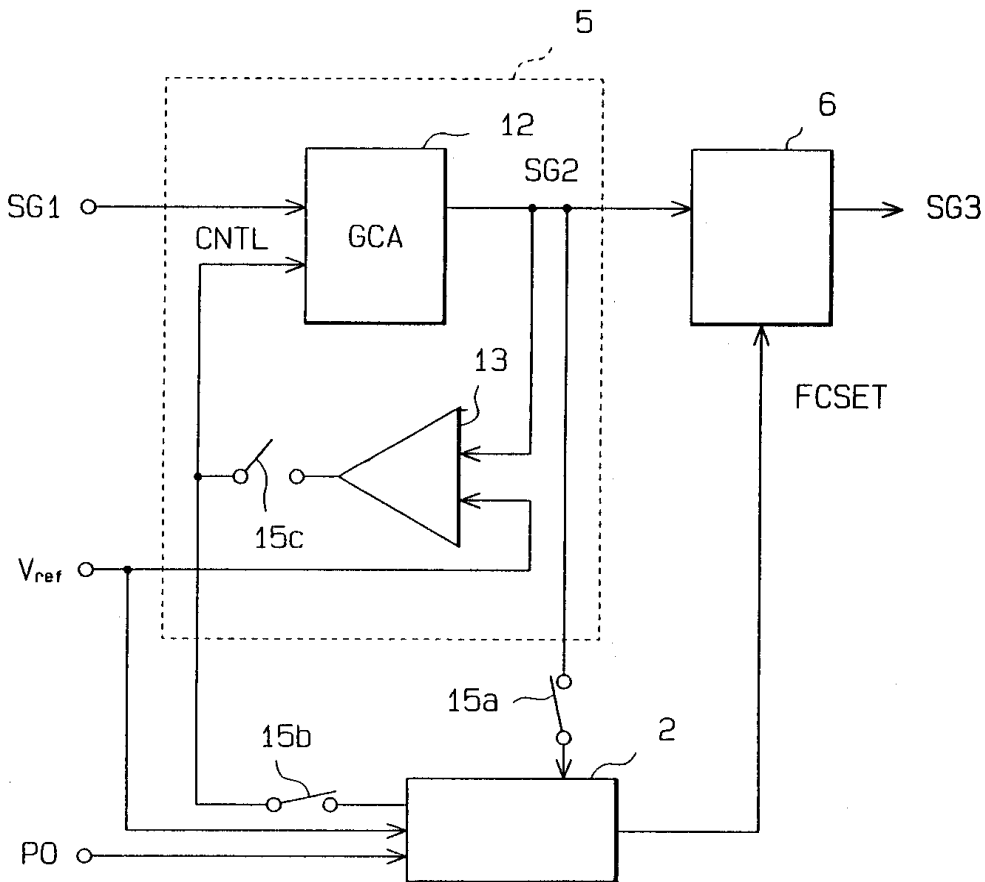
도면6c



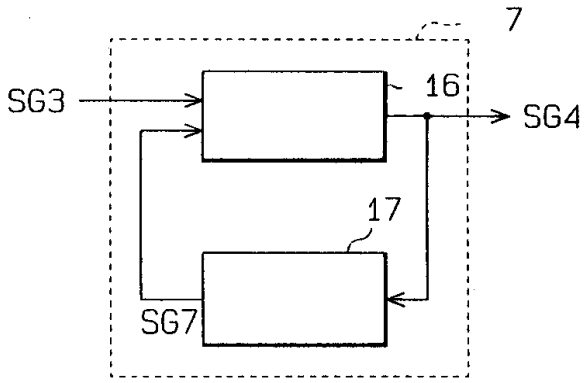
도면7



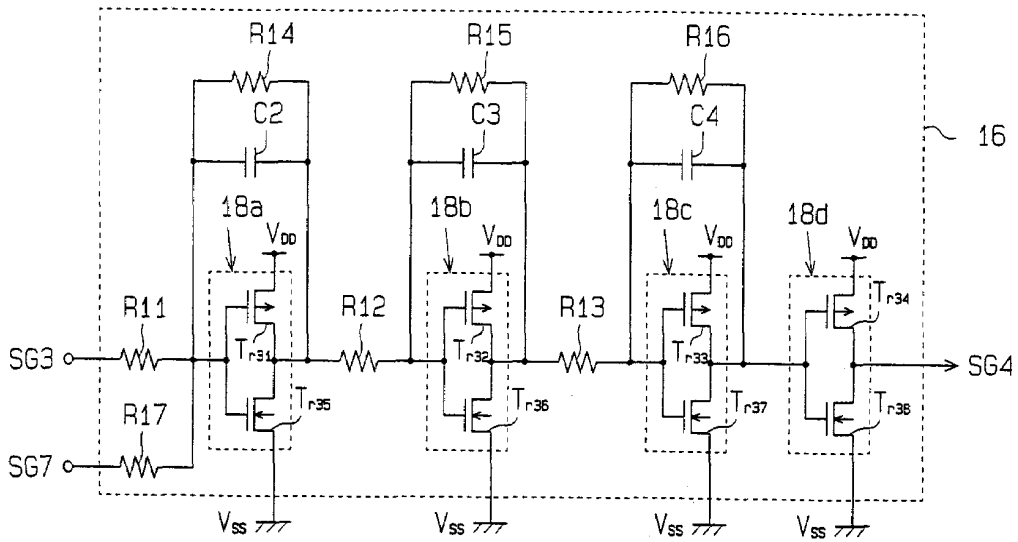
도면8



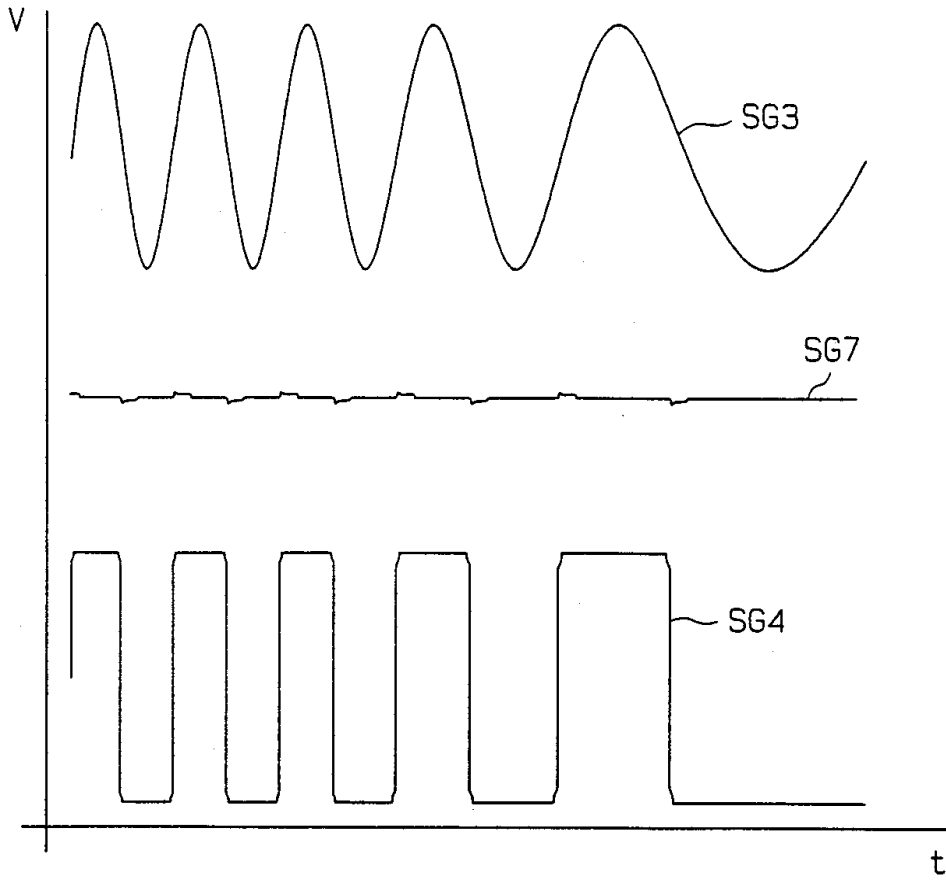
도면9



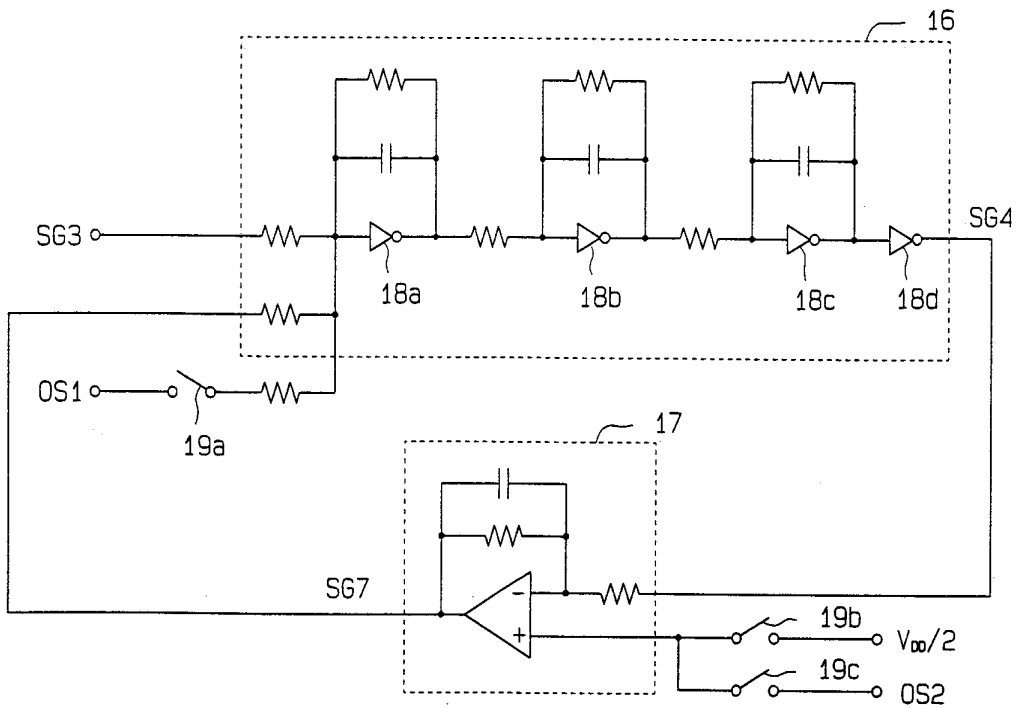
도면10



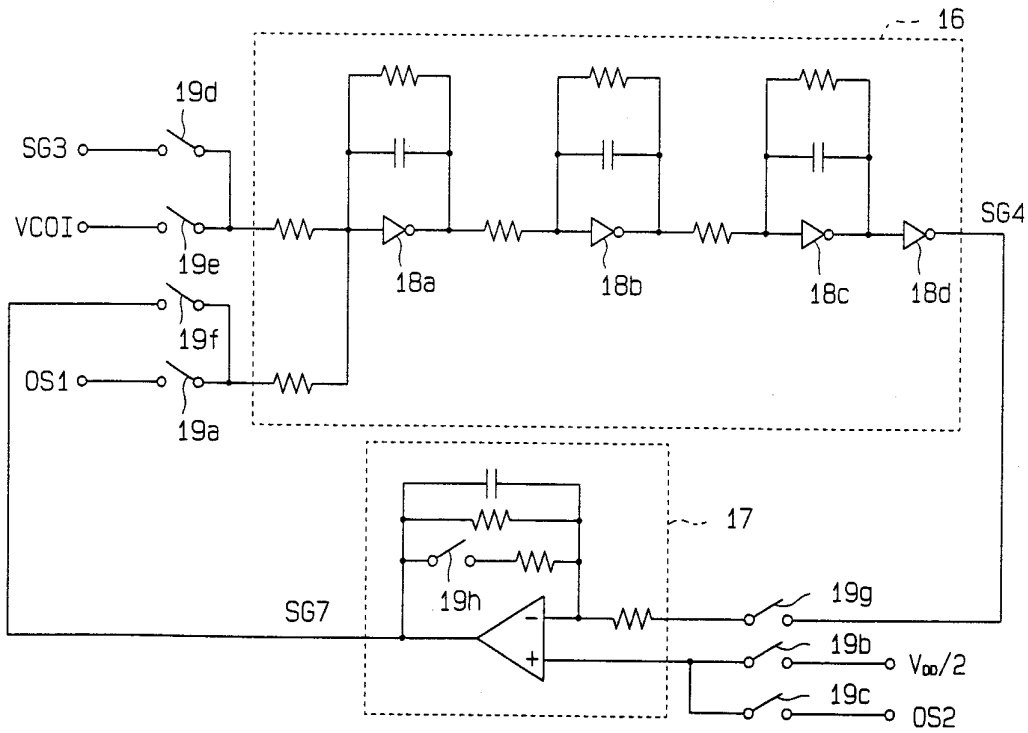
도면11



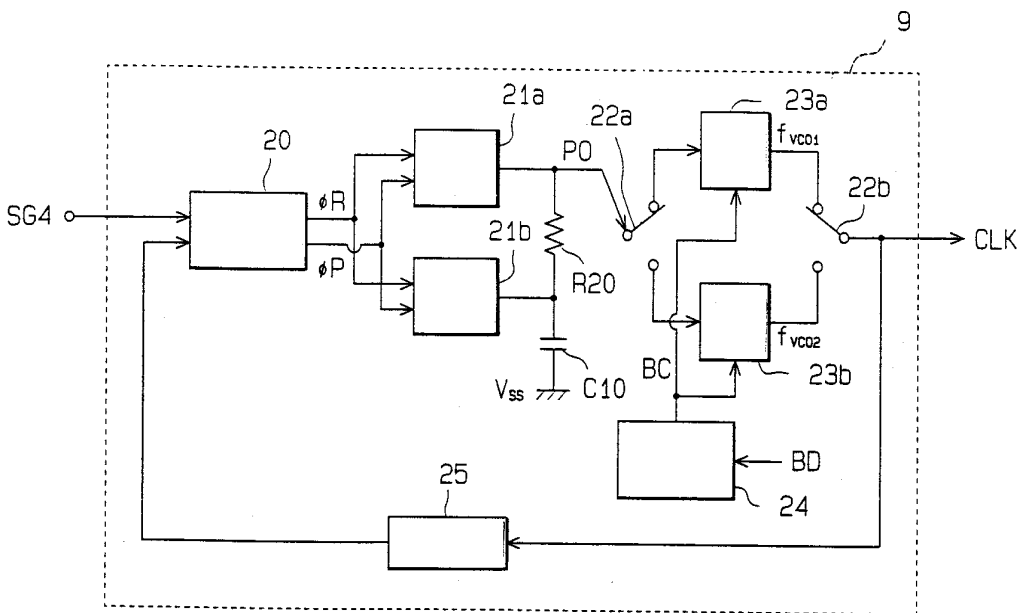
도면12



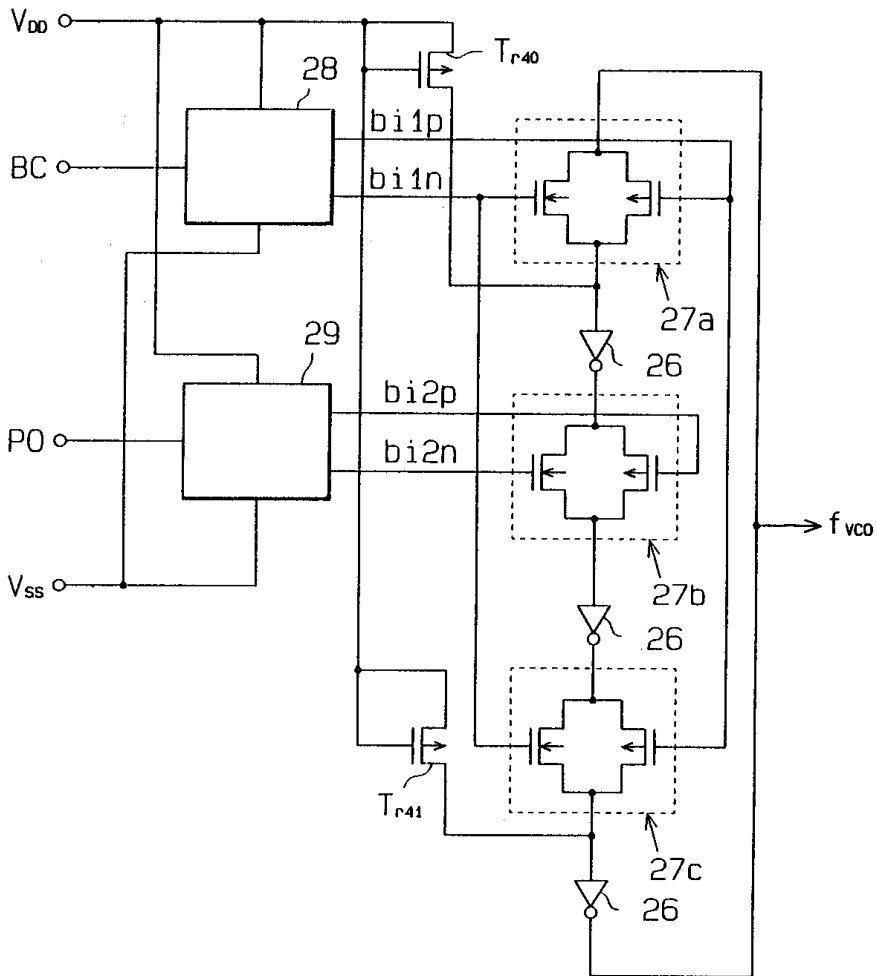
도면 13



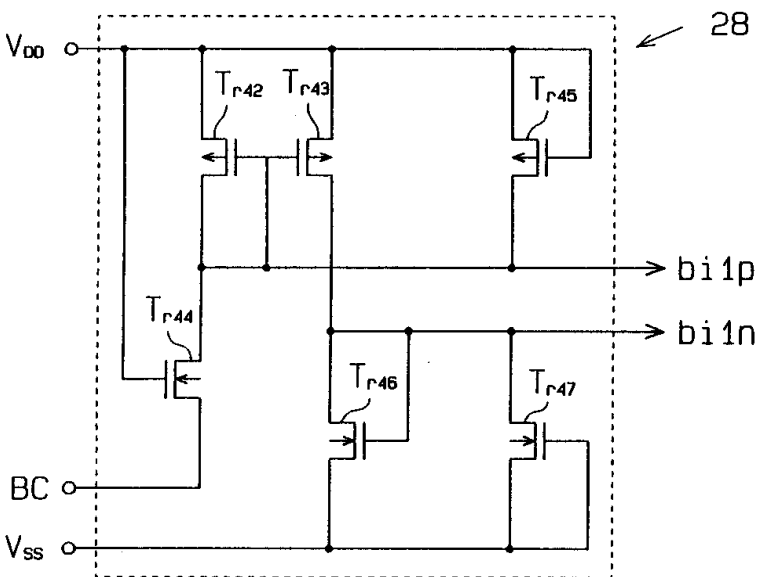
도면 14



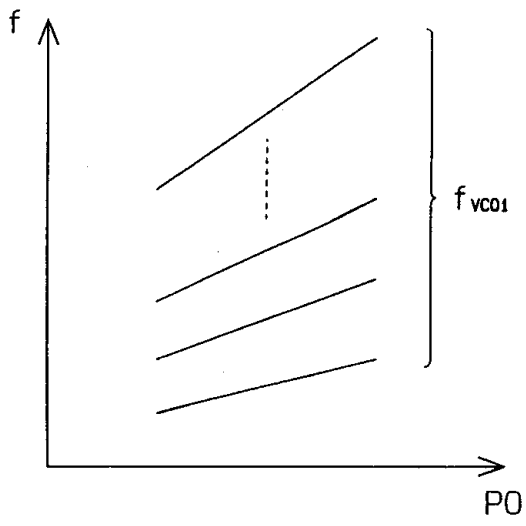
도면15



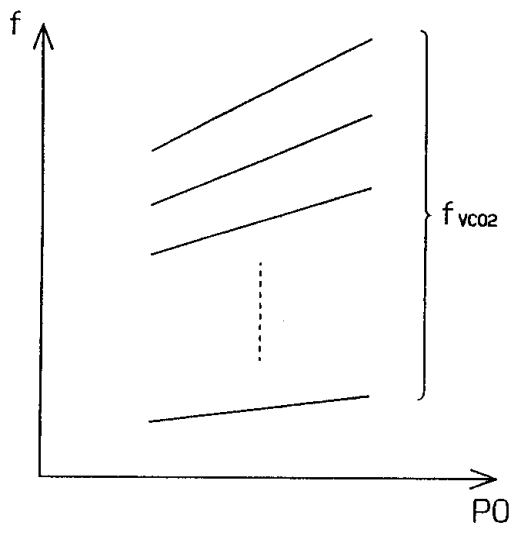
도면16



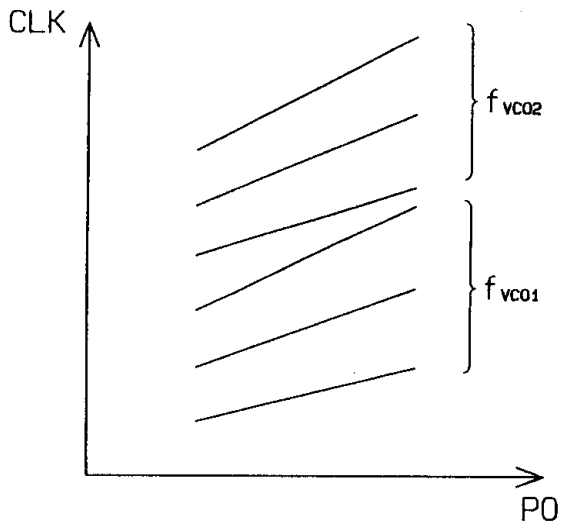
도면17



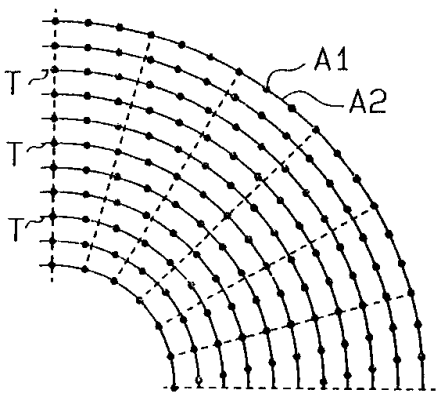
도면18



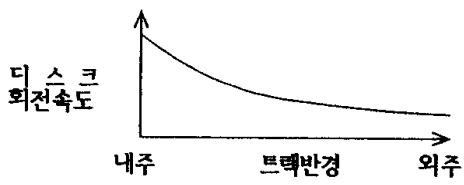
도면19



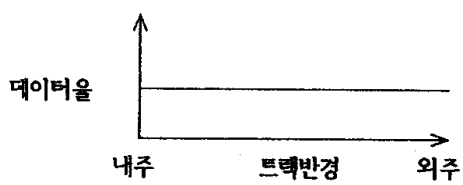
도면20



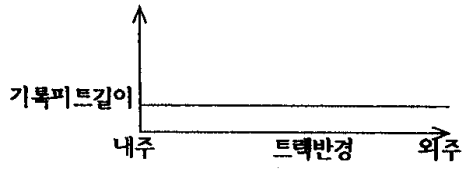
도면21a



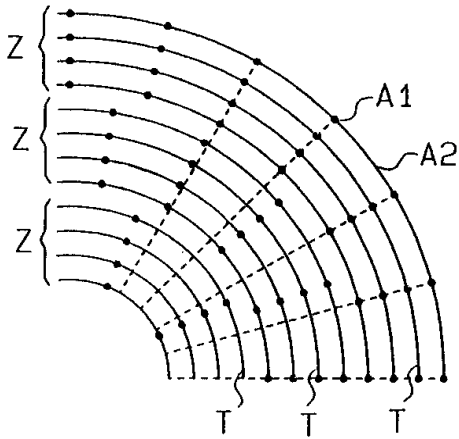
도면21b



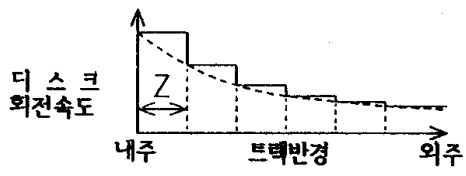
도면21c



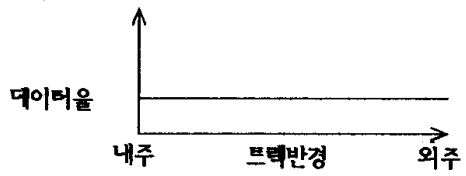
도면22



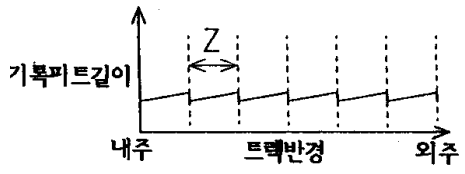
도면23a



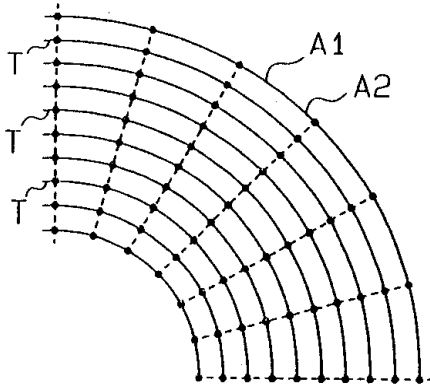
도면23b



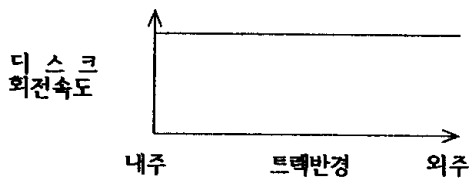
도면23c



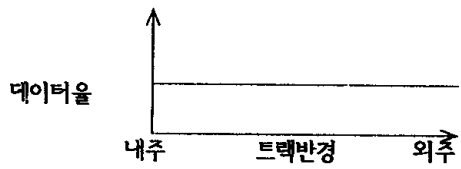
도면24



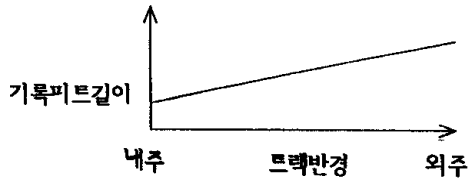
도면25a



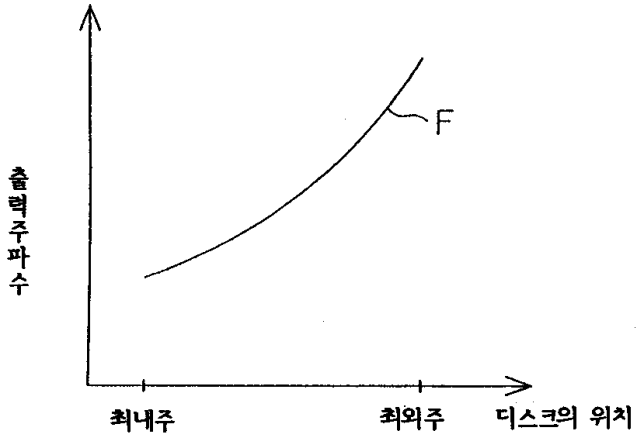
도면25b



도면25c



도면26



도면27

