



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202308484 A

(43) 公開日：中華民國 112 (2023) 年 02 月 16 日

(21) 申請案號：110129353

(22) 申請日：中華民國 110 (2021) 年 08 月 09 日

(51) Int. Cl.:

*H05K3/40 (2006.01)**H05K3/22 (2006.01)*(71) 申請人：碩邦科技股份有限公司 (中華民國) CHIPBOND TECHNOLOGY CORPORATION  
(TW)

新竹市東區力行五路 3 號

(72) 發明人：馬宇珍 MA, YU-CHEN (TW)；王沛雯 WANG, PEI-WEN (TW)；黃信豪 HUANG, HSIN-HAO (TW)；許國賢 SHEU, GWO-SHYAN (TW)

(74) 代理人：張啟威

申請實體審查：有 申請專利範圍項數：9 項 圖式數：3 共 12 頁

(54) 名稱

軟性電路板之佈線結構

(57) 摘要

一種軟性電路板之佈線結構包含一軟性基板、一線路層、一覆晶元件及一抗應力線路層，該軟性基板之一上表面具有一晶片設置區及一線路設置區，該線路層之複數個接合線路設置於該晶片設置區，該線路層之複數個傳輸線路設置於該線路設置區，該覆晶元件設置於該晶片設置區，該覆晶元件之一晶片具有一長邊邊緣及複數個導接墊，該覆晶元件之凸塊連接該晶片之各該導接墊及各該接合線路，該抗應力線路層之複數個抗應力線路設置於該晶片設置區中，各該應力線路與該晶片之該長邊邊緣平行，且該覆晶元件之該些凸塊位於該些抗應力線路及該長邊邊緣之間。

A layout structure of flexible printed circuit board includes a flexible substrate, a circuit layer, a flip-chip unit and an anti-stress circuit layer. A top surface of the flexible substrate comprises a chip disposed area and a circuit layer disposed area. A plurality of the connected circuits of the circuit layer are disposed at the chip disposed area, and a plurality of the transmitted circuits of the circuit layer are disposed at the circuit layer disposed area. A chip of the flip-chip unit comprises a long side edge and a plurality of the connected pads. Each of the bumps of the flip-chip unit connects to each of the plurality of connected pads and each of the connected circuits. The plurality of the anti-stress circuits of the anti-stress circuit layer are disposed at the chip disposed area, the anti-stress circuits are paralleled to the long side edge, and the bumps of the flip-chip unit are located between the anti-stress circuits and the long side edge.

指定代表圖：

符號簡單說明：

100:軟性電路板之佈線結構

111a:晶片設置區

111b:線路設置區

121:接合線路

122:傳輸線路

141:第一抗應力線路

142:第二抗應力線路

L1:第一長邊邊緣

L2:第二長邊邊緣

S1、S2:短邊邊緣

S:溢膠空間

W:溢膠空間之寬度

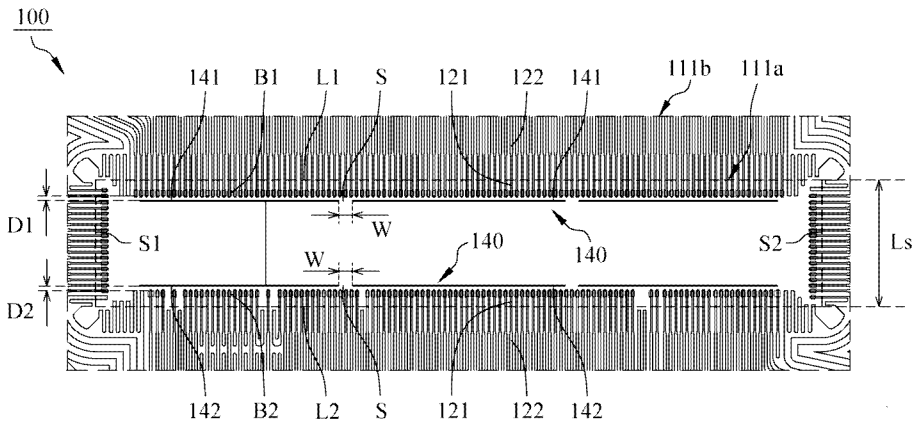
Ls:短邊邊緣之長度

D1:第一間距

D2:第二間距

B1:第一凸塊

B2:第二凸塊



第 3 圖

## 【發明摘要】

【中文發明名稱】 軟性電路板之佈線結構

【英文發明名稱】 Layout structure of flexible printed circuit board

### 【中文】

一種軟性電路板之佈線結構包含一軟性基板、一線路層、一覆晶元件及一抗應力線路層，該軟性基板之一上表面具有一晶片設置區及一線路設置區，該線路層之複數個接合線路設置於該晶片設置區，該線路層之複數個傳輸線路設置於該線路設置區，該覆晶元件設置於該晶片設置區，該覆晶元件之一晶片具有一長邊邊緣及複數個導接墊，該覆晶元件之凸塊連接該晶片之各該導接墊及各該接合線路，該抗應力線路層之複數個抗應力線路設置於該晶片設置區中，各該應力線路與該晶片之該長邊邊緣平行，且該覆晶元件之該些凸塊位於該些抗應力線路及該長邊邊緣之間。

### 【英文】

A layout structure of flexible printed circuit board includes a flexible substrate, a circuit layer, a flip-chip unit and an anti-stress circuit layer. A top surface of the flexible substrate comprises a chip disposed area and a circuit layer disposed area. A plurality of the connected circuits of the circuit layer are disposed at the chip disposed area, and a plurality of the transmitted circuits of the circuit layer are disposed at the circuit layer disposed area. A chip of the flip-chip unit comprises a long side edge and a plurality of the connected pads. Each of the bumps of the flip-chip unit connects to each of the plurality of connected pads and each of the connected circuits. The plurality of the anti-

stress circuits of the anti-stress circuit layer are disposed at the chip disposed area, the anti-stress circuits are paralleled to the long side edge, and the bumps of the flip-chip unit are located between the anti-stress circuits and the long side edge.

【指定代表圖】 第3圖

【代表圖之符號簡單說明】

100:軟性電路板之佈線結構

11b:線路設置區

122:傳輸線路

142:第二抗應力線路

L2:第二長邊邊緣

S:溢膠空間

Ls:短邊邊緣之長度

D2: 第二間距

B2:第二凸塊

111a:晶片設置區

121:接合線路

141:第一抗應力線路

L1:第一長邊邊緣

S1、S2:短邊邊緣

W:溢膠空間之寬度

D1: 第一間距

B1:第一凸塊

## 【發明說明書】

【中文發明名稱】 軟性電路板之佈線結構

【英文發明名稱】 Layout structure of flexible printed circuit board

### 【技術領域】

【0001】本發明是關於一種軟性電路板，特別是關於一種軟性電路板之佈線結構。

### 【先前技術】

【0002】軟性電路板具有體積小、具可撓性、厚度薄之特性，已被廣泛地應用於手機、筆記型電腦、智慧手錶...等行動裝置上，由於當前行動裝置皆朝向輕薄的目標發展，使得軟性電路板的厚度及整體尺寸被要求得更加薄、小，但這也意味著軟性電路的製程將更加困難。一般軟性電路板是使用覆晶製程將晶片設置於軟性基板上，而覆晶製程是利用加熱及加壓使得晶片之凸塊與線路層共晶連接，這使得在覆晶製程中晶片之凸塊會在軟性基板的接觸區域產生應力，將會對線路層產生拉扯而導致線路的斷裂。

### 【發明內容】

【0003】本發明的主要目的在於藉由抗應力線路層加強軟性基板與凸塊連接的區域，以避免該區域之接合線路因為覆晶製程產生的應力斷裂。

【0004】本發明之一種軟性電路板之佈線結構包含一軟性基板、一線路層、一覆晶元件及一抗應力線路層，該軟性基板具有一上表面，該上表面具有一晶片

設置區及一線路設置區，該線路層具有複數個接合線路及複數個傳輸線路，該些接合線路設置於該晶片設置區，該些傳輸線路設置於該線路設置區，且各該傳輸線路連接各該接合線路，該覆晶元件設置於該晶片設置區，該覆晶元件具有一晶片及複數個凸塊，該晶片具有一長邊邊緣及複數個導接墊，各該凸塊連接該晶片之各該導接墊及各該接合線路，該抗應力線路層具有複數個抗應力線路，該些抗應力線路設置於該晶片設置區中，各該應力線路與該晶片之該長邊邊緣平行，且該覆晶元件之該些凸塊位於該些抗應力線路及該長邊邊緣之間。

**【0005】** 本發明藉由平行於該長邊邊緣之該抗應力線路降低該覆晶元件之該些凸塊於覆晶製程中對於該軟性基板產生的應力，而可避免該線路層之該些接合線路的斷裂。

#### **【圖式簡單說明】**

##### **【0006】**

第1圖：依據本發明之一實施例，一種軟性電路板之佈線結構的俯視圖。

第2圖：依據本發明之一實施例，該軟性電路板之佈線結構的剖視圖。

第3圖：依據本發明之一實施例，該軟性電路板之佈線結構的局部放大圖。

#### **【實施方式】**

**【0007】** 請參閱第1及2圖，其為本發明之一實施例，一種軟性電路板之佈線結構100的俯視圖及剖視圖，該軟性電路板之佈線結構100包含一軟性基板110、一線路層120及一覆晶元件130，該軟性基板110是由聚醯亞胺(polyimide)或其他具有良好電絕緣性、穩定性、耐化學腐蝕性之聚合物製成，線路層120則是

電鍍或壓合於該軟性基板110上之銅層經由圖案化蝕刻而成，該覆晶元件130設置於該軟性基板111上，且該覆晶元件130與該線路層120電性連接而可透過該線路層120傳遞電訊號。

【0008】請參閱第1及2圖，該軟性基板110具有一上表面111，該上表面111具有一晶片設置區111a及一線路設置區111b，該線路層120有複數個接合線路121及複數個傳輸線路122，該些接合線路121設置於該晶片設置區111a，該些傳輸線路122設置於該線路設置區111b，且各該傳輸線路122連接各該接合線路121。較佳的，該些接合線路121及該些傳輸線路122的表面鍍有一錫層，以利於該些接合線路121及該些傳輸線路122分別與該覆晶元件130及其他電子裝置連接，且該線路層120除了與該覆晶元件130或其他電子裝置連接的區域外塗佈有一防焊層(圖未繪出)，以避免其他之該線路層120受到製程高溫的影響。

【0009】該覆晶元件130設置於該上表面111之該晶片設置區111a，該覆晶元件130具有一晶片131及複數個凸塊132，該晶片131具有一長邊邊緣L及複數個導接墊131a，各該凸塊132連接該晶片131之各該導接墊131a及該線路層120之各該接合線路121。其中，該些凸塊132是預先透過凸塊製程形成於該晶片131上，該些凸塊132可由金、銅、鎳...等金屬或其合金構成。

【0010】請參閱第3圖，為該軟性電路板之佈線結構100的局部放大圖，在本實施例中，該覆晶元件130具有複數個第一凸塊B1及複數個第二凸塊B2，該晶片131具有一第一長邊邊緣L1、一第二長邊邊緣L2及兩個短邊邊緣S1、S2，該第一長邊邊緣L1、該第二長邊邊緣L2及該兩個短邊邊緣S1、S2構成一長方形區域，該長方形區域對應該晶片設置區111a，該長方形區域以外的區域則對應該線路設置區111b。該些第一凸塊B1鄰近該第一長邊邊緣L1，該些第二凸塊B2鄰近該

第二長邊邊緣L2，部分之該接合線路121與該第一凸塊B1電性連接，部分之該接合線路121與該第二凸塊B2電性連接。

【0011】較佳的，該軟性電路板之佈線結構100具有一抗應力線路層140，該抗應力線路層140具有複數個第一抗應力線路141及複數個第二抗應力線路142，該些第一抗應力線路141及該些第二抗應力線路142設置於該晶片設置區111a中。其中，該些第一抗應力線路141鄰近該第一長邊邊緣L1並沿一平行於該第一長邊邊緣L1之直線排列，使得該些第一抗應力線路141也平行於該第一長邊邊緣L1。該覆晶元件130之該些第一凸塊B1位於該些第一抗應力線路141及該第一長邊邊緣L1之間，使得該些第一抗應力線路141能夠減少覆晶製程中該些第一凸塊B1對該軟性基板110產生的應力，而可避免連接該些第一凸塊B1之該些接合線路121的斷裂。該些第二抗應力線路142鄰近該第二長邊邊緣L2並沿一平行於該第二長邊邊緣L2之直線排列，使得該些第二抗應力線路142也平行於該第二長邊邊緣L2。該覆晶元件130之該些第二凸塊B2位於該些第二抗應力線路142及該第二長邊邊緣L2之間，使得該些第二抗應力線路142能夠減少覆晶製程中該些第二凸塊B2對該軟性基板110產生的應力，而可避免連接該些第二凸塊B2之該些接合線路121的斷裂。

【0012】在本實施例中，該些第一抗應力線路141及該些第二抗應力線路142之間不具有任何凸塊或線路，導致覆晶製程的應力對於該些接合線路121影響可能更大，因此，藉由該些第一抗應力線路141及該些第二抗應力線路142分別設置於鄰近該些第一凸塊B1及該些第二凸塊B2的區域上，可大幅地降低應力的影響。

【0013】較佳地，為避免該抗應力線路層140影響該晶片131之底部填充膠(Underfill)的流動，相鄰之該些第一、二抗應力線路141、142之間具有一溢膠空



間S，且該溢膠空間S之一寬度W大於50 um，使得底部填充膠能夠經由該溢膠空間S流動至該晶片131與該軟性基板110之間。

【0014】請參閱第2及3圖，在本實施例中，各該短邊邊緣S1、S2的一長度L<sub>s</sub>大於1.5 mm，該覆晶元件130之各該第一凸塊B1及該第二凸塊B2的一高度小於15 um。這將導致晶片131可能會在覆晶製程中因為加壓下凹接觸到該抗應力線路層140而產生壓痕，因此，較佳的，各該第一抗應力線路141與各該第一凸塊B1之間的一第二間距D2小於50 um，各該第二抗應力線路142與各該第二凸塊B2之間的一第三間距D3小於50 um，以透過該些第一凸塊B1及該些第二凸塊B2的支撐，避免該晶片131接觸到該抗應力線路層140。

【0015】本發明藉由平行於該長邊邊緣L之該抗應力線路降低該覆晶元件130之該些凸塊132於覆晶製程中對於該軟性基板110產生的應力，而可避免該線路層120之該些接合線路121的斷裂。

【0016】本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。

### 【符號說明】

#### 【0017】

100:軟性電路板之佈線結構	110:軟性基板
111:上表面	111a:晶片設置區
11b:線路設置區	120:線路層
121:接合線路	122:傳輸線路

130:覆晶元件

131a:導接墊

140:抗應力線路層

142:第二抗應力線路

L1:第一長邊邊緣

S1、S2:短邊邊緣

W:溢膠空間之寬度

D1:第一間距

B1:第一凸塊

131:晶片

132:凸塊

141:第一抗應力線路

L:長邊邊緣

L2:第二長邊邊緣

S:溢膠空間

Ls:短邊邊緣之長度

D2: 第二間距

B2:第二凸塊

## 【發明申請專利範圍】

【請求項1】 一種軟性電路板之佈線結構，其包含：

一軟性基板，具有一上表面，該上表面具有一晶片設置區及一線路設置區；

一線路層，具有複數個接合線路及複數個傳輸線路，該些接合線路設置於該晶片設置區，該些傳輸線路設置於該線路設置區，且各該傳輸線路連接各該接合線路；

一覆晶元件，設置於該晶片設置區，該覆晶元件具有一晶片及複數個凸塊，該晶片具有一長邊邊緣及複數個導接墊，各該凸塊連接該晶片之各該導接墊及各該接合線路；以及

一抗應力線路層，具有複數個抗應力線路，該些抗應力線路設置於該晶片設置區中，各該應力線路與該晶片之該長邊邊緣平行，且該晶片之該些凸塊位於該些抗應力線路及該長邊邊緣之間。

【請求項2】 如請求項1之軟性電路板之佈線結構，其中各該抗應力線路與各該凸塊之間具有一第一間距，該第一間距小於50  $\mu\text{m}$ 。

【請求項3】 如請求項1之軟性電路板之佈線結構，其中該些抗應力線路沿一直線排列，該直線與該晶片之長邊邊緣平行。

【請求項4】 如請求項1、2或3之軟性電路板之佈線結構，其中相鄰之該些抗應力線路之間具有一溢膠空間，該溢膠空間之一寬度大於50  $\mu\text{m}$ 。

【請求項5】 如請求項1之軟性電路板之佈線結構，其中該晶片具有一短邊邊緣，該短邊邊緣的一長度大於1.5 mm。

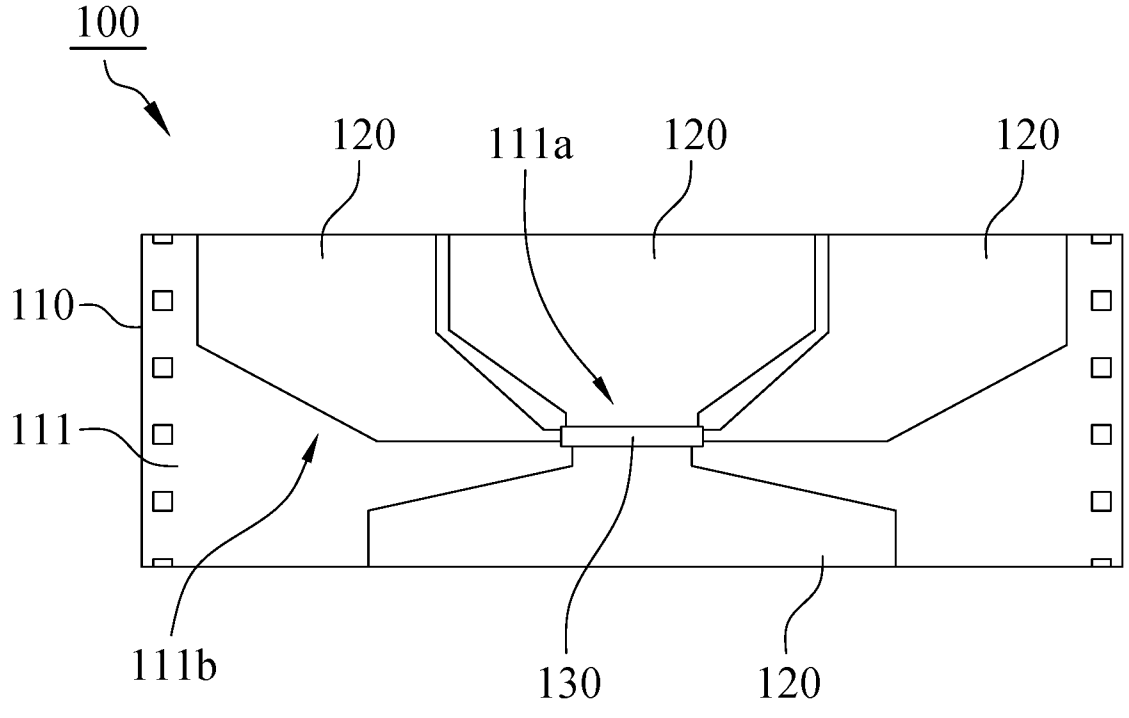
【請求項6】 如請求項1之軟性電路板之佈線結構，其中該覆晶元件之各該凸塊的一高度小於15  $\mu\text{m}$ 。

【請求項7】如請求項1之軟性電路板之佈線結構，其中覆晶元件具有複數個第一凸塊及複數個第二凸塊，該晶片具有一第一長邊邊緣、一第二長邊邊緣，該些第一凸塊鄰近該第一長邊邊緣，該些第二凸塊鄰近該第二長邊邊緣。

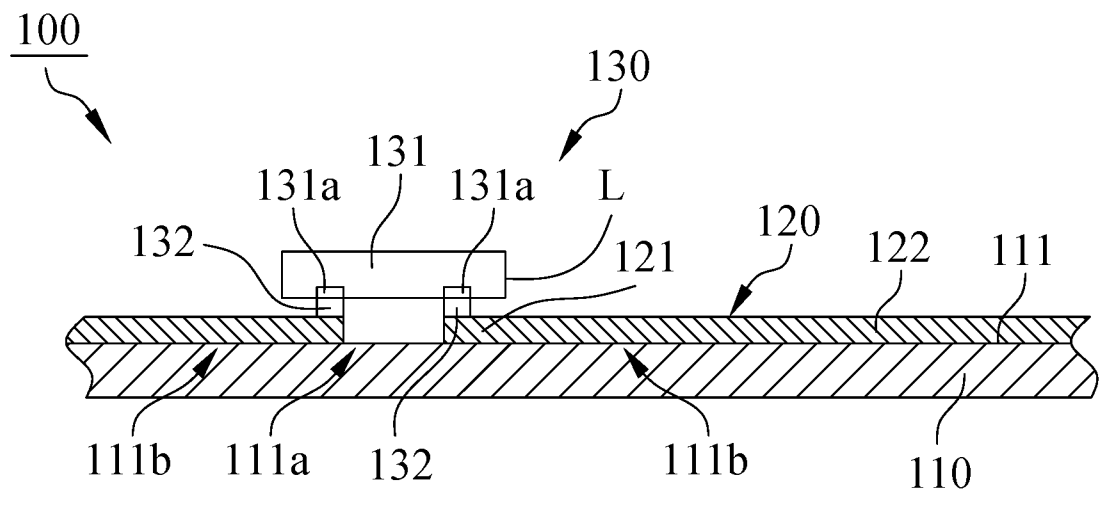
【請求項8】如請求項7之軟性電路板之佈線結構，其中該抗應力線路層具有複數個第一抗應力線路及複數個第二抗應力線路，各該第一抗應力線路與各該第一凸塊之間的一第一間距小於50 um，各該第二抗應力線路與各該第二凸塊之間的一第二間距小於50 um，其中，該些第一抗應力線路及該些第二抗應力線路之間不具有任何凸塊或線路。

【請求項9】如請求項8之軟性電路板之佈線結構，該晶片具有兩個短邊邊緣，各該短邊邊緣的一長度大於1.5 mm，該覆晶元件之各該第一凸塊及該第二凸塊的一高度小於15 um。

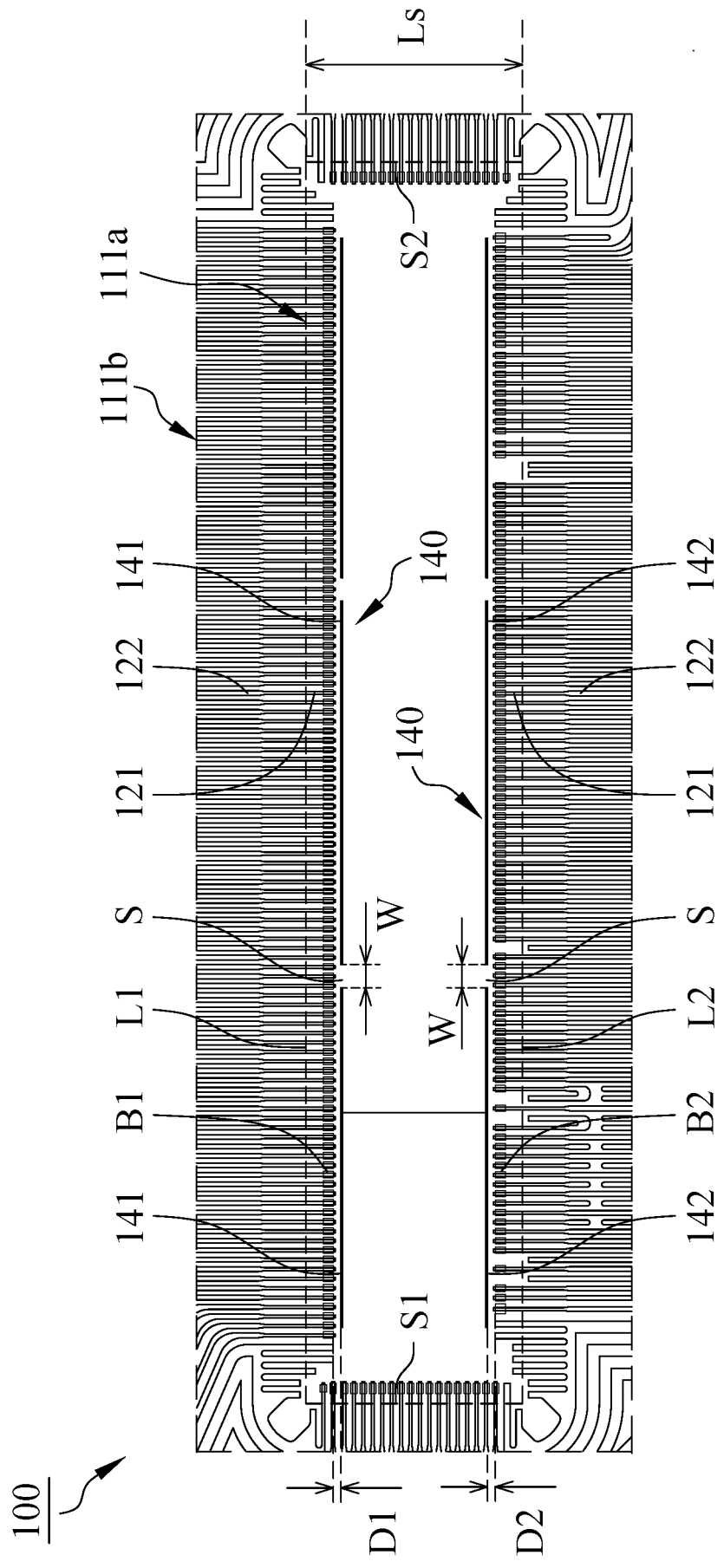
【發明圖式】



第 1 圖



第 2 圖



第 3 圖