



(12) 发明专利申请

(10) 申请公布号 CN 101868856 A

(43) 申请公布日 2010. 10. 20

(21) 申请号 200880117046. 4

马克·L·赖尼希默 郑镇营

(22) 申请日 2008. 09. 19

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

(30) 优先权数据

60/974, 433 2007. 09. 21 US

代理人 吴贵明 张英

(85) PCT申请进入国家阶段日

2010. 05. 20

(51) Int. Cl.

H01L 29/00 (2006. 01)

(86) PCT申请的申请数据

PCT/US2008/077118 2008. 09. 19

(87) PCT申请的公布数据

W02009/039441 EN 2009. 03. 26

(71) 申请人 飞兆半导体公司

地址 美国缅因州

(72) 发明人 约瑟夫·A·叶季纳科 李在吉

张浩铁 尹钟晚

普拉韦恩·穆拉利德哈伦·谢诺

克里斯托夫·L·雷克塞尔 金昌郁

李宗宪 詹森·M·希格斯

德韦恩·S·赖希尔 乔尔勒·夏普

王琦 金龙燮 李廷吉

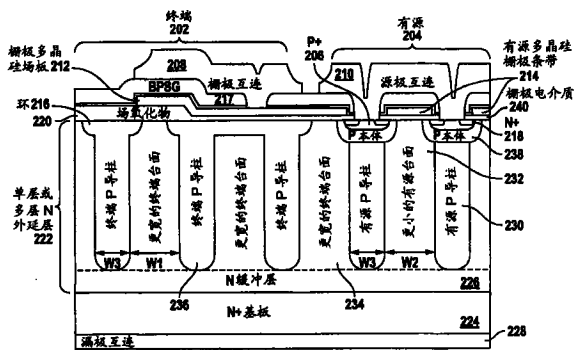
权利要求书 2 页 说明书 30 页 附图 71 页

(54) 发明名称

用于功率器件的超结结构及制造方法

(57) 摘要

功率器件包括有源区域和包围有源区域的终端区域。第一和第二导电类型的多个导柱在有源区域和终端区域的每一个中交替布置。有源区域和终端区域中的第一导电类型的导柱具有基本上相同的宽度，而有源区域中的第二导电类型的导柱具有比终端区域中的第二导电类型的导柱更小的宽度，使得有源区域和终端区域的每一个中的电荷平衡状态导致终端区域中的击穿电压比有源区域中的击穿电压更高。



CN 101868856 A

1. 一种功率器件,包括:

有源区域和包围所述有源区域的终端区域;以及

在所述有源区域和所述终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,其中,所述有源区域和所述终端区域中的第一导电类型的所述导柱具有基本上相同的宽度,而所述有源区域中的第二导电类型的所述导柱具有比所述终端区域中的第二导电类型的所述导柱更小的宽度,使得所述有源区域和所述终端区域的每一个中的电荷平衡状态导致所述终端区域中的击穿电压比所述有源区域中的击穿电压更高。

2. 根据权利要求1所述的功率器件,其中,所述第一导电类型是P型,而所述第二导电类型是N型。

3. 根据权利要求1所述的功率器件,其中,所述第一导电类型是N型,而所述第二导电类型是P型。

4. 根据权利要求1所述的功率器件,其中,第一导电类型的每一个导柱包括用P型硅基本上填充的沟槽,所述沟槽通过形成第二导电类型的所述导柱的N型区域而彼此隔开。

5. 根据权利要求1所述的功率器件,其中,所述有源区域中的第一导电类型的所述导柱具有与所述终端区域中的第一导电类型的所述导柱基本上相同的掺杂分布。

6. 根据权利要求1所述的功率器件,其中,所述有源区域包括在所述有源区域中的第二导电类型的至少一个所述导柱上方延伸的平面栅极结构。

7. 根据权利要求1所述的功率器件,其中,所述有源区域包括在所述有源区域中的第二导电类型的至少一个所述导柱内延伸至预定深度的沟槽栅极结构。

8. 根据权利要求1所述的功率器件,其中,所述有源区域不包括在所述有源区域中的第二导电类型的任何所述导柱上方延伸的栅极结构。

9. 根据权利要求1所述的功率器件,其中,所述有源区域中的第一导电类型的所述导柱是条形的,而所述终端区域中的第一导电类型的多个导柱以同心方式包围所述有源区域。

10. 根据权利要求1所述的功率器件,其中,所述有源区域和所述终端区域中的第一导电类型的多个导柱是同心的。

11. 根据权利要求1所述的功率器件,其中,第一导电类型的多个导柱具有是有源导柱的延伸部的终端导柱,而另外多个终端导柱平行于所述有源区域。

12. 一种功率器件,包括:

有源区域、过渡区域、和包围所述有源区域与所述过渡区域的终端区域;以及

在所述有源区域和所述终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,所述过渡区域在所述有源区域和所述终端区域之间具有第一导电类型的至少一个导柱和第二导电类型的至少一个导柱,所述有源区域中的第一导电类型的多个导柱连接至源极端子,所述终端区域中的第一导电类型的多个导柱浮动,并且,所述过渡区域中的第一导电类型的至少一个导柱通过第一导电的桥接扩散连接至所述源极端子,所述第一导电的桥接扩散将所述过渡区域中的第一导电类型的至少一个导柱连接至所述有源区域中的第一导电类型的多个导柱中的一个,其中:

所述桥接扩散穿过第二导电类型的至少一个导柱的宽度延伸,

所述有源区域和所述终端区域中的第一导电类型的所述导柱以及所述过渡区域中的

第一导电类型的至少一个导柱都具有基本上相同的宽度,并且,

所述有源区域中的第二导电类型的所述导柱具有比所述过渡区域中的第二导电类型的至少一个导柱的宽度更小的宽度,使得所述有源区域和所述过渡区域的每一个中的电荷平衡状态导致所述过渡区域中的击穿电压比所述有源区域中的击穿电压更高。

13. 根据权利要求 12 所述的功率器件,其中,所述有源区域中的第二导电类型的所述导柱具有比所述终端区域中的第二导电类型的多个导柱的宽度更小的宽度,使得所述有源区域和所述终端区域的每一个中的电荷平衡状态导致所述终端区域中的击穿电压比所述有源区域中的击穿电压更高。

14. 根据权利要求 12 所述的功率器件,其中,所述有源区域包括第一导电类型的本体区域、和在所述本体区域中的第二导电类型的源极区域,其中,所述桥接扩散比所述本体区域延伸更深。

15. 根据权利要求 14 所述的功率器件,其中,所述桥接扩散和所述本体区域具有基本上相似的掺杂浓度。

16. 根据权利要求 12 所述的功率器件,其中,所述有源区域包括第一导电类型的本体区域、和在所述本体区域中的第二导电类型的源极区域,其中,所述桥接扩散比所述本体区域延伸至更浅的深度。

17. 根据权利要求 16 所述的功率器件,其中,所述桥接扩散具有比所述本体区域更低的掺杂浓度。

18. 根据权利要求 12 所述的功率器件,其中,所述第一导电类型是 P 型,而所述第二导电类型是 N 型。

19. 根据权利要求 12 所述的功率器件,其中,所述第一导电类型是 N 型,而所述第二导电类型是 P 型。

20. 根据权利要求 12 所述的功率器件,其中,第一导电类型的每一个导柱包括用 P 型硅基本上填充的沟槽,所述沟槽通过形成第二导电类型的所述导柱的 N 型区域而彼此隔开。

21. 根据权利要求 12 所述的功率器件,其中,所述有源区域和所述终端区域中的第一导电类型的所述导柱和所述过渡区域中的第一导电类型的至少一个导柱都具有基本上相同的掺杂分布。

22. 根据权利要求 12 所述的功率器件,其中,所述有源区域包括在所述有源区域中的第二导电类型的至少一个所述导柱上方延伸的平面栅极结构。

23. 根据权利要求 12 所述的功率器件,其中,所述有源区域包括在所述有源区域中的第二导电类型的至少一个导柱内延伸至预定深度的沟槽栅极结构。

24. 根据权利要求 12 所述的功率器件,其中,所述有源区域不包括在所述有源区域中的第二导电类型的任何所述导柱上方延伸的栅极结构。

25. 根据权利要求 12 所述的功率器件,其中,所述有源区域中的第一导电类型的多个导柱和所述过渡区域中的第一导电类型的至少一个导柱是条形的,并且,所述终端区域中的第一导电类型的多个导柱以同心方式包围所述有源区域和所述过渡区域。

26. 根据权利要求 12 所述的功率器件,其中,所述有源区域和所述终端区域中的第一导电类型的多个导柱和所述过渡区域中的第一导电类型的至少一个导柱是同心的。

用于功率器件的超结结构及制造方法

[0001] 相关申请的引用

[0002] 本申请要求 2007 年 9 月 21 日提交的美国临时申请第 60/974, 433 号的权益, 其内容为了所有目的而整体结合于此以供参考。

技术领域

[0003] 本发明通常涉及半导体技术, 尤其涉及改进的功率半导体器件 (例如, 晶体管和二极管) 的各种实施方式及其制造方法。

背景技术

[0004] 功率电子应用中的关键部件是固态开关。从车辆应用中的点火控制到电池供电的消费者电子器件, 到工业应用中的功率变流器, 需要最佳地符合特定应用的要求的功率开关。固态开关包括, 例如, 功率金属氧化物半导体场效应晶体管 (功率 MOSFET)、绝缘栅双极晶体管 (IGBT) 和各种类型的继续发展成符合此要求的半导体闸流管。在功率 MOSFET 的情况中, 与许多其它技术一起, 已开发了以下技术, 例如, 具有侧通道的双扩散结构 (DMOS) (例如, 授予 Blanchard 等人的美国专利第 4, 682, 405 号)、沟槽栅极结构 (例如, 授予 Mo 等人的美国专利第 6, 429, 481 号)、以及各种用于晶体管漂移区域中的电荷平衡的技术 (例如, 授予 Temple 的美国专利第 4, 941, 026 号、授予 Chen 的美国专利第 5, 216, 275 号和授予 Neilson 的美国专利第 6, 081, 009 号), 以应对不同的并通常竞争性的性能需求。

[0005] 功率开关的部分规定性能特性是其导通电阻、击穿电压和开关速度。根据具体应用的需求, 将不同的重点放在这些性能标准的每一个上面。例如, 对于大于约 300 至 400 伏的电力应用, 与功率 MOSFET 相比, IGBT 表现出固有的较低的导通电阻, 但是其开关速度由于其较慢的关闭特性而较低。因此, 对于具有要求低导通电阻的低开关频率的 > 400 伏的应用, IGBT 是优选开关, 而功率 MOSFET 通常是相对较高的频率应用选择的器件。如果所给定应用的频率需求规定所使用的开关的类型, 则电压需求确定具体开关的结构组成。例如, 在功率 MOSFET 的情况中, 由于漏极 - 至 - 源极导通电阻 R_{DSon} 和击穿电压之间的比例关系, 在保持低 R_{DSon} 的同时改进晶体管的电压性能提出挑战。已开发晶体管漂移区域中的各种电荷平衡结构, 以用不同的成功度来应对此挑战。

[0006] 器件性能参数也被制造过程和芯片封装所影响。已尝试通过开发各种改进的处理和封装技术来应对部分这些挑战。

[0007] 不管其是超便携消费者电子器件还是通信系统中的路由器和集线器, 功率开关的各种应用始终随着电子工业的扩展而增长。因此, 功率开关仍是具有较高开发潜力的半导体器件。

发明内容

[0008] 根据本发明的一种实施方式, 功率器件包括有源区域和包围有源区域的终端区域 (termination region)、以及在有源区域和终端区域的每一个中交替布置的第一和第二导

电类型（传导类型）的多个导柱（柱，pillar），其中，有源区域和终端区域中的第一导电类型的导柱具有基本上相同的宽度，而有源区域中的第二导电类型的导柱具有比终端区域中的第二导电类型的导柱更小的宽度，使得有源区域和终端区域的每一个中的电荷平衡状态导致终端区域中的击穿电压比有源区域中的击穿电压更高。

[0009] 在一个变型中，第一导电类型是 P 型，而第二导电类型是 N 型。

[0010] 在另一变型中，第一导电类型是 N 型，而第二导电类型是 P 型。

[0011] 在另一变型中，第一导电类型的每一个导柱包括用 P 型硅基本上填充的沟槽，该沟槽通过形成第二导电类型的导柱的 N 型区域而彼此隔开。

[0012] 在另一变型中，有源区域中的第一导电类型的导柱具有与终端区域中的第一导电类型的导柱基本上相同的掺杂分布。

[0013] 在另一变型中，有源区域包括在有源区域中的第二导电类型的至少一个导柱上方延伸的平面栅极结构。

[0014] 在另一变型中，有源区域包括在有源区域中的第二导电类型的至少一个导柱内延伸至预定深度的沟槽栅极结构。

[0015] 在另一变型中，有源区域不包括在有源区域中的第二导电类型的任何导柱上方延伸的栅极结构。

[0016] 在另一变型中，有源区域中的第一导电类型的导柱是条形（stripe-shaped）的，而终端区域中的第一导电类型的多个导柱以同心方式包围有源区域。

[0017] 在另一变型中，有源区域和终端区域中的第一导电类型的多个导柱是同心的。

[0018] 在另一变型中，第一导电类型的多个导柱具有是有源导柱的延伸部的终端导柱，而另外多个终端导柱平行于有源区域。

[0019] 根据本发明的另一种实施方式，功率器件包括有源区域、过渡区域（transition region）、和包围有源区域与过渡区域的终端区域、以及在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱，过渡区域在有源区域和终端区域之间具有第一导电类型的至少一个导柱和第二导电类型的至少一个导柱，有源区域中的第一导电类型的多个导柱连接至源极端子（源极终端，sourceterminal），终端区域中的第一导电类型的多个导柱浮动（floating），并且过渡区域中的第一导电类型的至少一个导柱通过第一导电的桥接扩散（bridging diffusion）连接至源极端子，该第一导电的桥接扩散将过渡区域中的第一导电类型的至少一个导柱连接至有源区域中的第一导电类型的多个导柱中的一个，其中，桥接扩散穿过第二导电类型的至少一个导柱的宽度延伸，有源区域和终端区域中的第一导电类型的导柱和过渡区域中的第一导电类型的至少一个导柱都具有基本上相同的宽度，并且有源区域中的第二导电类型的导柱具有比过渡区域中的第二导电类型的至少一个导柱的宽度更小的宽度，使得有源区域和过渡区域的每一个中的电荷平衡状态导致过渡区域中的击穿电压比有源区域中的击穿电压更高。

[0020] 在一个变型中，有源区域中的第二导电类型的导柱具有比终端区域中的第二导电类型的多个导柱的宽度更小的宽度，使得有源区域和终端区域的每一个中的电荷平衡状态导致终端区域中的击穿电压比有源区域中的击穿电压更高。

[0021] 在另一变型中，有源区域包括第一导电类型的本体区域（bodyregion）、和在本体区域中的第二导电类型的源极区域，其中桥接扩散比本体区域延伸更深。

- [0022] 在另一变型中,桥接扩散和本体区域具有基本上相似的掺杂浓度。
- [0023] 在另一变型中,有源区域包括第一导电类型的本体区域、和在本体区域中的第二导电类型的源极区域,其中桥接扩散比本体区域延伸至更浅的深度。
- [0024] 在另一变型中,桥接扩散具有比本体区域更低的掺杂浓度。
- [0025] 在另一变型中,第一导电类型是 P 型,而第二导电类型是 N 型。
- [0026] 在另一变型中,第一导电类型是 N 型,而第二导电类型是 P 型。
- [0027] 在另一变型中,第一导电类型的每一个导柱包括用 P 型硅基本上填充的沟槽,该沟槽通过形成第二导电类型的导柱的 N 型区域而彼此隔开。
- [0028] 在另一变型中,有源区域和终端区域中的第一导电类型的导柱和过渡区域中的第一导电类型的至少一个导柱都具有基本上相同的掺杂分布。
- [0029] 在另一变型中,有源区域包括在有源区域中的第二导电类型的至少一个导柱上方延伸的平面栅极结构。
- [0030] 在另一变型中,有源区域包括在有源区域中的第二导电类型的至少一个导柱内延伸至预定深度的沟槽栅极结构。
- [0031] 在另一变型中,有源区域不包括在有源区域中的第二导电类型的任何导柱上方延伸的栅极结构。
- [0032] 在另一变型中,有源区域中的第一导电类型的多个导柱和过渡区域中的第一导电类型的至少一个导柱是条形的,并且,终端区域中的第一导电类型的多个导柱以同心方式包围有源区域和过渡区域。
- [0033] 在另一变型中,有源区域和终端区域中的第一导电类型的多个导柱和过渡区域中的第一导电类型的至少一个导柱是同心的。
- [0034] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、以及在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域和终端区域中的第一导电类型的导柱具有基本上相同的宽度并彼此隔开基本上相同的距离,并且,第一导电类型的表面阱区域(表面势阱区域, surface well region)穿过终端区域中的第一导电类型的两个或多个导柱的顶部区域延伸,每一个表面阱区域以其相应的第一导电类型的导柱为中心,并且至少两个表面阱区域具有不同的宽度。
- [0035] 在一个变型中,两个或多个表面阱区域的宽度在远离有源区域的方向上减小。
- [0036] 在另一变型中,两个或多个表面阱区域具有相同的宽度。
- [0037] 在另一变型中,一个或多个表面阱区域的宽度大于第一导电类型的导柱的宽度。
- [0038] 在另一变型中,一个或多个表面阱区域的宽度小于第一导电类型的导柱的宽度。
- [0039] 在另一变型中,有源区域包括第一导电类型的本体区域、和阱区域中的第二导电类型的源极区域,其中本体区域比表面阱区域延伸更深。
- [0040] 在另一变型中,有源区域包括第一导电类型的本体区域、和阱区域中的第二导电类型的源极区域,其中本体区域具有比表面阱区域更高的掺杂浓度。
- [0041] 在另一变型中,具有表面阱区域的第一导电类型的两个或多个导柱穿过其顶部区域浮动。
- [0042] 在另一变型中,第一导电类型是 P 型,而第二导电类型是 N 型。
- [0043] 在另一变型中,第一导电类型是 N 型,而第二导电类型是 P 型。

[0044] 在另一变型中,第一导电类型的每一个导柱包括用 P 型硅基本上填充的沟槽,该沟槽通过形成第二导电类型的导柱的 N 型区域而彼此隔开。

[0045] 在另一变型中,有源区域和终端区域中的第一导电类型的导柱都具有基本上相同的掺杂分布。

[0046] 在另一变型中,有源区域包括在有源区域中的第二导电类型的至少一个导柱上方延伸的平面栅极结构。

[0047] 在另一变型中,有源区域包括在有源区域中的第二导电类型的至少一个导柱内延伸至预定深度的沟槽栅极结构。

[0048] 在另一变型中,有源区域不包括在有源区域中的第二导电类型的任何导柱上方延伸的栅极结构。

[0049] 在另一变型中,有源区域中的第一导电类型的多个导柱是条形的,并且,终端区域中的第一导电类型的多个导柱以同心方式包围有源区域。

[0050] 在另一变型中,有源区域和终端区域中的第一导电类型的多个导柱是同心的。

[0051] 在另一变型中,第一导电类型的多个导柱具有是有源导柱的延伸部的终端导柱,并且,另外多个终端导柱平行于有源区域中的第一和第二导电类型的多个导柱延伸。

[0052] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域和终端区域中的第一导电类型的导柱具有基本上相同的宽度并且彼此隔开基本上相同的距离,并且,第一导电类型的表面阱区域穿过终端区域中的第一导电类型的两个或多个导柱的顶部区域延伸,一个或多个表面阱区域相对于其相应的第一导电类型的导柱偏移,并且至少两个表面阱区域具有不同的宽度。

[0053] 在一个变型中,两个或多个表面阱区域合并在一起。

[0054] 在另一变型中,两个或多个表面阱区域的宽度在远离有源区域的方向上减小。

[0055] 在另一变型中,一个或多个表面阱区域的宽度大于第一导电类型的导柱的宽度。

[0056] 在另一变型中,一个或多个表面阱区域的宽度小于第一导电类型的导柱的宽度。

[0057] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、以及在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域中的第一导电类型的导柱是条形的,而终端区域中的第一导电类型的导柱是同心的,第一导电类型的条形导柱的端部与第一导电的第一个同心导柱隔开,以在其之间形成第二导电类型的间隙区域(禁带区域, gapregion),其中没有第一导电类型的扩散区域穿过间隙区域延伸,从而允许间隙区域浮动。

[0058] 在一个变型中,在终端和间隙区域之间插入至少一个全浮动的台面(台式晶体管,台地, mesa),以提供额外的隔离。

[0059] 在另一变型中,在终端和间隙区域之间插入至少一个部分浮动的台面,以提供额外的隔离。

[0060] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、以及在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域中的第一导电类型的导柱是条形的,而终端区域中的第一导电类型的导柱被布置为同心围绕有源区域但不连续,第一导电类型的条形导柱的端部与第一导电的第一个同心

导柱隔开,以在其之间形成第二导电类型的间隙区域,其中没有第一导电类型的扩散区域穿过间隙区域延伸,从而允许间隙区域浮动。

[0061] 在一个变型中,至少一个同心布置的终端导柱是连续的。

[0062] 在另一变型中,在终端和间隙区域之间插入至少一个全浮动的台面,以提供额外的隔离。

[0063] 在另一变型中,在终端和间隙区域之间插入至少一个部分浮动的台面,以提供额外的隔离。

[0064] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中电接触多晶硅栅极的栅极互连 (gate interconnect)、在有源区域中电接触源极区域的源极互连、在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱、以及在最靠近有源区域的终端区域中的第一和第二导电类型的多个导柱中的一个或多个上方延伸但是与其绝缘的多晶硅场板 (field plate),其中多晶硅场板连接至源极互连。

[0065] 在一个变型中,栅极互连的部分延伸入终端区域中,构造多晶硅场板使得在栅极互连和终端区域中的第二导电类型的导柱之间延伸。

[0066] 在另一变型中,第一导电类型的扩散区域在沿着有源区域的边缘区域延伸的栅极互连部分的下方延伸。

[0067] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中电接触多晶硅栅极的栅极互连、在有源区域中电接触源极区域的源极互连、在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱、以及在终端区域和设置于终端和有源区域之间的隔离区域 (绝缘区域, isolation region) 中的第一和第二导电类型的多个导柱中的一个或多个上方延伸但是与其绝缘的多晶硅场板,其中多晶硅场板连接至源极互连。

[0068] 在一个变型中,栅极互连的部分延伸入隔离区域中,构造多晶硅场板使得在栅极互连和隔离区域中的第二导电类型的导柱之间延伸。

[0069] 在另一变型中,栅极互连的部分延伸入终端区域中,构造多晶硅场板使得在栅极互连和终端区域中的第二导电类型的导柱之间延伸。

[0070] 在另一变型中,第一导电类型的扩散区域在沿着有源区域的边缘区域延伸的栅极互连部分的下方延伸。

[0071] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域中的第一导电类型的导柱是条形的,第一导电类型的本体区域穿过有源区域中的第一导电类型的条形导柱延伸,但是在有源区域中的第一导电类型的条形导柱的端部之前终止,第一导电类型的一个或多个扩散区域至少在其中本体区域不延伸的有源区域中的第一导电类型的条形导柱的部分中延伸。

[0072] 在一个变型中,至少一个扩散的第一导电类型区域桥接有源本体区域。

[0073] 在另一变型中,没有第一导电类型的扩散区域桥接有源本体区域。

[0074] 在另一变型中,第一导电的至少一个扩散区域延伸得超出条形有源导柱的端部。

[0075] 在另一变型中,第一导电的至少一个扩散区域与条形有源导柱的端部重合。

[0076] 在另一变型中,第一导电的至少一个扩散区域包含在条形有源导柱的端部的边界内。

[0077] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱、以及终端区域中的多个导电浮动场板,每一个浮动场板在终端区域中的第一导电类型的至少一个导柱上方延伸但是与其绝缘。

[0078] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域;在有源区域中交替布置的第一和第二导电类型的多个有源导柱,第一和第二导电类型的多个有源导柱延伸入终端区域中;在终端区域中交替布置的第一和第二导电类型的多个终端导柱,第一和第二导电类型的所有多个有源和终端导柱彼此平行;以及以同心方式在终端区域中延伸的具有基本上直角的拐角的第一导电类型的多个表面 P- 阱环,多个表面 P- 阱环与从有源区域延伸出的有源区域中的第一和第二导电类型的有源导柱的部分相交,每一个环进一步穿过不延伸入有源区域中的多个第一导电类型导柱中的相应一个的上表面区域延伸。

[0079] 在一个变型中,将第一和第二导电类型的多个有源和终端导柱构造为具有富 N 电荷平衡状态。

[0080] 在另一变型中,第一导电类型的多个有源和终端导柱具有基本上相同的宽度,并且彼此隔开基本上相同的距离。

[0081] 在另一变型中,第一导电类型的多个有源和终端导柱的宽度小于第一导电类型的多个有源和终端导柱之间的间隔,使得在有源区域和终端区域中产生富 N 电荷平衡状态。

[0082] 在另一变型中,将延伸入终端区域中的第一和第二导电类型的多个有源导柱的部分构造为具有富 N 电荷平衡状态。

[0083] 在另一变型中,在终端区域中延伸的第一导电类型的多个有源导柱中的每一个的一部分在远离有源区域的方向上具有逐渐变窄的宽度。

[0084] 在另一变型中,在终端区域中延伸的第一导电类型的多个有源导柱中的每一个的一部分具有比在有源区域中延伸的部分更窄的宽度。

[0085] 根据本发明的另一种实施方式,形成功率器件的方法包括:在第一导电类型的硅区域中形成深沟槽、在每一个沟槽的底部上注入第二导电类型的掺杂剂、用第二导电类型的硅材料基本上填充每一个沟槽,从而有效地增加包括注入区域和基本上填充每一个沟槽的硅材料的第二导电类型的导柱的深度。

[0086] 在一个变型中,应用一个或多个温度循环,以扩散开所注入的掺杂剂。

[0087] 在另一变型中,第二导电类型的注入物掺杂充分足够高以在导柱底部产生富 P 不平衡状态。

[0088] 在另一变型中,将相同宽度的导柱彼此隔开相同的距离。

[0089] 在另一变型中,导柱的宽度小于导柱之间的间隔。

[0090] 在另一变型中,导柱的宽度大于导柱之间的间隔。

[0091] 根据本发明的另一种实施方式,功率器件包括在硅层中交替布置的第一和第二导电类型的多个导柱、第一导电类型的多个富集区域,每一个富集区域形成在第一导电类型的多个导柱中的一个的底部,以由此在第一导电类型的多个导柱的底部形成电荷不平衡状

态,使得在第一导电类型的多个导柱的底部出现雪崩击穿的发生。

[0092] 根据本发明的另一种实施方式,形成功率器件的方法包括:在基板(衬底)上方形成第一导电类型的第一硅层、注入掺杂剂以在第一硅层的上部中形成第二导电类型的富集区域、在第一硅层上方形成第一导电类型的第二硅层、形成穿过第二硅层延伸的沟槽、以及用第二导电类型的硅材料基本上填充每一个沟槽,使得每一个沟槽中的第二导电的硅材料中的掺杂剂与至少一个富集区域合并,从而形成第二导电类型的导柱,每一个导柱在其底部具有比导柱的剩下部分更大的掺杂浓度。

[0093] 在一个变型中,第二导电类型的注入物掺杂充分足够高以在导柱底部产生富P不平衡状态。

[0094] 在另一变型中,将相同宽度的导柱彼此隔开相同的距离。

[0095] 在另一变型中,导柱的宽度小于导柱之间的间隔。

[0096] 在另一变型中,导柱的宽度大于导柱之间的间隔。

[0097] 在另一变型中,P-导柱穿过P富集区域延伸。

[0098] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、以及在终端区域中交替布置的第一和第二导电类型的多个终端导柱,第一导电类型的富集区域形成在第一导电类型的多个有源导柱的全部或其子集(亚组,subset)中,但是终端导柱均不是第一导电类型的。

[0099] 在一个变型中,富集区域不沿着第一导电类型的多个有源导柱的全长延伸。

[0100] 在另一变型中,富集区域沿着第一导电类型的多个有源导柱的长度不连续。

[0101] 在另一变型中,富集区域不平行于第一导电类型的多个有源导柱。

[0102] 在另一变型中,富集区域比第一导电类型的多个有源导柱更宽。

[0103] 在另一变型中,富集区域比第一导电类型的多个有源导柱更窄。

[0104] 在另一变型中,P-导柱穿过P富集延伸。

[0105] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、以及在终端区域中交替布置的第一和第二导电类型的多个终端导柱,第一导电类型的补偿区域穿过第一和第二导电类型的多个有源导柱的一部分延伸。

[0106] 在一个变型中,补偿区域进一步穿过第一和第二导电类型的多个终端导柱的底部延伸。

[0107] 在另一变型中,补偿区域由与第一导电类型的多个有源导柱中的至少两个相交的一个或多个条带(stripe)形成。

[0108] 在另一变型中,补偿区域由与第二导电类型的多个有源导柱中的至少两个相交的一个或多个条带形成。

[0109] 在另一变型中,补偿区域由不平行于第一导电类型的多个有源导柱的一个或多个条带形成。

[0110] 在另一变型中,P-导柱穿过补偿区域延伸。

[0111] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、以及在终端区域中交

替布置的第一和第二导电类型的多个终端导柱,第二导电类型的富集区域形成在第一导电类型的多个有源导柱的全部或其子集中。

[0112] 在一个变型中,N富集区域不沿着第一导电类型的多个有源导柱的全长延伸。

[0113] 在另一变型中,N富集区域沿着第一导电类型的多个有源导柱的长度不连续。

[0114] 在另一变型中,N富集区域不平行于第一导电类型的多个有源导柱。

[0115] 在另一变型中,富集区域也形成在第一导电类型的多个终端导柱的全部或其子集的底部。

[0116] 在另一变型中,富集区域比第一导电类型的多个有源导柱更宽。

[0117] 在另一变型中,富集区域比第一导电类型的多个有源导柱更窄。

[0118] 在另一变型中,N富集区域不平行于第一导电类型的多个有源导柱。

[0119] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、以及在终端区域中交替布置的第一和第二导电类型的多个终端导柱,第二导电类型的富集区域形成在第二导电类型的多个有源导柱的全部或其子集中。

[0120] 在一个变型中,N富集区域不沿着第二导电类型的多个有源导柱的全长延伸。

[0121] 在另一变型中,N富集区域沿着第二导电类型的多个有源导柱的长度不连续。

[0122] 在另一变型中,N富集区域不平行于第二导电类型的多个有源导柱。

[0123] 在另一变型中,富集区域也形成在第二导电类型的多个终端导柱的全部或其子集的底部。

[0124] 在另一变型中,富集区域比第二导电类型的多个有源导柱更宽。

[0125] 在另一变型中,富集区域比第二导电类型的多个有源导柱更窄。

[0126] 在另一变型中,N富集区域不平行于第二导电类型的多个有源导柱。

[0127] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、以及在终端区域中交替布置的第一和第二导电类型的多个终端导柱,第二导电类型的富集区域穿过所有第一和第二导电类型的多个有源导柱的全部或其一部分。

[0128] 在一个变型中,富集区域进一步穿过第一和第二导电类型的多个终端导柱的底部部分延伸。

[0129] 在另一变型中,N富集区域由与第一导电类型的多个有源导柱中的至少两个相交的一个或多个条带形成。

[0130] 在另一变型中,N富集区域由与第二导电类型的多个有源导柱的至少两个相交的一个或多个条带形成。

[0131] 在另一变型中,N富集区域由不平行于第一导电类型的多个有源导柱的一个或多个条带形成。

[0132] 在另一变型中,P-导柱穿过N富集区域延伸。

[0133] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、栅极垫区域(栅极衬垫区域,gate pad area)、以及在有源区域中延伸的多个多晶硅栅极,其中,预定数量的多个多晶硅栅极也延伸入栅极垫区域中。

- [0134] 在一个变型中,功率器件包括在多个多晶硅栅极之间延伸并与其重叠的阱区域,阱区域进一步在栅极垫区域中延伸。
- [0135] 在另一变型中,功率器件包括用于电连接相邻多晶硅栅极的多晶硅桥。
- [0136] 在另一变型中,多晶硅桥位于栅极垫区域中。
- [0137] 在另一变型中,多晶硅桥位于沿着栅极垫区域的外围处。
- [0138] 在另一变型中,阱区域在多个多晶硅栅极中的相邻栅极之间延伸,其中,选择每一个多晶硅桥的宽度,使得每一个多晶硅桥的相对侧上的阱区域合并。
- [0139] 在另一变型中,栅极垫区域包括栅极垫金属,功率器件进一步包括在远离栅极垫区域并与多个多晶硅栅极延伸的方向垂直的方向上从栅极垫金属的一侧延伸出的栅极浇口金属 (gate runner metal)。
- [0140] 在另一变型中,功率器件包括多个触点 (接触部, contact),将每一个触点构造为使栅极浇口金属与多个多晶硅栅极中的一个接触。
- [0141] 在另一变型中,功率器件包括多个触点,将每一个触点构造为使栅极垫金属与延伸入栅极垫区域中的多个多晶硅栅极中的一个接触。
- [0142] 在另一变型中,多个触点位于沿着栅极垫区域的外围处。
- [0143] 在另一变型中,多个触点位于沿着穿过栅极垫区域的中间部分延伸的行处。
- [0144] 根据本发明的另一种实施方式,功率器件包括半导体区域中的沟槽;每一个沟槽中的硅材料,使得硅材料和在相邻沟槽之间延伸的半导体区域的部分形成交替导电类型的导柱;以及通过栅极介电层与半导体区域绝缘的栅电极,其中,构造沟槽和栅极介电层,使得栅极介电层在横向不与沟槽重叠。
- [0145] 根据本发明的另一种实施方式,形成功率器件的方法包括:在半导体区域中形成沟槽;在每一个沟槽中形成硅材料,使得硅材料和在相邻沟槽之间延伸的半导体区域的部分形成交替导电类型的导柱;以及形成通过栅极介电层与半导体区域绝缘的栅电极,其中,构造沟槽和栅极介电层,使得栅极介电层在横向不与沟槽重叠。
- [0146] 根据本发明的另一种实施方式,容纳功率器件的芯片包括有源区域、包围有源区域的终端区域、沿着芯片外围的位置线区域 (划线区域,划片线区域, scribe line area)、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、在终端区域中布置的第一和第二导电类型的多个同心终端导柱、以及在位置线区域中交替布置的第一和第二导电类型的多个同心位置线导柱。
- [0147] 根据本发明的另一种实施方式,容纳功率器件的芯片包括有源区域、包围有源区域的终端区域、沿着芯片外围的位置线区域、在有源区域中交替布置的第一和第二导电类型的多个有源导柱、在终端区域中交替布置的第一和第二导电类型的多个终端导柱、以及在位置线区域中交替布置的第一和第二导电类型的多个位置线导柱,其中,第一和第二导电类型的多个位置线导柱在与位置线区域延伸的方向垂直的方向上延伸。
- [0148] 在一个变型中,芯片包括被构造为接触第一导电类型的多个位置线导柱使得在操作过程中将第一导电类型的多个位置线导柱加偏压至预定电势的互连层。
- [0149] 在另一变型中,第一和第二导电类型的多个位置线导柱与第一和第二导电类型的多个终端导柱隔开预定的台面间隔。
- [0150] 在另一变型中,第一和第二导电类型的多个有源导柱是条形的,第一和第二导电

类型的多个终端导柱是同心的。

[0151] 在另一变型中,第一和第二导电类型的多个有源导柱和第一和第二导电类型的多个终端导柱是条形的。

[0152] 根据本发明的另一种实施方式,功率器件包括有源区域和包围有源区域的终端区域、以及在有源区域和终端区域的每一个中交替布置的第一和第二导电类型的多个导柱,有源区域中的第一导电类型的导柱是条形的,而终端区域中的第一导电类型的导柱是同心的,第一导电类型的条形导柱的端部与第一导电的第一个同心导柱隔开,以在其之间形成第二导电类型的间隙区域,其中,间隙区域具有预定宽度,将该预定宽度选择为使得相对于有源区域中的电荷平衡状态沿着间隙区域获得电荷平衡状态,这导致有源区域具有比沿着间隙区域的击穿电压更低的击穿电压。

[0153] 在一个变型中,有源区域和终端区域两者中的第一导电类型的导柱形成在沟槽中,沟槽具有锥形侧壁,其中,间隙区域的预定宽度部分取决于沟槽侧壁逐渐变细的程度以及有源区域中的第一导电类型的导柱之间的间隔。

[0154] 根据本发明的另一种实施方式,功率器件包括在基板上方的下外延层;在下外延层上方并与下外延层接触的上外延层;穿过上外延层延伸并在下外延层内终端的多个沟槽,每一个沟槽具有锥形侧壁;以及硅材料,硅材料形成在每一个沟槽中,使得硅材料与在相邻沟槽之间延伸的上下外延层的部分一起形成交替的导电类型的导柱,其中,上外延层具有比下外延层更高的掺杂浓度。

[0155] 在一个变型中,上外延层包括靠近上外延层的顶表面的在相邻沟槽之间的 JFET 注入物区域, JFET 注入物区域具有与上外延层相同的导电类型,但是具有比上外延层更高的掺杂浓度。

[0156] 在另一变型中,每一个沟槽的垂直深度在上外延层中延伸的部分比其在下外延层中延伸的部分更大。

[0157] 在另一变型中,每一个沟槽中的硅材料具有在从沟槽底部朝着沟槽顶部的方向上增加的掺杂浓度。

[0158] 在另一变型中,下外延层具有在从下外延层的底部朝着顶部的方向上增加的掺杂浓度。

[0159] 在另一变型中,上外延层具有在从上外延层的底部朝着顶部的方向上增加的掺杂浓度。

[0160] 根据本发明的另一种实施方式,用于将对准标记从基板后部向基板顶部转移的方法包括:沿着基板的后部形成对准标记,在形成对准标记之后沿着基板的顶部形成外延层,在外延层中形成沟槽,以及在形成沟槽之后将对准标记转移至基板的顶部。

[0161] 在一个变型中,在将对准标记转移至基板的顶部之前,使基板的顶部表面平面化。

[0162] 在另一变型中,在平面化之前,用硅材料填充沟槽。

[0163] 在另一变型中,在使基板的顶部表面平面化之后,保留在沟槽中的硅材料与在相邻沟槽之间延伸的外延层的部分一起形成交替的导电类型的导柱。

[0164] 在另一变型中,使用化学机械抛光进行平面化。

[0165] 在另一变型中,在沿着基板的后部延伸的多晶硅层中形成对准标记。

[0166] 在另一变型中,在形成外延层之前,在多晶硅层上方的基板后部上形成介电层,以

防止在形成外延层的步骤的过程中在多晶硅层上方形成外延层。

[0167] 根据本发明的另一种实施方式,形成功率器件的方法包括:在半导体区域中形成沟槽、用硅材料填充沟槽、以及在填充沟槽之后执行后烘烤工艺。

[0168] 在一个变型中,后烘烤工艺导致硅材料中的硅迁移,从而将由于硅缺陷引起的泄漏减到最小。

[0169] 在另一变型中,在 1150-1250°C 的范围内的温度下在惰性环境中执行后烘烤工艺至少 30 分钟的时间。

[0170] 在另一变型中,半导体区域包括在基板上方的外延层,并且沟槽延伸入外延层中,该方法包括:在执行后烘烤工艺之后,在外延层中形成本体区域,并且在本体区域中形成重本体区域 (heavy body region)。

[0171] 在另一变型中,半导体区域包括在基板上方的外延层,并且沟槽延伸入外延层中,硅材料与在相邻沟槽之间延伸的外延层的一部分一起形成交替的导电类型的导柱。

[0172] 根据本发明的另一种实施方式,功率器件包括在半导体区域中延伸的多个沟槽,其中,沿着每一个沟槽侧壁、沟槽底部的半导体区域的晶体取向与沿着靠近沟槽的台面表面的晶体取向彼此匹配;以及沟槽中的硅材料,使得硅材料和在相邻沟槽之间延伸的半导体区域的部分形成交替的导电类型的导柱。

[0173] 根据本发明的另一种实施方式,功率器件包括在半导体区域中延伸的多个沟槽,其中,沿着多个沟槽的内部和外部的所有水平延伸和垂直延伸的表面的晶体取向彼此匹配;以及沟槽中的硅材料,使得硅材料和在相邻沟槽之间延伸的半导体区域的部分形成交替的导电类型的导柱。

[0174] 根据本发明的另一种实施方式,形成功率器件的方法包括:在半导体区域中形成沟槽、形成为沟槽侧壁和底部加衬的第一外延层、去除第一外延层的一部分、以及在去除第二外延层的一部分之后形成基本上填充沟槽的最终外延层。

[0175] 在一个变型中,在去除第一外延层的一部分之后和在形成最终外延层之前,在第一外延层的剩余部分上方形成第二外延层,并且去除第二外延层的一部分。

[0176] 在另一变型中,沟槽中的第一、第二和最终外延层与在相邻沟槽之间延伸的半导体区域的部分一起形成交替的导电类型的导柱。

[0177] 在另一变型中,用 HCl 执行去除步骤。

[0178] 在另一变型中,在去除第二外延层的一部分之后和在形成最终外延层之前,在第二外延层的剩余部分上方形成第三外延层,并且去除第三外延层的一部分。

[0179] 在另一变型中,在去除第一外延层的一部分之前,第一外延层具有不均匀的厚度,但是第一外延层的剩余部分具有基本上均匀的厚度。

[0180] 在另一变型中,在去除第二外延层的一部分之前,第二外延层具有不均匀的厚度,但是第二外延层的剩余部分具有基本上均匀的厚度。

[0181] 根据本发明的另一种实施方式,形成功率器件的方法包括:在半导体区域中形成沟槽、在氢气环境中执行第一退火以从沿着沟槽侧壁去除点阵损坏和倒圆沟槽的拐角 (corner)、以及在第一退火之后形成为沟槽侧壁和底部加衬的第一外延层。

[0182] 在一个变型中,去除第一外延层的一部分,在去除第一外延层的一部分之后,在氢气环境中执行第二退火以从沿着第一外延层的剩余部分的暴露的侧壁和底部去除点阵损

坏,并且在第二退火之后在第一外延层的剩余部分的上方形成第二外延层。

[0183] 在另一变型中,去除第二外延层的一部分,在去除第二外延层的一部分之后,在氢气环境中执行第三退火以从沿着第二外延层的剩余部分的暴露的侧壁和底部去除点阵损坏,并且在第三退火之后形成基本上填充沟槽的最终外延层。

[0184] 在另一变型中,沟槽中的第一、第二和最终外延层与在相邻沟槽之间延伸的半导体区域的部分一起形成交替的导电类型的导柱。

[0185] 在本发明的另一种实施方式中,形成功率器件的方法包括:在半导体区域中形成沟槽、以及用倾斜的 HCl 流在沟槽中形成外延层。

[0186] 在一个变型中,倾斜的 HCl 流导致形成具有基本上均匀的厚度的外延层。

[0187] 在另一变型中,将 HCl 气体从初始沟槽填充过程中的小流倾斜至沟槽最终封闭处的高流。

[0188] 在另一变型中,沟槽中的外延层与在相邻沟槽之间延伸的半导体区域的部分一起形成交替的导电类型的导柱。

附图说明

[0189] 图 1A- 图 1C 示出了用于根据本发明的实施方式的超结 FET 的三个不同的布置结构;

[0190] 图 2 示出了根据本发明一种实施方式的被构造为使得在有源区域中首次出现击穿的超结 FET 的简化横截面图;

[0191] 图 3 示出了根据本发明一种实施方式的超结 FET 的简化横截面图,其中,通过扩散区域将过渡区域中的过渡导柱桥接至有源区域中的第一接触导柱;

[0192] 图 4A 和图 4B 示出了具有五个终端 P- 导柱环的传统终端设计的模拟结果;

[0193] 图 5 示出了根据本发明一种实施方式的超结 FET 的简化横截面图,其中,用以 P- 导柱为中心的 P- 阱区域来获得期望的表面电场分布;

[0194] 图 6A 示出了根据本发明一种实施方式的超结 FET 的简化横截面图,其中,在远离有源区域的方向上,导柱的宽度保持恒定,同时表面阱的宽度逐渐减小;

[0195] 图 6B 示出了图 6A 中的结构的表面电场分布;

[0196] 图 7 示出了根据本发明一种实施方式的超结 FET 的简化横截面图,其中,通过用围绕 P- 导柱不对称的和在一些情况中被连接在一起的表面 P- 阱来获得期望的表面电场;

[0197] 图 8A 是根据本发明一种实施方式的芯片的拐角的简化顶布局图,示出了有源 P- 导柱条带的端部和同心 P- 导柱之间的间隙区域;

[0198] 图 8B 是具有与图 8A 所示的拐角设计相似的拐角设计的芯片的快照,其中,芯片处于偏压下,并且,靠近芯片的四个拐角的更轻的区域表示首次出现击穿的位置;

[0199] 图 9A 示出了根据本发明一种示意性实施方式的顶布局图,其中,电荷不平衡区域例如,有源区域间隙和同心终端导柱的拐角与有源区域分离,允许它们浮动至比源极更高的电势;

[0200] 图 9B 是根据本发明的另一种示意性实施方式的顶布局图,其中,插入第二全浮动的台面,以在间隙和拐角区域与终端之间提供额外的隔离;

[0201] 图 9C 是具有与图 9A 所示的拐角设计相似的拐角设计的芯片的快照,其中,芯片处

于偏压下,并且,靠近芯片的四个拐角的更轻的区域表示首次出现击穿的位置;

[0202] 图 10 是根据本发明一种实施方式的示出了拐角区域中的间隙区域的简化横截面图;

[0203] 图 11 是另一种示意性实施方式的简化横截面图,其中,与图 3 的实施方式一起讨论的桥接 PIso 扩散在栅极金属下方延伸,使得没有栅极金属的部分在漏极区域上方延伸;

[0204] 图 12 是根据又一种示意性实施方式的简化横截面图,其中,与图 5 至图 7 的实施方式一起讨论的表面阱区域在栅极金属下方延伸,使得没有栅极金属的部分在漏极区域上方延伸;

[0205] 图 13 是根据另一种示意性实施方式的简化横截面图,其中,更浅的、更少掺杂的表面 P- 阱区域沿着条形有源 P- 导柱的端部延伸,P 本体区域终止于所述 P- 导柱处;

[0206] 图 14A- 图 14G 是根据本发明实施方式的示出了 PIso 和表面 P- 阱区域的各种实施(实例)的简化布局图;

[0207] 图 15 是根据本发明一种示意性实施方式的示出了终端区域中的浮动场板的实施的简化横截面图;

[0208] 图 16A 和图 16B 示出了具有场板的结构(图 16A)和没有场板的结构(图 16B)的电场分布;

[0209] 图 17 是根据本发明一种示意性实施方式的芯片的拐角的简化顶布局图,其中,表面 P- 阱环用来固定导柱的电势,所述导柱与有源区域不相交并且将另外是浮动的;

[0210] 图 18A 和图 18B 是根据本发明一种示意性实施方式的以两个工艺步骤形成 P- 导柱的简化横截面图;

[0211] 图 19 是根据本发明一种示意性实施方式的简化横截面图,其中,P 富集区域形成在所有 P- 导柱的底部以产生局部电荷不平衡,从而导致在导柱底部出现雪崩击穿;

[0212] 图 20A- 图 20H 是根据本发明一种示意性实施方式的描述形成图 19 中的结构的工艺流程的简化横截面图;

[0213] 图 21A- 图 21F 是根据本发明实施方式的示出了处于或靠近有源和 / 或终端区域中的所有或所选组的 P- 导柱的底部的 P 富集区域的各种实施的简化横截面图;

[0214] 图 22A- 图 22N 是根据本发明实施方式的示出了处于或靠近有源和 / 或终端区域中的所有或所选组的 P- 导柱的底部的 N 富集区域的各种实施的简化横截面图;

[0215] 图 23 是根据本发明实施方式的栅极垫区域及其周围区域的简化顶布局图,其中,有源多晶硅条带(有源多个条带,active polystripes)在栅极垫下方延伸;

[0216] 图 24 是根据本发明另一种实施方式的示出了图 23 设计的变型的简化顶布局图,其中,类似于图 23,多晶硅条带穿过栅极垫区域延伸,但是不使用多晶硅桥;

[0217] 图 25 是根据本发明一种可替换实施方式的示出了类似于图 23 实施方式的简化顶布局图,不同之处在于,沿着栅极垫区域的中心制造到多晶硅条带的栅极金属触点;

[0218] 图 26 是根据本发明另一种实施方式的示出了的图 25 设计的变型的简化顶布局图,其中,类似于图 23,多晶硅条带穿过栅极垫区域延伸,但是不使用多晶硅桥;

[0219] 图 27A- 图 27C 是根据本发明实施方式的示出了用于确保在其中蚀刻并填充导柱沟槽的区域上方不形成有源通道的各种技术的简化横截面图;

[0220] 图 28 是根据本发明一种实施方式的示出了在其中通常不形成沟槽的位置线区域

中形成沟槽的技术的横截面图；

[0221] 图 29 是示出了没有沟槽在位置线区域中延伸的传统的布局图；

[0222] 图 30 是根据本发明一种实施方式的简化顶布局图，其中，图案与终端沟槽类似的附加沟槽形成在位置线区域中；

[0223] 图 31 和图 32 是根据本发明其它实施方式的示出了在位置线区域中延伸沟槽的概念的两个变型的简化顶布局图；

[0224] 图 33 是根据本发明一种实施方式的拐角区域的简化顶布局图，其中，仔细地设计拐角区域中的各种间隙，以获得期望的电荷平衡特性；

[0225] 图 34A-图 34G 是根据本发明一种示意性实施方式的以各种工艺步骤形成图 2 所示的结构简化横截面图；

[0226] 图 35A 是根据本发明一种示意性实施方式的高度简化的横截面图，其中，考虑沟槽的轮廓，仔细地选择两个外延层的掺杂浓度；

[0227] 图 35B 是将单外延层设计与图 35A 所示的双外延层设计的击穿电压特性相比的图；

[0228] 图 36 示出了超结 FET 的掺杂分布，其中，J-FET 注入物用来降低超结 FET 的颈部区域中的电阻；

[0229] 图 37 示出了根据本发明一种实施方式的以各种步骤工艺示出一种技术的简化横截面图，由此，在形成沟槽之前，在晶片的后部上形成对准标记，然后，在完成顶表面的平面化之后，将对准标记转移至顶部；

[0230] 图 38 示出了根据本发明一种实施方式的在图 37 的工艺中使用的用于将对准标记从晶片的后部转移至前部的设备的简化图；

[0231] 图 39A 和图 39B 是根据本发明一种实施方式的示出了一种工艺的简化横截面图，由此，在用外延层填充沟槽之后执行后烘烤工艺，以通过硅迁移提供更坚固的填充状态和 P- 导柱的结晶化；

[0232] 图 40 是晶片的顶视图，示出了晶片相对于其平面的 45 度旋转；

[0233] 图 41A 和图 41B 示出了其中不使用晶片旋转（图 41A）和其中使用晶片旋转（图 41B）的情况的硅结果；

[0234] 图 42A 和图 42B 分别示出了轴上和离轴晶片情况的晶体取向；

[0235] 图 43 示出了根据本发明一种实施方式的一系列 SEM 图像，其示出了示意性的多外延层工艺；

[0236] 图 44A-图 44F 是根据本发明一种实施方式的更清楚地示出了图 43 所示的多外延层工艺的简化横截面图；

[0237] 图 45A-图 45C 是根据本发明一种实施方式的示出了用于消除点阵损坏和倒圆沟槽拐角的技术的 SEM 图像；

[0238] 图 46A-图 46C 是根据本发明一种实施方式的示出了用于避免在沟槽中心形成空隙并用于防止顶沟槽拐角处过早的外延层封闭的技术的 SEM 图像；

[0239] 图 47 是示出了在各种 HCl 流速以及在外延层沉积的过程中不使用 HCl 的情况下硅生长速度与沟槽位置的关系的图。

具体实施方式

[0240] 可通过功率 MOSFET、IGBT、各种类型的半导体闸流管等中的任何一种来实现功率开关。为了示例性目的,这里提出的许多新技术在功率 MOSFET 的上下文中进行了描述。然而,应当理解,这里描述的本发明的各种实施方式不限于功率 MOSFET,而是可应用于许多其它类型的功率开关技术,包括,例如,IGBT 和其它类型的双极开关和各种类型的半导体闸流管、以及二极管。此外,为了示例性目的,将本发明的各种实施方式示出为包括特定的 P 和 N 型区域(例如,对于 n 通道 MOSFET)。本领域的技术人员应当理解,这里的教导可同等地应用于其中各个区域的导电性相反的器件。

[0241] 在超结技术中,可以许多不同的布局构造布置有源区域 108 和终端区域 106 中交替的 P/N 导柱 102 和 104。图 1A-图 1C 示出了三个这种布局构造。在图 1A 中,以同心构造布置有源区域 108 和终端区域 106 中的 P/N 导柱 102 和 104(在下文中称为“全同心”构造);在图 1B 中,以平行(或条形)构造布置有源区域 118 和终端区域 116 中的 P/N 导柱 112 和 114(在下文中称为“全平行”设计);在图 1C 中,以平行(或条形)构造布置有源区域 128 中的 P/N 导柱 122 和 124,并以同心构造布置终端区域 126 中的 P/N 导柱 122 和 124(在下文中称为“平行-同心”构造)。这些布局构造中的每一个具有其自身的优点和缺点。本公开内容中描述的一些发明和实施方式解决了这些布局构造中的每一个的各种缺点。

[0242] 图 1A 所示的全同心构造在有源区域 108 和终端区域 106 中享有均匀的电荷平衡,但是可以减少有源通道区域,因为栅极供给(栅极馈电, gate feed)必须延伸入有源区域 108 的内部中,以供给同心的有源的多晶硅栅极。可能需要在所有拐角处去除通道,以防止下阈值电压和寄生 NPN 接通的区域。因此,当减小芯片尺寸时,归因于有源区域中的这些拐角的导通电阻(R_{dson})的不利结果可能变得更大。

[0243] 图 1B 所示的全平行构造也在有源区域 118 和终端区域 116 中享有均匀的电荷平衡,但是没有全同心构造的 R_{dson} 不利结果。然而,可以将以全平行构造的 P/N 导柱设计限制于富 N 平衡状态,以确保从有源区域 118 延伸出进入终端区域 116 的导柱沿着其长度在某处变得完全耗尽。通过对终端使用同心导柱,如图 1C 所示,可穿过终端分布电场,而没有完全导柱耗尽。

[0244] 在其中用沟槽蚀刻和填充工艺来形成导柱(例如, P- 导柱)的设计中,可能难以蚀刻并填充同心导柱的拐角,导致在产生电荷不平衡的外延层填充中出现空隙。因此,这些拐角可能变成高电场应力的区域。如果将其缩短至源极电势,则图 1A 和图 1C 的布局构造中的任一个可能在这些拐角处具有较低的击穿电压。在图 1C 所示的平行同心构造中,可将这些拐角移到有源区域 128 的外部,其中它们可浮动并由此在源极电势处不固定,从而将它们作为局部较低的击穿电压的源极而最小化或消除。而且,可最大化有源通道区域,并且使用其的栅极供给更传统,仅需要周长栅极浇口,以与有源多晶硅栅极连接。

[0245] 为了获得良好的非钳位感应开关(UIS)特性,期望设计器件使得在与包括终端区域的器件的任何其它区域相对的有源区域中首次出现击穿。一种实现此效果的方式是,通过局部地修改这些区域中的电荷平衡来确保器件的所有区域具有比有源区域更足够高的击穿电压。图 2 示出了本发明的一种示意性实施方式,在该实施方式中实现此效果。在图 2 中,有源区域 204 和终端区域 202 中的 P- 导柱 230、236 具有相同的宽度 W_3 。此外,有源

区域 204 和终端区域 202 中的 P- 导柱 230、236 可以是沟槽被填充的导柱,用相同的掺杂材料对其进行填充。也用相同的一个外延层或多个外延层生长有源区域 204 和终端区域 202 中的台面区域 232、234(在本公开内容中,可替换地被称为 N 导柱)。

[0246] 用已知技术,将台面宽度 W1 和 P- 导柱宽度 W3 以及 P- 导柱 230、236 和 N 型台面 232、234 中的掺杂分布设计为实现导柱终端区域 202 具有高击穿电压的电荷平衡状态。相反,可调节有源区域 204 中的台面宽度 W2,以获得导致比包括终端区域 202 的区域的器件的其它区域更低的击穿电压的不同电荷平衡状态。在一种实施方式中,可将有源区域 204 中的台面宽度 W2 制造得比终端区域 202 中的台面宽度 W1 更窄,使得有源区域 204 更富 P。在另一种实施方式中,可将有源区域 204 中的台面宽度 W2 制造得比终端区域 202 中的台面宽度 W1 更大,使得有源区域 204 更富 N。因此,有源区域 204 中的初始击穿首先导致更稳定的击穿特性和在 UIS 作用的过程中更均匀分布的电流。因此,改善器件的击穿和 UIS 特性。注意,富 N 有源区域可能以 UIS 性能为代价而导致更低的 R_{dson} ,而富 P 有源区域可能以 R_{dson} 为代价而提供更好的 UIS 性能。根据设计目标,一种方法可能比另一种方法更优选。

[0247] 在一种实施方式中,有源导柱是条形的,其中终端导柱以类似于图 1C 所示的同心方式包围有源区域。在另一种实施方式中,有源和终端导柱类似于图 1A 所示均是同心的。在又一种设计中,终端导柱是有源导柱的延伸部,并类似于图 1B 所示,包括平行于有源区域的导柱。

[0248] 在一些实施方式中,平行于终端导柱延伸的有源导柱必须过渡入终端导柱中,不会导致电荷不平衡,以确保有源区域保留其中首次开始击穿的区域。然而,由于金属接触设计规则的限制,有源区域和终端区域之间的过渡区域中的导柱不能与源极电势物理地接触和连接。不用适当地对过渡导柱加偏压,过渡区域可能变成限制击穿电压的区域。

[0249] 图 3 示出了本发明的一种示意性实施方式,其中,通过在图 3 中被标记为 PI_{iso} 的扩散区域 342 将过渡区域 304 中的过渡导柱 329 与有源区域 301 中的第一接触导柱 330 桥接。此桥接扩散可以在过渡导柱 329 之间的 N 型台面区域 333 上方延伸。当 N 型台面区域 333 具有与有源 N 型导柱 332 相同或比有源 N 型导柱 332 更小的宽度时,在过渡区域 304 中出现 P 电荷的增加。此 P 电荷的增加会减小有源区域 301 的剩余部分下方的击穿电压。为了补偿此 P 电荷的增加,可将 N 型台面区域 333 的宽度制造得比 N 型导柱 332 的宽度更大。这可确保过渡区域 304 的击穿比有源区域 301 保持得更高。在图 3 所示的实施方式中,通过桥接扩散 342 的跨度限定过渡区域 304。

[0250] 与图 2 的实施方式一样,所有区域(终端区域、过渡区域和有源区域)中的 P 型导柱的宽度可以基本上相同,并且,终端台面区域可以比有源台面区域的宽度更大。然而,终端台面区域的宽度可以大于、等于或小于过渡台面区域的宽度。

[0251] 在一种实施方式中,桥接扩散 PI_{iso} 可以具有与有源区域中的 P- 阱的掺杂浓度相似的掺杂浓度,并且可以在栅极氧化和多晶硅沉积之前形成。在另一种实施方式中,有源和过渡导柱可以是条形的,其中终端导柱以类似于图 1C 所示的布局构造的同心方式包围有源和过渡区域。在又一种实施方式中,类似于图 1A 所示的布局构造,有源、过渡和终端导柱可以是同心的。

[0252] 在未示出的另一种实施方式中,代替 PI_{iso} 扩散,可用类似于图 3 中标记为“环”的

P 扩散区域的更浅的 P 扩散, 来将过渡导柱与有源区域中的第一接触导柱桥接。更浅的 P 扩散比有源区域中的 P- 阱掺杂更少, 因此, 在过渡台面宽度方面需要更少的补偿。

[0253] 图 4A 和图 4B 示出了具有终端 P- 导柱 404 的传统终端设计的模拟结果。可用传统的多外延层方法形成 P- 导柱 404。例如, 在适当的基板 402 上方生长第一 N 型外延层, 然后, 将对准的硼注入其中待形成 P- 导柱的外延层区域中。重复生长 N- 外延层和对准的硼注入的步骤, 直到获得期望的导柱高度为止。在此工艺中, 可在硼注入过程中通过掩模图案化容易地调节导柱间隔, 以获得期望的表面电场分布。图 4A 中示出了在相邻导柱之间的间隔的示意性组, 其在远离有源的方向上逐渐增加。图 4B 中示出了相应的表面电场分布。

[0254] 在图 4A 中, 其中通过蚀刻深沟槽并用硅填充其来形成导柱的改变台面宽度的工艺技术是不受欢迎的, 因为其导致不均匀的沟槽蚀刻和填充。因此, 需要将中心对中心的导柱间隔在可能的程度上保持恒定。然而, 对于恒定的导柱间隔, 需要实现其它提供, 以获得期望的表面电场分布。图 5 示出了根据本发明的一种示意性实施方式, 其中, 用以 P- 导柱 504 为中心的表面 P- 阱区域 508 (这里, 也称作“P 环”或“P- 导柱表面的 P 富集”) 来获得期望的表面电场分布。如图 5 所示, 有源 P 本体区域 510 (其中形成有源极区域 524) 可以延伸得比表面阱区域 508 更深, 并可以具有比表面阱区域 508 更高的掺杂浓度。可设计表面阱区域 508 的掺杂和深度, 以获得电荷平衡状态, 导致具有低峰值电场和穿过终端区域的基本上均匀分布的电场的高击穿电压。

[0255] 已经发现, 如果将表面阱宽度制造得太宽, 则穿过最后的导柱和芯片间隔 (street) 的大部分电势可以下降, 从而, 最后的导柱处的电场高, 导致低击穿电压。当将阱宽度制造得太小时, 穿过靠近有源区域的一个导柱或仅少量导柱的大部分电势可以下降, 使得靠近有源区域的终端导柱处的峰值电场变高, 导致低击穿电压。此外, 虽然图 5 示出了具有相等宽度的表面 P- 阱 508, 但是本发明并不限于后面所示的内容。

[0256] 图 6A 示出了本发明的一个变型, 其中, 导柱 604 的宽度可以保持恒定, 同时表面阱 608 的宽度在远离有源区域的方向上逐渐减小。注意, 将表面阱 608 保持在以 P- 导柱 604 为中心。如可从图 6B 所示的表面电场分布看到的, 沿着顶表面保持相对低且均匀的电场峰值。图 6B 中的模拟结果对应于本发明的一种实施方式, 在该实施方式中, 将中心对中心的 P- 导柱 604 的间隔保持在 $7.8 \mu\text{m}$, 其中表面阱宽度在远离有源区域的方向上从 $11.4 \mu\text{m}$ 逐渐减小至 $8 \mu\text{m}$ 。虽然此具体实施方式产生了良好的结果, 但是本发明不限于图 6A 中所示的特定尺寸组。

[0257] 在一种实施方式中, 在场氧化之前形成表面阱区域。而且, 可以图 1A- 图 1C 中所示的所有三个布局构造来实施这里讨论的图 5 和图 6A 中所示的具体设计及其变型。

[0258] 注意, 虽然图 5 中的示意性实施方式示出了有源区域中的沟槽栅极 522, 但是, 可在具有平面栅极结构或其它类型的有源结构的器件中简单地实施本发明。此外, 虽然将表面阱区域 508 示出为比 P- 导柱 504 更宽, 但是, 其宽度可以可替换地与 P- 导柱 504 的宽度相同或者比 P- 导柱 504 的宽度更窄。此外, 如图 5 所示, 有源区域中的 P 本体区域 510 可比表面 P- 阱区域 508 延伸得更深。

[0259] 图 7 示出了本发明的又一种示意性实施方式, 其中, 用围绕 P- 导柱 704 不对称的和在一些情况中被连接在一起的表面 P- 阱来获得期望的表面电场。在所有其它方面中, 图 7 类似于图 5。如图 7 所示, 将一些表面 P- 阱相对于 P- 导柱 704 偏移至右侧, 将一些偏移

至左侧,并将一些连接在一起。将表面 P- 阱相对于其 P- 导柱偏移的能力提供了设计在有源区域和终端区域之间的过渡区域的灵活性,下面进一步描述其实例。

[0260] 在超结电荷平衡设计中,期望没有电荷平衡破坏的区域。这些区域会变成局部击穿的位置,这会导致期望 R_{dson} 的较差的击穿电压、较差的动态开关性能、以及甚至动态状态下的失效。图 8A 和图 8B 示出了芯片的这种区域。图 8A 示出了具有由同心终端 P- 导柱包围的条形有源 P- 导柱 804 的芯片的拐角。间隙区域 808 可形成在有源 P- 导柱 804 的端部和终端区域 810 中的第一同心 P- 导柱之间。P 扩散区域 806 可用来将终端区域中的多个同心 P- 导柱与有源 P- 导柱 804 桥接,以便将这些同心 P- 导柱保持为接近源极电势。P 扩散桥 806 穿过间隙区域 808 延伸,并延伸入有源区域 802 中,从而将间隙区域 808 保持为接近源极电势。当未精确地将间隙区域 808 和拐角区域保持为与有源区域 802 相同的电荷平衡状态时,此设计会产生在间隙区域 808 和同心 P- 导柱的拐角中具有不期望的局部较低的击穿电压区域电势。图 8B 是加偏压下的芯片的快照,并且如可由更轻区域看到的,可以在有源区域的四个拐角处首先出现击穿。

[0261] 图 9A 示出了根据本发明一种示意性实施方式的顶布局图,其中,电荷不平衡区域,例如,有源区域间隙 908 和同心终端导柱的拐角可与有源区域分离,从而允许其浮动至比源极更高的电势。另外,可在间隙 908 或拐角区域与终端区域 910 之间插入单个全浮动的 N 台面 912。作为终端区域 910 的部分,其可浮动至比源极更高的电势,使得并非必须精确地将电荷平衡状态保持得与有源区域相同,从而将这些区域作为局部低击穿电压的源极而消除。

[0262] 图 9B 是根据本发明另一种示意性实施方式的顶布局图,其中,可插入第二导电类型的第二全浮动的台面 914,以在间隙 908 和拐角区域与终端 910 之间提供额外的隔离。如被图 9C 中在偏压下的芯片的快照所示的均匀有源区域击穿电压所证明的,可通过图 9A 和图 9B 所示的设计获得良好的 UIS 性能。

[0263] 图 10 是更清楚地示出了间隙区域的横截面图。此横截面图穿过其中条形有源 P- 导柱与同心终端 P- 导柱相交的芯片的区域。间隙区域 1054 (标为“间隙隔离”)可设置在条形有源 P- 导柱 1030 的端部和第一同心终端 P- 导柱 1036 之间。而且,图 10 所示的是全浮动的台面 1056 (标为“隔离台面”),其可被插在间隙区域和终端台面 1034 之间。如可看到的,在有源导柱 1030 和终端导柱 1036 之间不存在桥接扩散,从而允许间隙区域 1054、隔离台面区域 1056、和终端导柱 1036 浮动。

[0264] 当基于外延层填充的沟槽的电荷平衡器件的单元节距减小时,台面和导柱可以在较低的电压下耗尽。从而产生大于 $1 \times 10^{11} \text{V/sec}$ 的 dv/dt 。由于栅极供给和 / 或终端场板所产生的杂散栅极对漏极的电容 (C_{gd}) 会导致较大的电流流入栅极。这些电流可以流过器件的栅极中的寄生电阻中,导致器件的局部区域被接通,导致器件失效。因此,通常希望消除寄生 C_{gd} 或将其减到最小。

[0265] 根据本发明,仔细地设计有源区域之外和之内的结构,例如栅极浇口 (例如,将栅极垫与有源栅极连接的金属和多晶硅线) 和终端场板,以便消除 C_{gd} 或将其基本上减到最小。在一种实施方式中,在通常连接至栅极金属的漏极区域上延伸的终端区域中的场板可替代地连接至源极金属。图 3 示出了一种示意性实施方式的横截面图,其中,有源多晶硅场板 315 穿过过渡或隔离区域 335 延伸,并延伸入终端区域 302 中。可将多晶硅场板 315 连接

至源极金属 310,而不是栅极金属 308,从而由有源区域场板基本上减小 Cgd 作用,并将 Cgd 作用转化成更期望的 Cds。此连接可进一步将由栅极金属 308 的 Cgd 作用转化成如图 3 所示的更期望的 Cgs,因为系于源极电势的场板在栅极金属和其下方的漏极区域之间延伸。

[0266] 图 11 示出了另一种示意性实施方式的横截面图,其中,(与图 3 一起讨论的)桥接 P_{Iso} 扩散 1142 可在栅极金属 1108 的下方延伸,使得没有栅极金属 1108 的部分在漏极区域上方延伸。图 12 示出了又一种示意性实施方式的横截面图,其中,(与图 5-图 7 一起讨论的)表面阱区域可在栅极金属 1208 的下方延伸,使得没有栅极金属 1208 的部分在漏极区域上方延伸。

[0267] 在有源区域中,P 型本体区域可以不在 P- 导柱的全长上延伸,但是可以在到达条形 P- 导柱的端部之前终止。为了保持击穿电压等于或高于其中 P 型本体区域并不延伸的有源 P- 导柱的端部处的有源区域的击穿电压,可利用各种 P 富集技术来补偿本体区域的缺失。P 富集使其中将硼掺杂剂浸出到氧化物中的 P- 导柱的表面富集。表面浸出指的是这样一种现象,在氧化层的生长过程中,沿着 P- 导柱的表面的硼掺杂剂偏析到氧化物中。在其中 P- 导柱被少量掺杂的实施方式中,浸出作用会导致 P- 导柱的表面变成 N 型。因此,其中本体区域并不延伸的有源 P- 导柱的那些表面部分的 P 富集可以降低那些表面区域由于表面浸出而变成 N 型的可能性。

[0268] 图 10 示出了本发明的一种示意性实施方式,其中,P 型扩散区域 P_{Iso} 1042 沿着 P 本体区域 1038 终止的条形有源 P- 导柱 1030 的端部延伸。图 13 示出了另一种示意性实施方式,其中,更浅的、更少掺杂的表面 P- 阱区域沿着其中 P 本体区域 1338 终止的条形有源 P- 导柱 1330 的端部延伸。注意,根据需要可使用 P_{Iso} 和表面 P- 阱的组合。例如,在图 10 中,在其中由于工艺限制 P_{Iso} 不能延伸的有源 P- 导柱的完全端部处使用表面 P- 阱区域。

[0269] P_{Iso} 区域和表面 P- 阱区域的许多布局实施是可能的,其中一些在图 14A-图 14G 中示出。例如,P_{Iso} 区域 1406、1418 可作为连续区域沿着有源 P- 导柱 1404 的端部延伸,如图 14A 和图 14E 所示。在此实施中,P_{Iso} 区域可延伸入相邻有源 P- 导柱 1404 之间的 N 型台面区域中。这可以导致在条形有源 P- 导柱 1404 的两端出现一些电荷不平衡。然而,P_{Iso} 区域的岛可沿着有源 P- 导柱 1404 的端部而形成,代替连续的 P_{Iso} 区域,使得 P_{Iso} 岛不桥接相邻的台面,或者包含在 P- 导柱 1404 的边界内,如图 14C 和图 14D 所示。类似地,可沿着有源 P- 导柱 1404 的端部使用连续的表面 P- 阱区域 1408、1410、1414、1420(图 14A、图 14B、以及图 14D-图 14F)、或者表面 P- 阱区域 1413、1422 的岛(图 14C 和图 14G)。可替换地,可沿着有源 P- 导柱 1404 的端部使用连续的表面 P- 阱 1408 和 P_{Iso} 区域 1416 的岛(图 14D),或者反之亦然。

[0270] 在终端区域中使用导电场板,以在终端区域中更均匀地分布电场。场板典型地电连接至下面的导柱,使得场板可采用其相应导柱的电势。然而,当单元节距减小时,在场板和其下面的导柱之间形成触点(接触部)变得更困难。已经发现,在终端区域中分布电场时,使用并不电连接至下面的硅的场板(即,使用浮动场板)仍是有效的。图 15 示出了根据本发明一种示意性实施方式的终端区域中的浮动场板 1530 的集成。

[0271] 图 15 与图 6A 类似。图 15 中包括横截面图的一部分的展开图,以更清楚地示出一些相关细节。包括可在每一个 P- 导柱及其相邻台面区域上方延伸的导电场板 1530(例如,

包括多晶硅或金属)。通过绝缘层 1532 将场板 1530 与下面的硅区域绝缘。可优化绝缘层 1532 的厚度,以确保足够的电容耦合,使得浮动场板 1530 可采用下面的一个或多个导柱的电势。在一种实施方式中,用大约 $1\mu\text{m}$ 厚的氧化层作为绝缘层 1532,以使得能够进行必需的电容耦合。

[0272] 在图 15 所示的实例中,每一个场板 1530 的宽度可等于导柱 1504 的中心与台面 1506 的中心之间的距离,因此,相邻场板 1530 之间的间隔将与场板 1530 的宽度相同。这些具体尺寸仅是示意性的,并且旨在不是限制性的。例如,场板宽度可大于或小于导柱 1506 的中心与台面区域 1506 的中心之间的距离。

[0273] 浮动场板 1530 可消除在场板 1530 和下面的硅 1503 之间形成触点(接触部)的需要,并且,可通过多晶硅感光掩蔽和蚀刻工艺来限定场板宽度。这可以允许精确地控制场板宽度。

[0274] 图 16A 和图 16B 是示出了浮动场板的有效性的模拟结果。图 16A 和图 16B 分别示出了具有场板的结构和没有场板的结构的电场分布。如可看到的,浮动场板在较大的距离上分布电势,导致比没有场板的结构更小和更均匀的峰值电场。注意,可以图 1A-图 1C 中所示的任何布局构造来实施图 15 描述的发明及其变型。

[0275] 对于电荷平衡设计,重要的是,不要具有中断电荷平衡的区域。当从有源区域过渡至终端区域时,这些中断出现在存在间隙和拐角的地方。全平行导柱设计(如图 1B)不具有这些不平衡区域,因为导柱仅由平行条带组成。此外,在外延层填充沟槽的导柱工艺中,没有间隙和拐角的全平行设计使得深沟槽的蚀刻和填充更容易。然而,在全平行设计中,由于不与有源区域相交的浮动终端导柱的缘故,电场在芯片的所有四个侧边上并不均匀分布。这导致电场分布不均匀和击穿电压减小。如前面所述,为了获得良好的 UIS 性能,希望击穿在有源区域中均匀地出现。

[0276] 图 17 是根据本发明一种示意性实施方式的有源区域的拐角处的顶布局图,其中,可用表面 P- 阱环 1712 来固定导柱 1708 的电势,所述导柱与有源区域 1702 不相交并且将另外是浮动的。如可看到的,环 1712 与有源 P- 导柱 1710 的那些延伸入终端区域 1706 的部分相交,沿着终端区域 1706 展开电场并分配电压。环 1712 也沿着并不在有源区域 1702 中延伸的 P- 导柱 1708 的表面区域延伸,因此,在芯片的所有四个侧边上在离有源区域 1702 相等的距离处固定 P- 导柱 1708 的电势。以此方式,对不与有源区域 1702 相交的 P- 导柱 1708 加偏压至与有源导柱 1710 的以离有源区域 1702 等距的方式在终端区域 1706 中延伸的那些部分相同的电势,在图 17 中,这由标为 D1 的尺寸示出。

[0277] 注意,本发明的一个特征是 P 环 1712 的直角拐角。与圆角拐角相比,具有直角的拐角可以改善拐角处的电荷平衡。

[0278] 在图 17 所示的示意性全平行设计中,可以设计 P/N 导柱,使得在有源区域 1702 中或仅在终端区域 1706 中产生富 N 电荷平衡状态。这可确保延伸入终端区域 1706 中的有源 P- 导柱 1710 的截面的一些部分完全耗尽。在所示的实施方式中, P- 导柱 1710、1708 可以彼此隔开相同的距离,具有相同的宽度,并具有相似的掺杂分布。在一种实施方式中,在其之间具有 $8\mu\text{m}$ 间隔的 $5\mu\text{m}$ 宽的 P- 导柱 1710、1708 在 646V 的有源区域 1702 中产生均匀的击穿电压,从而获得具有良好 UIS 特性的高且稳定的击穿电压。当 P- 导柱 1710 离开有源区域 1702 并延伸入终端区域 1706 中时,期望仅在终端区域 1706 中具有富 N 状态的实施

方式可通过使 P- 导柱 1710 的宽度逐渐变小来实现。在一种可替换的实现方式中,可以在终端区域 1706 中以逐步方式使 P- 导柱 1710 的宽度变窄。

[0279] 在通过蚀刻深沟槽并用硅对其进行填充来形成导柱的实施方式中,工艺可靠性可以与沟槽深度和宽度的比率(即,沟槽纵横比)直接相关。当沟槽纵横比增加时,沟槽的外延层填充变得更困难,并且可能需要改善填充工艺。

[0280] 图 18A 和图 18B 示出了根据本发明一种示意性实施方式的以两个工艺步骤形成 P- 导柱的横截面图。在图 18 中,可在 N 型硅中蚀刻深沟槽 1808,并且可用传统的注入技术在沟槽 1808 的底部形成 P- 阱 1806。可用 P 外延层 1804A 填充沟槽 1808。图 18B 中的横截面图示出了完成工艺之后所产生的 P- 导柱 1804B。如可看到的,在沟槽 1808 的底部注入的掺杂剂可以有效地将 P- 导柱 1804B 延伸得更深,从而消除修改外延层填充工艺的需要。而且,通过增加用来在沟槽 1808 的底部形成 P- 阱 1806 的注入物剂量,会导致在注入区域处产生雪崩击穿,导致更高的 UIS 性能。在下面进一步详细地研究此特征。

[0281] 在一种实施方式中,N 台面 1802 具有 3.02×10^{15} 的掺杂浓度,并且,沿着沟槽 1808 的底部以 2×10^{12} 的剂量和 200Kev 的能量注入硼。用具有在 5×10^{15} 至 7×10^{15} 范围内的掺杂浓度的 P 外延层 1804A 填充沟槽 1808。所产生的结构具有 $5 \mu\text{m}$ 的 P- 导柱宽度和 $7.5 \mu\text{m}$ 的导柱间隔。

[0282] 如上述所讨论的,在 P- 导柱的底部导致产生雪崩击穿是有利的。图 19 示出了根据本发明一种示意性实施方式的横截面图,其中,P 富集区域 1921 可以形成在 P- 导柱 1930 的底部以产生局部电荷不平衡,从而导致在导柱底部出现雪崩击穿。P 富集区域 1921 优选地具有比 P- 导柱 1930 更高的掺杂浓度,以产生电荷不平衡。

[0283] 图 20A- 图 20H 是根据本发明一种示意性实施方式的描述形成图 19 中的结构的工艺流程的横截面图。图 20A 示出了 N+ 启动基板 2024。在图 20B 中,可以用传统的技术生长第一 N 外延层 2027A。在图 20C 中,可以执行 P 富集注入以形成其中 P- 导柱的底部将终止的 P 富集区域 2021。可以用传统的掩模和注入工艺来形成 P 富集区域。注意,可在形成后部对准掩模之后执行 P 富集注入。这个的重要性将在下面变得更清楚。可根据导柱底部的目标电荷不平衡状态来设置注入物掺杂浓度和能量。

[0284] 在图 20D 中,可以用传统的技术来生长第二 N 外延层 2027B。可用均匀的或分级的掺杂浓度来形成第二外延层 2027B。在图 20E 中,可以使沟槽 2003 图案化并将其蚀刻得足够深以到达 P 富集区域 2021。可用后部对准技术(将在下面进一步更充分地描述)来确保沟槽 2003 与 P 富集区域 2021 对准。在图 20F 中,可使用在下面进一步描述的技术或使用其它已知技术,用 P 外延层 2005 填充沟槽 2003。

[0285] 在图 20G 中,可以使用例如传统的化学机械抛光(CMP)工艺来使 P 外延层 2005 平面化。在图 20H 中,可以使用已知的技术形成 P 本体区域 2038、N+ 源极区域 2018、P+ 重本体区域、以及栅极结构及其重叠的层。图 20H 与图 19 类似。

[0286] 如可看到的,此工艺产生在 P- 导柱 2030 的底部具有 P 富集区域 2021 的超结器件。这会在导柱 2030 的底部导致雪崩击穿,并产生具有改善的 UIS 性能的器件。

[0287] 在一种实施方式中,P- 导柱 2030 具有相同的宽度,并彼此隔开相同的距离。然而,P- 导柱 2030 的宽度优选地小于 P- 导柱 2030 之间的间隔,从而在有源区域中提供富 N 状态。

[0288] 如上述所讨论的,可通过在有源区域中启动击穿并具有基本上小于其它区域(例如,终端区域、栅极浇口区域、以及其它可能是电荷不平衡的电势源极的区域)的击穿电压,来在外延层填充沟槽的电荷平衡器件中提高器件的强度。根据本发明的一种实施方式,这可通过生长两个或多个外延层来实现。类似于图 20A-图 20H 所示的方法,生长第一外延层,并在其中沟槽将终止的第一外延层中形成 P 富集注入。P 富集区域不需要沿着 P- 导柱的全长延伸,沿着 P- 导柱连续,或平行于 P- 导柱。此注入的富集区域会在有源区域中中断电荷平衡,并产生较低的击穿电压的位置,使得在此区域中启动雪崩。

[0289] 图 21A 是本发明的示意性实施方式的横截面图,其中, P 富集区域 2160 可以仅形成在有源区域 2101 中的导柱 2130 的底部。在此实例中, P 富集区域 2160 可以比有源 P 导柱 2130 更宽。图 21A 与图 3 类似,不同之处在于,包括 P 富集区域 2160。图 21B 示出了一个变型,其中,有源 P 导柱 2130 不延伸入 P 富集区域 2160 中如此深,从而导致更高的富 P 不平衡状态,以阻止出现雪崩击穿。图 21C 示出了另一个变型,其中, P 富集区域 2160 可形成在每隔一个有源 P 导柱 2130 的底部。此实施方式的有利之处在于, P 富集区域 2160 不夹断导柱 2130 底部的电流通路,从而改进 R_{dson} 。注意, P 富集区域 2160 也可形成在每隔三个导柱或每隔四个导柱的底部或形成成为一些其它图案,只要有源区域中以均匀方式出现击穿即可。

[0290] 图 21D 示出了又一个变型,其中, P 富集区域 2165 可以比有源 P 导柱 2130 更窄。此实施方式可消除图 21A 实施方式中存在的电流通路的夹断。图 21E 示出了另一种示意性实施方式,其中, P 富集区域 2167 可以垫层 (blanket) 方式形成于有源区域 2101 中。如可看到的,垫层 P 补偿区域 2167 沿着有源 P 导柱 2130 和 N 台面区域 2132 的底部延伸。可仔细地选择 P 补偿区域 2167 的掺杂浓度,以确保 N 台面区域 2132 保持为 N 型。对于 MOSFET 和 IGBT 器件,基于增加的 N 台面区域电阻率与增加的 R_{dson} 或 $V_{ce(sat)}$ 之间的权衡来选择 P 注入物。此外,在未示出的实施方式中,也可通过使用不平行于多个有源导柱的一个或多个条带来形成 P 富集区域。此实施方式的一个优点在于,与导柱沟槽的对准不是重要的。图 21F 示出了图 21E 的一个变型,其中,垫层 P 补偿区域 2169 分别沿着有源和终端导柱 2130 和 2136 的底部延伸。此实施可有利地消除对于掩模的需要,使得可通过垫层注入来形成 P 补偿区域 2169。

[0291] 可将本发明的各种实施方式应用于图 1A-图 1C 所示的三个布局构造中的任何一个,并且可容易地以其中用多层外延层和注入步骤形成导柱的工艺技术实施。

[0292] 根据本发明的另一种实施方式, N 富集的区域形成在 P- 导柱的底部或形成在邻近 P- 导柱底部的台面区域中,以中断电荷平衡,由此产生较低击穿电压的位置,使得在此局部区域中启动雪崩。

[0293] 也可使用与图 21A-图 21F 有关的上述形成 P 富集区域的相同的工艺技术,稍作修改,以形成 N 富集区域。可在有源区域和终端区域中均实现 N 富集区域,从而确保击穿出现在导柱底部附近并远离硅表面。可替换地,可仅在有源区域中实现 N 富集区域,使得电荷平衡在有源区域中中断,以确保有源区域中的击穿。此外, N 富集区域不需要沿着有源导柱的全长延伸,沿着有源导柱长度连续,或平行于有源导柱。可在 N 富集注入之后或在生长相同的掺杂类型的连续外延层之后,直接使用热扩散循环。图 22A-图 22N 中示出了根据本发明的示意性实施方式的实现 N 富集区域的各种方式。

[0294] 图 22A-图 22N 中的横截面图与图 3 基本上类似,不同之处在于,包括 N 富集区域。在图 22A 中, N 富集区域 2260 可仅形成在有源区域 2201 中的 P- 导柱 2230 的底部。N 富集区域 2260 可以比 P- 导柱 2230 更宽。图 22B 示出了一个变型,其中, N 富集区域 2262 可形成在 P- 导柱 2230、2236,包括终端区域 2202 中的那些 P- 导柱(即,导柱 2236)的底部。图 22C 示出了一个变型,其中, P- 导柱 2230、2236 可以不延伸入第一外延层 2227 中。此实施方式有助于在 P- 导柱 2230 下分布电流,从而减小 R_{dson} 并减小 P- 导柱补偿。也可减小 P- 导柱 2230 的有效深度,从而降低击穿电压。此外, N 富集区域 2264 可仅间歇地形成在有源区域 2201 中(在此情况中,每隔一个导柱)。

[0295] 图 22D 示出了一个变型,其中, N 富集区域 2266 在宽度上可以比 P- 导柱 2230 更窄。图 22E 示出了一个变型,其中,更窄的 N 富集区域 2268 可仅间歇地形成在有源区域 2201 中,而图 22F 的实施方式示出了更窄的 N 富集区域 2270,该 N 富集区域 2270 可形成在 P- 导柱 2230、2236,包括终端区域 2202 中的那些导柱的底部。狭窄的 N 富集区域 2270 可以更有效地阻止在 P- 导柱底部的 BV,但是可能不有效减小 R_{dson} 。

[0296] 图 22G-图 22L 示出了可替换的实施方式,其中, N 富集区域可形成在靠近 P- 导柱底部的 N 台面区域中。这里, P- 导柱之间的台面区域也称作 N 导柱。在其中电势较高的 P- 导柱底部附近掺杂更多 N 型的 N 导柱,会减小横向耗尽,导致 N 导柱的有效宽度更宽,从而减小 R_{dson} 。图 22G 示出了一种实施方式,其中, N 富集区域 2272 可以仅形成在有源区域 2201 中的 N 导柱 2232 的底部。如图 22G 所示, N 富集区域 2272 具有比 N 导柱 2232 更宽的横向跨度。图 22H 示出了一种实施方式,其中, N 富集区域 2274 可以仅间歇地形成在有源区域 2201 中。图 22I 示出了一种实施方式,其中, N 富集区域 2276 可以形成在 N 导柱 2232、2234、2235 的底部。图 22J 示出了仅在在有源区域 2201 中的 N 导柱 2232 的底部的 N 富集区域 2278,该 N 富集区域 2278 具有比 N 导柱 2232 更窄的横向跨度。图 22K 示出了一种实施方式,其中,较窄的 N 富集区域 2280 间歇地形成在有源区域 2201 中。图 22L 示出了在 N 导柱 2232、2234、2235 的底部附近的较窄的 N 富集区域 2282。可能的变型不限于那些示出的实施方式。本领域的技术人员会想到许多其它的变型。

[0297] 图 22M 和图 22N 与图 21E 和图 21F 相似,不同之处在于,在图 22M 和图 22N 中仅在在有源区域 2201 中(图 22M)和在有源区域 2201 与终端区域 2202 中(图 22N)使用垫层 N 增强区域 2284。

[0298] 可仔细地选择垫层 N 富集区域的掺杂浓度,以确保 N 富集区域穿过其延伸的 P- 导柱保持为 P 型。对于 MOSFET 和 IGBT 器件,基于减小的 N 台面电阻率与减小的 R_{dson} 或 $V_{ce(sat)}$ 之间的权衡来选择 N 注入物。此外,在一个未示出的实施方式中,也可通过使用不平行于多个有源导柱的一个或多个条带来形成 N 富集区域。这些实施方式的一个优点在于,与导柱沟槽的对准不是重要的。

[0299] 当从栅极垫和栅极浇口下面屏蔽掺杂剂,例如, P- 阱和 P+ 重本体时,其变成电荷不平衡的源极。通常,非电荷平衡器件中的这些区域可被优化为具有更高的 BV。然而,在电荷平衡器件中,如果未对有源区域相似地掺杂,则其会变成静态和动态的 BV 位置。

[0300] 图 23 示出了根据本发明一种示意性实施方式的顶布局图,其中,有源多晶硅条带 2302A(也称作多晶硅栅极)可在栅极垫 2328 下方延伸,使得栅极垫区域中的掺杂分布与有源区域中的掺杂分布相同,从而在栅极垫区域中保持与有源区域中相同的电荷平衡状态。

换句话说,通过将栅极条带 2302A 延伸入栅极垫区域中,栅极垫下方的硅区域接收与有源区域中相同的注入物(例如,阱注入物和 P+ 重本体注入物),这有利地帮助在栅极垫区域中保持与在有源区域中相同的电荷平衡状态。图 23 的右侧示出了左图的一部分的展开图,在左图中,栅极浇口金属 2304 从栅极垫 2328 中延伸出。展开图更清楚地示出了本发明的另一特征。可在多晶硅栅极条带 2302B 之间形成小的优化的多晶硅桥 2308,以在条带 2302B 之间保持互连。在没有多晶硅桥 2308 的情况下,可对每一个条带 2302B 制造单独的触点,但是,如果在制造过程中不形成一个触点,则该未接触的条带会导致栅极供给不平衡。仔细地选择这些多晶硅桥 2308(在平行于多晶硅条带 2302B 的方向上)的宽度,以确保注入的 P- 本体在多晶硅桥 2308 下方合并,从而防止多晶硅桥区域中的电荷不平衡。

[0301] 在左图中,沿着栅极垫 2328 的两个相对侧在栅极垫区域中制造与多晶硅条带 2302B 的触点。通过远离中心接合区域设置触点,在接合工艺过程中保持触点与多晶硅条带的整体性。这在用薄栅极氧化物的工艺技术中具有特别的重要性。

[0302] 图 24 示出了图 23 设计的变型,其中,类似于图 23,多晶硅条带 2402 穿过栅极垫区域延伸,但是不使用多晶硅桥。如所示出的,通过栅极金属-到-多晶硅的触点(gate metal-to-poly contact)2410 来接触多晶硅条带 2402 中的每一个。

[0303] 图 25 是顶布局图,并与图 23 的实施方式类似,不同之处在于,沿着栅极垫区域的中心截面(部分)制造到多晶硅条带 2502B 的栅极金属触点。在图 25 所示的实施方式中,多晶硅条带 2502 可穿过栅极垫区域延伸,与图 23 设计一样。然而,图 25 设计消除了图 23 设计中存在的由于栅极垫两端处的两行触点所导致的不均匀的栅极供给长度。对于对直的栅极垫区域内部和外部的金属栅极触点,可通过多晶硅栅极获得更均匀的 RC 延迟,导致芯片中更均匀的 dv/dt。然而,在图 25 的实施方式中,可能需要将栅极氧化物的厚度制造得足够厚,以确保在引线接合(丝焊)过程中保持穿过栅极垫区域的中心延伸的栅极触点的整体性。

[0304] 图 26 示出了图 25 设计的变型,其中,类似于图 23,多晶硅条带 2602 可穿过栅极垫区域 2628 延伸,但是不使用多晶硅桥。如所示出的,通过栅极金属-到-多晶硅的触点 2610 来接触多晶硅条带 2602 中的每一个。

[0305] 在其中蚀刻并填充导柱沟槽的区域上方产生有源栅极结构,会导致栅极氧化物整体性较低和栅极可靠性减小。这是因为,由沟槽蚀刻产生的表面状态、应力导致的位错、由于沟槽蚀刻和填充导致的损坏、以及由不完全的导柱外延层填充产生的空隙,会导致栅极氧化物的整体性减小和栅极可靠性减小。

[0306] 根据本发明的一种实施方式,构造平面栅极或沟槽栅极,使得在其中蚀刻并填充导柱沟槽 2730 的区域上不形成有源通道。在平面栅极结构的上下文中,图 27A-图 27C 将用来示出此情况,但是该概念也可在沟槽栅极结构中实现。在图 27A-图 27C 中,竖直虚线双头箭头表示在用外延层填充沟槽之前的沟槽边界。如图 27A 所示,有源多晶硅栅极条带 2714 与蚀刻的沟槽重叠,因此,与栅极氧化物的整体性折衷。然而,在图 27B 和图 27C 中,相对于蚀刻的沟槽设计有源多晶硅栅极的宽度和间隔,使得多晶硅栅极 2714 下面的栅极氧化物不在蚀刻的沟槽上方延伸。注意,在图 27C 中, P- 导柱 2730 的宽度比沟槽边界更窄,因为图 27C 代表富 N 状态。

[0307] 在外延层填充沟槽的电荷平衡技术中,由于深沟槽蚀刻和填充工艺所产生的图案

化效果导致穿过晶片（或甚至穿过相同的芯片）的不均匀的沟槽蚀刻和填充。在芯片的外部区域中通常更观察到此不均匀性。根据本发明的一种实施方式，沟槽可穿过位置线区域延伸，使得更均匀地蚀刻并填充穿过整个晶片的沟槽，因此，可减小图案化效果。

[0308] 如图 28 所示，沟槽 2804 可形成在其中通常不形成沟槽的位置线区域中。这可从图 29 和图 30 中的顶布局图的对比中更清楚地看到。图 29 是示出了没有在位置线区域 2906 中延伸的沟槽的传统布局图。然而，在图 30 中，终端沟槽 2904 形成在位置线区域中。以此方式，可沿着晶片的整个表面形成沟槽，从而消除图案化效果。

[0309] 图 31 和图 32 是示出了在位置线区域中延伸沟槽的概念的两个变型的顶布局图。在图 31 中，有源沟槽 3110 彼此平行，并且，终端区域 3104 中的沟槽可以以同心方式延伸。在位置线区域中，可以形成沟槽 3110（即“位置线沟槽”），该沟槽 3110 垂直于位置线延伸的方向延伸。也就是说，在垂直延伸的位置线区域中的位置线沟槽 3110 水平延伸，而在水平延伸的位置线区域中的位置线沟槽 3110 垂直延伸，如所示出的。这确保了，可用金属或扩散来一起缩短位置线 P- 导柱和 N- 导柱，因此其将不会浮动。

[0310] 此外，沟槽 3110 不形成在整个位置线区域中，使得台面间隙 3208 可形成在位置线沟槽 3110 和最后的终止沟槽之间。台面间隙 3208 确保了耗尽的边缘在到达通道截断环之前停止，并且确保电场在台面间隙区域中终止。图 32 示出了与平行-平行构造结合的与图 31 相同的位置线沟槽设计。

[0311] 如前所述，对于电荷平衡设计，期望不具有电荷平衡被中断的区域。导柱和导柱拐角之间的间隙会变成局部的低 BV 位置。通过将些区域设计为具有比有源区域更高的 BV，可将 BV 位置中的平行导柱钉在有源区域上，从而导致加强的 UIS 性能。

[0312] 对于基于沟槽的电荷平衡器件，可形成在有源区域平行导柱和同心导柱之间的间隙，使得当将间隙和导柱保持在相同的电势时，在最终导柱深度的中点处实现电荷平衡。如果间隙和导柱处于不同的电势，则具有富 N 状态的间隙可增强 BV。为了在平行-同心设计中获得有源区域 BV，可将公共电势和不同电势中的这些间隙设计为相对于平行有源区域导柱平衡状态更多富 N 或更少富 P。可将有源平行导柱设计为稍微富 P，以在有源平行导柱中有意地迫使 BV。因此，可优化间隙区域的电荷平衡状态，以具有比有源区域的击穿电压更高的或至少相同的击穿电压。

[0313] 可设计间隙（图 33 中标记的条带间隙和拐角间隙），以便满足以下上述条件。

[0314] 基本尺寸

[0315] 导柱宽度（掩模 PTN 宽度）： W_p [μm]

[0316] 台面宽度（掩模 PTN 宽度）： W_n [μm]

[0317] 单元节距： $W_p + W_n = C_p$

[0318] 沟槽深度： T_d [μm]

[0319] 沟槽角度： α [弧度]

[0320] CMP Si 去除： R_{cmp} [μm]

[0321] 最终导柱深度： $T_d - R_{cmp} = T_p$ [μm]

[0322] 条带间隙：间隙，条带 [μm]

[0323] 拐角间隙：间隙，拐角 [μm]

[0324] 对于这些尺寸，可计算每一个区域的电荷平衡状态，并可比较这些状态。可调节间

隙、条带以及间隙、拐角,以实现在条带间隙和拐角间隙区域中具有比在平行有源区域中更高的击穿的电荷平衡状态。一种方法是,在间隙、条带以及间隙、拐角中获得更平衡的电荷状态,并在平行有源区域中获得富 P 的电荷状态。

[0325] 长度和面积计算

[0326] $L0 = Tp / \tan \alpha$

[0327] $L1 = Wp - R_{cmp} / \tan \alpha$

[0328] $L2 = Cp - L1$

[0329] $L3 = \text{间隙, 条带} + 2 * R_{cmp} / \tan \alpha$

[0330] $L4 = Tp / \tan \alpha$

[0331] $L5 = Wp - R_{cmp} / \tan \alpha$

[0332] $L6 = Cp - L5$

[0333] $L7 = \text{间隙, 拐角} + 2 * R_{cmp} / \tan \alpha$

[0334] $H = L5 * \tan \alpha$

[0335] $S1 = L5 * L5$

[0336] $S2 = S1 * \{ (H - Tp) / H \}^2$

[0337] $S3 = (Tp / \tan \alpha)^2$

[0338] $V2 = (1/3) * H * S1 - (1/3) * S2 * (H - Tp)$

[0339] (由 S1 和 S2 包围的八面体的体积)

[0340] $V3 = (1/3) * S3 * Tp$

[0341] (四边形棱锥 - 底面面积 S3 的体积)

[0342] $V4 = V5 = \{ (L5)^2 * Tp - (V2 + V3) \} / 2$

[0343] (四边形棱锥 - 底面面积 S4 或 S5 的体积)

[0344] 实际的有源区域面积 - A_p 和 A_n

[0345] $A_p = 0.5 * (L1 + (L1 - L0)) * Tp$

[0346] $A_n = 0.5 * (L2 + (L2 + L0)) * Tp$

[0347] 条带间隙区域体积 - V_{ps} 和 V_{ns}

[0348] $V_{ps} = V_{p1} + V_{p2} = [Cp * 0.5 * \{ L1 + (L1 - Tp / \tan \alpha) \} * Tp] + [(1/4) * (1/3) * \{ (2 * L0) * (2 * L1) \} * Tp]$

[0349] $V_{ns} = V_{n1} + V_{n2} = [0.5 * \{ L3 + (L3 + 2 * L0) \} * Tp * Cp] + [(0.5 * L0 * Tp * Cp) - V_{p2}]$

[0350] 拐角间隙区域体积 - V_{pc} 和 V_{nc}

[0351] $V_{pc} = V_{p3} + V_{p4} + V_{p5}$

[0352] $= [(3 * L6 + 2 * L5) * 0.5 * \{ L5 + (L5 - Tp / \tan \alpha) \} * Tp + V4] + [V2] + [(L7 + L4) * 0.5 * \{ L5 + (L5 - Tp / \tan \alpha) \} * Tp + V5]$

[0353] $V_{ns} = V_{\text{总}} - V_{pc}$

[0354] $= (L5 + L4 + L7) * (3 * L6 + 3 * L5) * Tp - V_{pc}$

[0355] 用上述公式,可计算六个面积或体积 (A_p 、 A_n 、 V_{ps} 、 V_{ns} 、 V_{pc} 和 V_{nc})。也可计算每一个区域中的 P/N 的比值 (A_p/A_n 、 V_{ps}/V_{ns} 、 V_{pc}/V_{nc} - 条带有源区域中的面积比 A_p/A_n 与体积比相同)。

[0356] 条带间隙区域和拐角间隙区域的电荷量比值分别是 $(N_a \cdot V_{ps}) / (N_d \cdot V_{ns})$ 和

$(Na \cdot V_{pc}) / (Nd \cdot V_{nc})$ 。

[0357] 这些数值优选地比条带有源区域, $(Na \cdot A_p) / (Nd \cdot A_n)$, 更接近于 1。换句话说, $1 \geq (Na \cdot V_{ps}) / (Nd \cdot V_{ns})$ 且 $(Na \cdot V_{pc}) / (Nd \cdot V_{nc}) \geq (Na \cdot A_p) / (Nd \cdot A_n)$ 或 $(Na \cdot A_p) / (Nd \cdot A_n) \leq (Na \cdot V_{ps}) / (Nd \cdot V_{ns})$ 且 $(Na \cdot V_{pc}) / (Nd \cdot V_{nc}) \leq 1$ 。

[0358] 必须将有间隙的条带和有间隙的拐角确定为满足上述关系。如果条带有源区域电荷平衡状态是已知的, 那么可确定仅具有体积比较的间隙数量。

[0359] Ex) 富 P 条带有源, $A_p/A_n \geq V_{ps}/V_{ns}$ 和 V_{pc}/V_{nc} , 富 N 条带有源, $A_p/A_n \leq V_{ps}/V_{ns}$ 和 V_{pc}/V_{nc} 。

[0360] 图 34A- 图 34G 是根据本发明一种示意性实施方式的以多个工艺步骤形成图 2 所示的结构的横截面图。在图 34A 中, 用已知技术将 N 外延层 3422 形成在 N+ 基板 3424 上方, 接着进行传统的后部硅 CMP。在图 34B 中, 缓冲氧化物层 3445 形成在外延层 3422 上, 并且, 用已知方法形成多晶硅层 3443。后部对准标记形成在如所示出的多晶硅层 3443 中, 接着在图 34C 中去除多晶硅 3443 和氧化物 3445。然后, 用传统的方法实施前部硅 CMP。

[0361] 在图 34D 中, 用传统的掩模和硅蚀刻技术形成深沟槽 3437。在图 34E 中, 根据已知方法用外延硅 3439 填充沟槽 3437, 接着进行后烘烤。在图 34F 中, 实施硅 CMP 以平面化硅表面。在图 34G 中, 执行传统注入以形成 P 环 3420, 接着进行场氧化。接下来, 用已知技术形成栅极氧化物和栅极多晶硅, 限定并蚀刻多晶硅, 并且注入和驱动有源 P- 本体区域 3438。执行传统的源极注入以形成 N+ 源极区域 3418, 接着进行氮化物沉积。执行传统的重本体注入, 以在本体区域 3438 中形成 P+ 区域 3406。用已知方法沉积并回流 BPSG 3417, 通过穿过 BPSG、氮化物和堆叠在接触窗口中的栅极氧化物蚀刻来形成接触窗口。形成源极金属层 3410 以接触源极区域 3418 和重本体区域 3406。可执行进一步的加工以形成后部漏极金属 3428。虽然由图 34A- 图 34C 描述的工艺涉及平面栅极 FET, 但是, 根据本公开内容, 修改此工艺以获得沟槽栅极 FET 对于本领域技术人员来说将是显而易见的。

[0362] 当 N 掺杂沿着硅的深度是均匀的时, 由于由沟槽蚀刻的结果产生的沟槽锥度引起沟槽宽度随着离硅表面的距离而减小。因此, P 电荷的量沿着沟槽减小, 使得由于沟槽下部中的电荷不平衡增加 (较少 P 和较多 N) 而导致击穿减小。根据本发明的实施方式, 用双外延层技术来弥补沟槽下部中的电荷不平衡。

[0363] 图 35A 中示出了考虑沟槽轮廓的上外延层 3504 和下外延层 3502 分别具有不同掺杂浓度的电荷平衡结构。对于图中列出的尺寸和掺杂浓度的示意性组, 并对给定的沟槽侧壁的指示角, 通过在上外延层 3504 中使用比下外延层 3502 的掺杂浓度更大的掺杂浓度, 在上外延层 3504 和下外延层 3502 中分别获得改进的电荷平衡状态。在一种实施方式中, 在高度掺杂的基板 (未示出) 上方形成两个外延层。该结构剩下的结构特征可与这里描述的其它平面栅极 FET 相似。

[0364] 图 35B 将单外延层设计的击穿电压特性与图 35A 所示的双外延层设计进行比较。如可看到的, 通过使用具有不同掺杂浓度的两个外延层来获得基本上更高的击穿电压。

[0365] 可以使用多于两个的外延层来更精确地将电荷平衡设置为期望的状态。如果将上外延层制造成为具有更高的电阻率以引起富 P 状态, 则可实施 JFET 注入 (N 掺杂剂) 或外延层 JFET 以减小在相邻阱区域之间的 MOSFET 颈部区域的电阻。图 36 示出了这种器件的掺杂分布。利用此技术, 可获得具有有利的 R_{dson} 的顶部的较窄的 N 导柱和底部的较宽的

N 导柱。

[0366] 注意,具有小于 90 度的侧壁的 P 外延层填充的沟槽在导柱顶部提供 $Q_p > Q_n$ 的电荷平衡状态,并且在底部提供 $Q_p < Q_n$ 的电荷平衡状态,这对 UIS 目的是有利的。此条件对于 R_{dson} 也是有利的,并对本体二极管由于底部不完全或较少耗尽而引起的较软的反向恢复性能也是有利的。在一种实施方式中,通过在底部形成具有较低掺杂的分级的(或步进的)N 外延层轮廓来获得此状态。在另一种实施方式中,使用随着 P 掺杂分布增加而生长的分级的 SEG 外延层来填充沟槽。

[0367] 在沟槽超结工艺中,对准标记是必需的,以确保深沟槽适当地对准于在沟槽蚀刻之后形成的各个层和区域。然而,在用外延层填充沟槽之后,平面化步骤是必需的,以形成光滑的和平坦的顶平面。如果在晶片的前侧上形成对准标记,则将在平面化工艺过程中将其去除。根据本发明的一种示意性实施方式,可以使用一种技术,从而在形成沟槽之前在晶片的后侧上形成对准标记,并且,在完成顶表面的平面化之后,将对准标记转移至顶侧。图 37 中提供的工艺顺序示出了此技术的一种实施方式。

[0368] 在图 37 中,提供了具有多晶硅后密封 3704 的硅基板 3702。用已知技术将对准标记 3716 形成在后部多晶硅 3704 中。用已知方法将氧化物 3708 形成在多晶硅 3704 上的后部上,并且,用传统的外延层沉积工艺来在顶部上形成外延层 3706。可用已知技术在外延层 3706 上形成氧化物,并且,可用传统的光刻和蚀刻工艺在外延层 3706 中形成深沟槽 3710。然后,使用已知技术用外延层材料 3714 填充沟槽 3710。执行前部的传统的 CMP,以沿着顶部使表面平面化。接下来,将后部对准标记 3710 转移至前部,如由顶部对准标记 3712 所示。与图 34A-图 34C 结合描述的那些类似的工艺步骤可用来形成器件的剩余层和区域。

[0369] 图 38 示出了用于将对准标记从晶片的后部转移至前部的设备的简化图。如所示出的,左镜 3802 通过透镜 3810 将后部对准标记 3808 的图像投射到右镜 3818 上,而右镜 3818 又使得后部对准标记 3808 的图像 3814 沿着晶片 3804 的顶部可获得。已知后部对准标记 3808 的相对位置及其投射图像 3814,可在与后部标记对准的顶部上形成对准标记。

[0370] 在深沟槽蚀刻和填充工艺中,P-导柱中的晶体缺陷可以变成泄漏源。根据本发明的一种实施方式,可在用外延层填充沟槽之后执行后烘烤工艺,以通过硅迁移提供 P-导柱的更坚固的填充和结晶化。图 39A 和图 39B 是这些工艺步骤的横截面图。在图 39A 中,使用已知技术用 P 型外延层材料 3908 填充沟槽。然而,如所示出的,外延层填充 3908 的中心部分具有晶体缺陷,如果不处理该晶体缺陷,则会导致泄漏电流。在图 39B 中,执行后烘烤步骤,导致硅迁移,从而获得更坚固的外延层填充 3910。

[0371] 在一种实施方式中,可在 1150 至 1250°C 范围内的温度下执行后烘烤步骤,在诸如 N_2 、Ar、或 H_2 的惰性环境中执行在大约 30 至 150 分钟范围内的时间周期。在一种具体实施方式中,当在 N_2 气体中在 1200°C 的温度下执行后烘烤 60 分钟时,获得良好的结果。在另一种实施方式中,可在形成本体和源极区域之前执行后烘烤工艺,使得后烘烤的高温和持续时间不会不利地影响源极和本体区域。

[0372] 填充具有高纵横比的沟槽的挑战是,避免在沟槽中形成空隙或防止由于沿着沟槽的顶部拐角的局部生长而引起的沿着沟槽顶部过早的外延层封闭。P-导柱中的空隙和缝隙可以导致泄漏。根据本发明的一种实施方式,可通过旋转晶片来获得缝隙少和空隙少的外延层填充,使得在用感光步骤来限定沟槽的过程中其是离轴的,而不是在轴上的。在一种实

施方式中,使用 45 度的晶片旋转。在一种可替换的实施方式中,使用旋转的初始晶片。除了消除缝隙和空隙以外,晶片旋转有助于增加外延层生长速度。在一种实施方式中,使用旋转的基板。图 40 示出了晶片 4002 相对于其平面 4004 的 45 度旋转。图 41A 示出了其中不使用晶片旋转的情况的硅结果。可观察到导柱中心处的空隙 4102。图 41B 示出了其中使用晶片旋转的情况的硅结果。在沟槽中看不到空隙或缝隙。

[0373] 图 42A 和图 42B 示出了在轴上和离轴晶片情况的晶体取向。在轴上情况(即,非旋转晶片)中,沿着沟槽侧壁的晶体取向与沿着沟槽底表面和台面表面的晶体取向不同。晶体取向中的失配会导致沟槽中的硅 4204 的非均匀生长。相反,在离轴情况(即,旋转晶片)中,沿着垂直和水平表面的晶体取向相匹配。这导致所有方向上均匀的外延层生长速度,并由此导致比在轴上晶片的情况中好得多的 P- 导柱 4204 的填充分布。

[0374] 在其中沟槽具有高纵横比的传统的沟槽外延层填充工艺中,在外延层生长过程中,由于在填充高纵横比沟槽中的气体传输现象,沿着上沟槽侧壁和上拐角的外延层以比沿着下沟槽侧壁的外延层更快的速度生长。根据本发明的一种实施方式,多步外延层填充和蚀刻工艺可用于以均匀方式用外延层材料均匀地填充深沟槽。

[0375] 图 43 示出了根据本发明一种实施方式的使用多外延层沉积和蚀刻步骤的示意性沟槽填充工艺。在图 43 中,最左侧的 SEM 图像示出了正在沟槽蚀刻之后的沟槽。向右侧的下一个 SEM 图像示出了在执行第一传统外延层沉积工艺之后的沟槽。如可看到的,外延层沿着上沟槽侧壁和上沟槽拐角生长得更厚。然而,在下一个步骤中,执行外延层蚀刻工艺,从而,沿着上沟槽侧壁和拐角沉积的外延层所去除的量比其它沉积外延层的区域沉积的外延层所去除的量更大。在第一蚀刻之后,执行第二外延层生长步骤,接着进行第二蚀刻步骤。执行第三外延层沉积,并且,如最右边上的 SEM 图像所示,用外延层完全填充沟槽,没有在其中形成空隙或缝隙。SEM 图像上方的时间线示出了沉积和蚀刻顺序以及相应的温度。

[0376] 在图 44A- 图 44F 中更清楚地示出了此工艺顺序。图 44A 示出了在开始多步外延层工艺之前的沟槽 4404。在图 44B 中,执行第一外延层沉积,从而以非均匀方式生长外延层 4406A。在步骤 44C 中执行的外延层蚀刻去除了沉积的外延层的部分,使得剩余的外延层 4406B 具有相对均匀的厚度。在图 44D 和图 44E 中,执行第二外延层沉积和第二外延层蚀刻,使得在第二外延层蚀刻之后,外延层 4406D 的剩余的层具有相对均匀的厚度。在图 44F 中,执行最终的外延层沉积,以完全填充沟槽 4404。取决于沟槽纵横比和其它工艺考虑因素,可使用多于 2 个或 3 个沉积 - 蚀刻顺序。

[0377] 注意,可用 HCl 执行蚀刻步骤,其可以以比去除外延层的其它部分更快的速度去除沟槽拐角处的外延层的较厚部分。因此,可在沟槽外延层填充中获得缺陷少、空隙少、以及高度可控的掺杂浓度。

[0378] 在沉积 - 蚀刻 - 沉积沟槽填充工艺过程中将沟槽侧壁反复暴露于原位的 HCl 蚀刻,会导致硅晶体损坏。如果在沉积步骤之前不“修复”或“复原”晶体,则可以在界面处和生长的外延层中形成缺陷。根据本发明的一种实施方式,在 HCl 蚀刻循环结束时(在下一个沉积步骤之前)在氢气环境中的高温退火将减少或消除这些缺陷的出现,从而减小泄漏电流。

[0379] 图 45A 示出了正在沟槽蚀刻之后的沟槽的 TEM 图像。会看到沿着沟槽侧壁的点阵损坏。图 45B 示出了在氢气环境中执行高温退火之后的沟槽侧壁表面。如可看到的,点阵

损坏被复原,并且沟槽拐角被倒圆。图 45C 是在沿着沟槽侧壁和底部生长外延层 4504 之后的 TEM 图像。虚线示出了在沟槽侧壁和外延层 4504 之间的界面。再一次,在沟槽侧壁和新生长的外延层 4504 之间的界面处观察不到缺陷。可用中间退火步骤重复沉积和蚀刻循环,以便在蚀刻外延层之后从沿着每一个外延层的表面去除缺陷。可用任何一种这里描述的技术形成功率 FET 的所有其它区域和层。

[0380] 根据本发明一种实施方式的一种高度有效地避免在沟槽中心产生空隙或者防止在顶部沟槽拐角处过早的外延层封闭的技术是,在沉积步骤中倾斜 HCl 流。HCl 流的倾斜可抑制沟槽顶部处的过度的硅生长,并允许从沟槽的顶部至底部的均匀生长。这可减少均匀地填充沟槽所必需的外延层沉积和蚀刻步骤的数量。

[0381] 利用可得的工具的功率,可将 HCl 气体从期望高生长速度时在初始沟槽填充过程中的小流(例如,10cc)倾斜至抑制顶部沟槽拐角处的外延层生长时在沟槽的最终封闭处的大流(900cc),以便避免在沟槽中心中出现夹断和空隙。

[0382] 图 46A 是正在蚀刻 50 μm 沟槽 4602 之后的 SEM 图像。图 46B 示出了在执行非 HCl 外延层沉积步骤之后的沟槽 4604 的 SEM。如可看到的,外延层填充在沟槽 4604 的顶部附近封闭,从而在每一个沟槽中形成空隙。相反,如图 46C 所示,当用倾斜的 HCl 流执行沉积工艺时,外延层均匀地为沟槽侧壁加衬,没有在沟槽 4604 的顶部处封闭。

[0383] 图 47 是示出了对于各种 HCl 流速以及在外延层沉积过程中不使用 HCl 的情况下硅生长速度与沟槽位置的关系的图。虚曲线对应于其中不使用 HCl 的情况。所有其它曲线对应于如图中所示的各种 HCl 流速和其它工艺参数。如可从虚曲线看到的,没有 HCl,在沟槽顶部和底部之间的外延层生长速度会存在较宽的变化。相反,在其中使用倾斜的 HCl 的所有其它情况中,沿着沟槽深度的外延层生长速度不会变得和其中不使用 HCl 的情况中一样宽。在图的左侧,对外延层沉积工艺中的不同参数提供数值,已发现其沿着沟槽深度产生基本上均匀的外延层生长。本发明不限于这些数值;不同的工艺技术可以需要与紧接于图 47 列出的那些值不同的值,以便实现均匀的外延层沉积。

[0384] 虽然上面提供了本发明的具体实施方式的完整描述,但是各种修改、替换和等价物是可能的。例如,虽然在平面栅极 MOSFET 的上下文中示出了本发明的一些实施方式,但是,仅通过将基板的极性从图中所示的那些极性反向,便可将相同的技术容易地应用于其它平面栅极结构,例如,平面栅极 IGBT。类似地,在 N 通道 FET 的上下文中描述了一些结构和工艺顺序,然而,对于本领域技术人员来说,根据本公开内容,修改这些结构和工艺顺序以形成 P 通道 FET 将是显而易见的。此外,这里披露的各种技术不限于平面栅极结构,并且可以以沟槽栅极 MOSFET、沟槽栅极 IGBT(其具有沟槽栅极)、屏蔽栅极 MOSFET 或 IGBT(其具有带有下面的屏蔽电极的沟槽栅极)、以及整流器(包括肖特基整流管、TMBS 整流管等)来实现。

[0385] 另外,虽然未对每一种实施方式具体说明,但是,可以在图 1A-图 1C 中所示的三个布局构造中的任何一个实现包括许多终端设计和电荷平衡技术的各种实施方式。类似地,这里披露的包括许多终端设计和电荷平衡技术的许多实施方式不限于实现到沟槽外延层填充电荷平衡工艺技术中,并且也可以以多外延层导柱工艺技术来实现。因此,出于这个和其它原因,上述描述不应被视为限制由所附权利要求限定的本发明的范围。

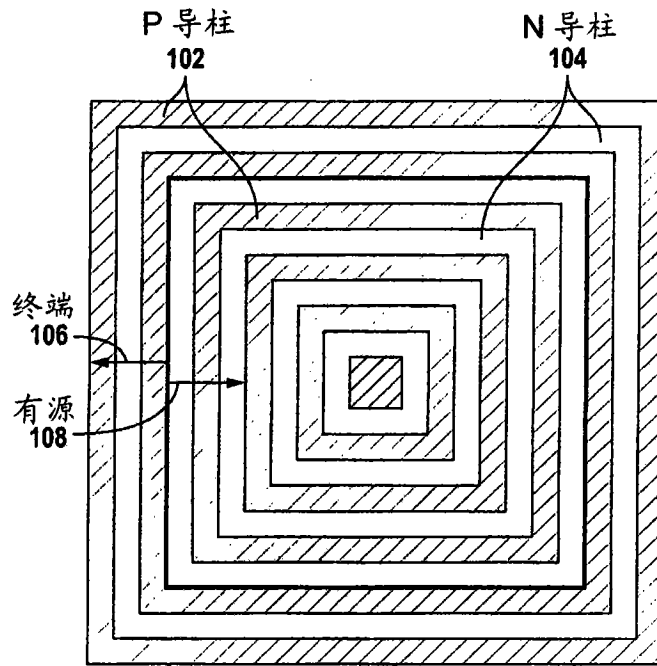


图 1A

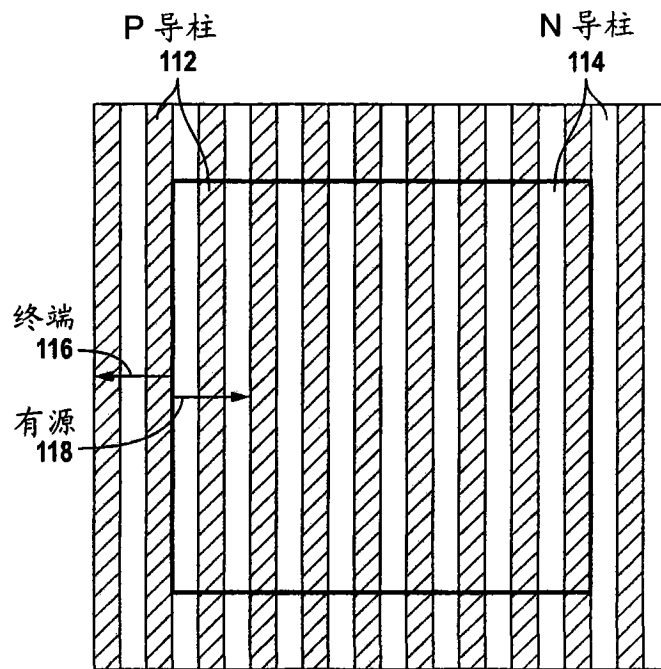


图 1B

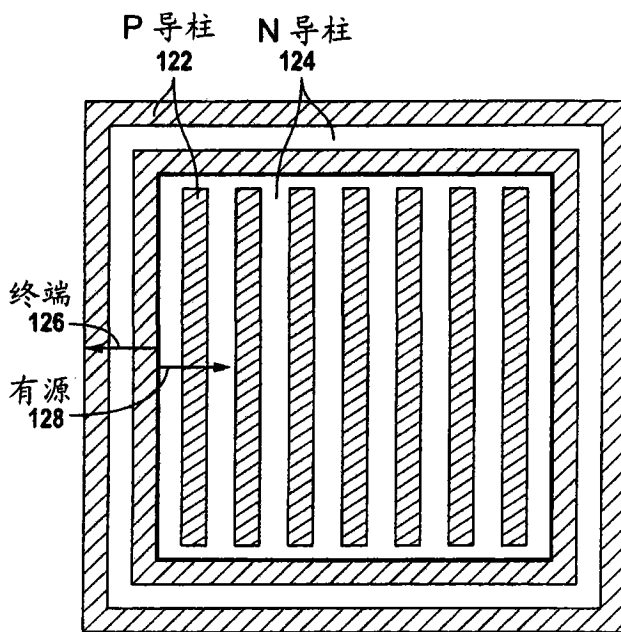


图 1C

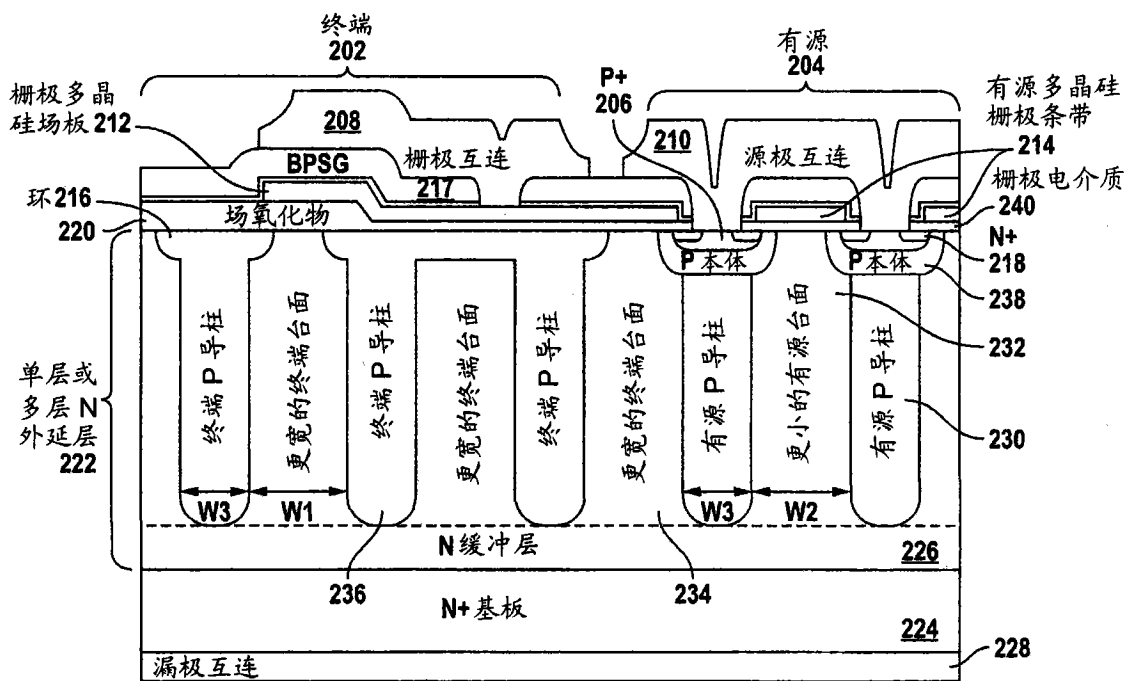


图 2

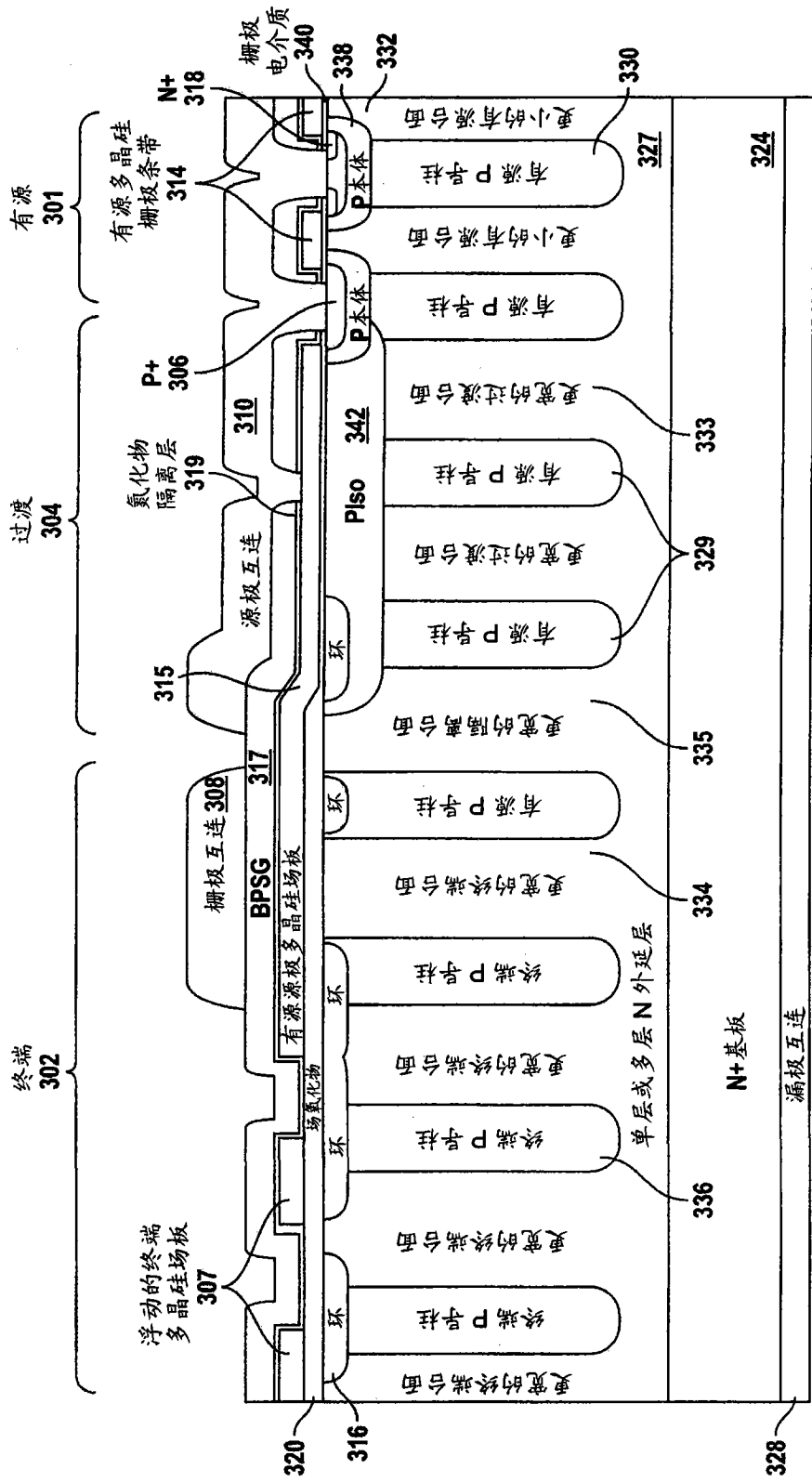


图 3

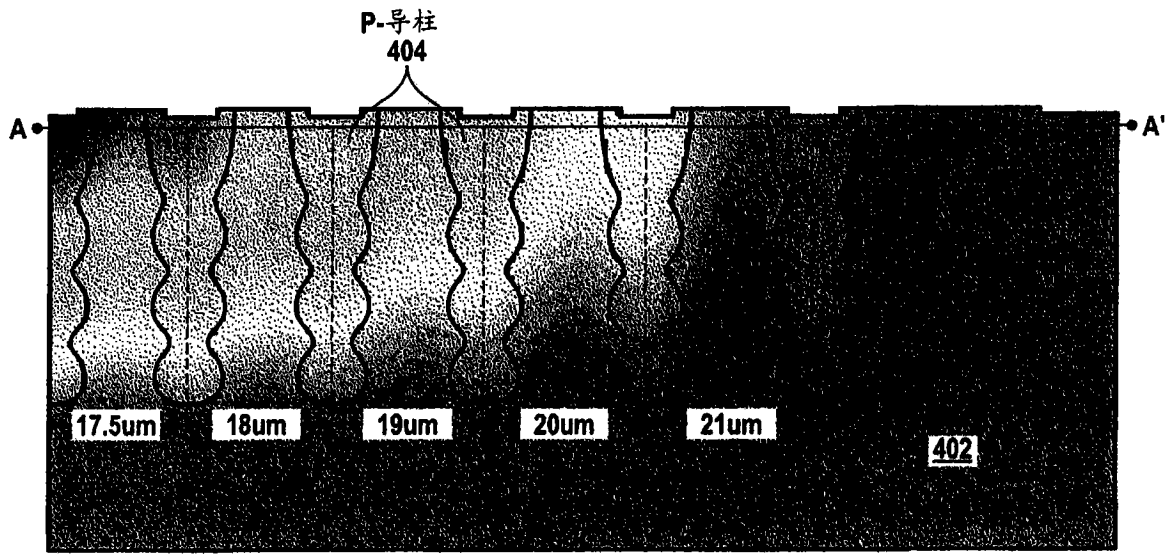


图 4A(现有技术)

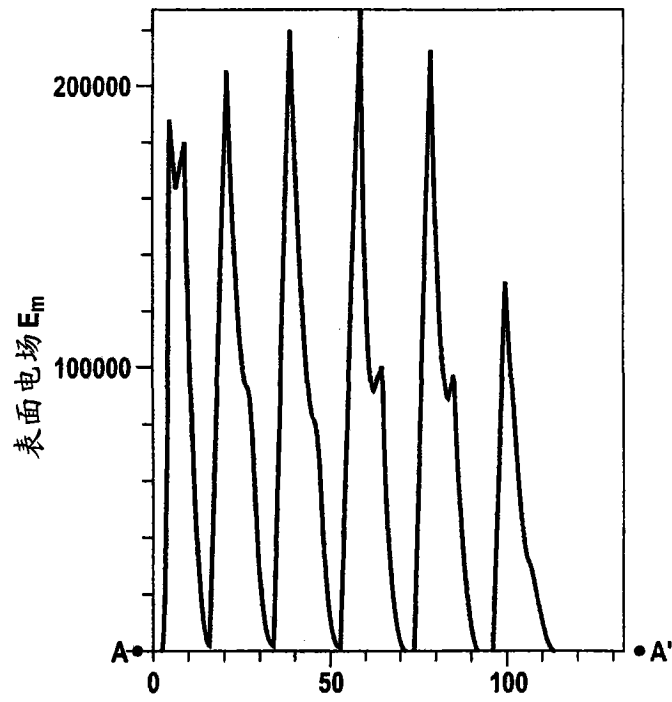


图 4B(现有技术)

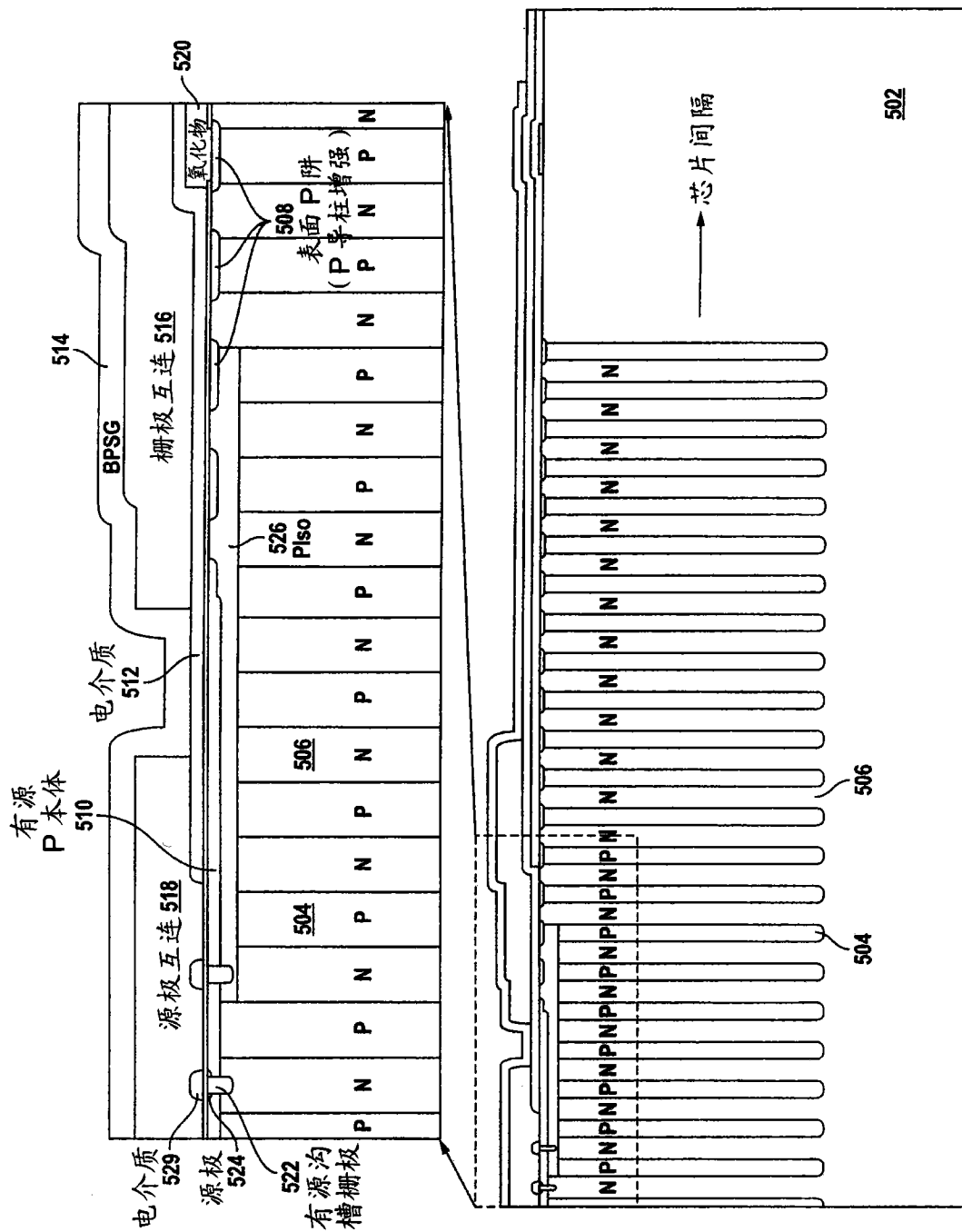


图 5

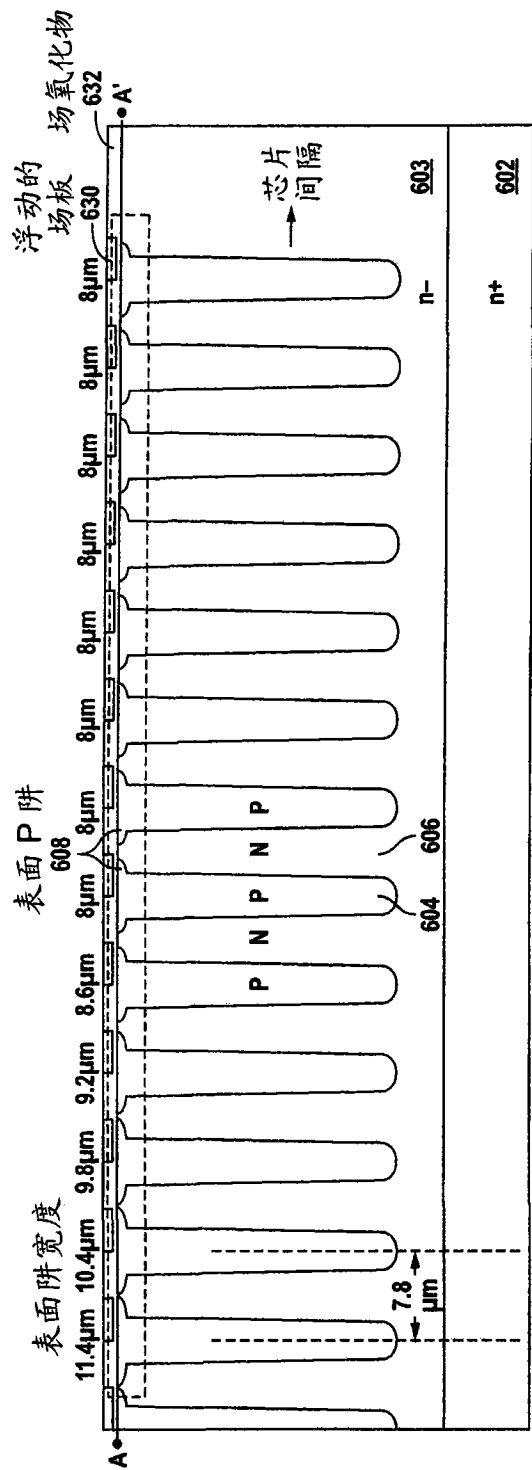


图 6A

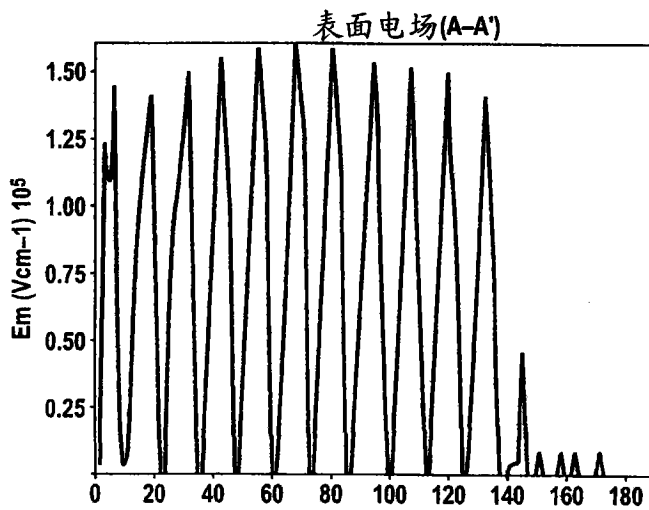


图 6B

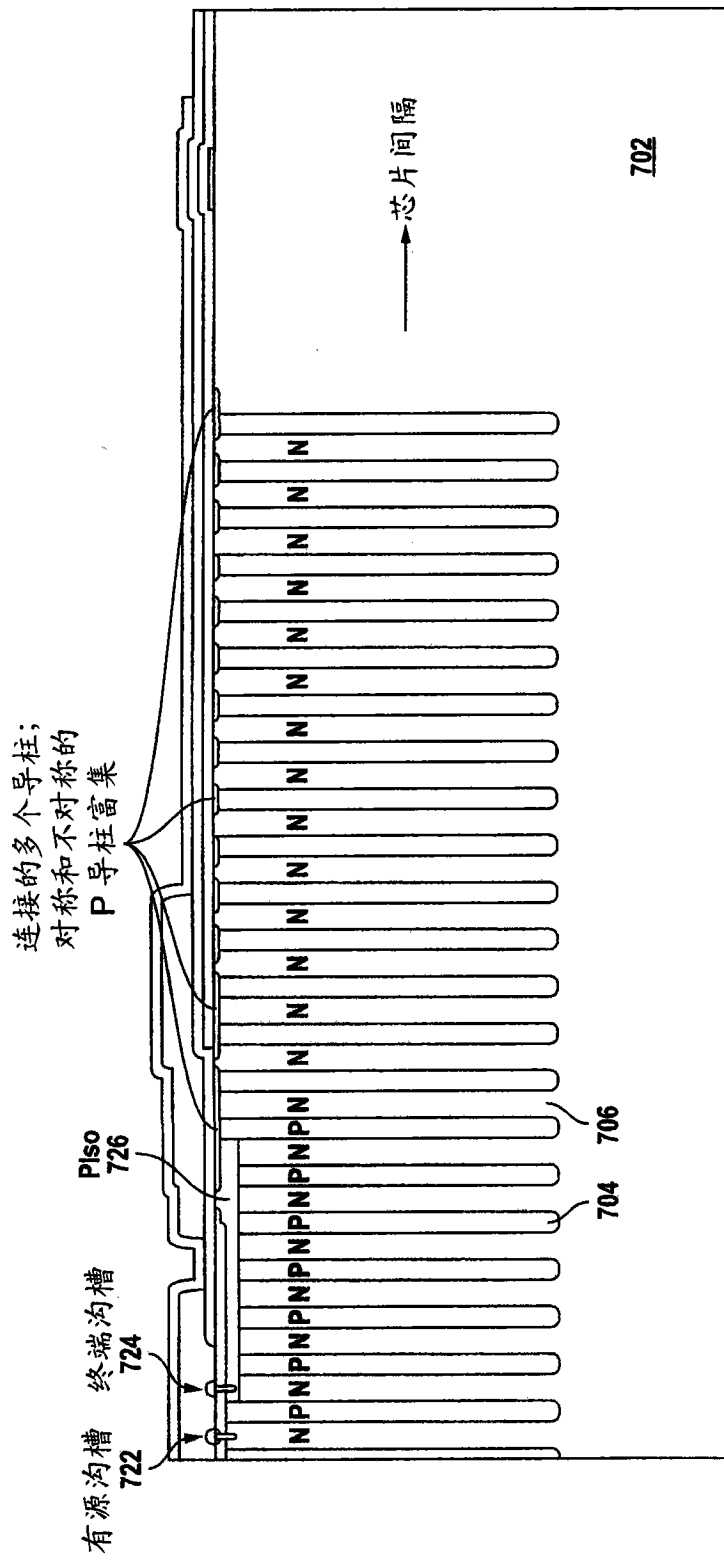


图 7

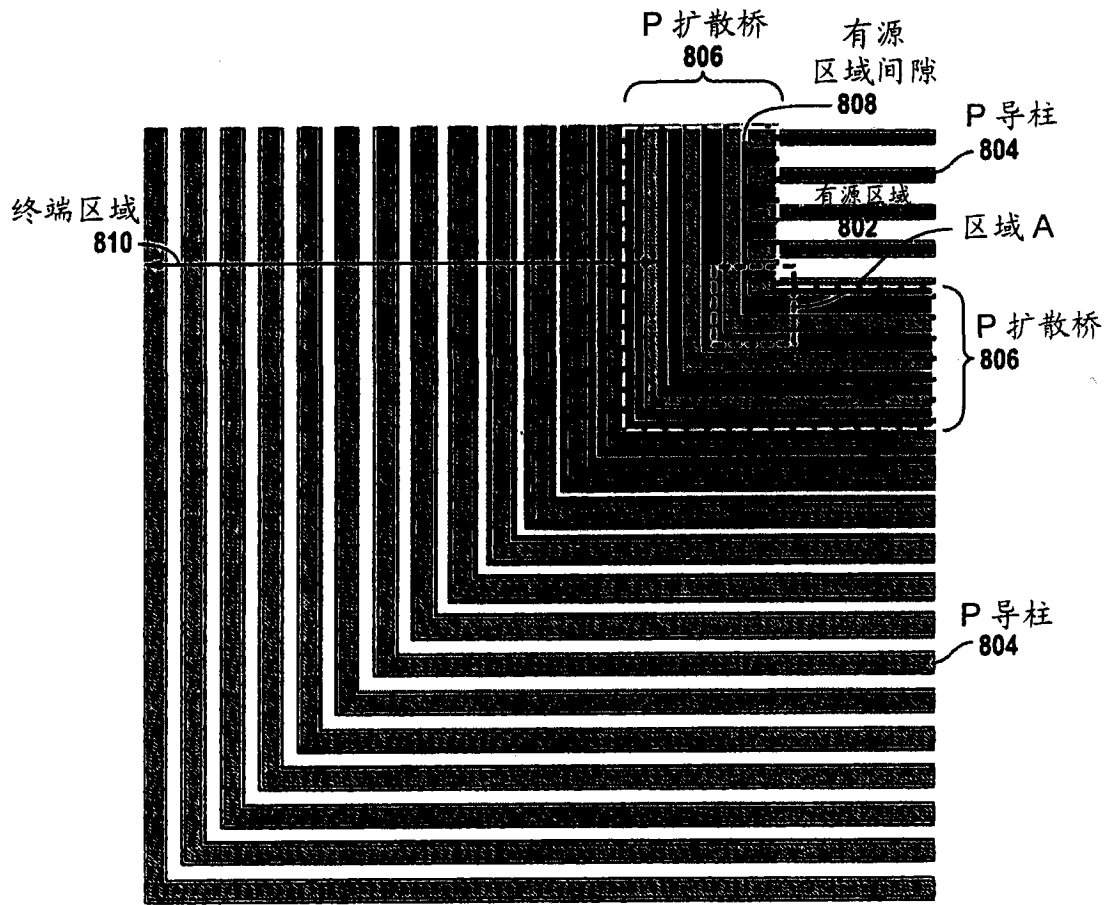


图 8A

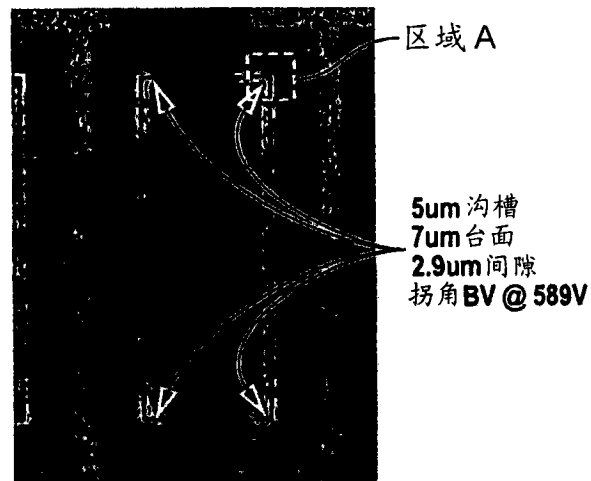


图 8B

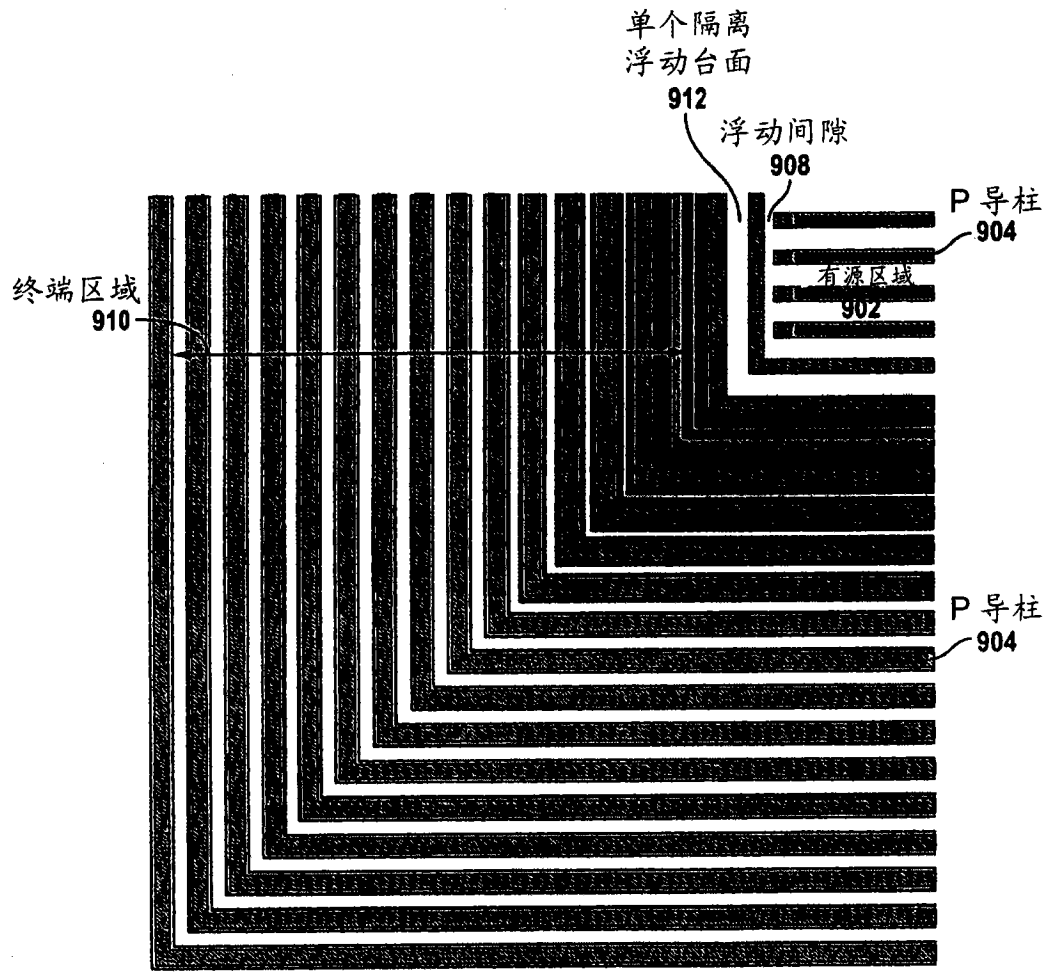


图 9A

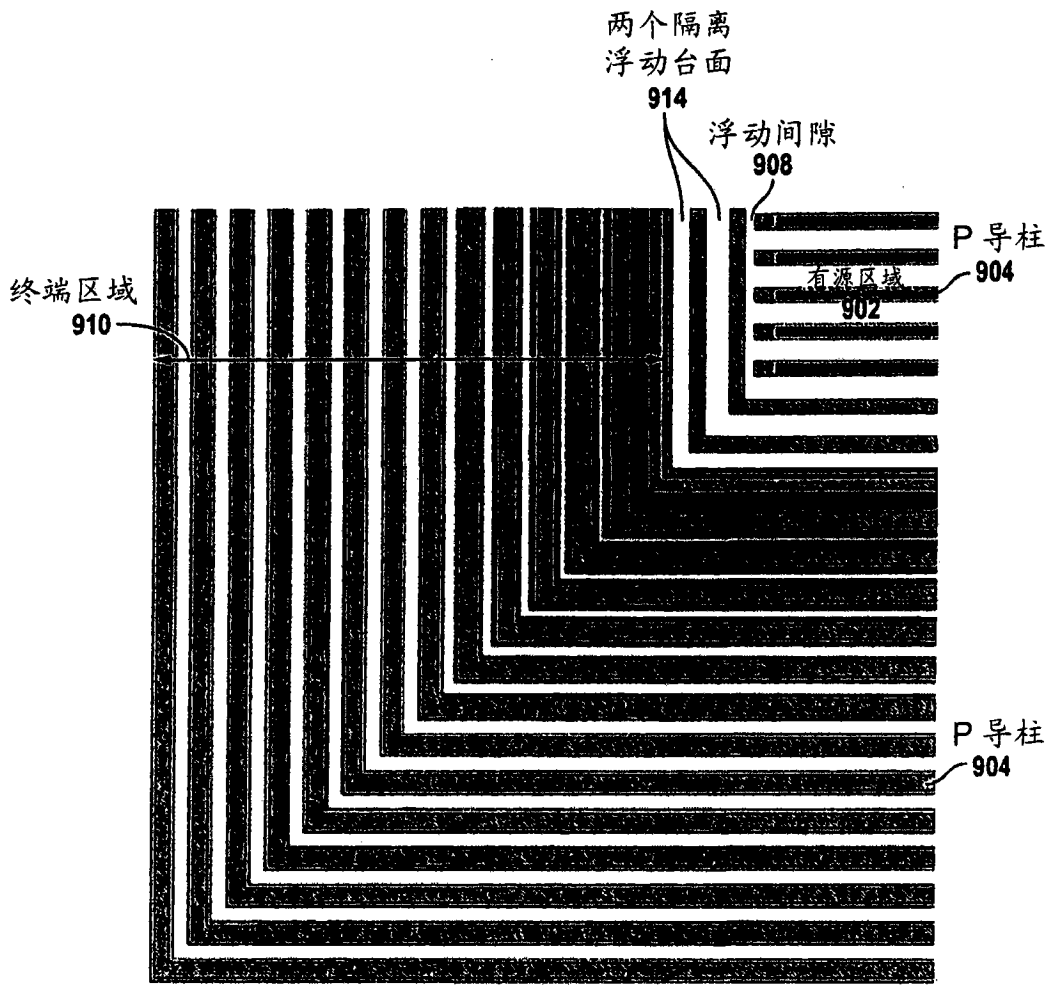
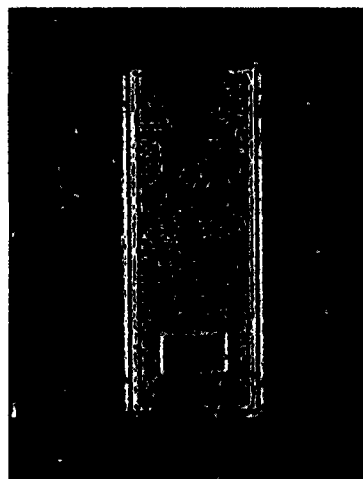


图 9B



5um 沟槽
7um 台面
2.9um 间隙
均匀的有源区域
BV @ 645V

图 9C

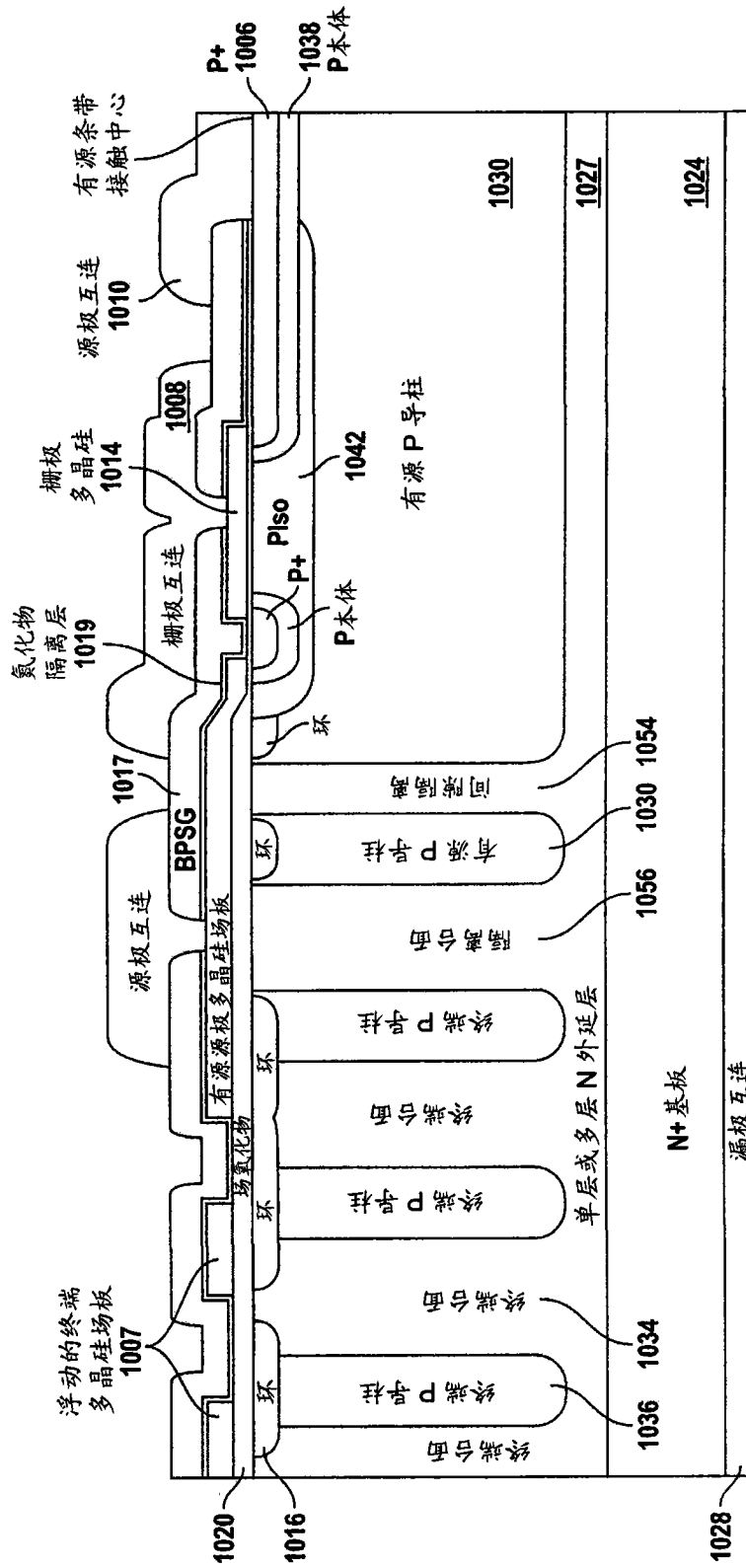


图 10

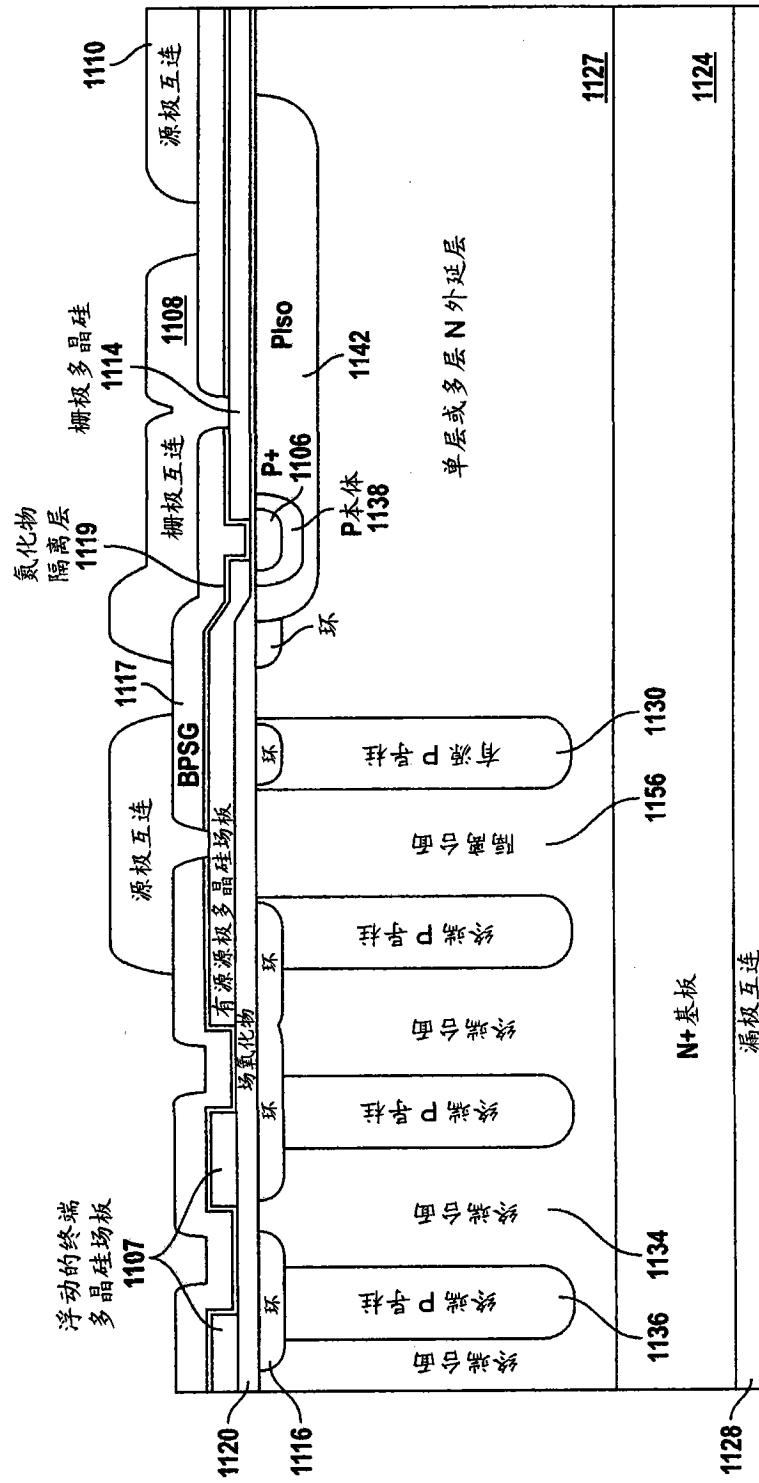


图 11

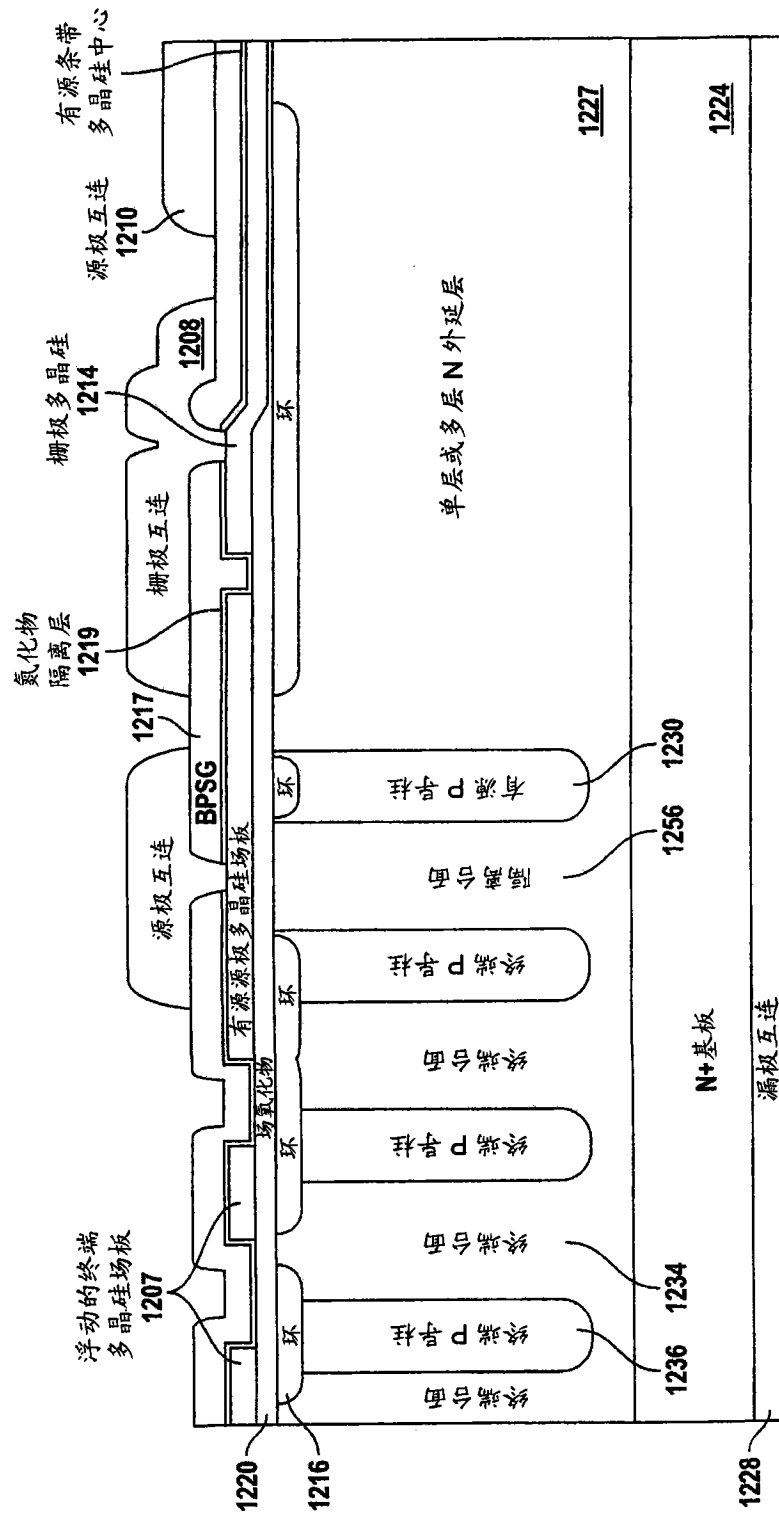


图 12

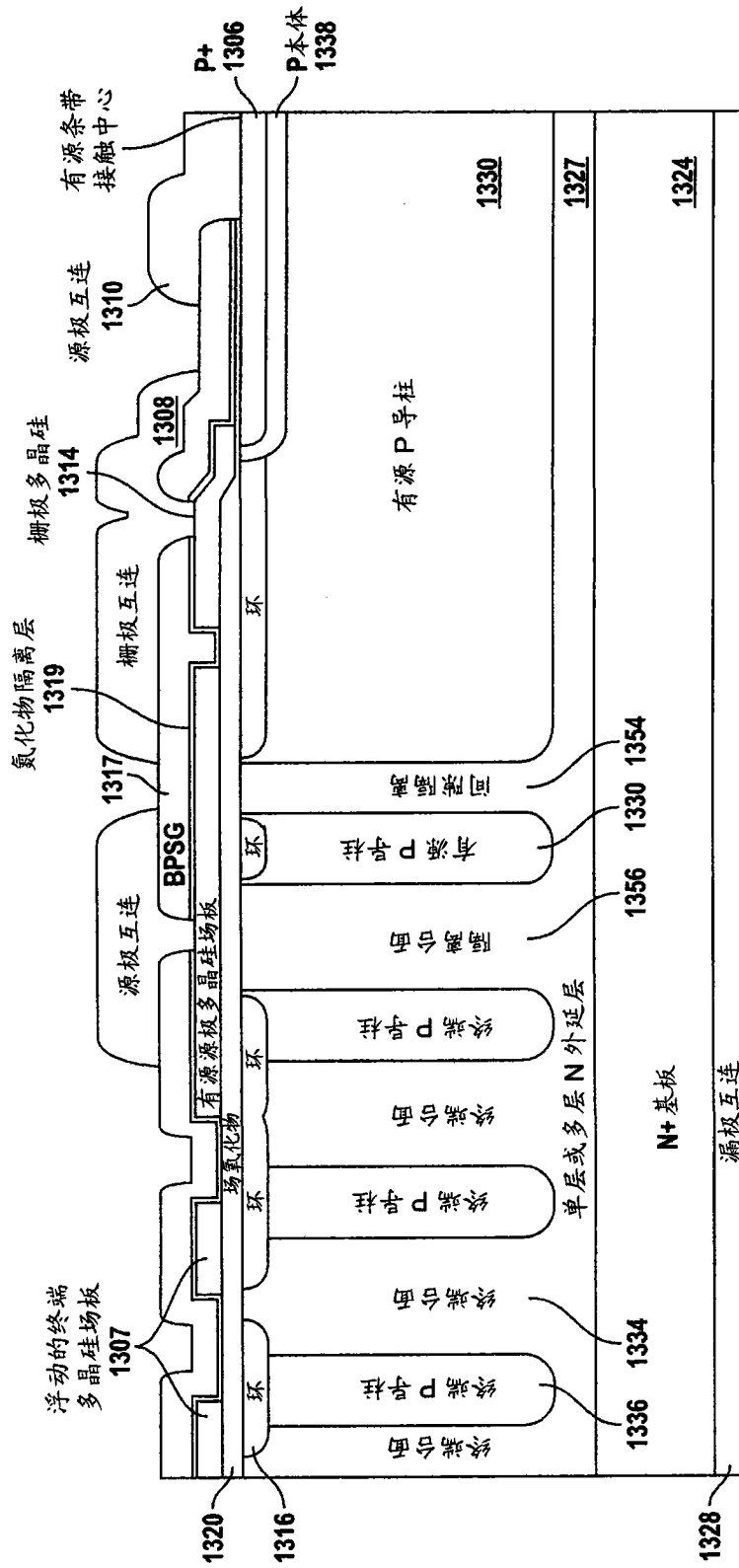


图 13

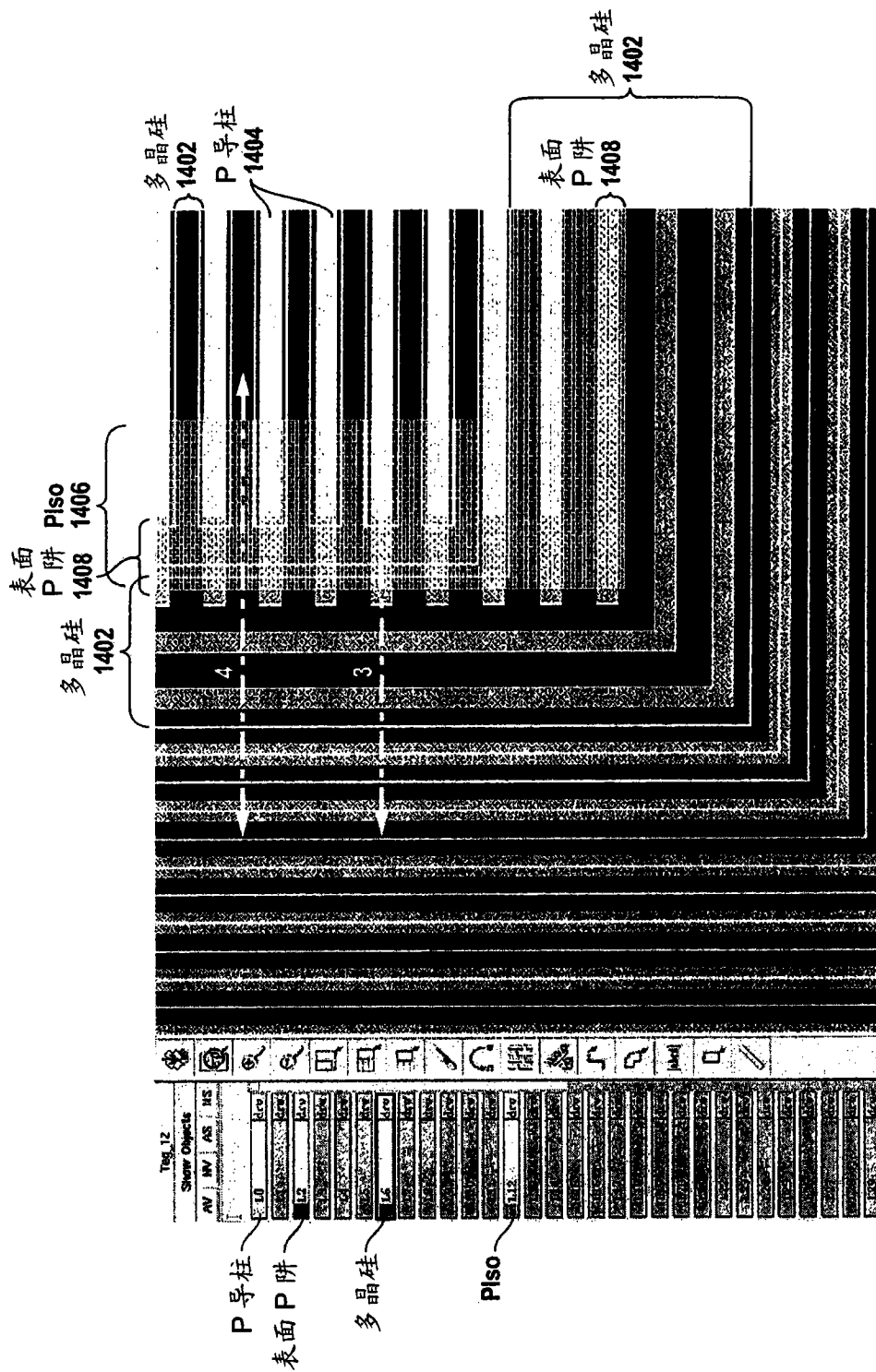


图 14A

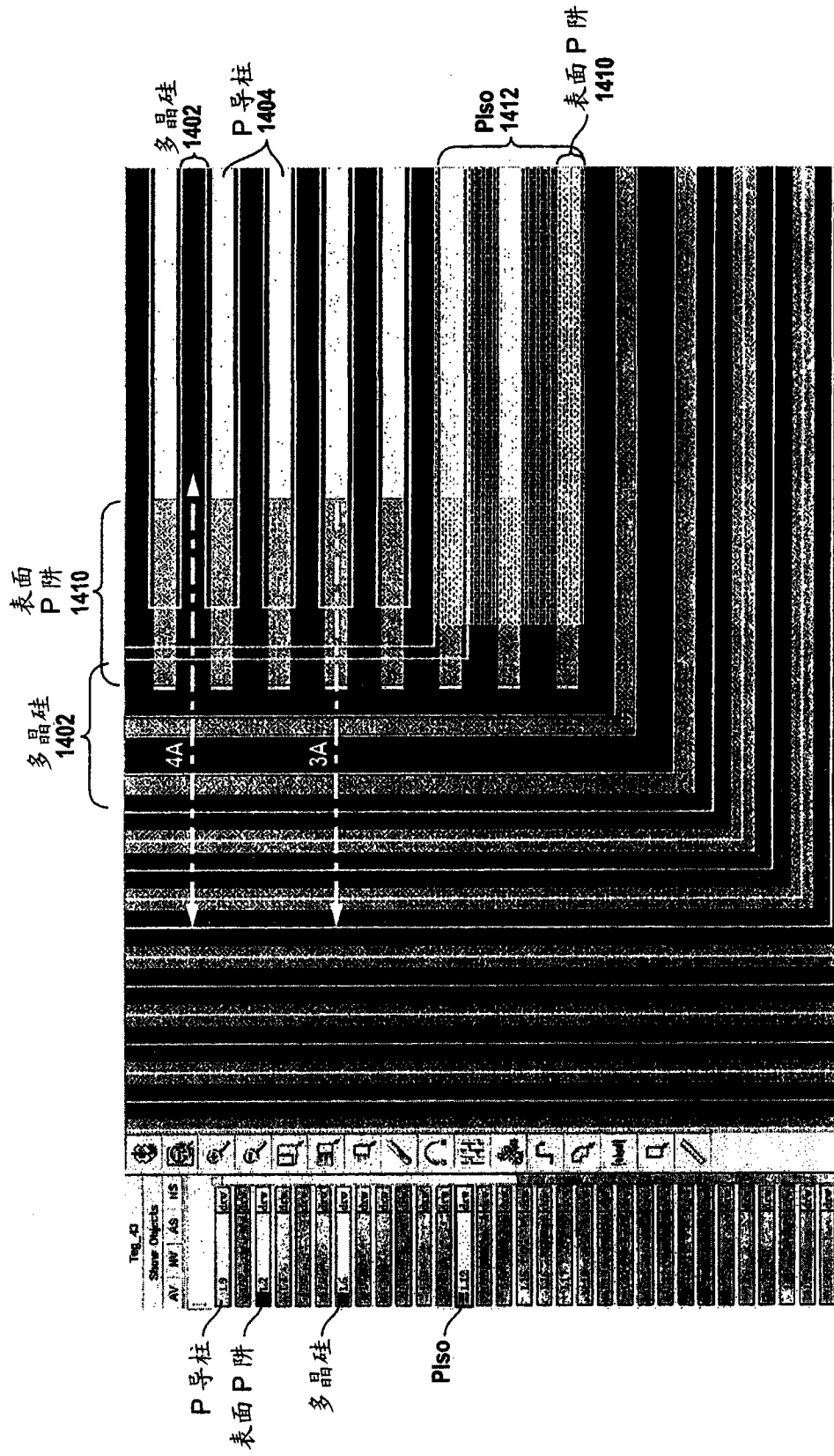


图 14B

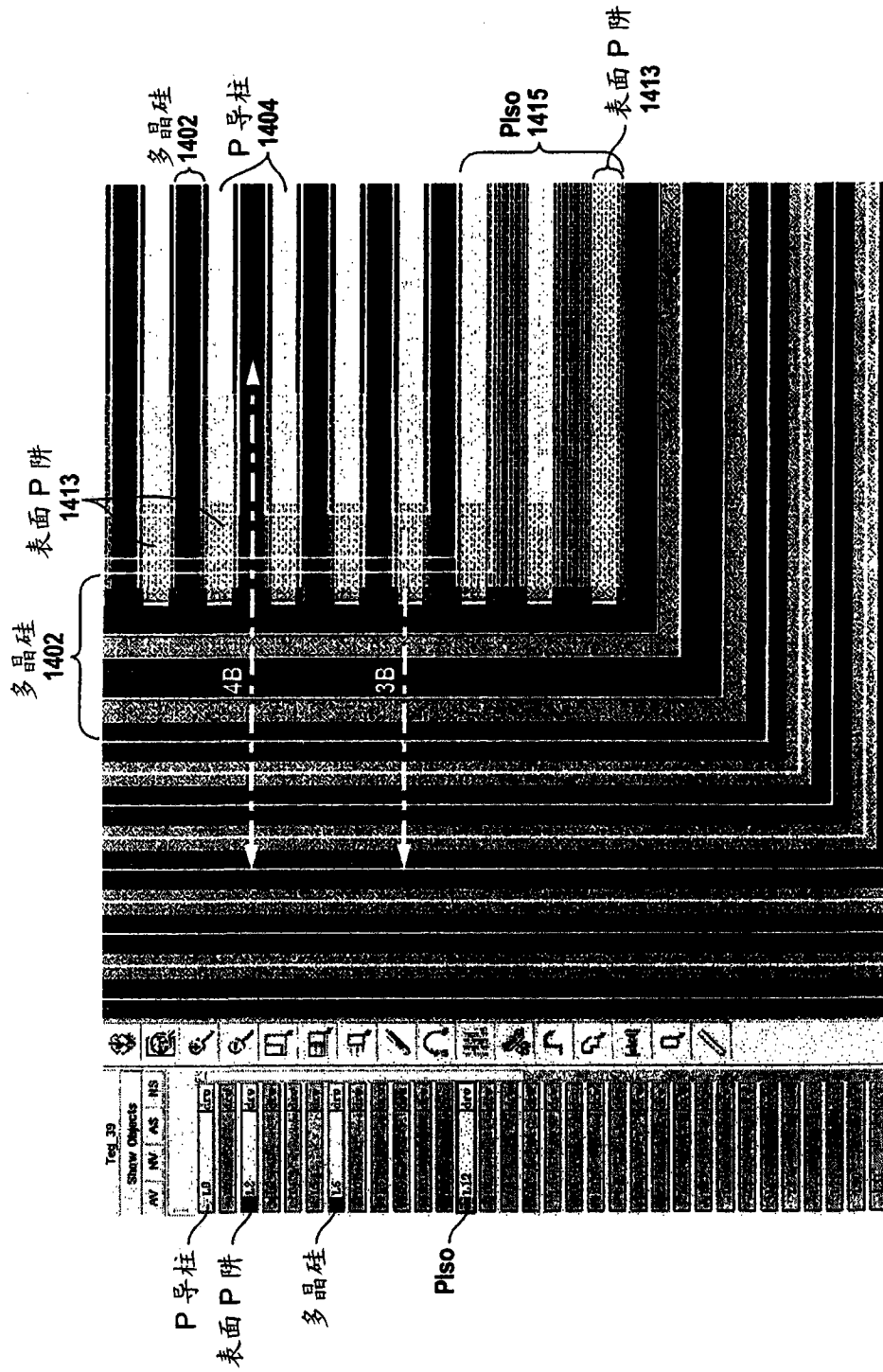


图 14C

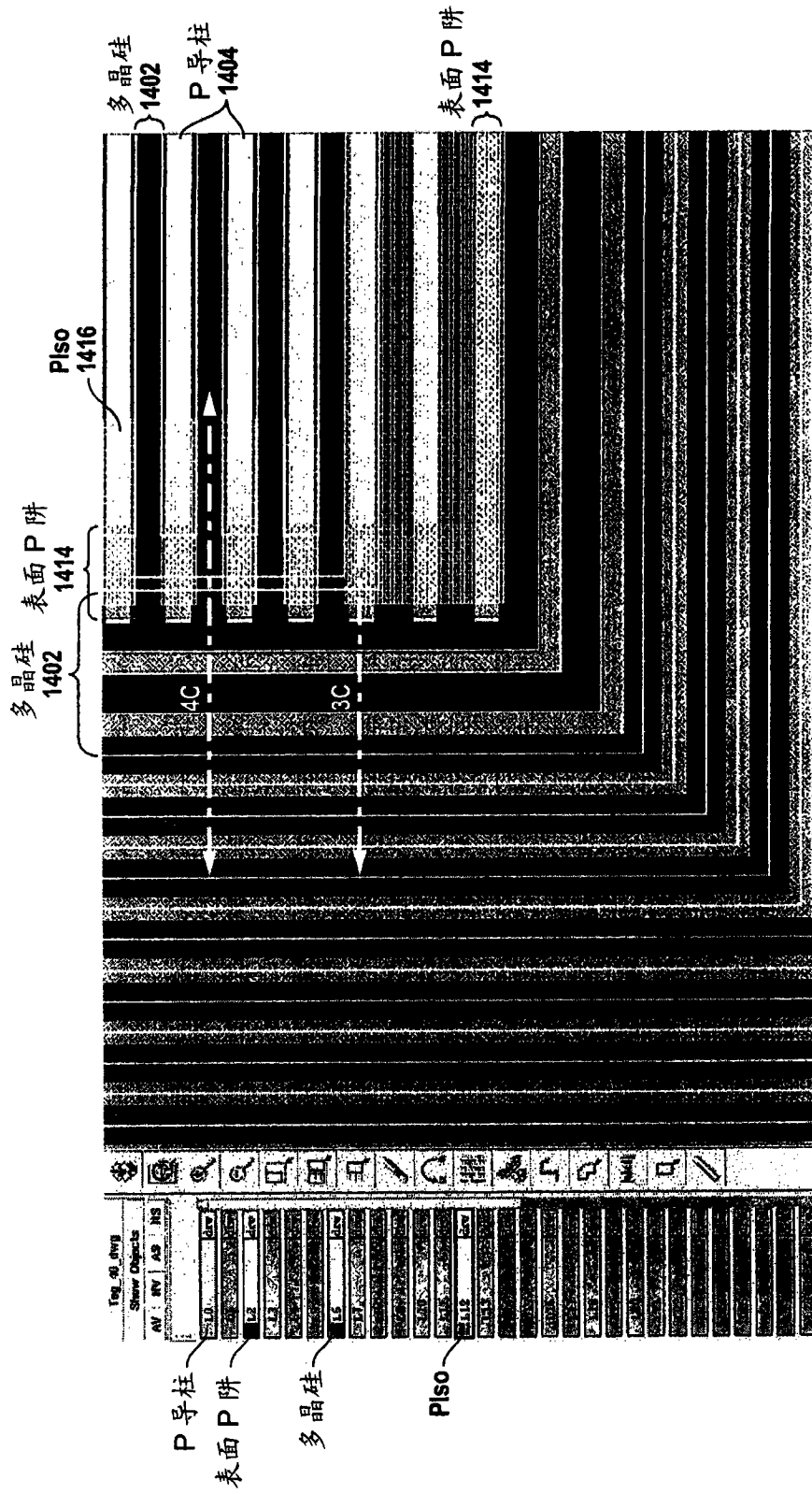


图 14D

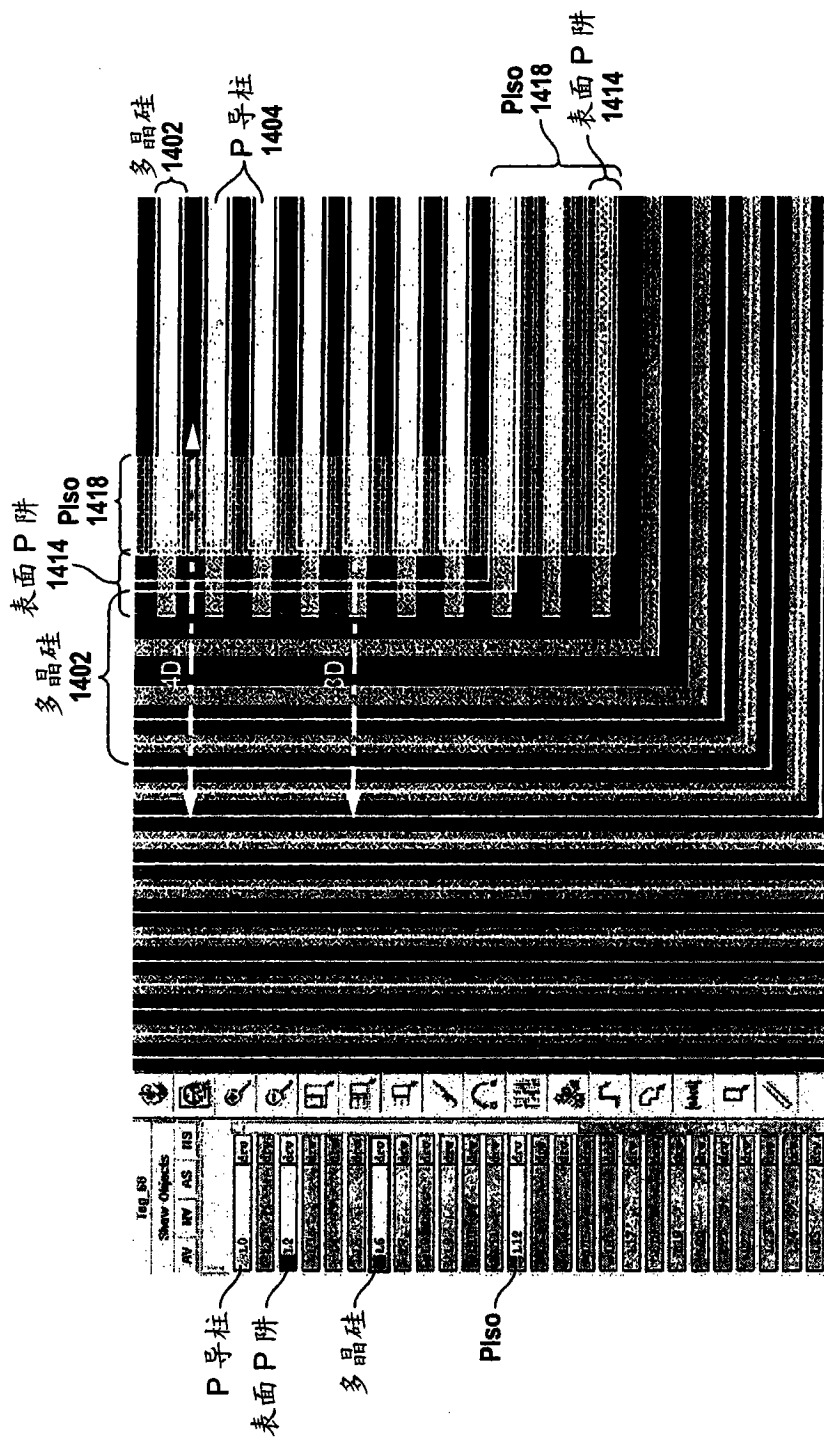


图 14E

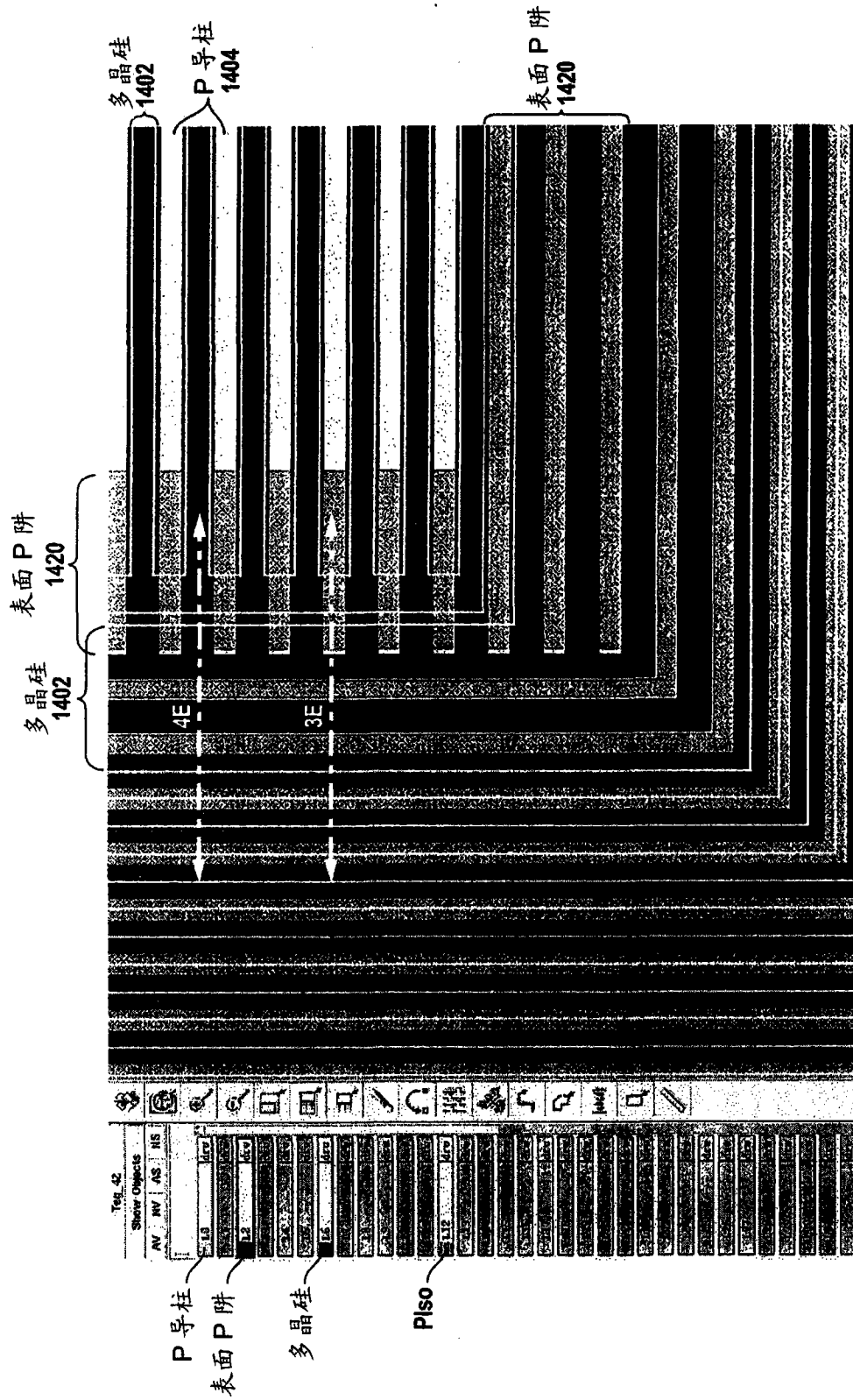


图 14F

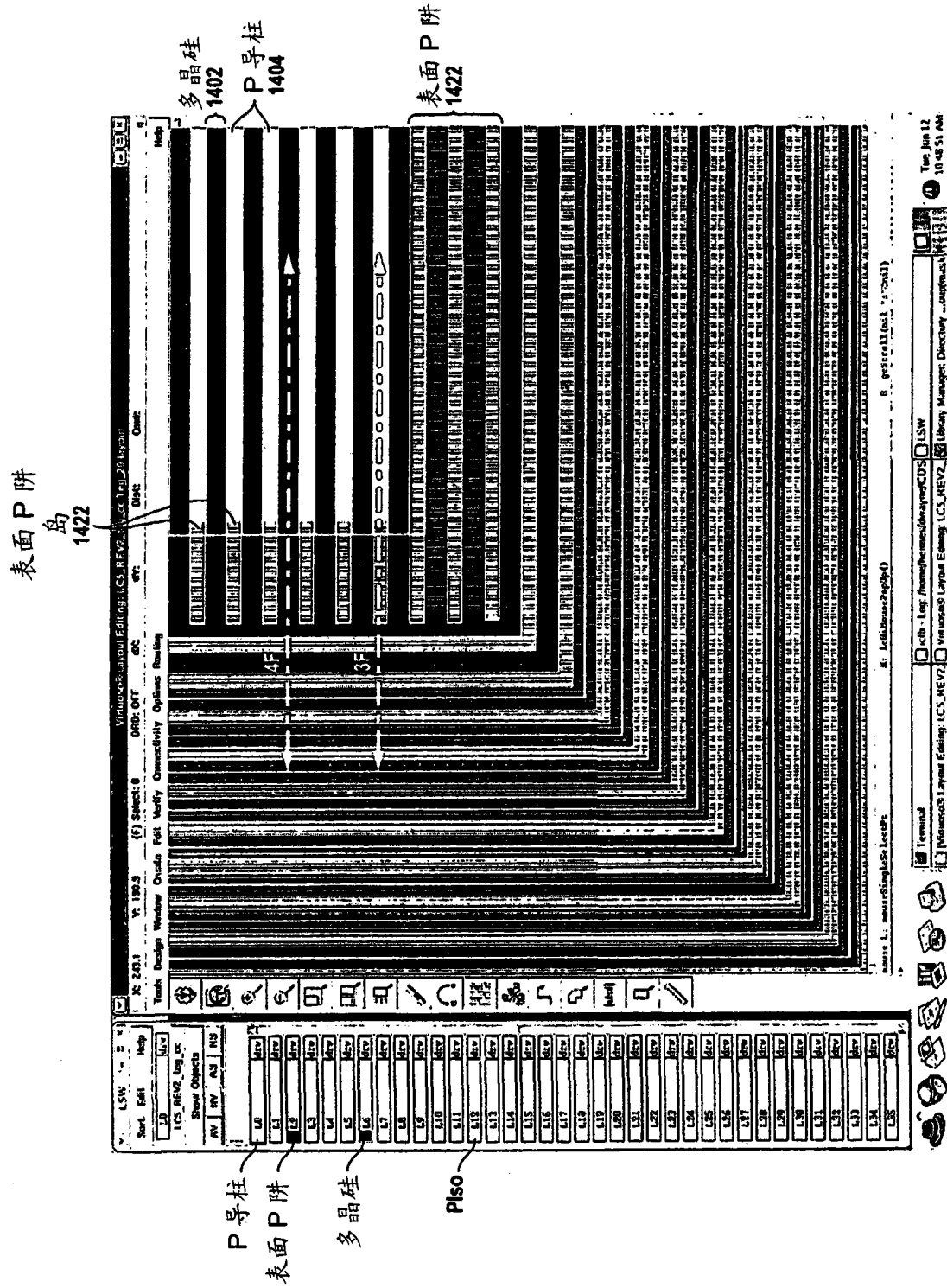


图 14G

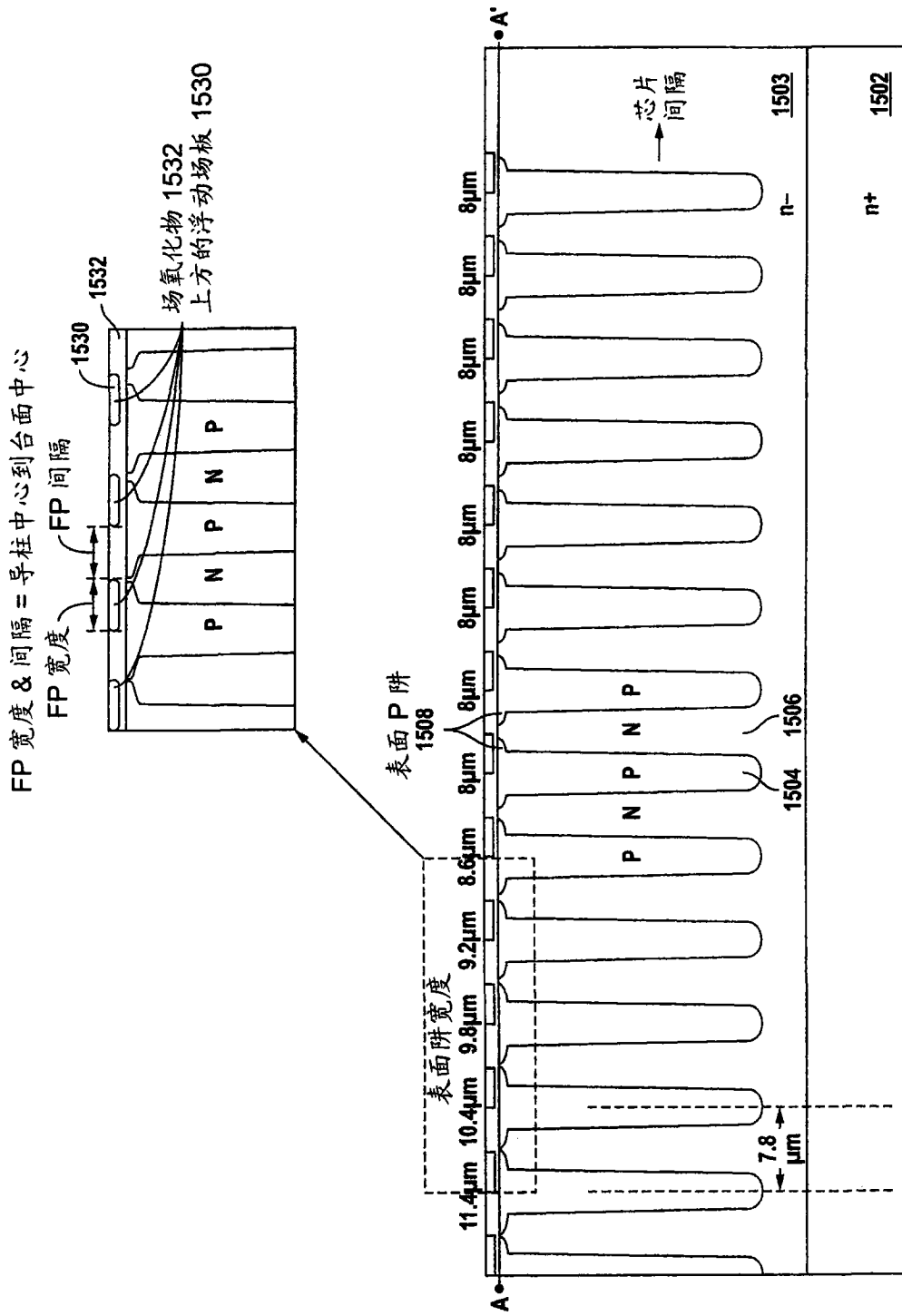


图 15

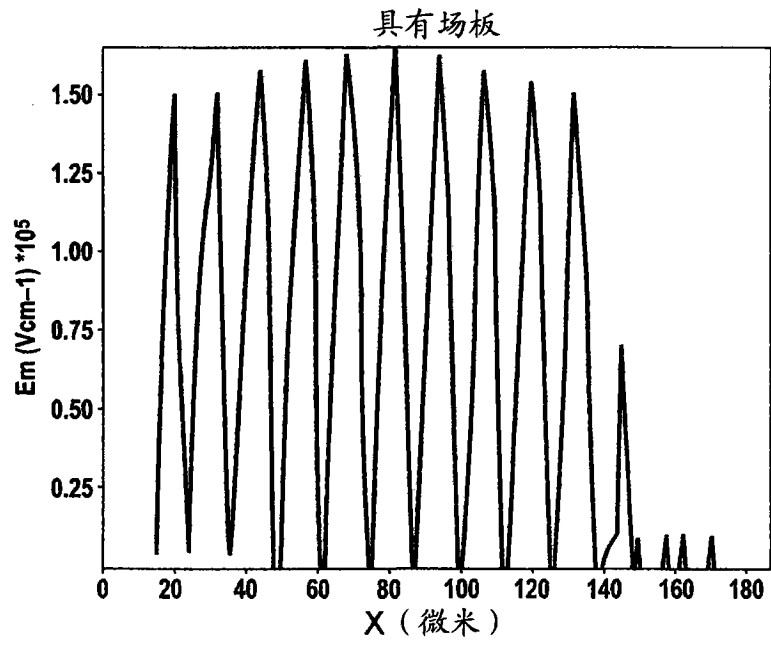


图 16A

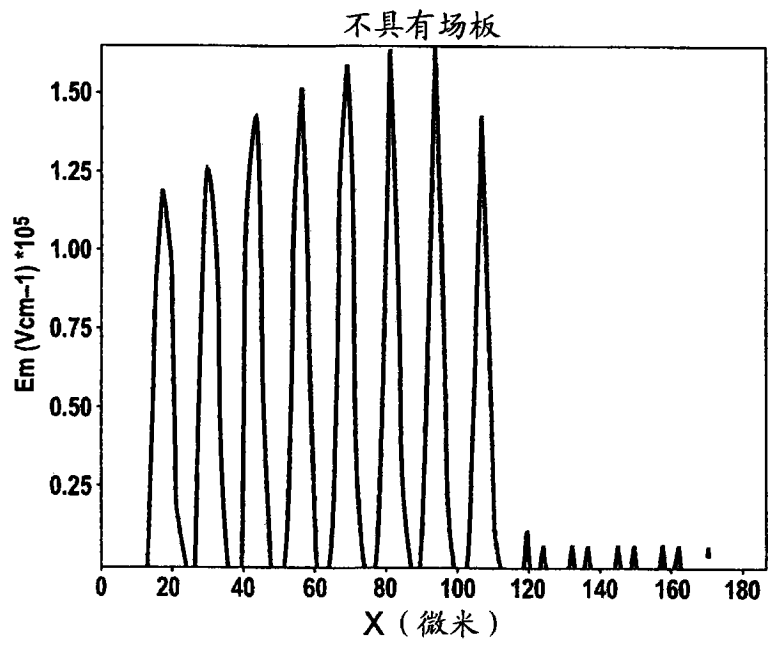


图 16B

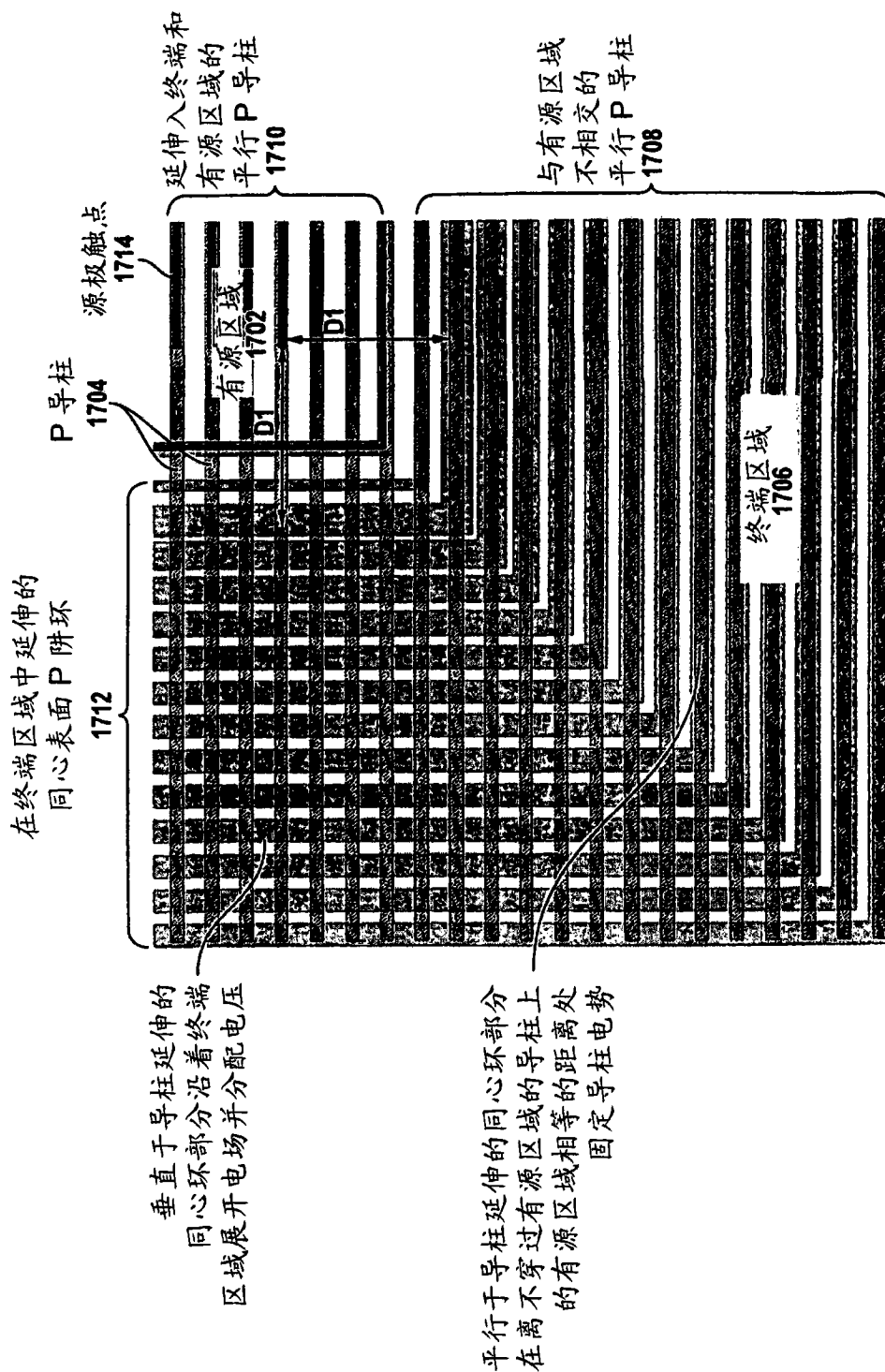


图 17

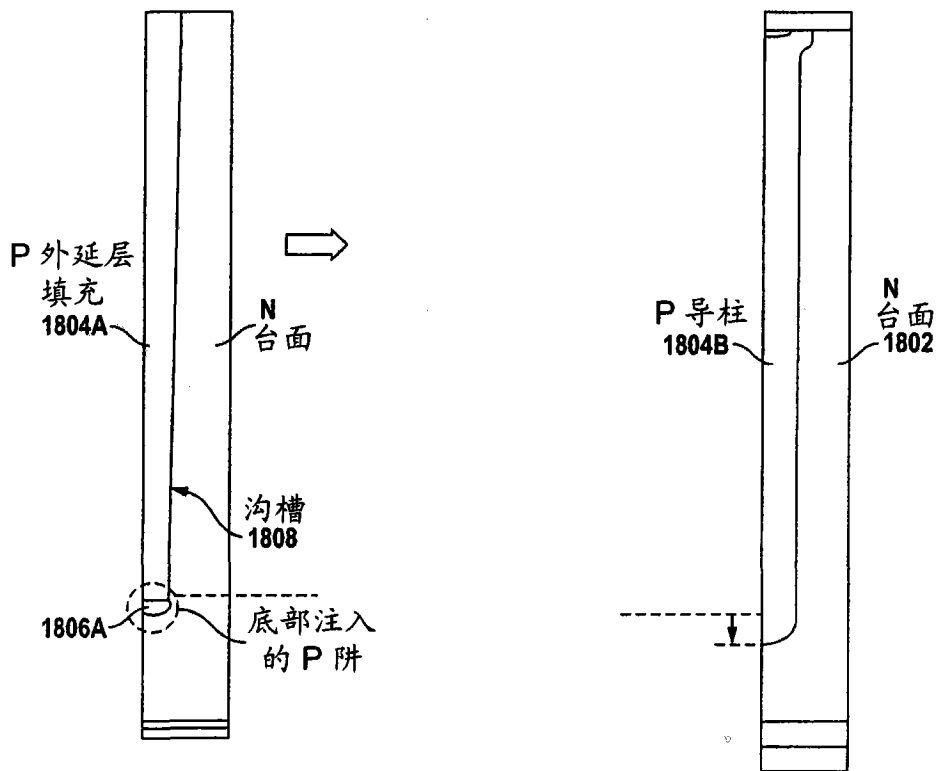


图 18A

图 18B

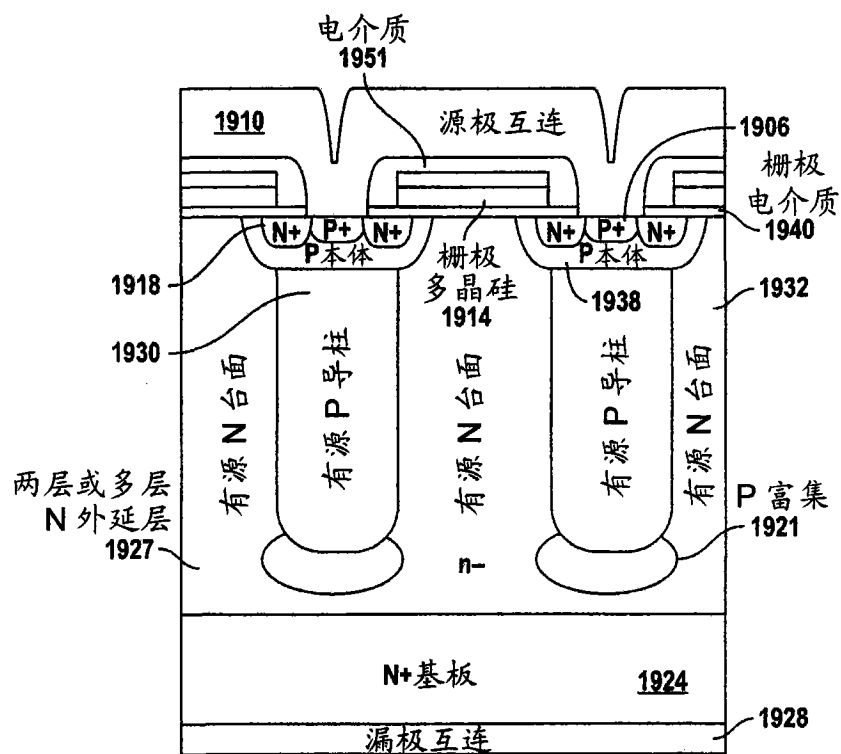


图 19

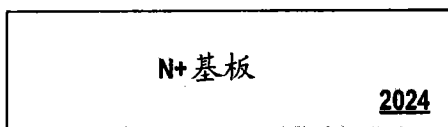


图 20A

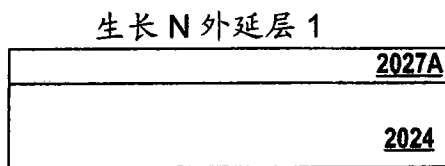


图 20B

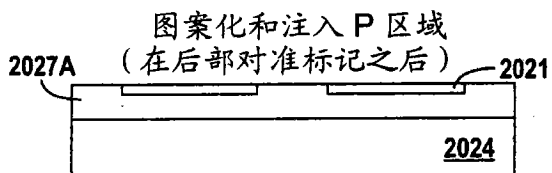


图 20C

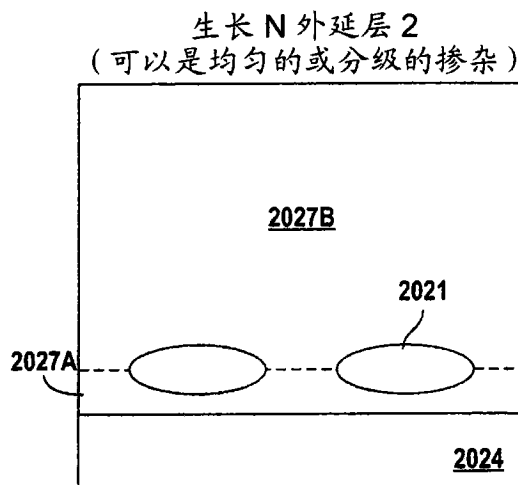


图 20D

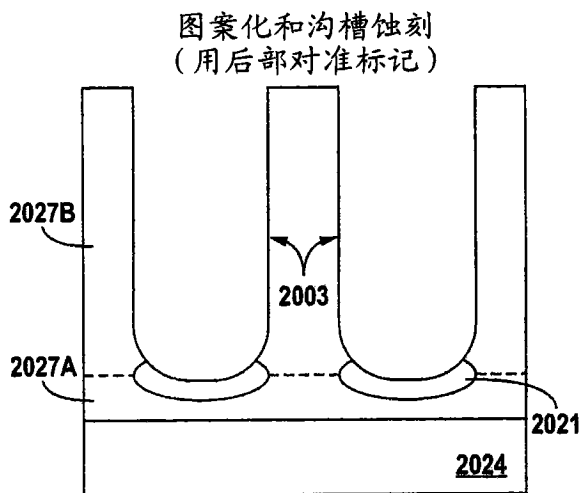


图 20E

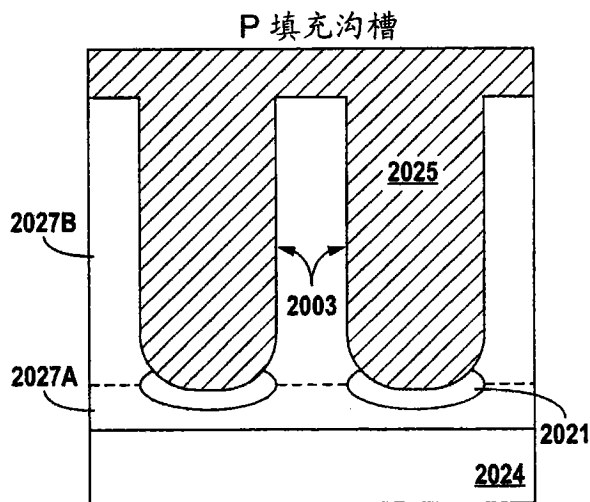


图 20F

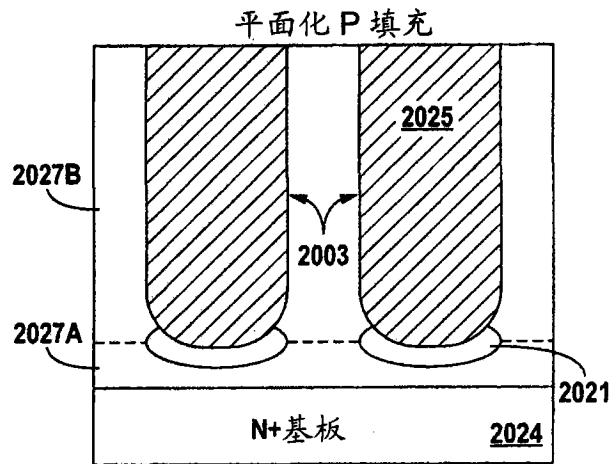


图 20G

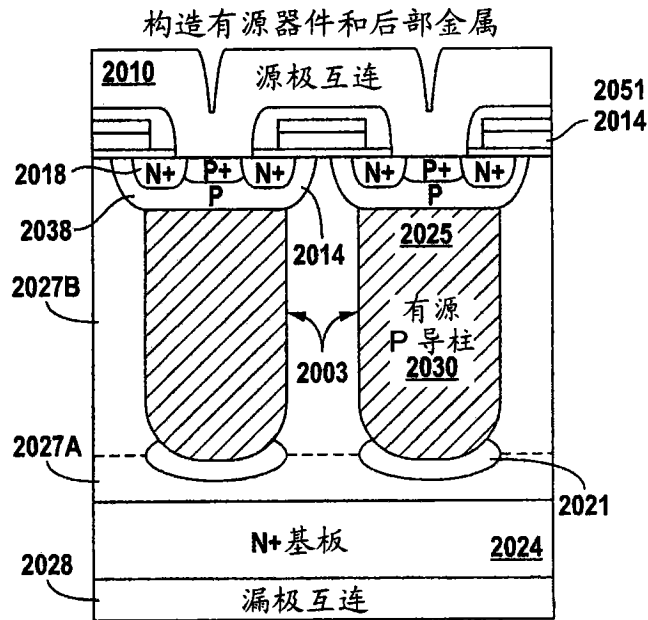


图 20H

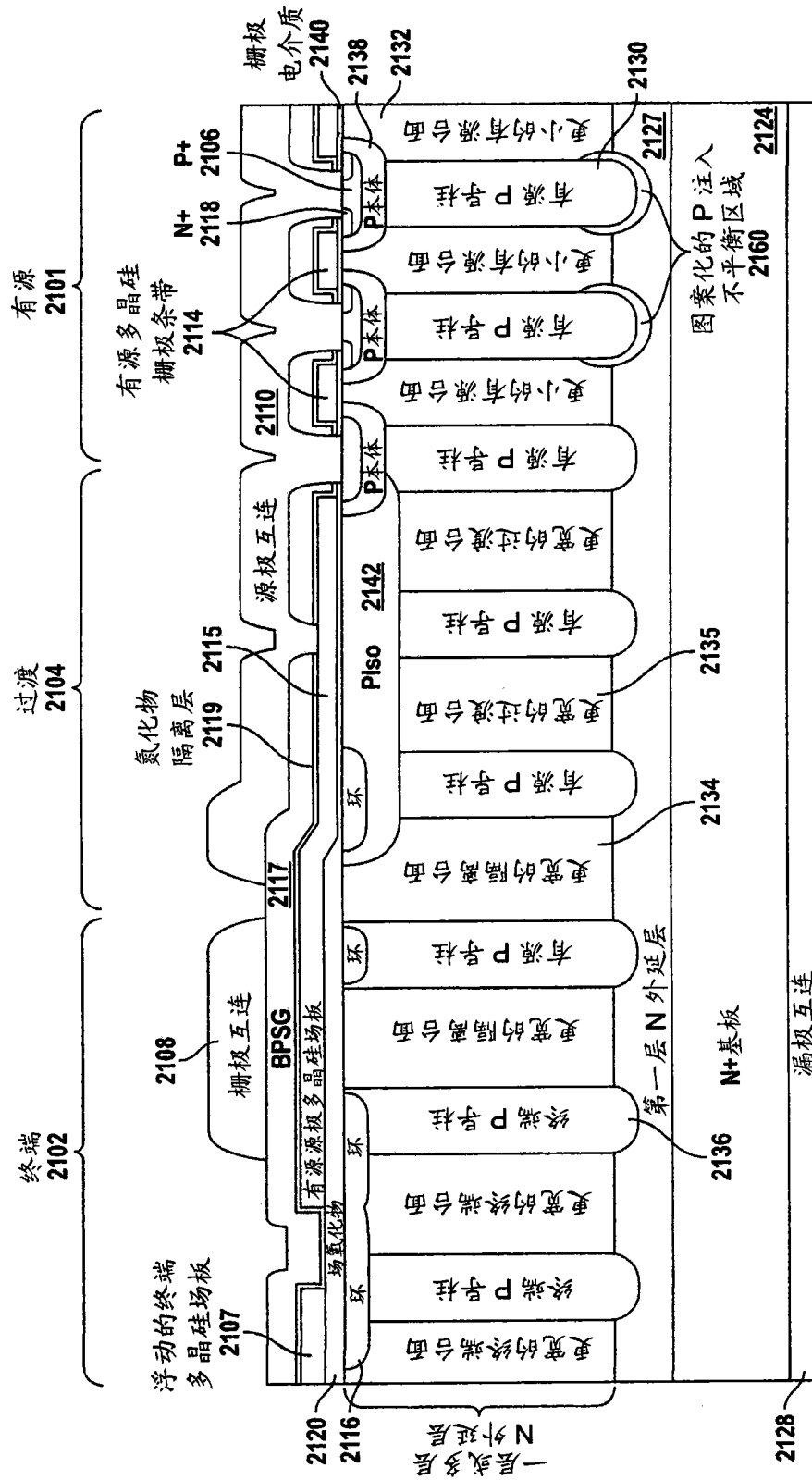


图 21A

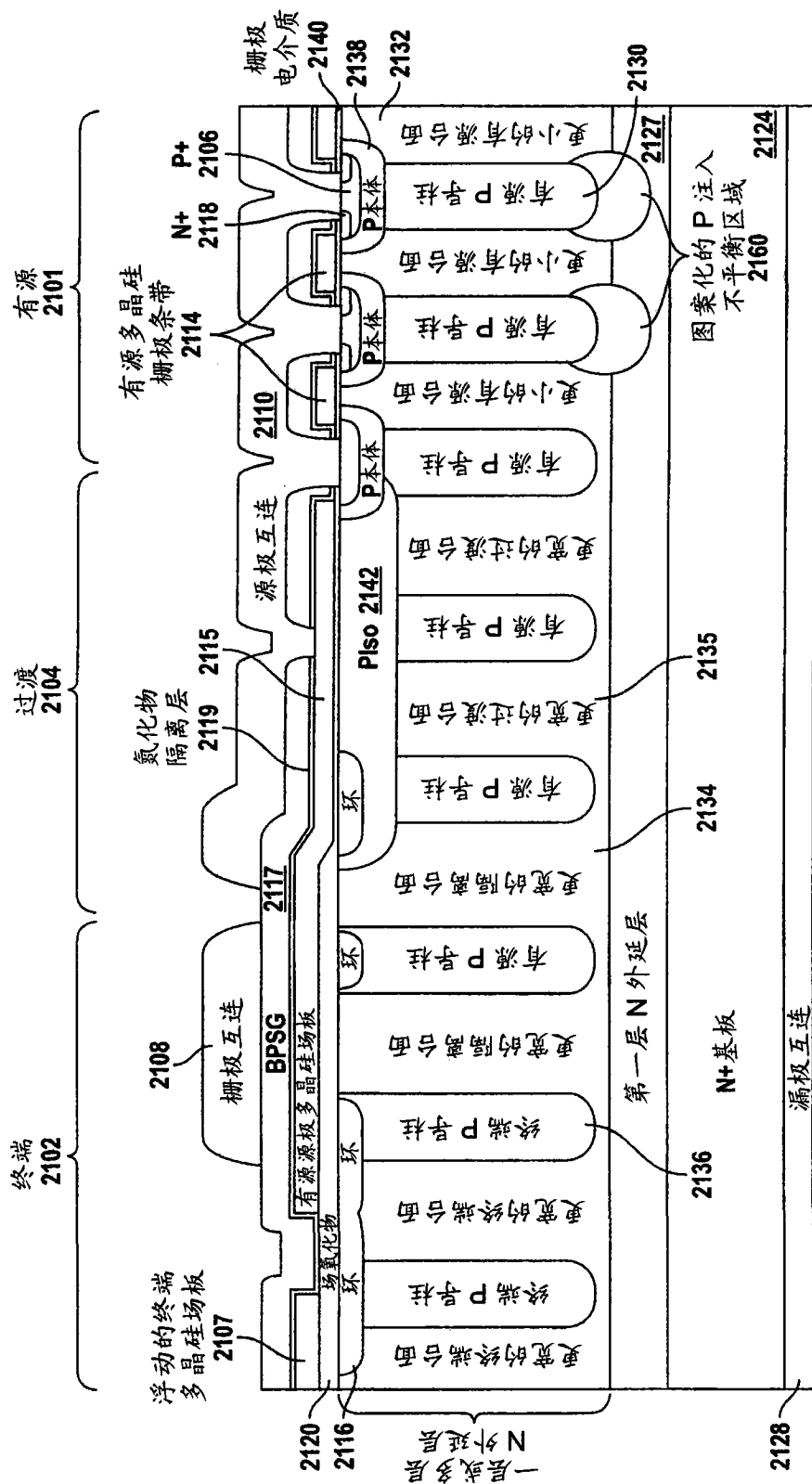


图 21B

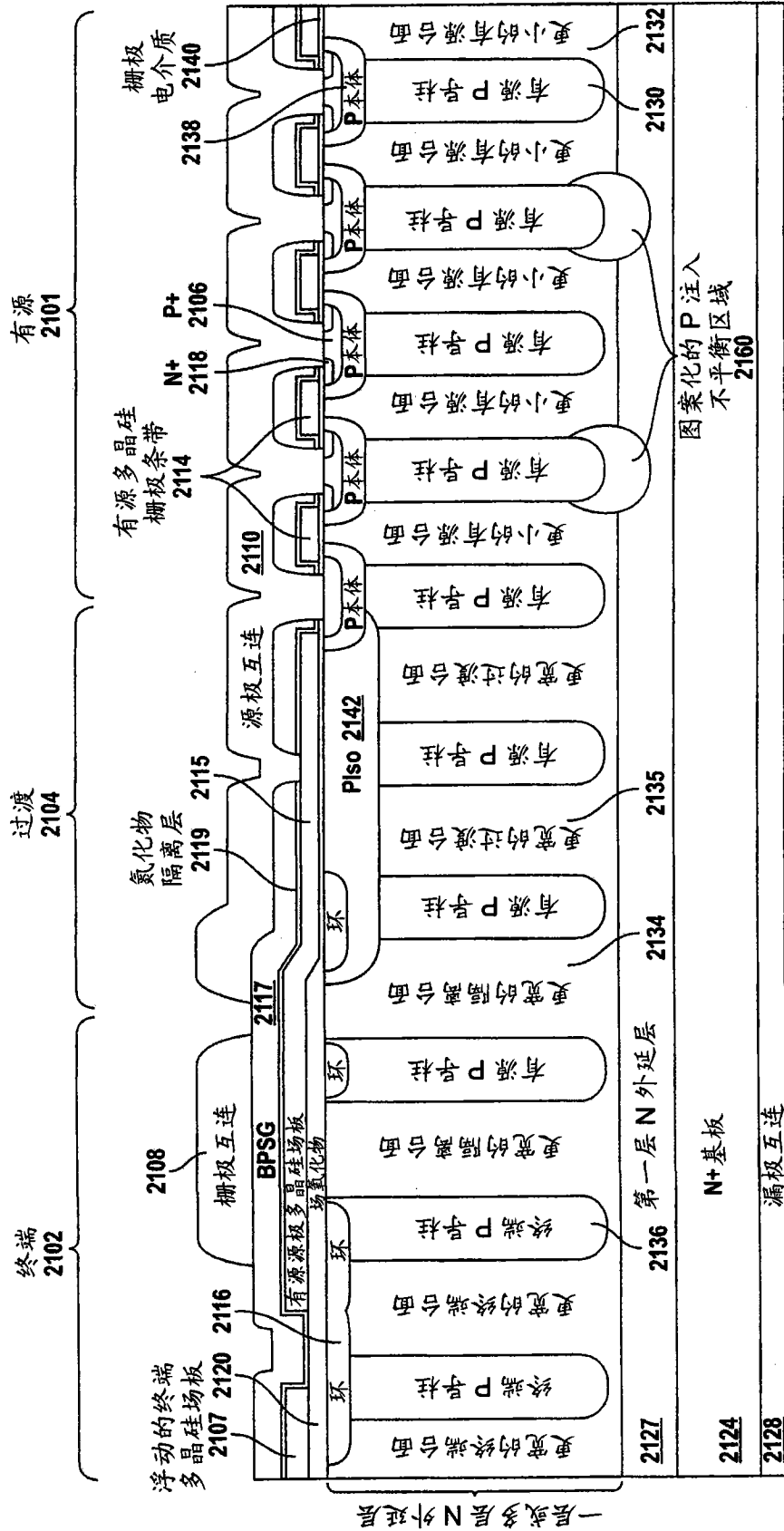


图 21C

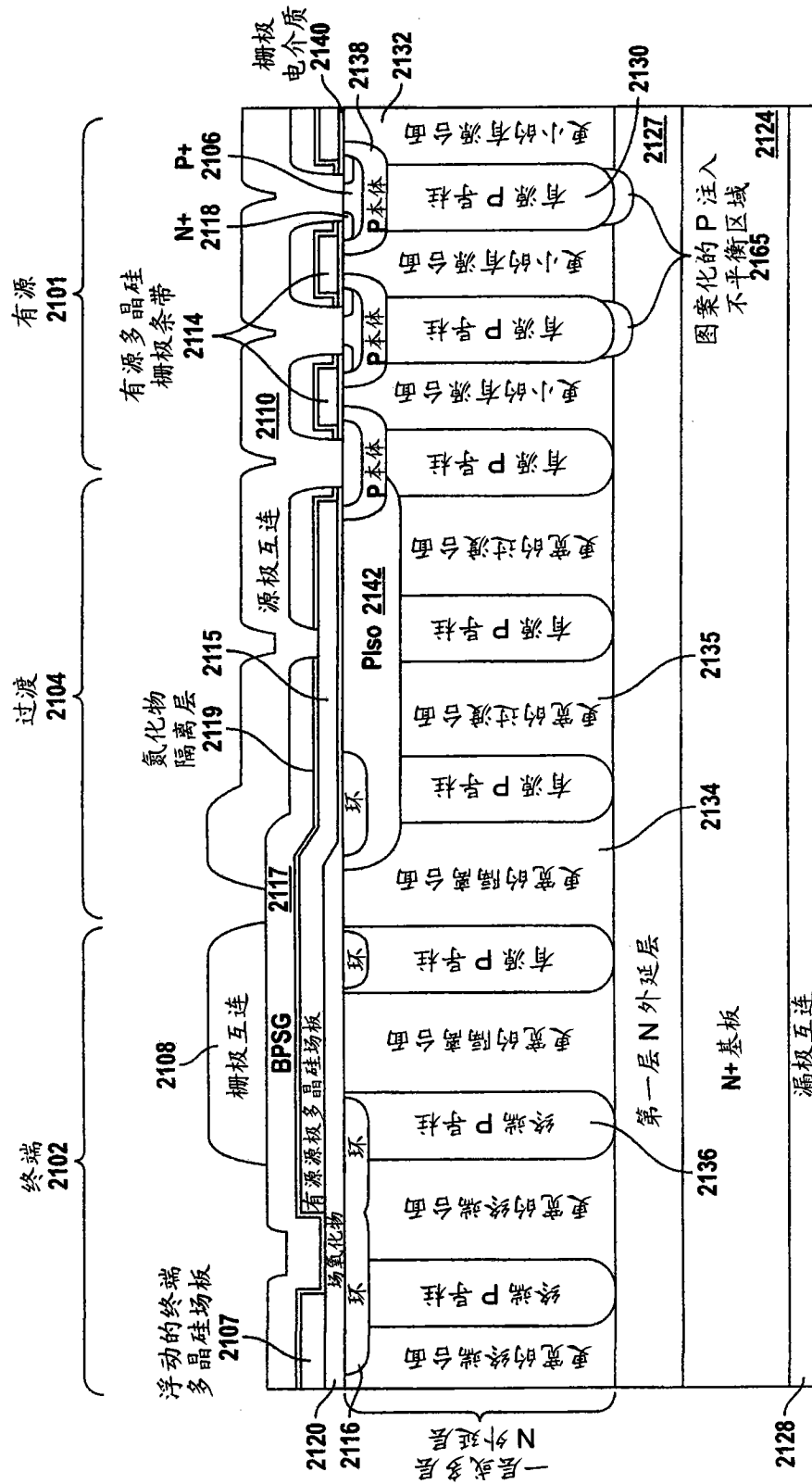


图 21D

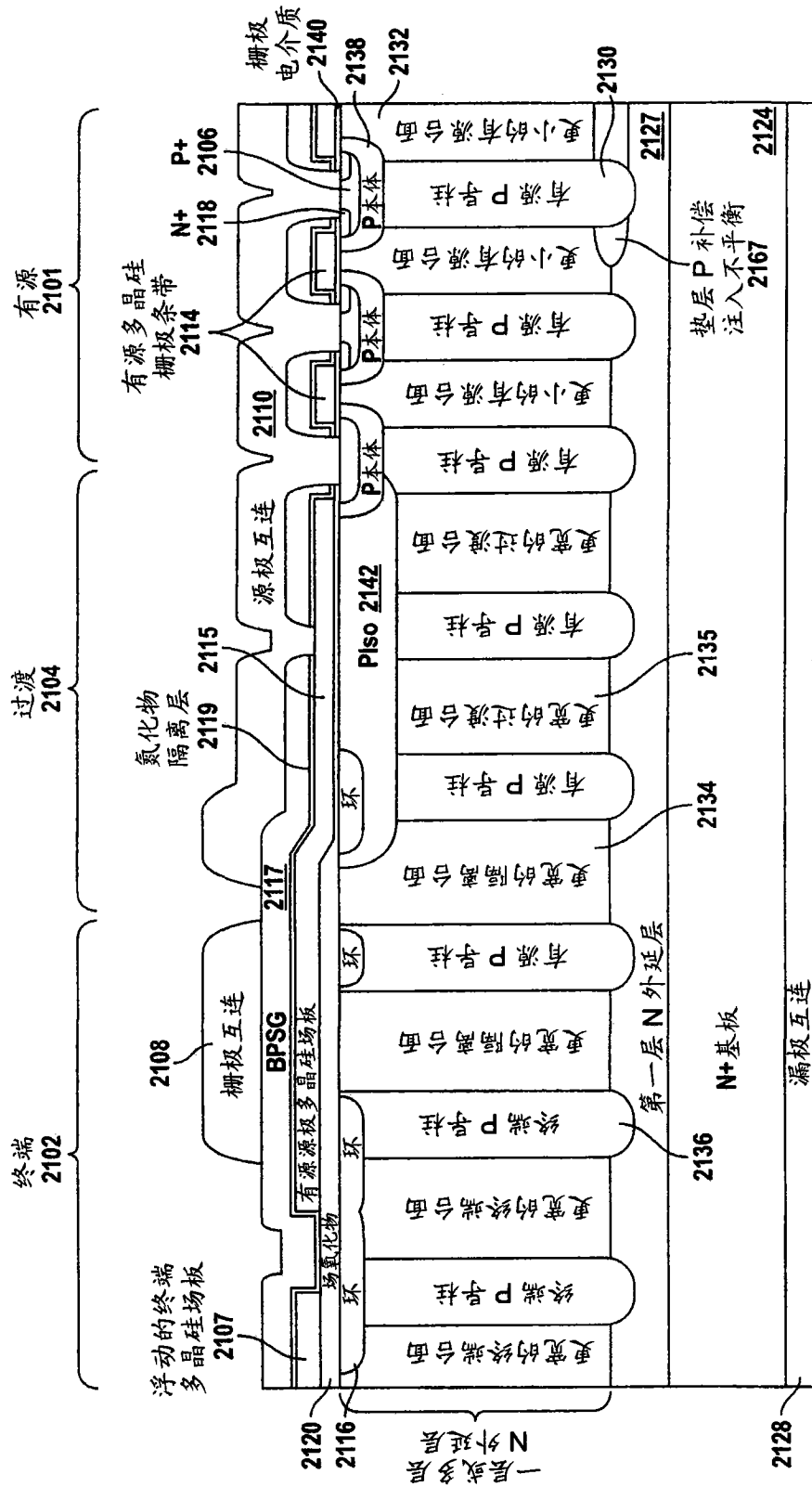


图 21E

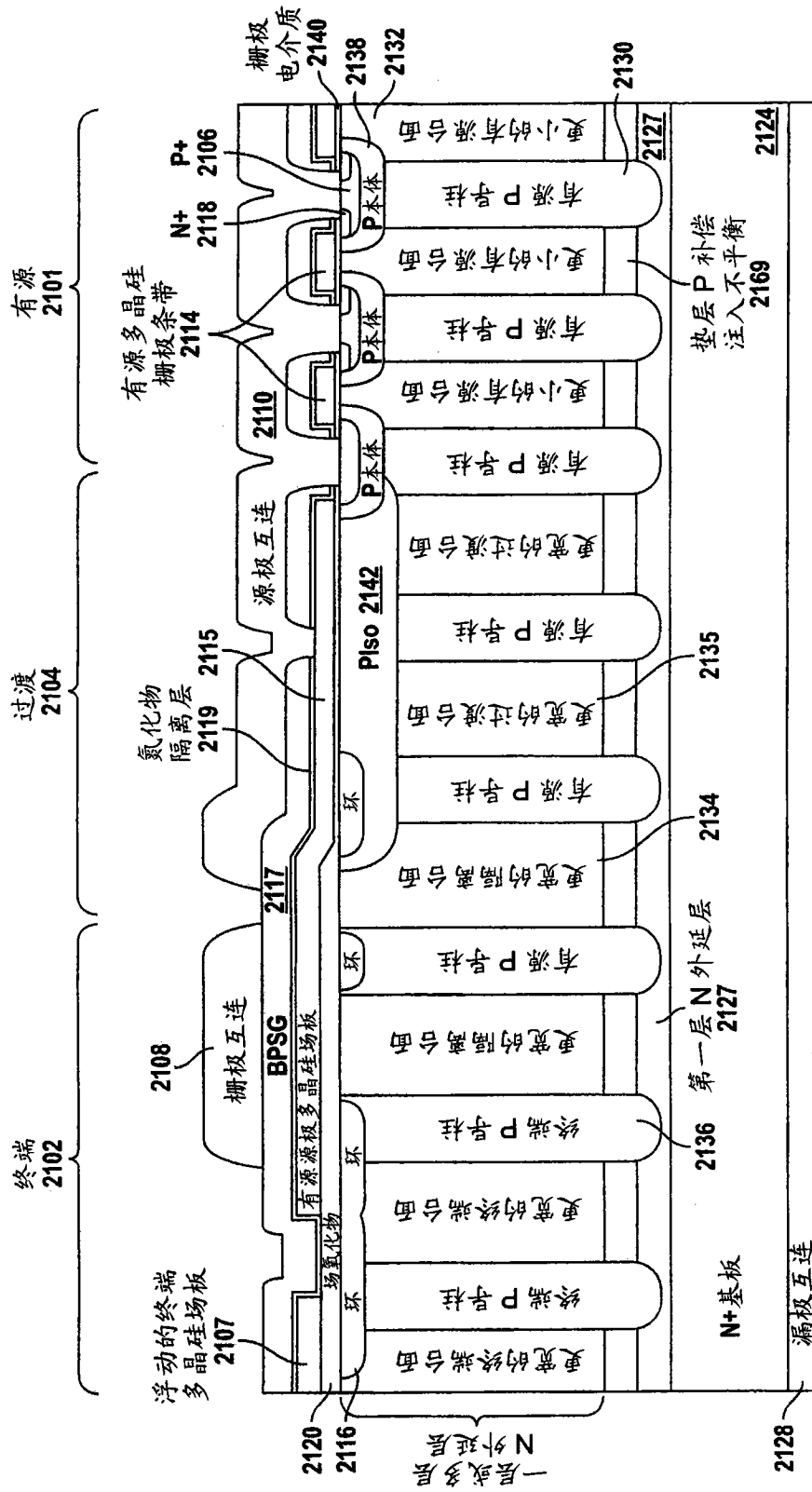


图 21F

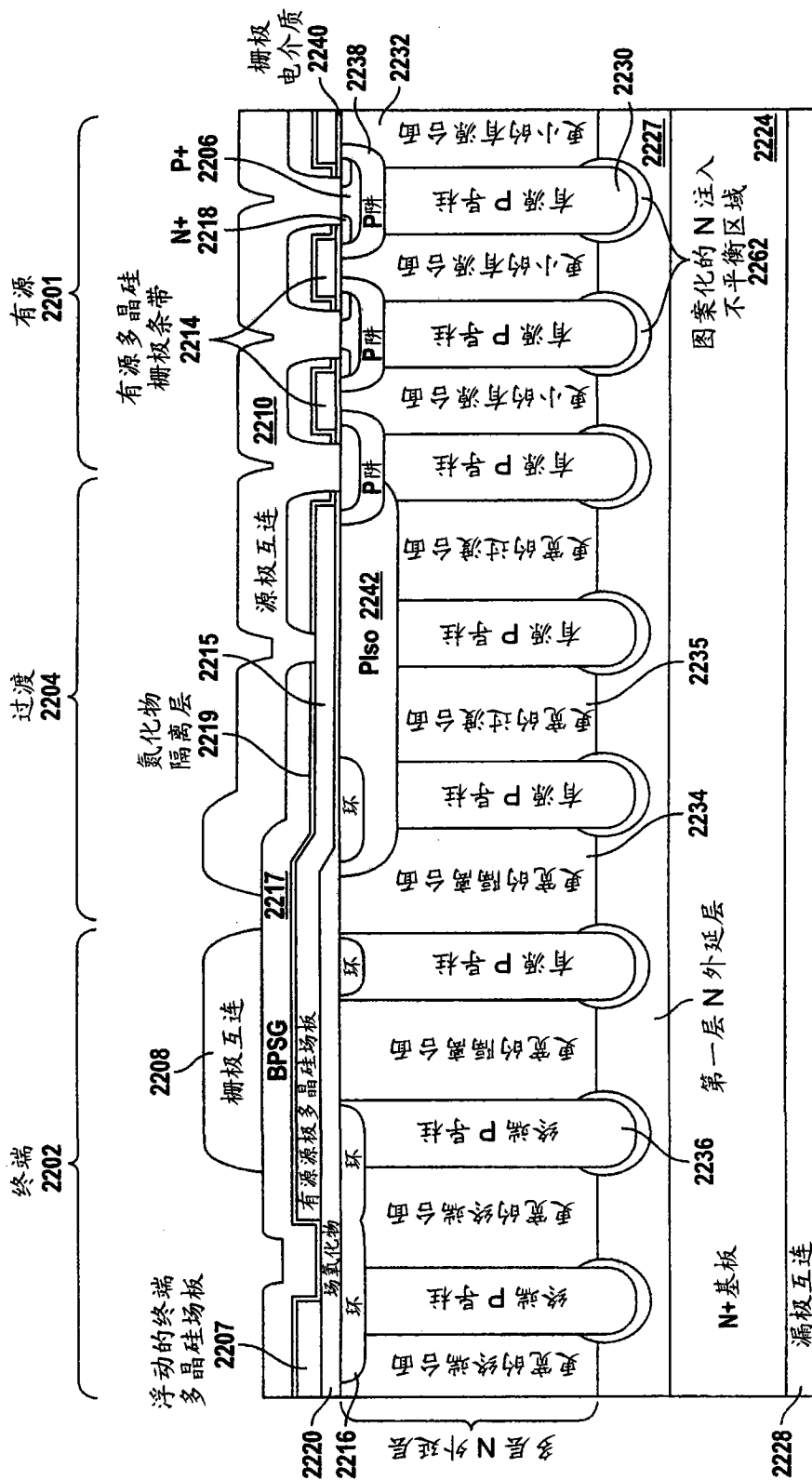


图 22B

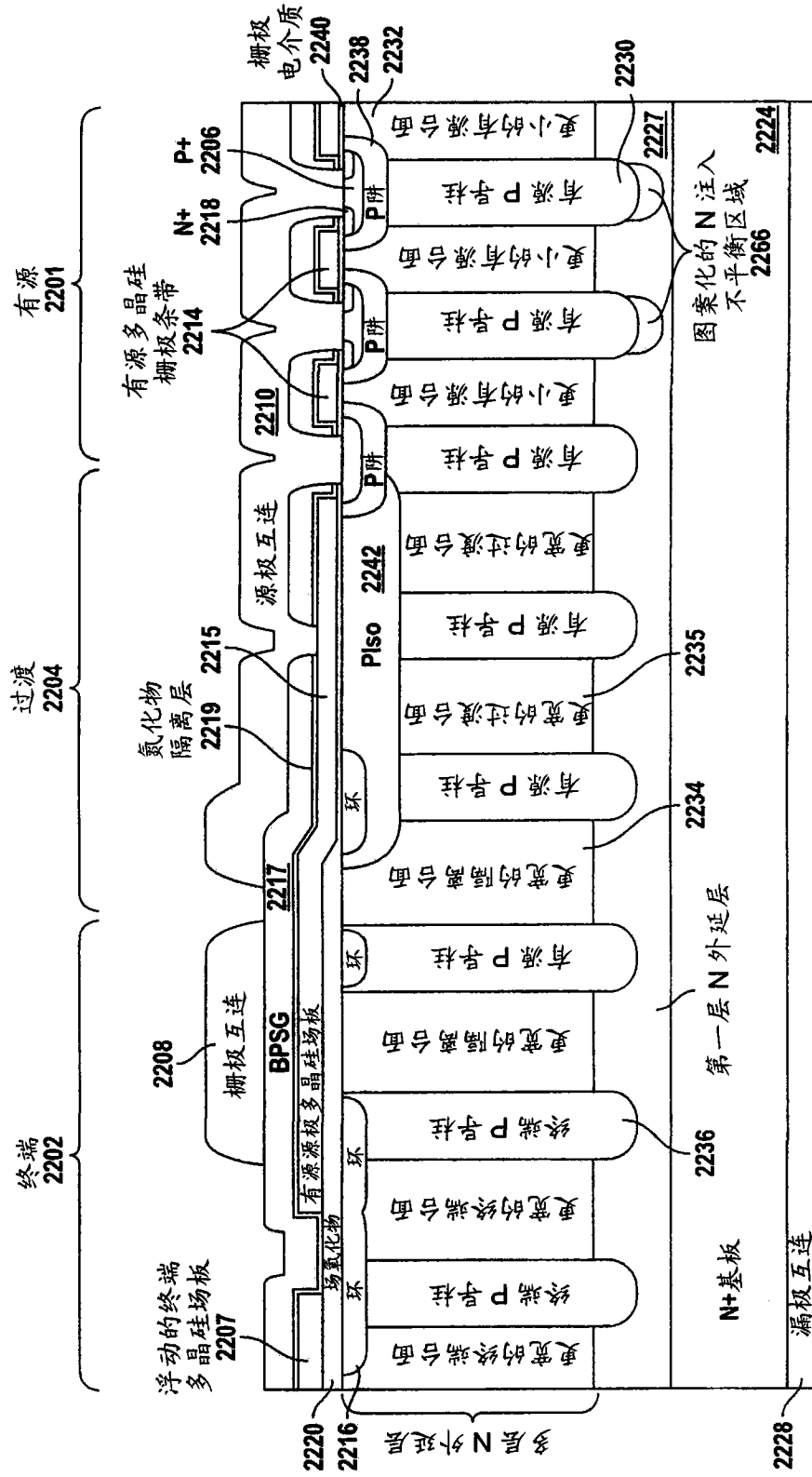


图 22D

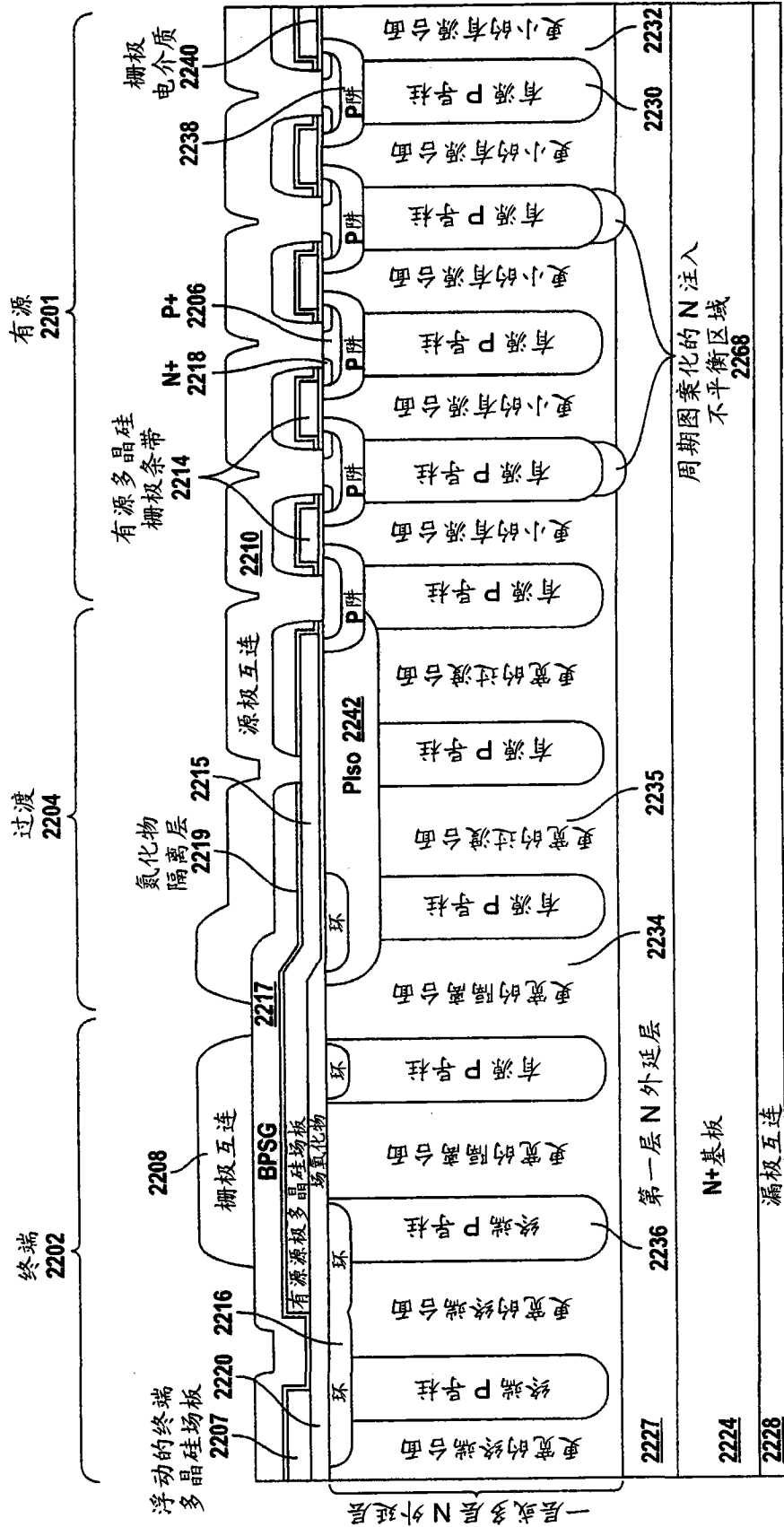


图 22E

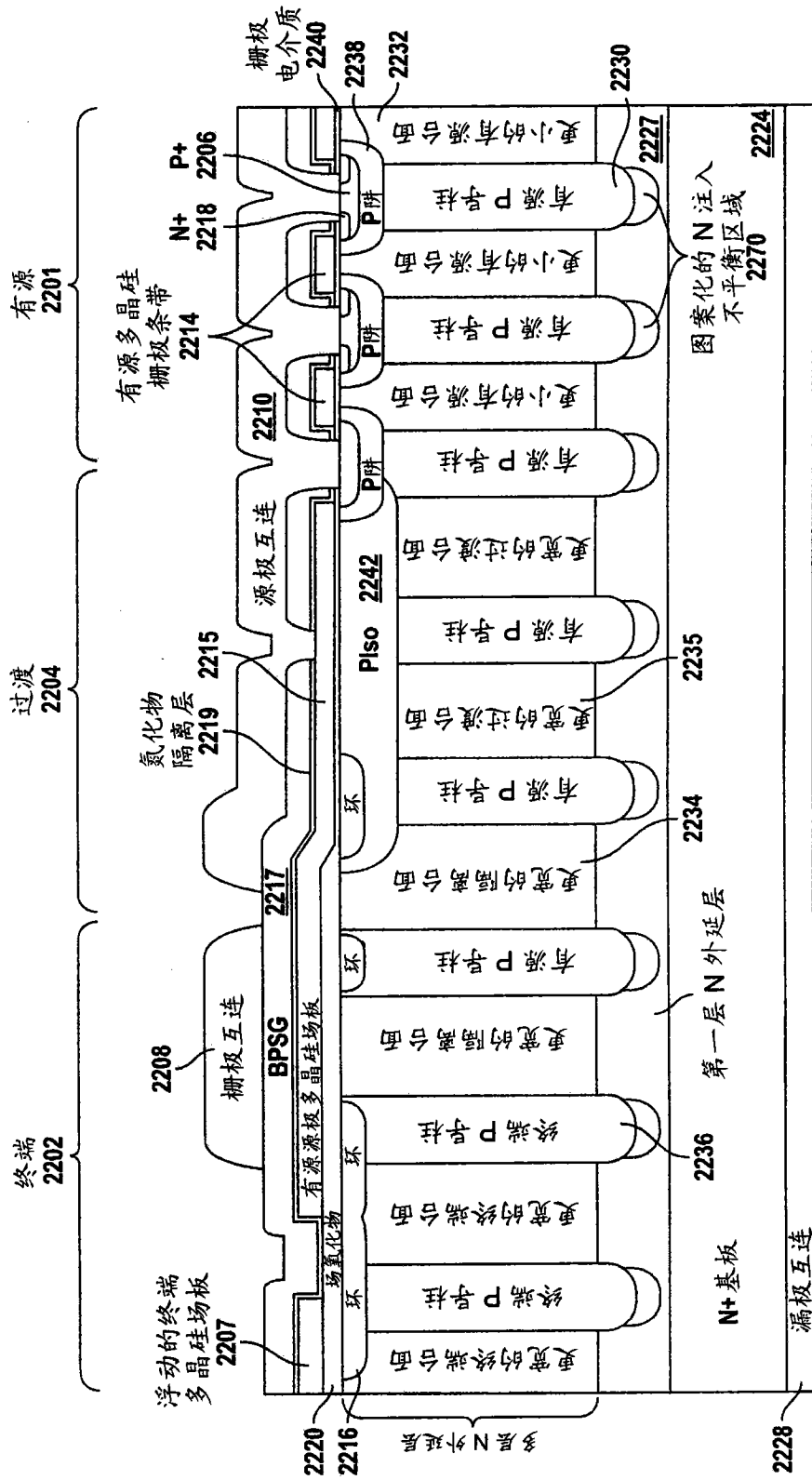


图 22F

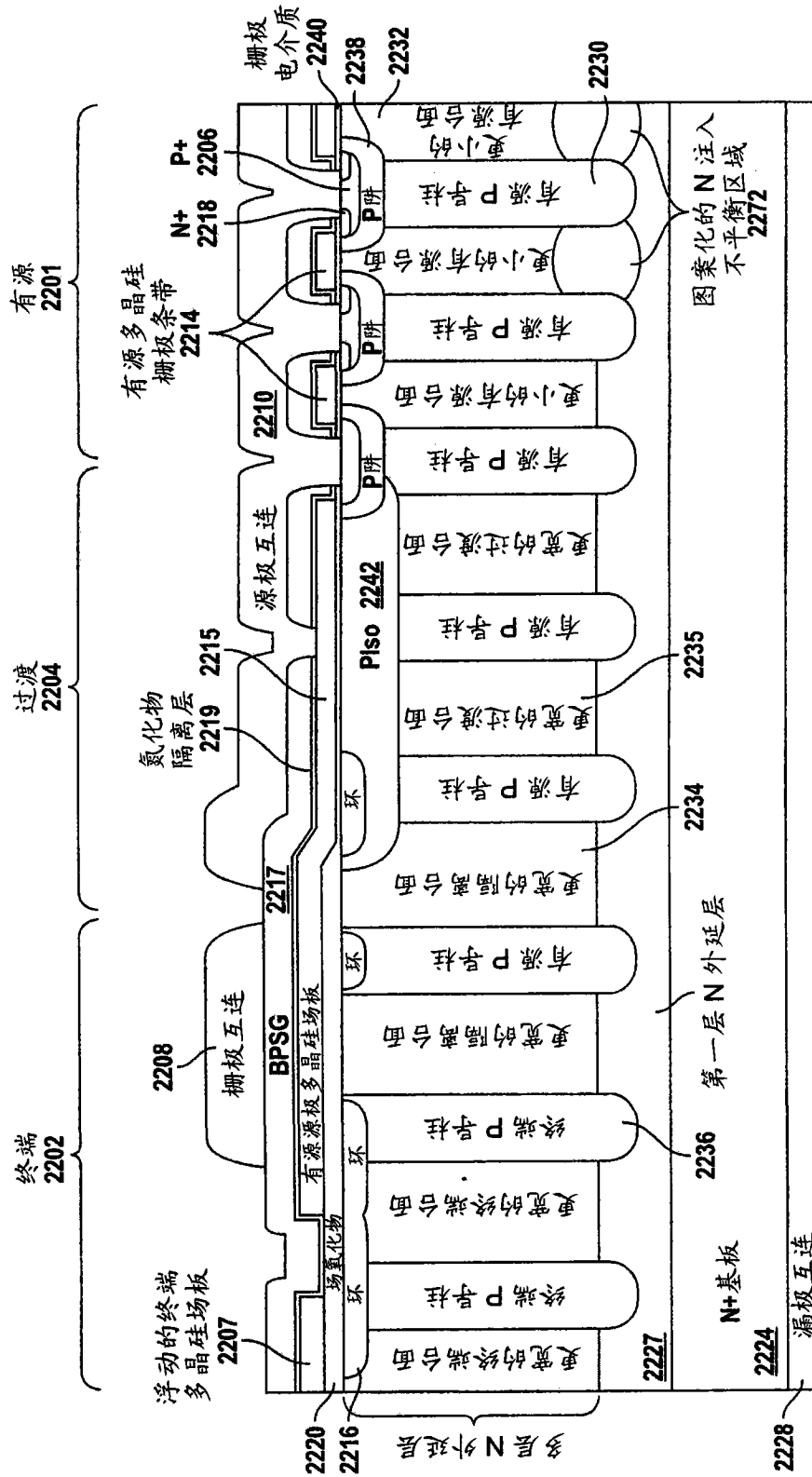


图 22G

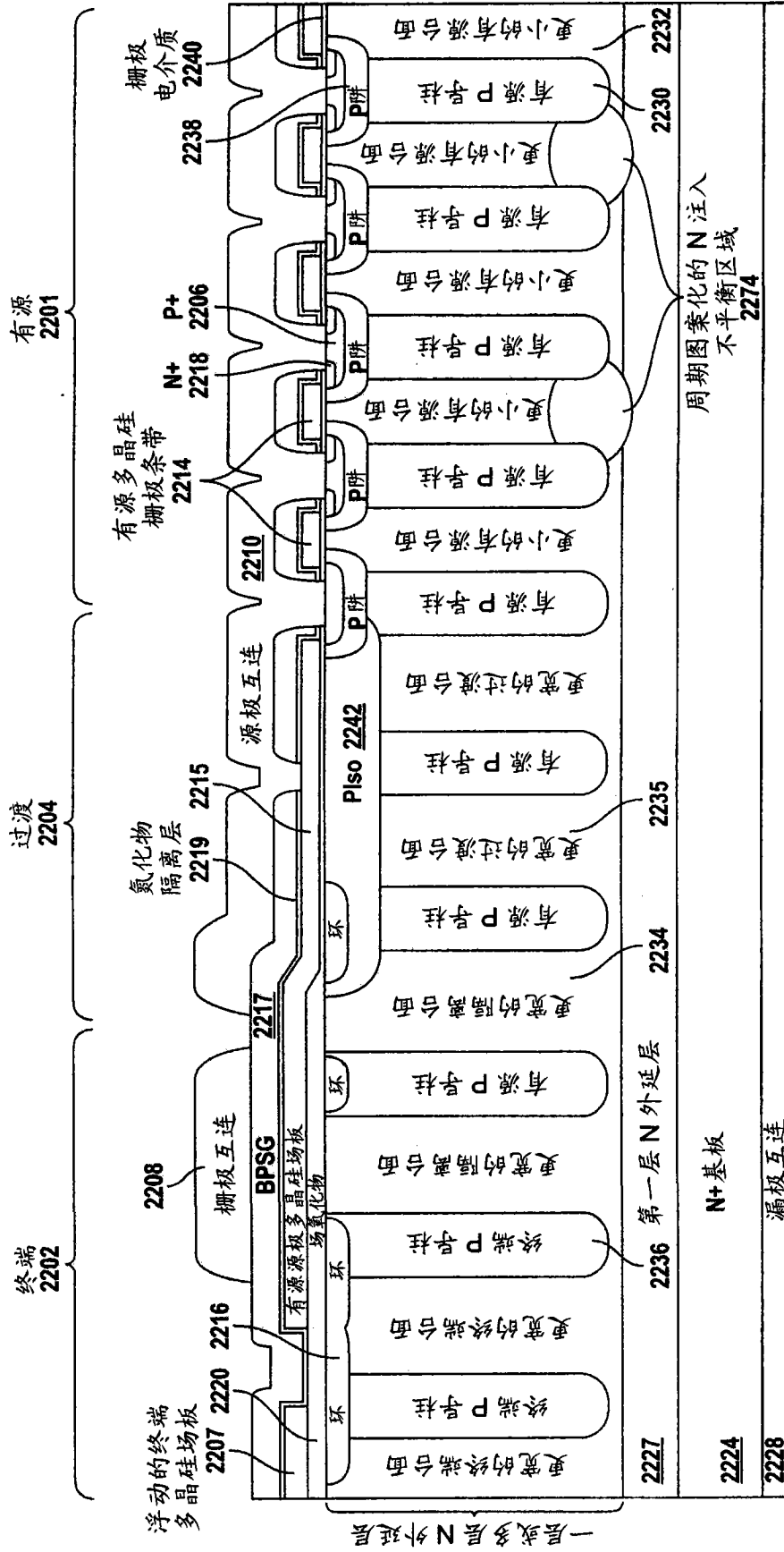


图 22H

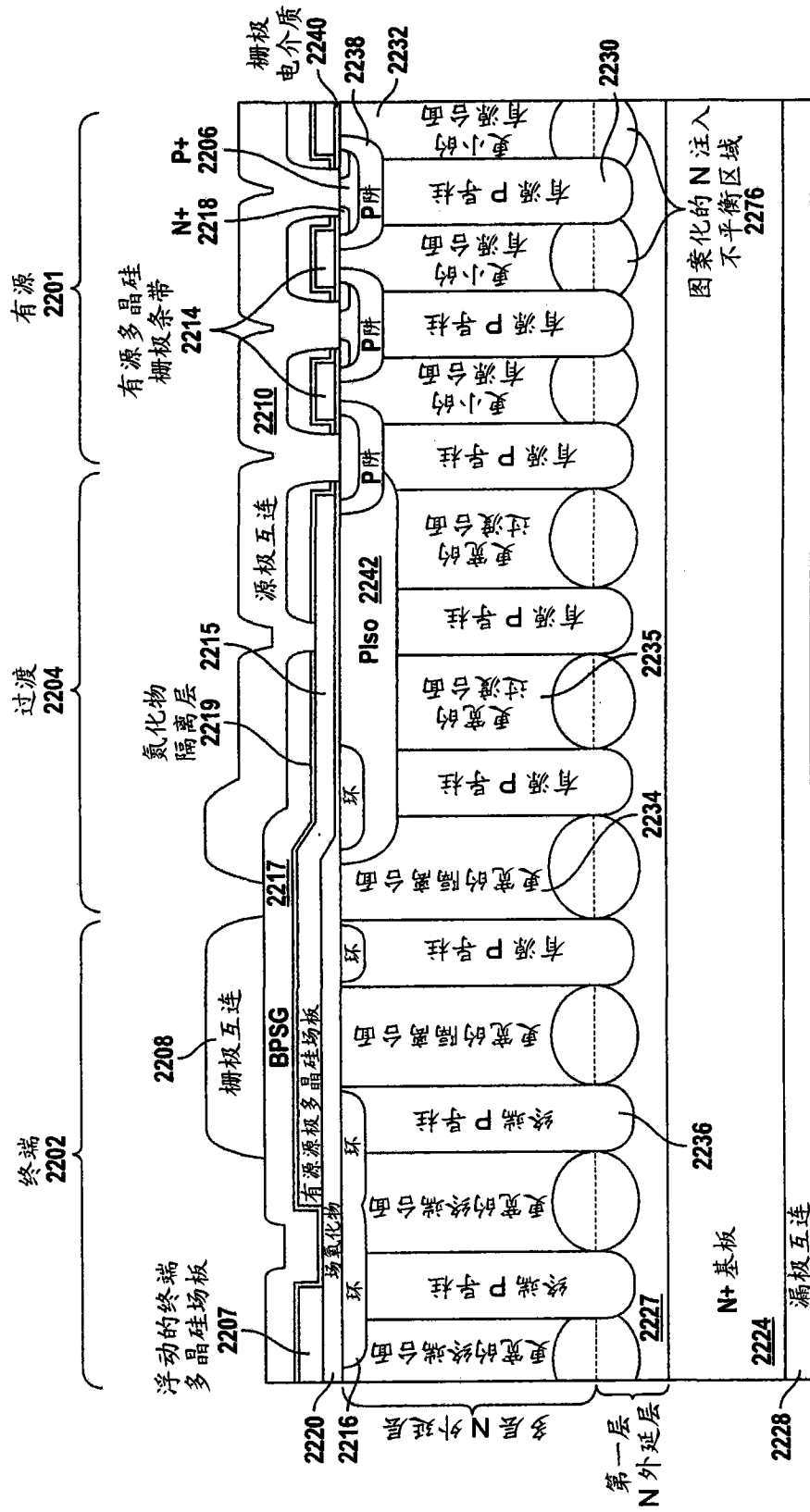


图 221

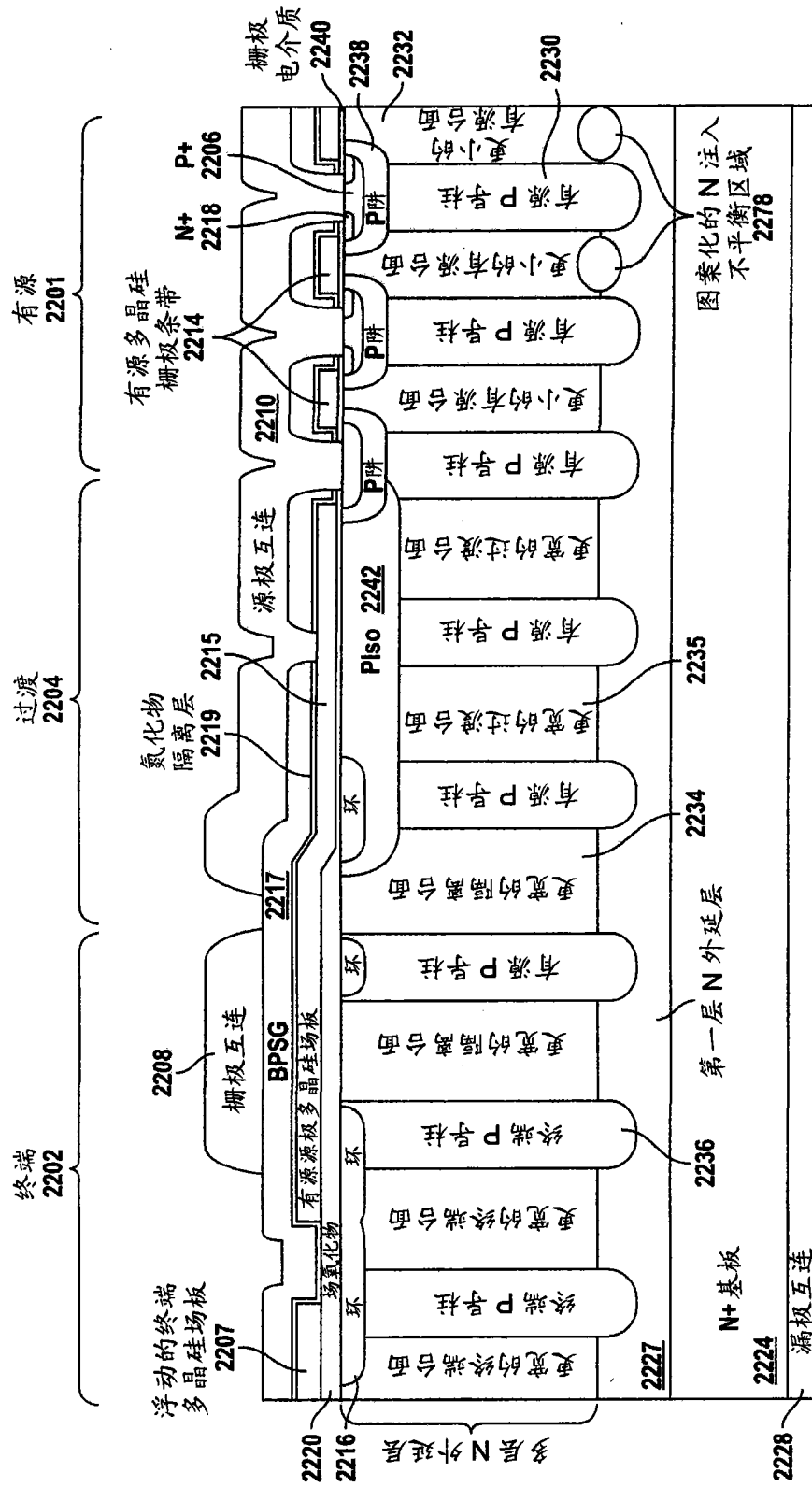


图 22J

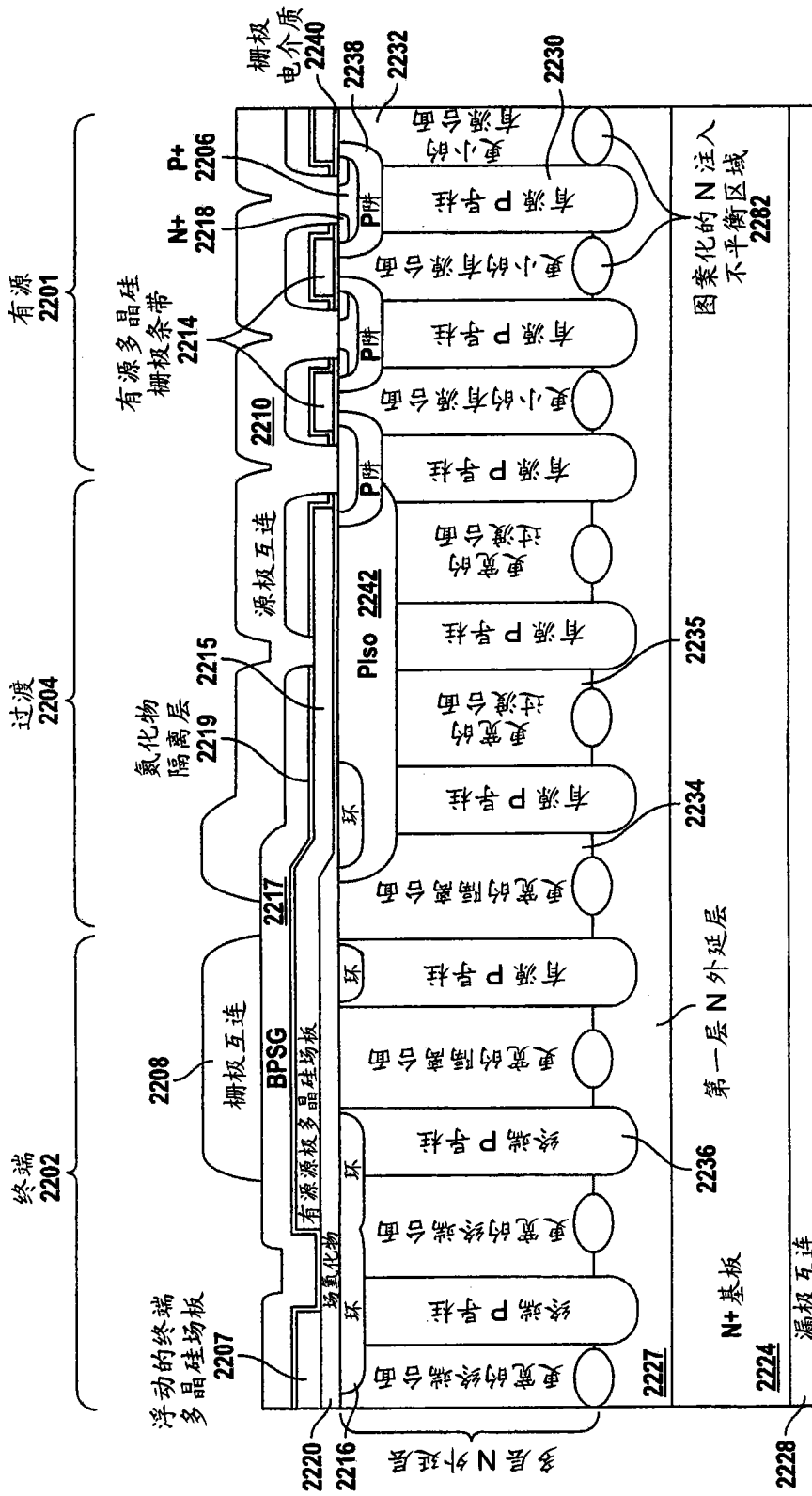


图 22L

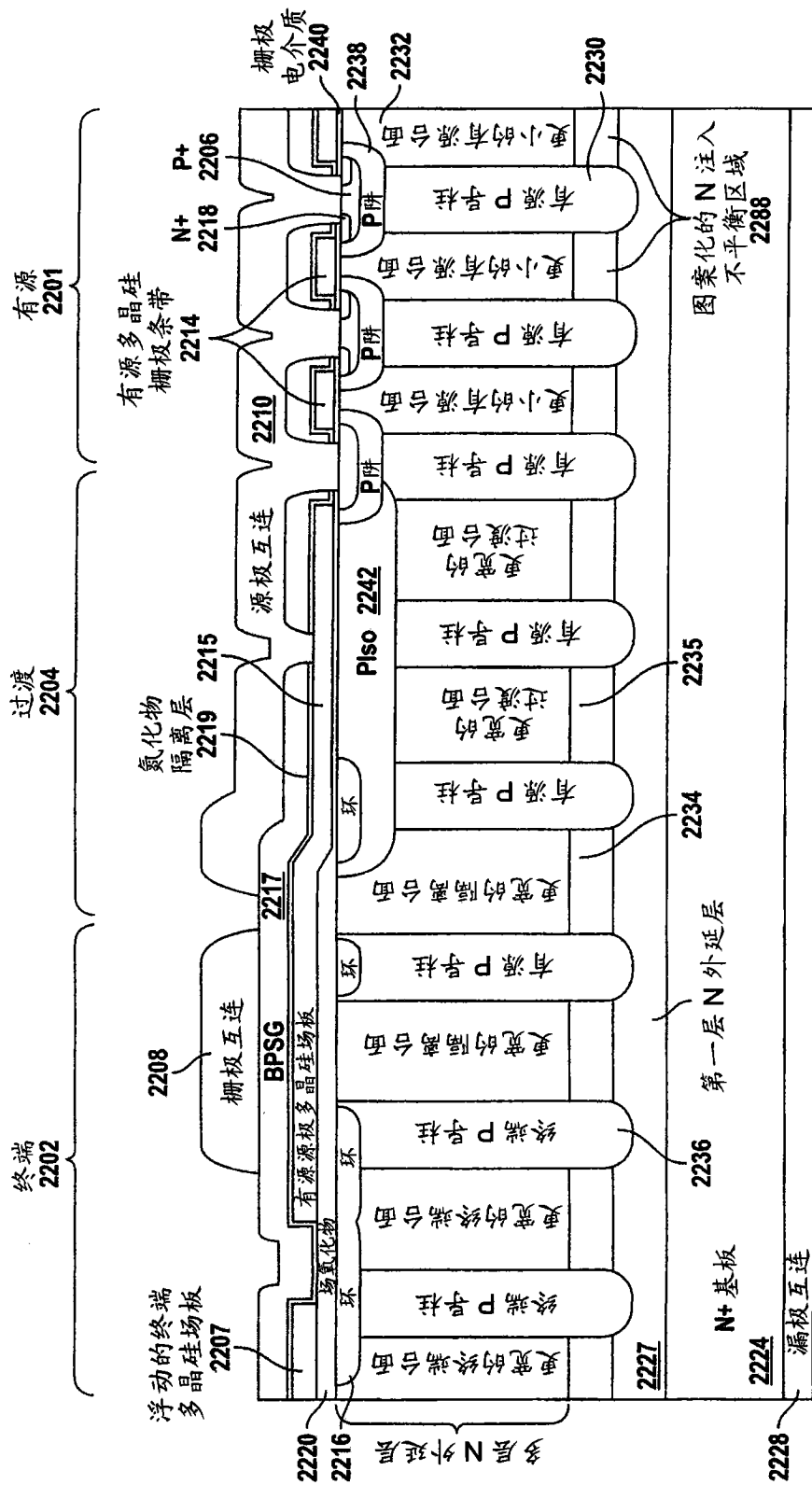


图 22N

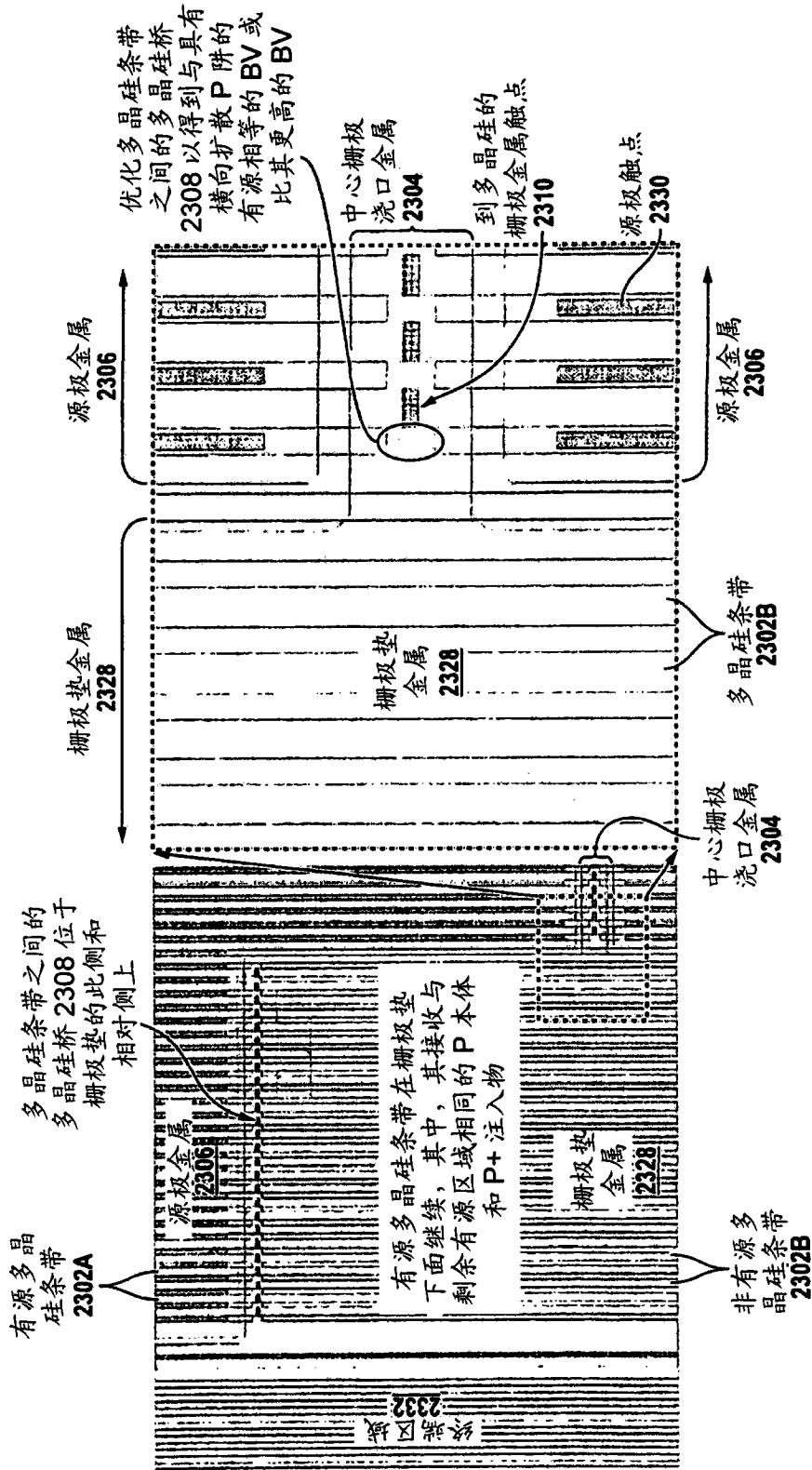


图 23

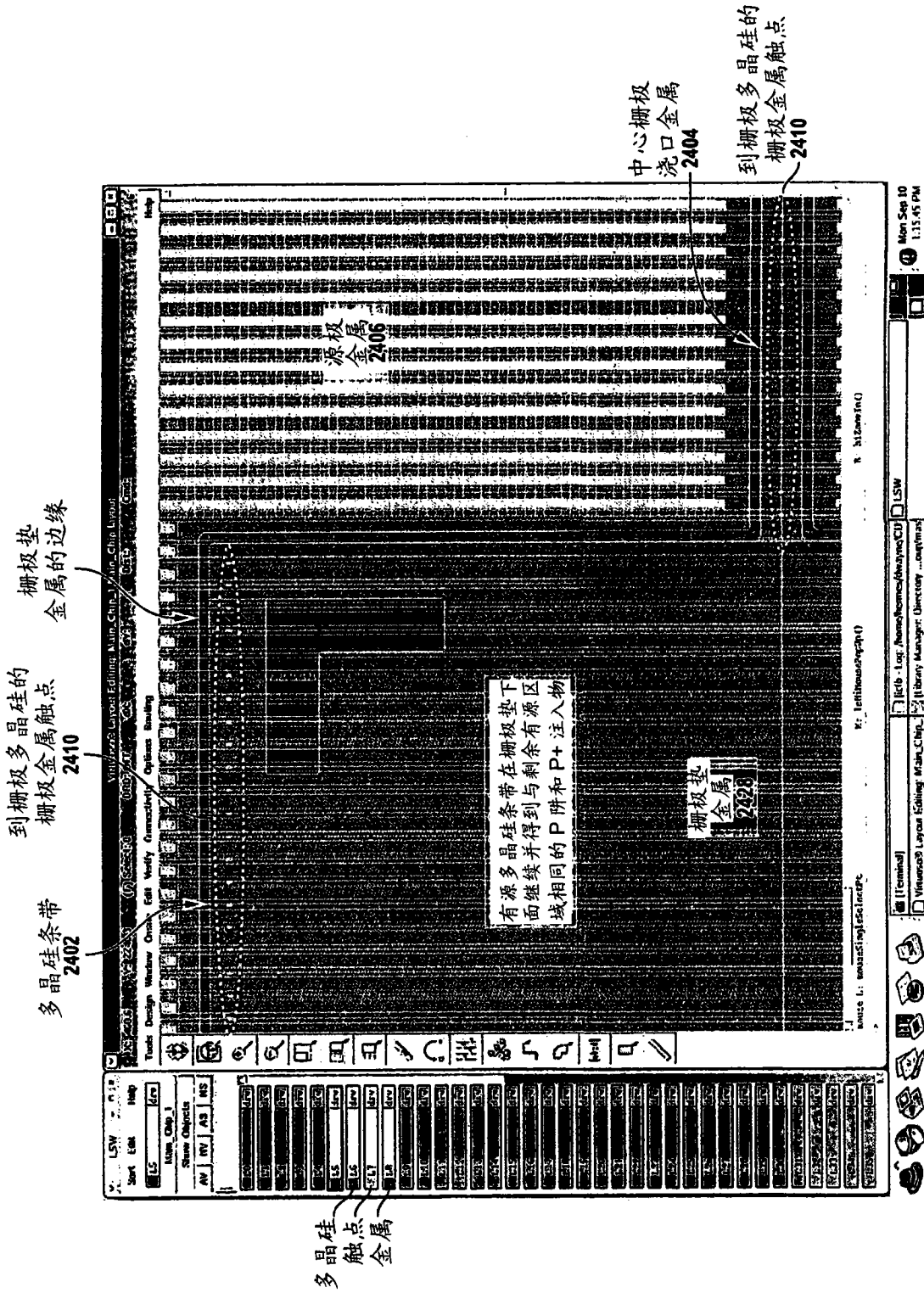


图 24

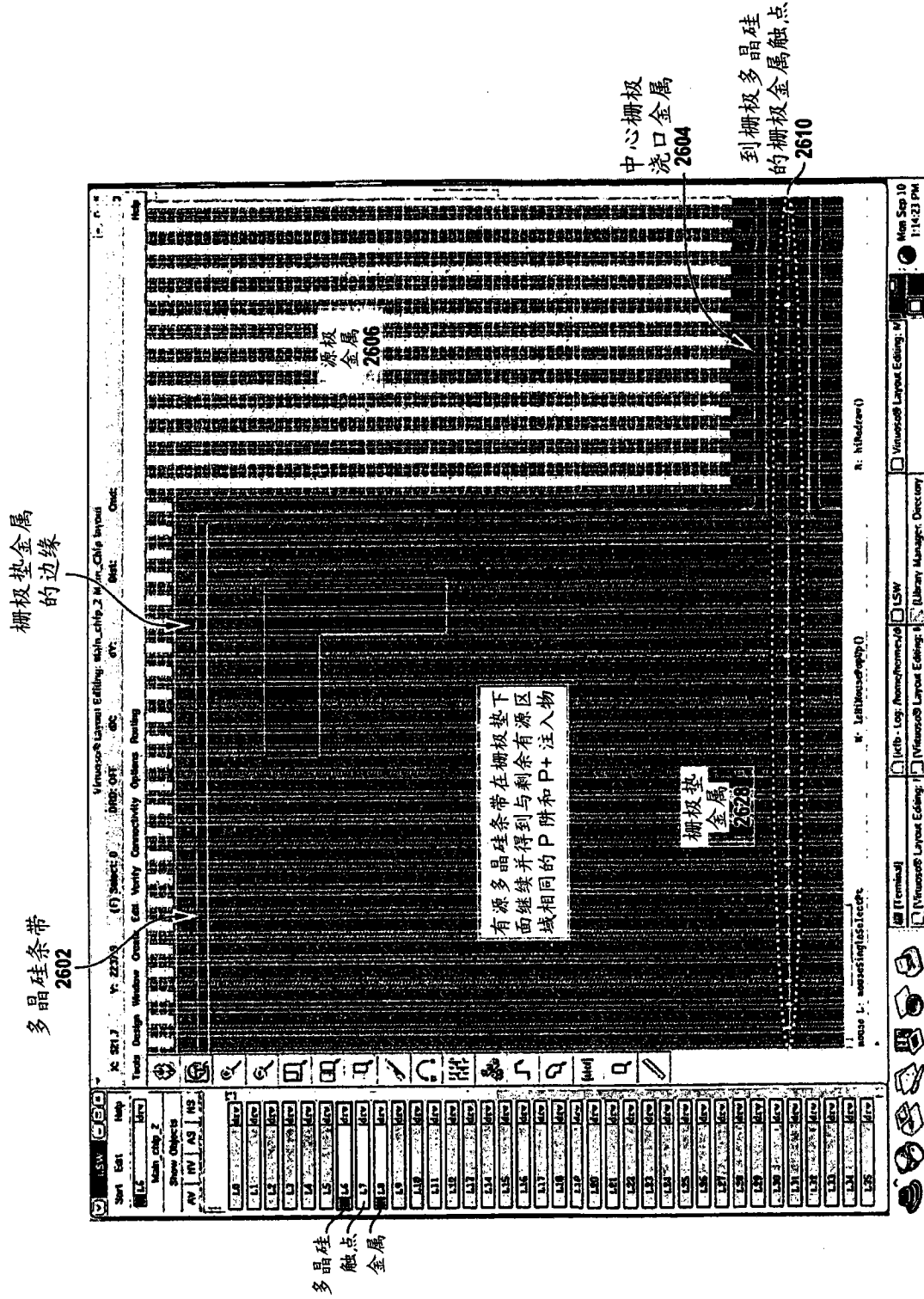


图 26

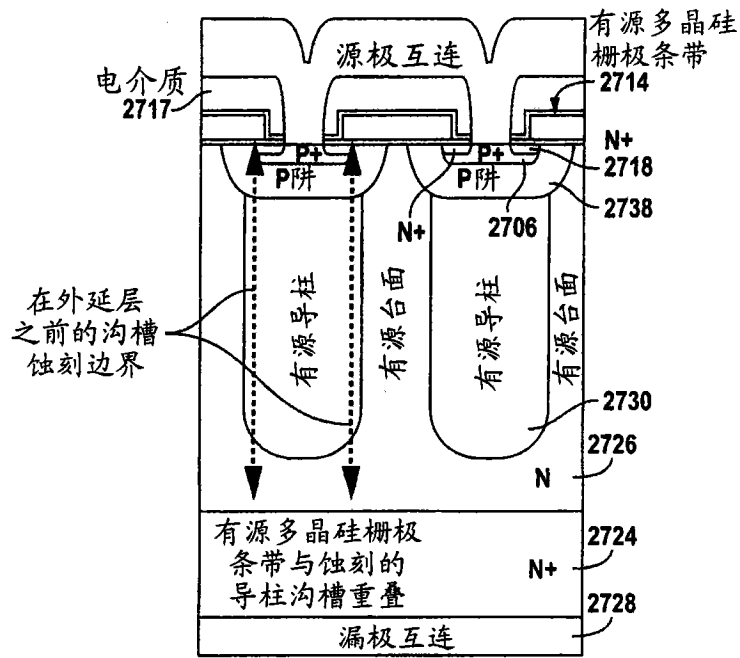


图 27A

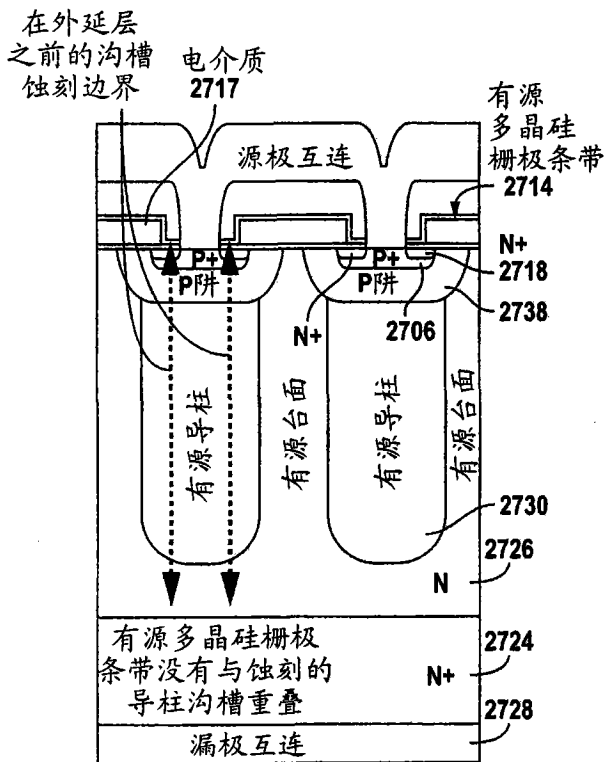


图 27B

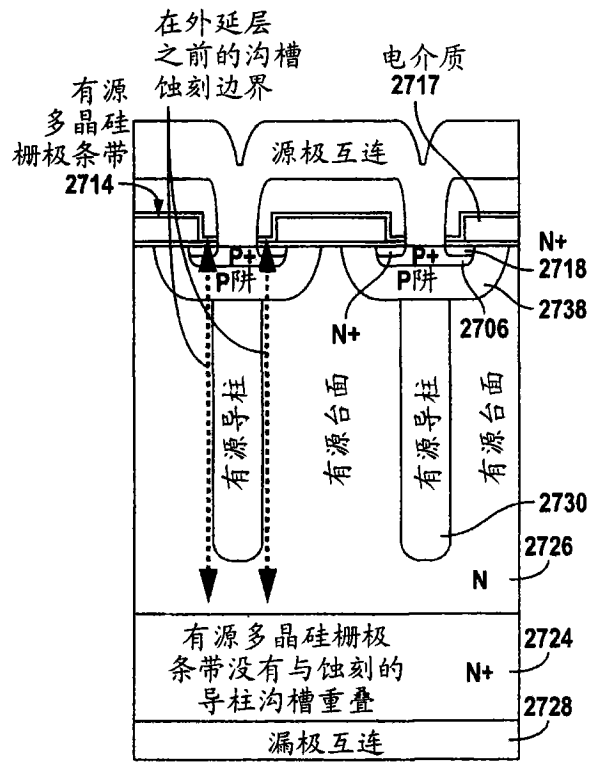


图 27C

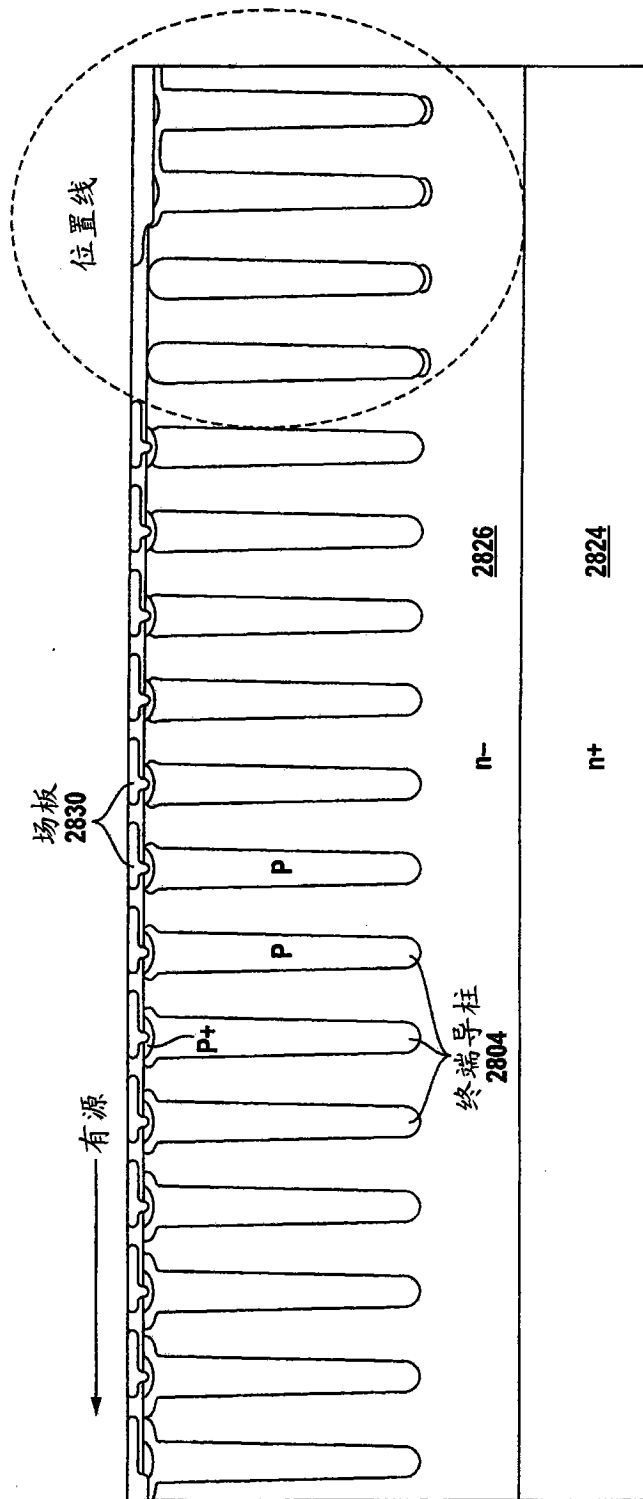


图 28

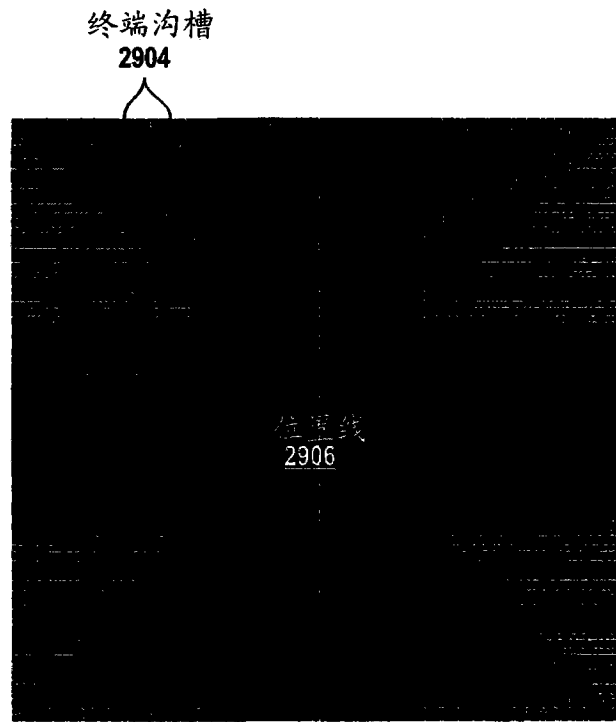


图 29

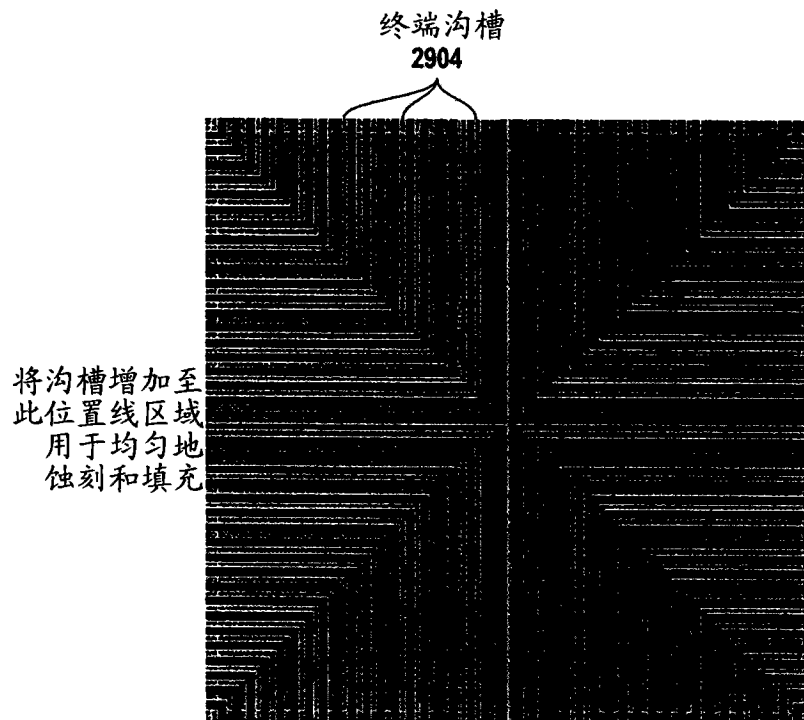


图 30

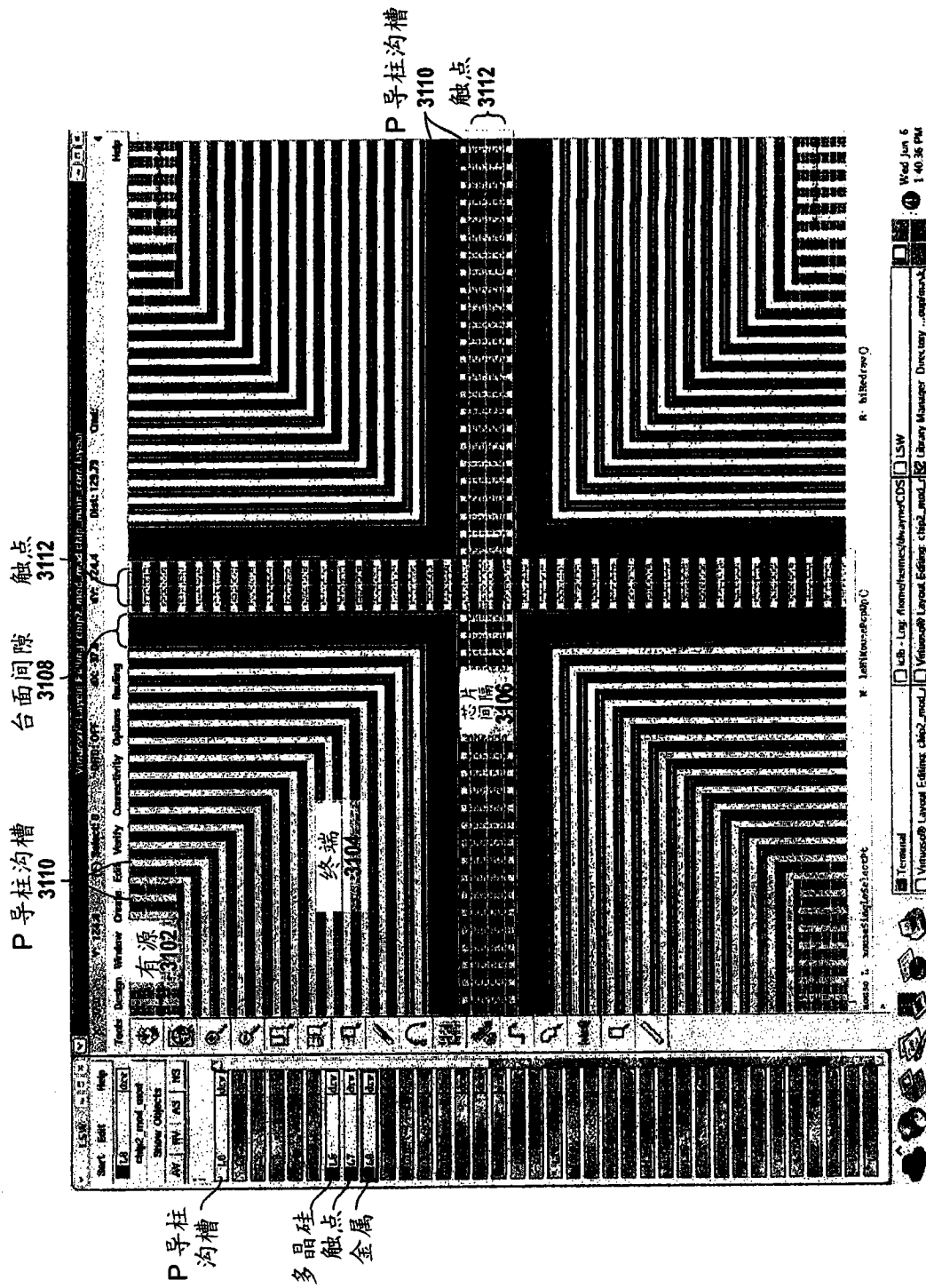


图 31

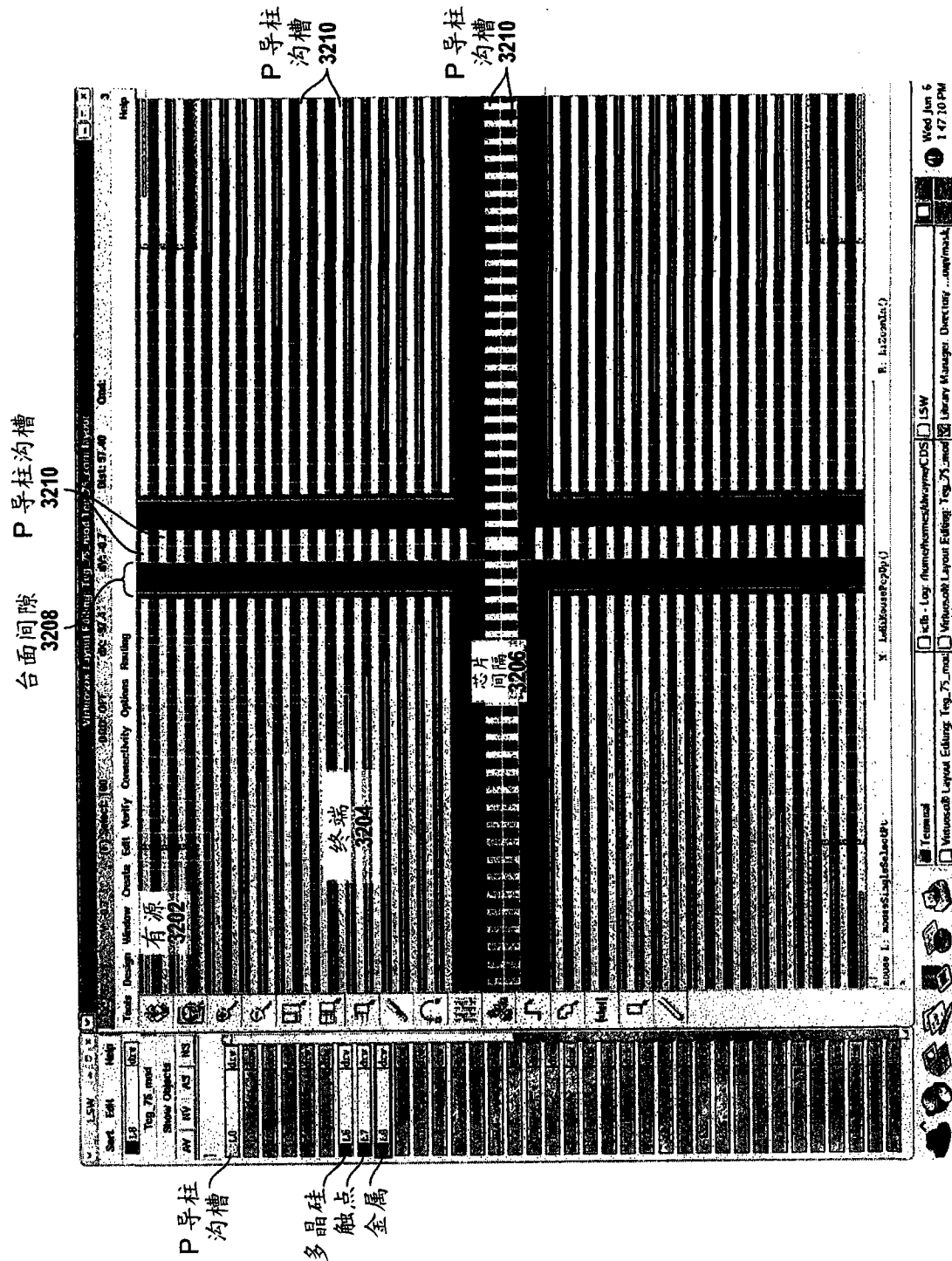


图 32

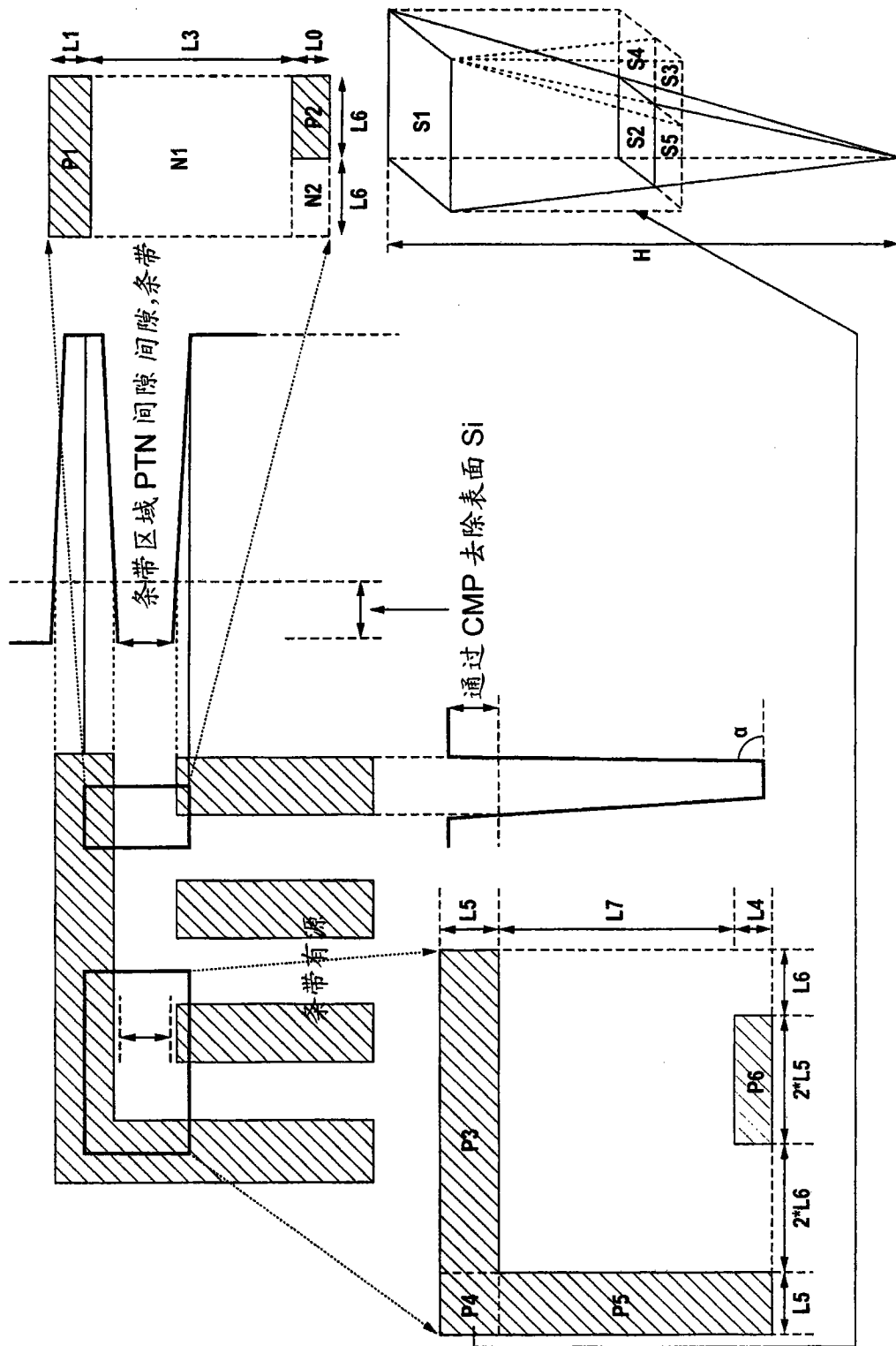


图 33

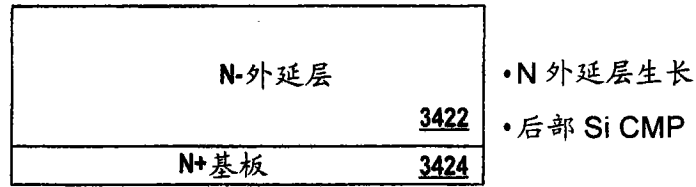


图 34A

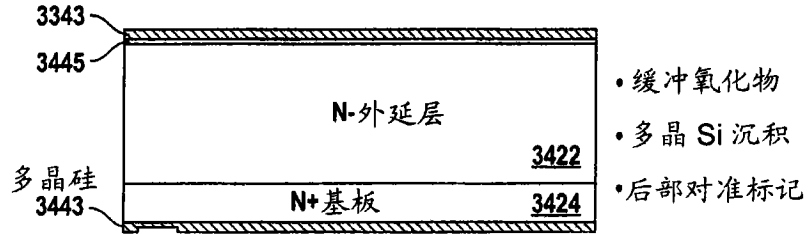


图 34B

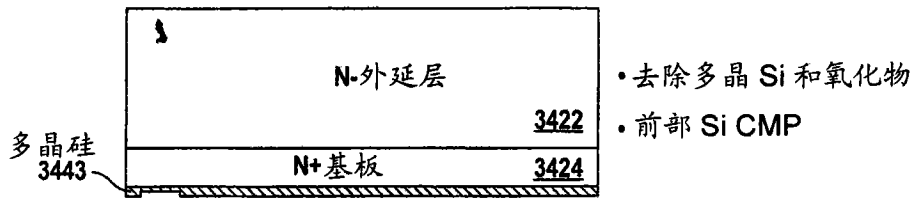


图 34C

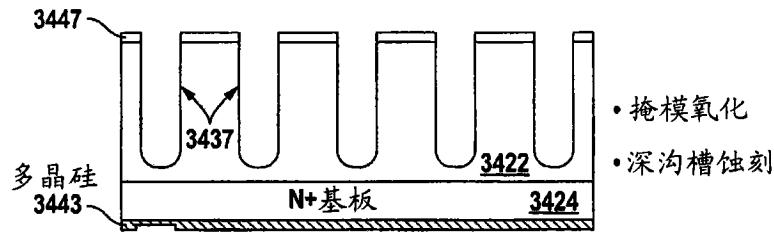


图 34D

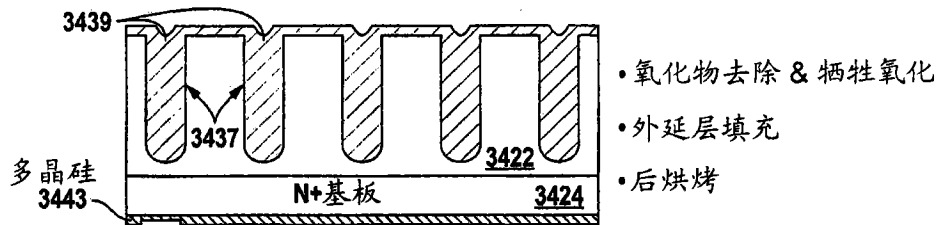


图 34E

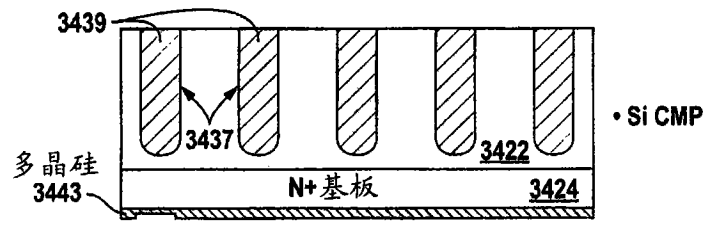


图 34F

- 初始氧化
- 本体 & 环注入
- 场氧化 & 有源掩模
- 气态氧 & 多晶硅
- P 阱 & 驱入
- N+ 注入
- 氮化物沉积 & P+ 注入
- BPSG 沉积 & 回流
- 接触 & 金属化
- BSG & 后注入
- 烘烤 & 后金属

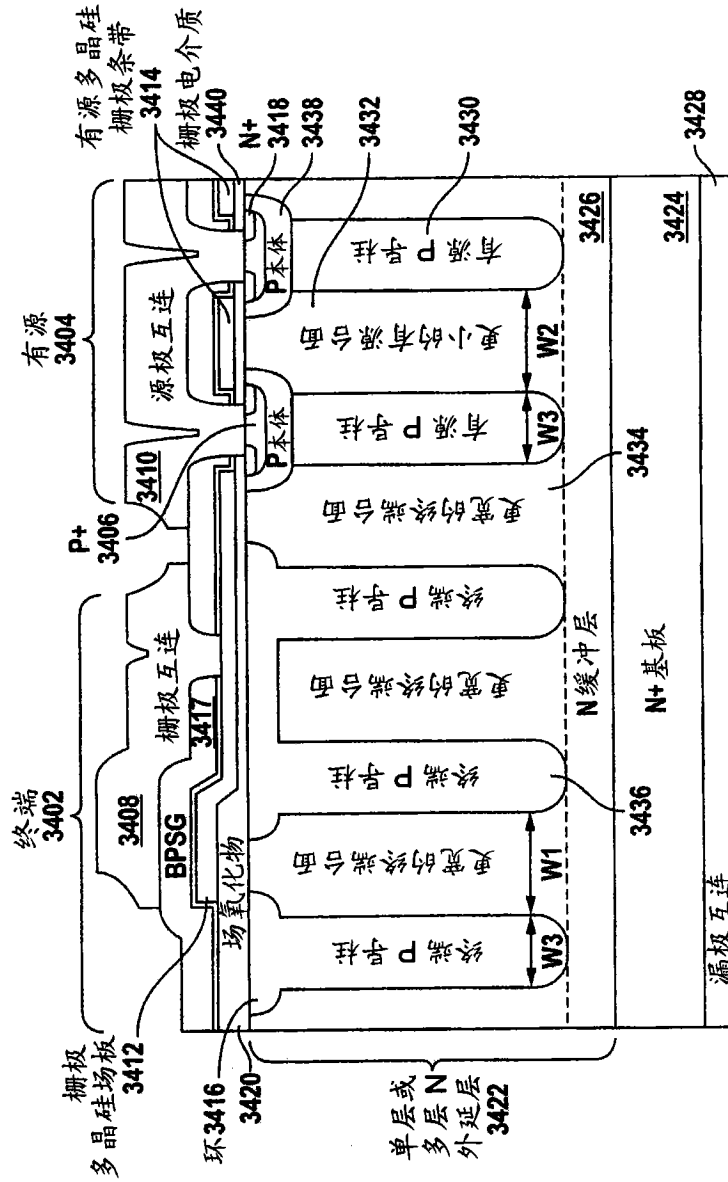


图 34G

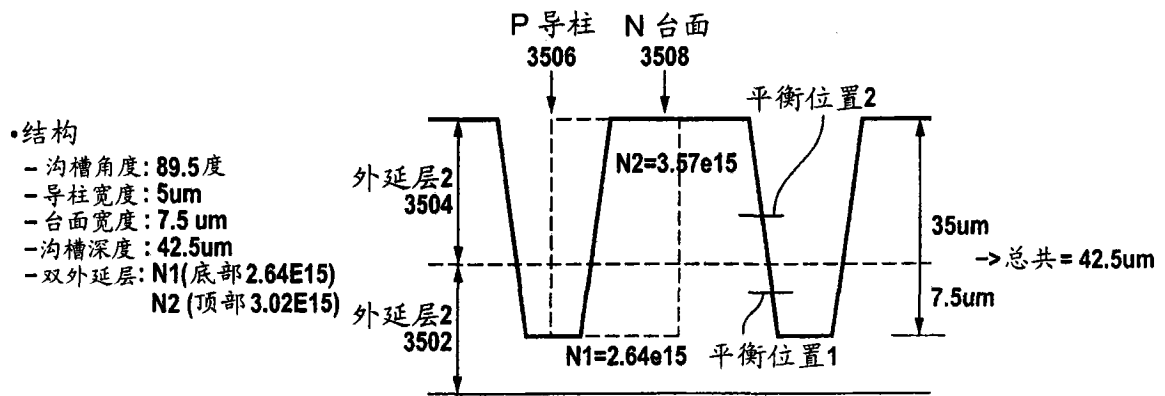


图 35A

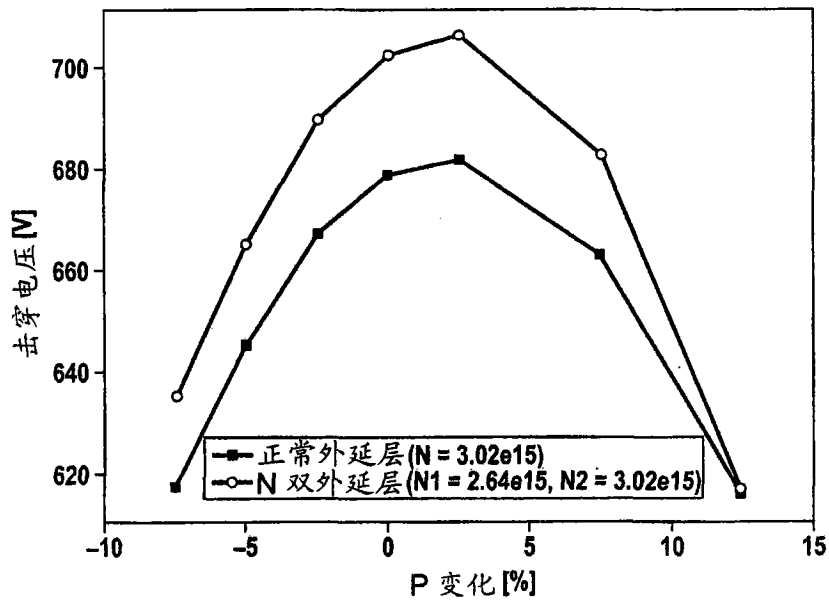


图 35B

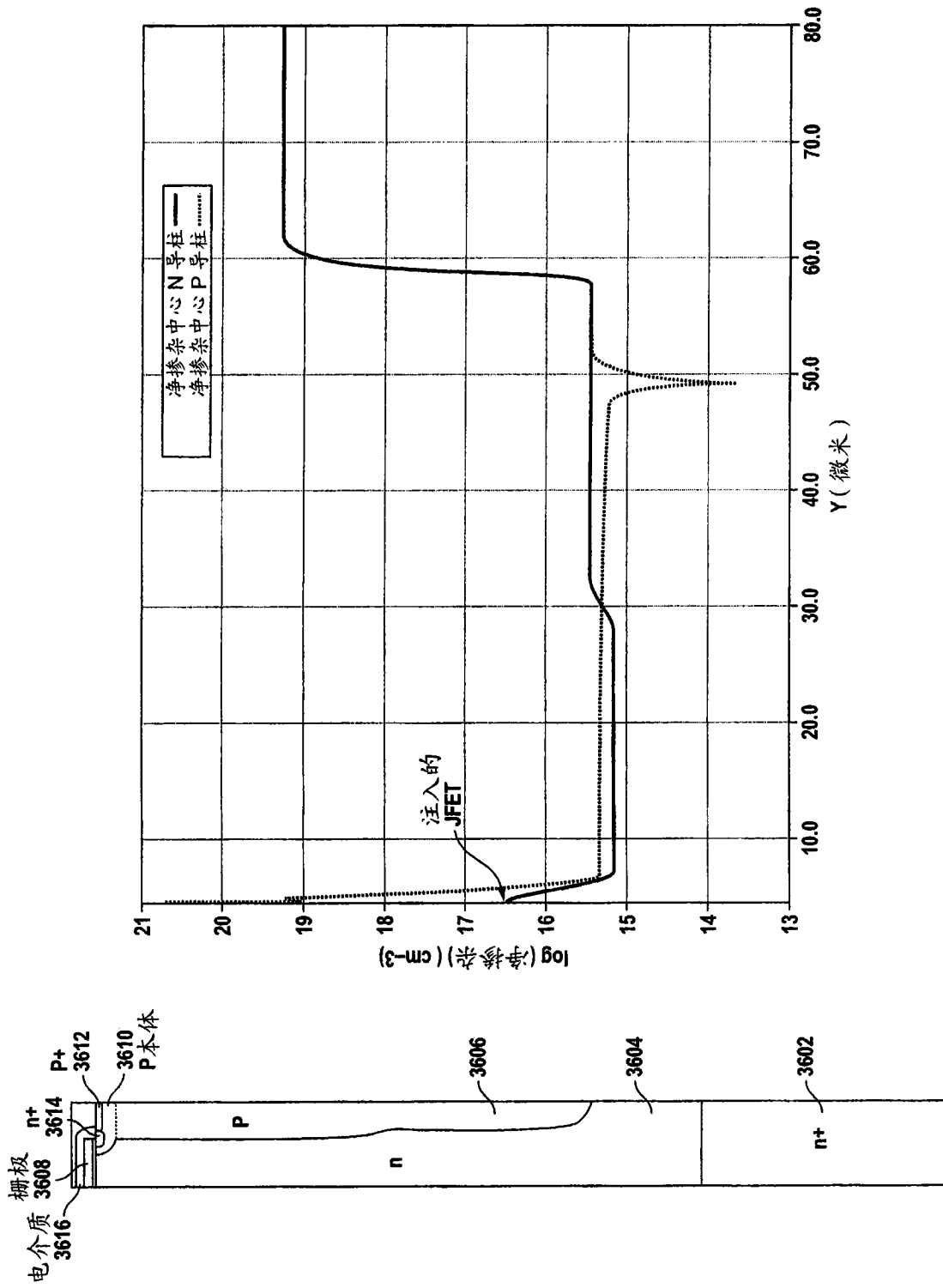


图 36

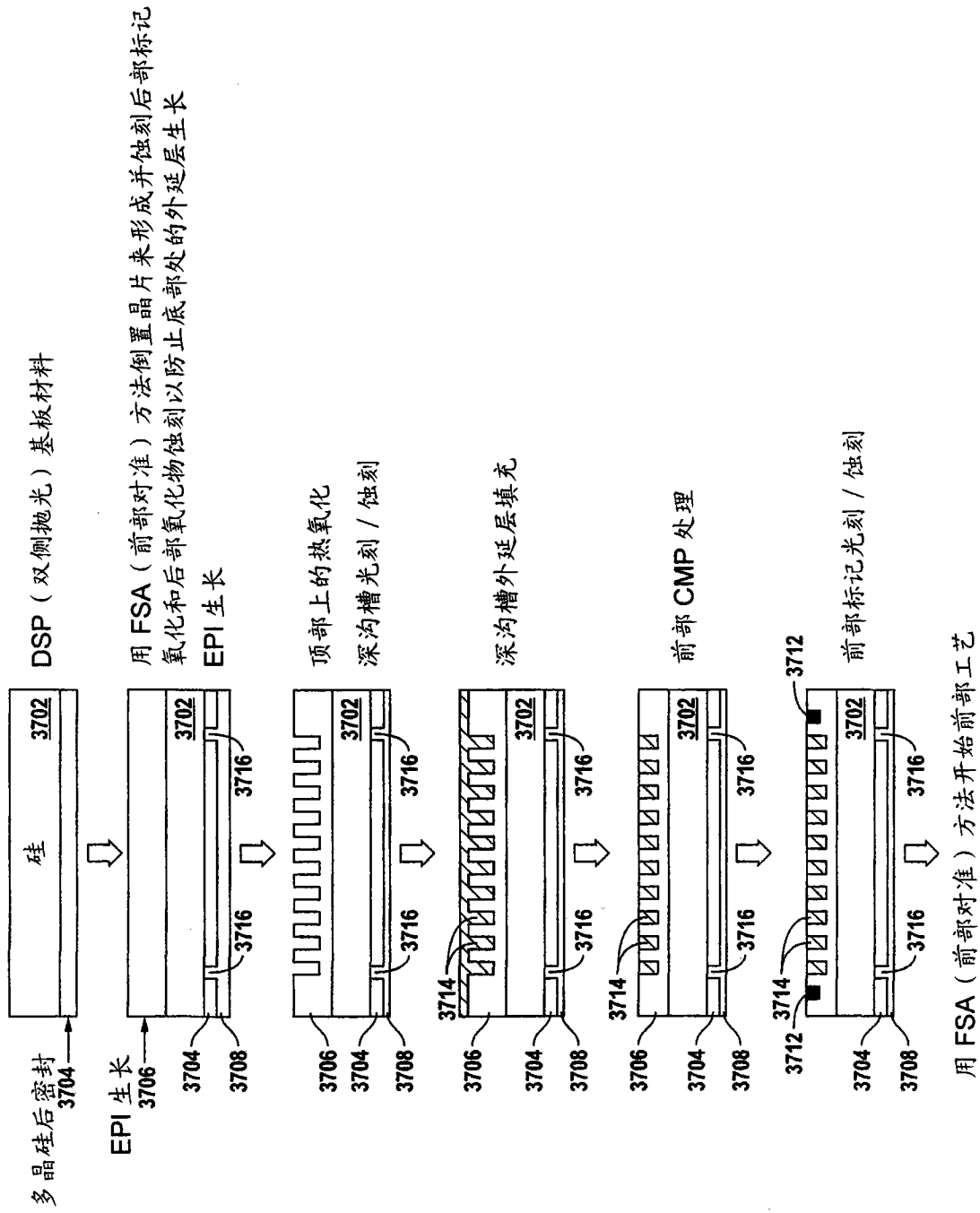


图 37

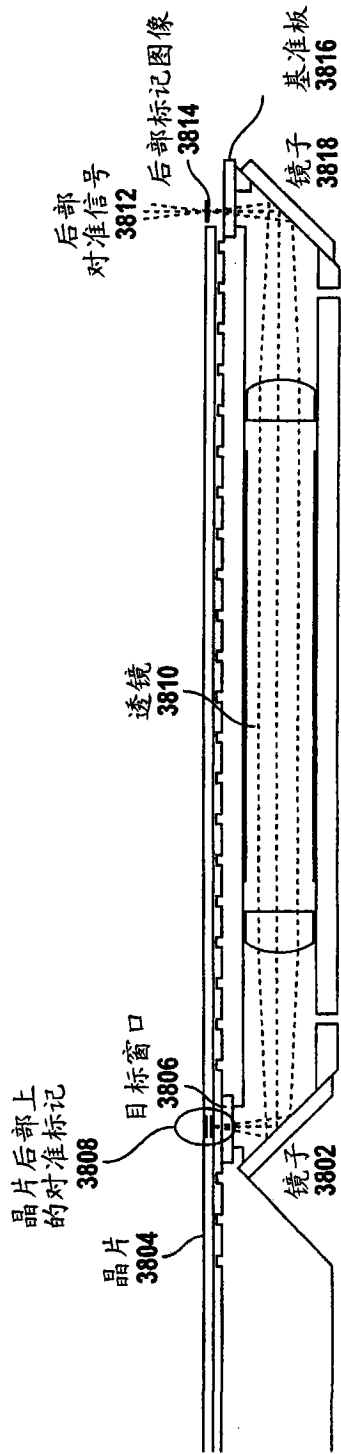


图 38

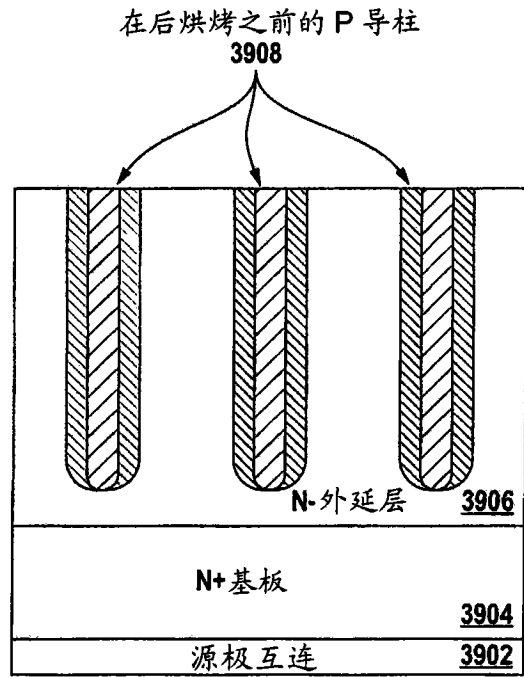


图 39A

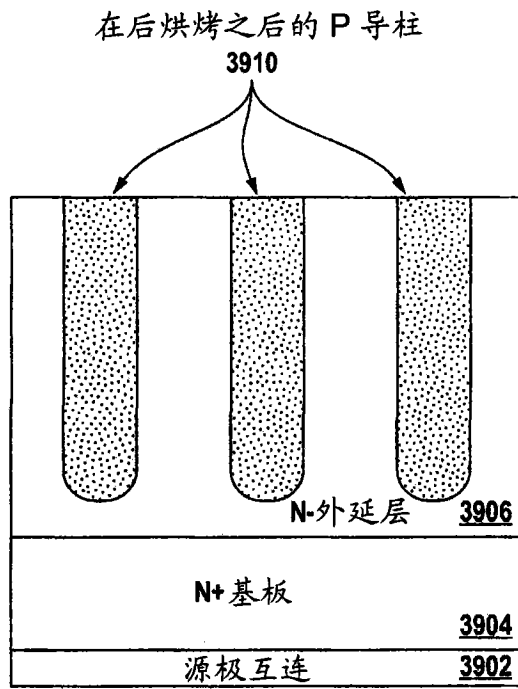


图 39B

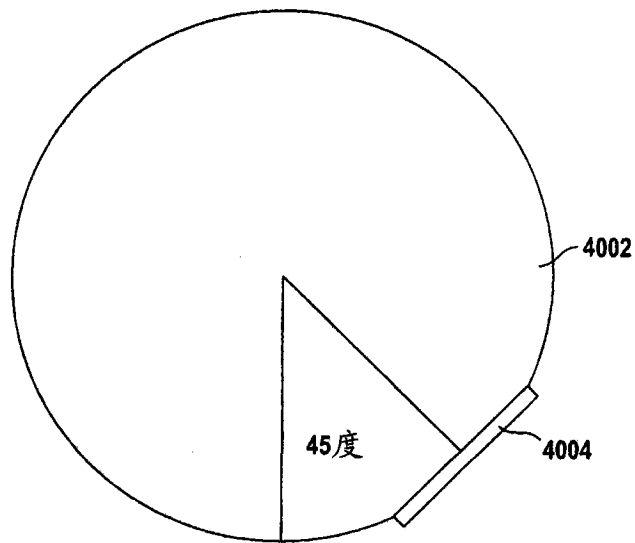


图 40

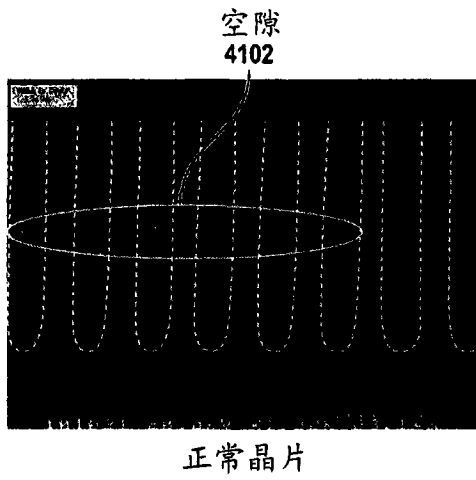


图 41A

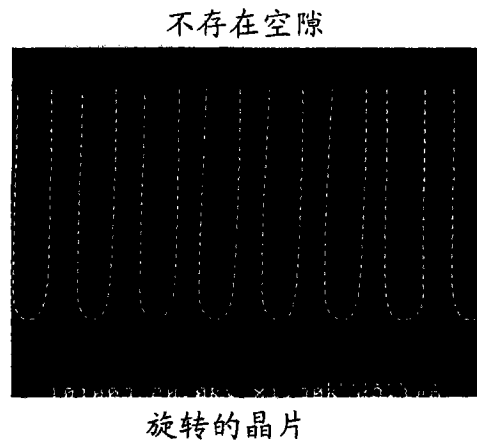


图 41B

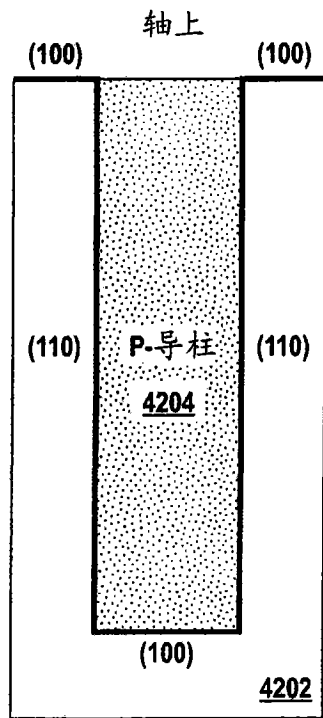


图 42A

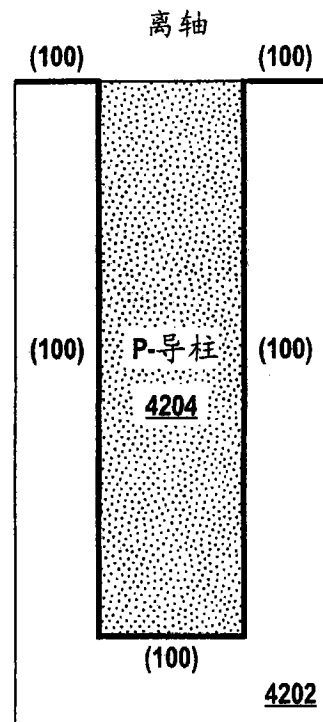
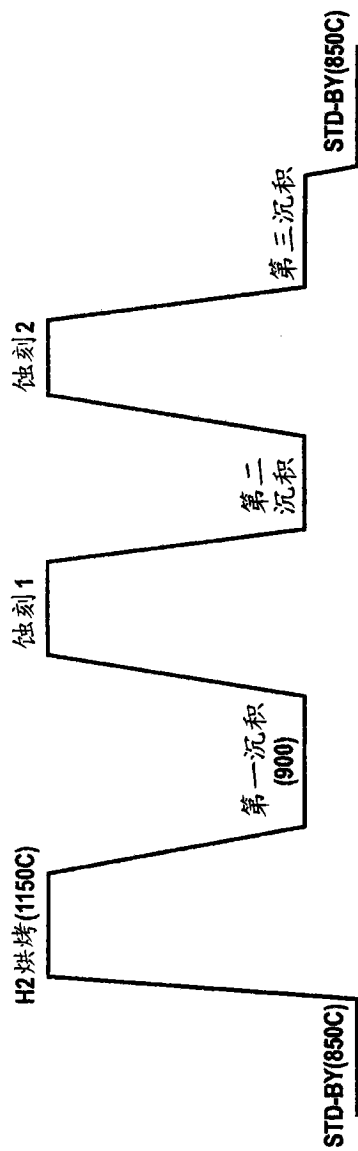


图 42B



外延层工艺			
蚀刻	1沉积	1沉积-1蚀刻	1沉积-1蚀刻- 2沉积-2蚀刻- 3沉积
在外延层之前	1沉积-1蚀刻-2沉积	1沉积-1蚀刻-2沉积	

图 43

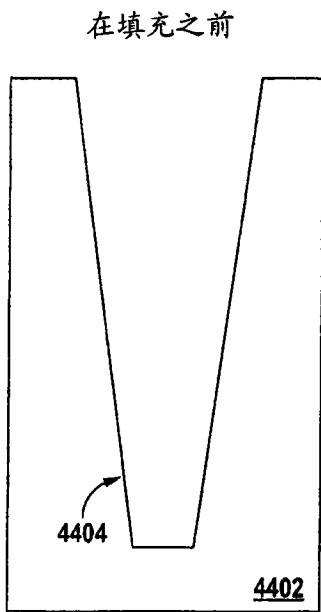


图 44A

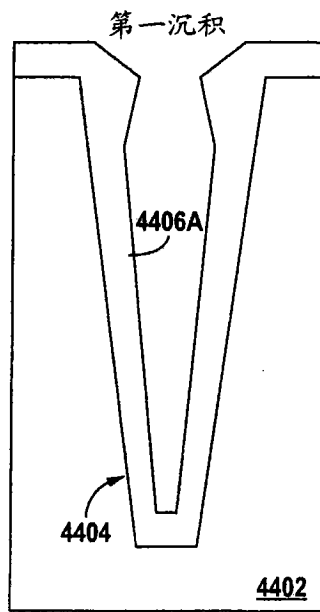


图 44B

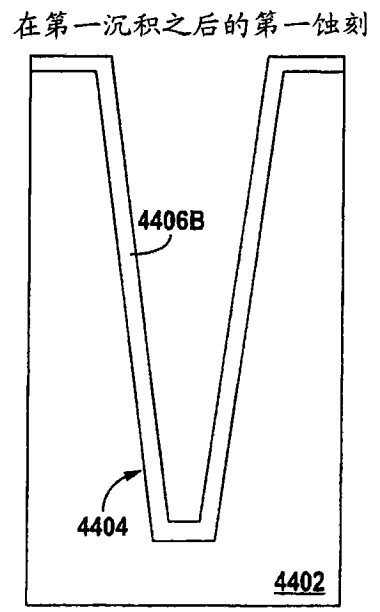


图 44C

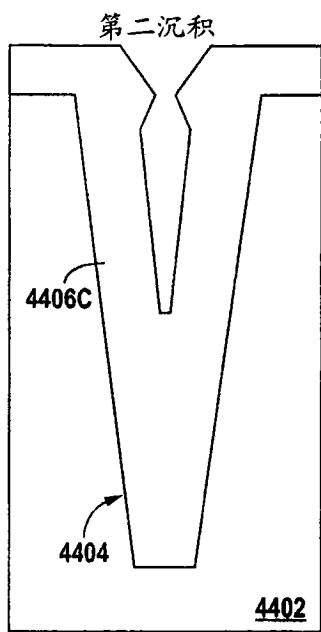


图 44D

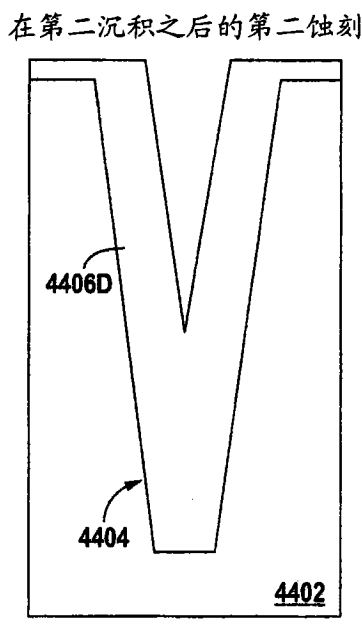


图 44E

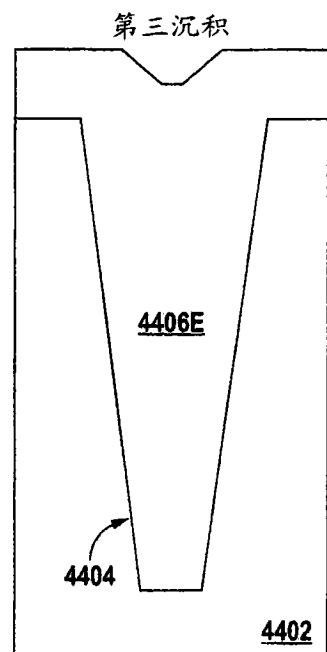


图 44F

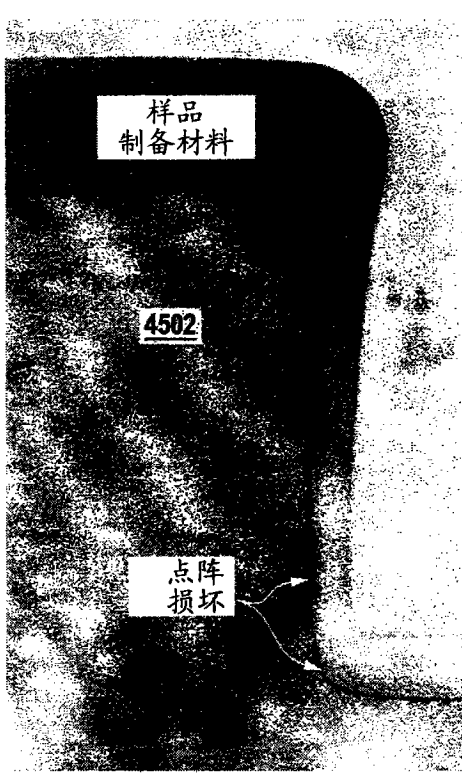


图 45A

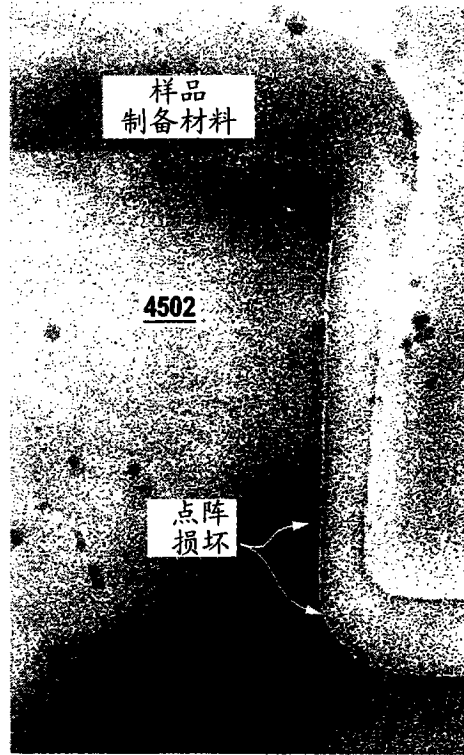


图 45B

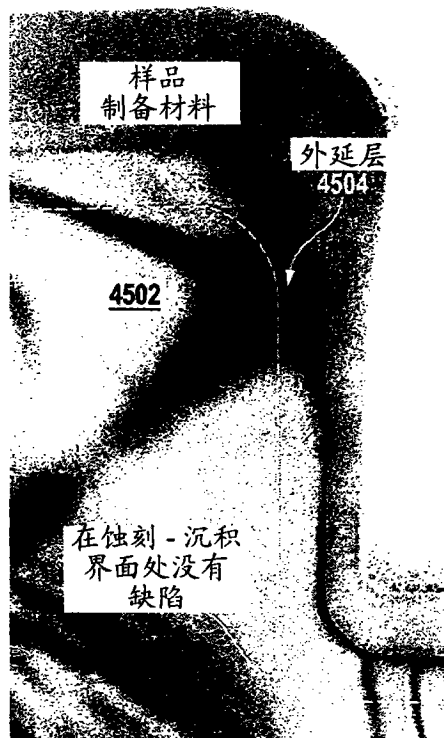
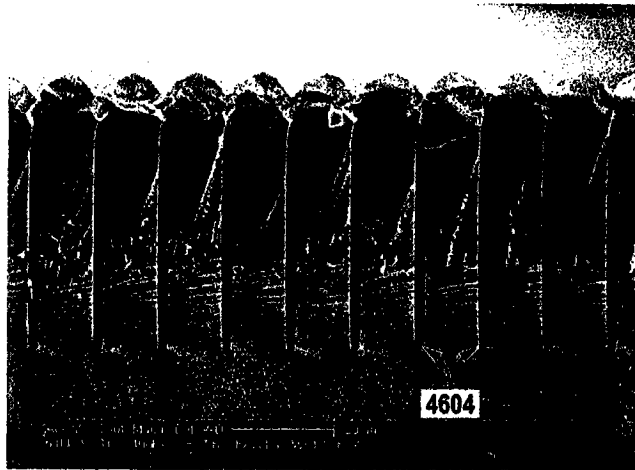


图 45C



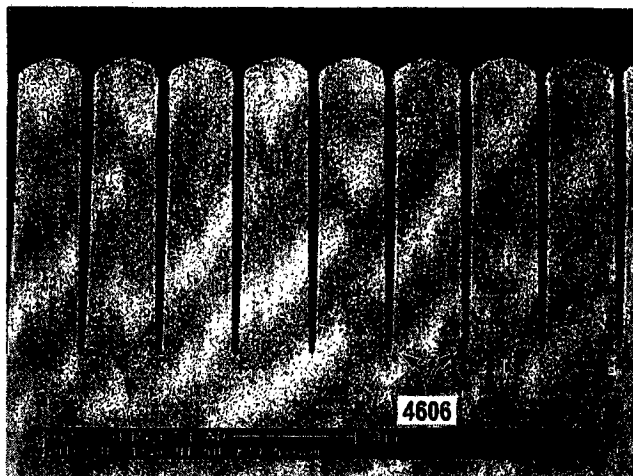
在蚀刻之后的
50 μm 深沟槽

图 46A



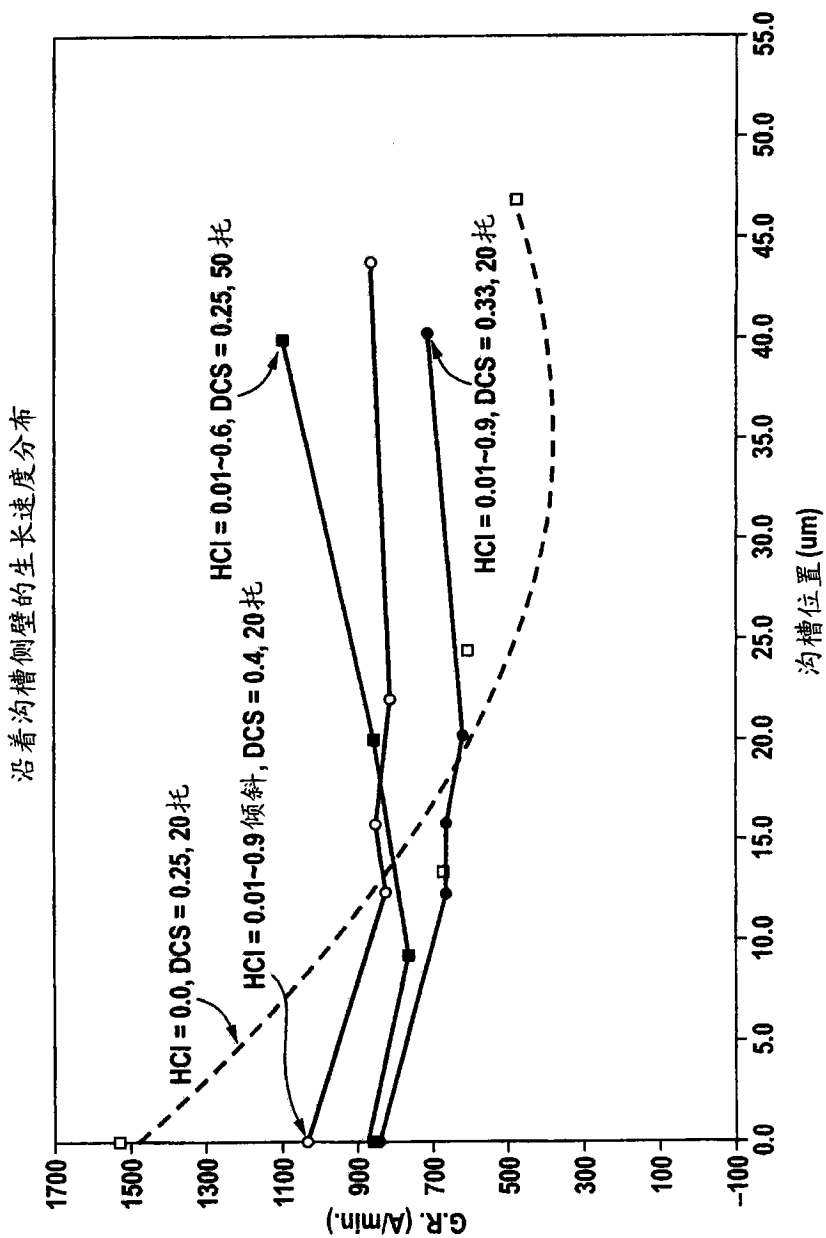
没有 HCl 沉积

图 46B



倾斜的 HCl 工艺

图 46C



使用以下工艺条件的
1300 秒沉积:
1000°C/20 托
DCS 流设定值: 330cc
HCl 流: 10cc 到 900cc
(线性倾斜)
接着 500 秒 HCl 蚀刻
400cc HCl
1100°C/300 托

图 47