



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월23일
 (11) 등록번호 10-1017047
 (24) 등록일자 2011년02월16일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2004-0012643
 (22) 출원일자 2004년02월25일
 심사청구일자 2009년02월24일
 (65) 공개번호 10-2005-0086242
 (43) 공개일자 2005년08월30일

(56) 선행기술조사문헌
 KR1019950022002 A
 KR100163893 B1
 KR100154784 B1

전체 청구항 수 : 총 2 항

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

윤장현

충청북도청주시흥덕구향정동1번지

(74) 대리인

이현수, 김종선, 김태현, 정홍식

심사관 : 김홍섭

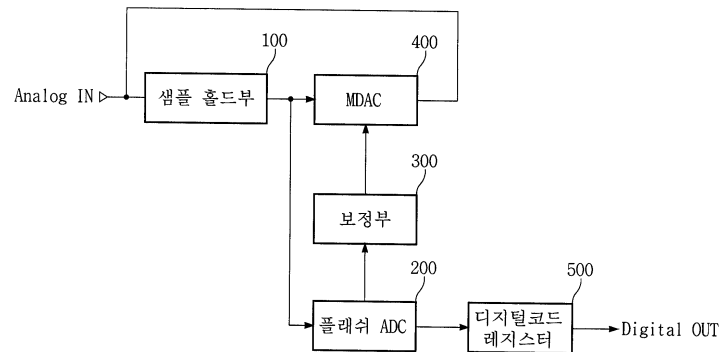
(54) 아날로그 디지털 컨버터

(57) 요약

본 발명은 아날로그 디지털 컨버터에 관한 것으로서, 보다 상세하게는 보정부를 통해 디지털 코드의 에러를 로직적으로 보정하여, 외부 전원 노이즈 및 주위 환경 변화에 둔감하고 칩 사이즈 및 전력소모를 줄일 수 있는 기술이다.

이를 위해, 본 발명은 변환 동작 중에 아날로그 입력신호를 일정 레벨로 유지시켜 출력하는 샘플홀드부와, 상기 샘플홀드부의 아날로그 출력을 디지털 신호로 변환하여 디지털 코드를 출력하는 플래쉬 컨버터와, 상기 디지털 코드에 에러코드 발생 시, 상기 에러코드를 로직적으로 보정하는 보정부와, 상기 샘플홀드부의 출력에 응답하여, 상기 보정부를 통해 보정된 디지털 코드를 아날로그 신호로 변환하여 상기 샘플홀드부로 출력하는 멀티플라이익을 포함하여 구성함을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

변환 동작 중에 아날로그 입력신호를 일정 레벨로 유지시켜 출력하는 샘플홀드부;

상기 샘플홀드부의 아날로그 출력을 디지털 신호로 변환하여 디지털 코드를 출력하는 플래쉬 컨버터;

상기 디지털 코드에 에러코드 발생 시, 상기 에러코드를 로직적으로 보정하는 보정부; 및

상기 샘플홀드부의 출력에 응답하여, 상기 보정부를 통해 보정된 디지털 코드를 아날로그 신호로 변환하여 상기 샘플홀드부로 출력하는 멀티플라잉텍;

를 포함하여 구성함을 특징으로 하는 아날로그 디지털 컨버터.

청구항 2

제 1항에 있어서,

상기 플래쉬 컨버터의 디지털코드값을 순차적으로 저장하는 디지털코드 레지스터를 더 포함하는 것을 특징으로 하는 아날로그 디지털 컨버터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0003] 본 발명은 아날로그 디지털 컨버터에 관한 것으로서, 보다 상세하게는 보정부를 통해 디지털 코드의 에러를 로직적으로 보정하여, 외부 전원 노이즈 및 주위 환경 변화에 둔감하고 칩 사이즈 및 전력소모를 줄일 수 있는 기술이다.
- [0004] 일반적으로, 아날로그 디지털 컨버터는 아날로그 입력신호를 디지털신호로 변환하는 장치이다. 이러한 아날로그 디지털 컨버터에 외부의 잡음이 인가되면 디지털 변환값에 오류가 발생하는 경우가 있어 이를 해결하기 위해 보정부를 채용한다.
- [0005] 도 1은 종래의 아날로그 디지털 컨버터의 회로도이다.
- [0006] 종래의 아날로그 디지털 컨버터는 샘플홀드부(10), 플래쉬 컨버터(20), 멀티플라잉텍(multiplying digital analog converter;이하, MDAC; 30), 보정부(40), 및 디지털코드 레지스터(50)로 구성된다.
- [0007] 샘플홀드부(10)는 아날로그 입력신호 Analog IN를 수신하여 아날로그 디지털 변환시부터 종료까지 입력전압을 변환 시의 레벨로 유지시킨다. 즉, 정상시에는 샘플(sample)상태로 유지하다가 변환이 시작되면 홀드(hold)하여 변환 시작시점의 입력전압 레벨을 유지시킨다. 이는 아날로그 디지털 변환중에 입력전압이 변동하게 되면 변환 데이터가 부정의 값으로 되어 버리는 것을 방지하기 위함이다.
- [0008] 플래쉬 컨버터(20)는 샘플홀드부(10)의 아날로그 출력을 수신하여 디지털신호로 컨버팅한다. MDAC(30)은 샘플홀드부(10)의 출력에 응답하여, 플래쉬 컨버터(20)의 디지털 출력을 아날로그 신호로 변환하여 출력한다.
- [0009] 보정부(40)는 MDAC(30)의 출력에 에러가 발생 시 보정한다. 이때, 보정부(40)는 캐패시터에 의한 오차를 이용하여 보정하거나, 기준전압을 보정하는 방식을 이용하여 보정한다.
- [0010] 디지털코드 레지스터(50)는 플래쉬 컨버터(20)의 디지털 출력을 순차적으로 저장하여 최상위 비트부터 최하위 비트까지 저장된 값을 최종 디지털값 Digital OUT으로 출력한다.
- [0011] 상기와 같은 구성을 갖는 종래의 아날로그 디지털 컨버터의 보정부(40)는 캐패시터에 의한 오차를 이용하여 보정하거나, 기준전압을 보정하는 방식을 이용한다. 그러나, 이러한 종래의 보정방식은 작은 에러의 보정은 가능하나, 외부의 큰 잡음에 의한 큰 에러는 보정할 수 없는 문제점이 있다. 따라서, 외부로부터 큰 잡음이 인가되면 디지털 코드가 급격히 변하게 되어 에러코드를 발생시킴으로써 최종 디지털 변환값에 오류가 발생하게 되는

문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0012] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 아날로그 디지털 컨버터의 디지털 코드의 급격한 에러를 보정 가능하게 하고, 로직적으로 보정함으로써 칩 사이즈 및 전력소모를 줄이는데 있다.

발명의 구성 및 작용

[0013] 상기 과제를 달성하기 위한 본 발명은 변환 동작 중에 아날로그 입력신호를 일정 레벨로 유지시켜 출력하는 샘플홀드부와, 상기 샘플홀드부의 아날로그 출력을 디지털 신호로 변환하여 디지털 코드를 출력하는 플래쉬 컨버터와, 상기 디지털 코드에 에러코드 발생 시, 상기 에러코드를 로직적으로 보정하는 보정부와, 상기 샘플홀드부의 출력에 응답하여, 상기 보정부를 통해 보정된 디지털 코드를 아날로그 신호로 변환하여 상기 샘플홀드부로 출력하는 멀티플라이잉택을 포함하여 구성함을 특징으로 한다.

[0014] 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

[0015] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

[0016] 도 2는 본 발명의 실시예에 따른 아날로그 디지털 컨버터의 회로도이다.

[0017] 아날로그 디지털 컨버터는 샘플홀드부(100), 플래쉬 컨버터(200), 보정부(300), 멀티플라이잉택(multiplying digital analog converter; 이하, MDAC;400), 및 디지털코드 레지스터(500)로 구성된다.

[0018] 샘플홀드부(sample & hold)(100)는 아날로그 입력신호 Analog IN를 수신하여, 변환 개시부터 종료까지 입력전압을 일정레벨로 유지시킨다. 이는 A/D 변환 실행중에 입력전압이 변동하게 되면 A/D 변환 데이터가 부정의 값으로 되어 버리기 때문이다. 이러한 샘플홀드부(100)는 통상 샘플 상태에 있다가, A/D 변환이 개시됨과 동시에 그 시점의 아날로그 입력전압 레벨로 유지하다 A/D 변환이 종료하면 다시 샘플 상태로 되돌아간다.

[0019] 플래쉬 컨버터(200)는 샘플홀드부(100)의 아날로그 출력을 수신하여 디지털 신호로 변환하여 출력한다.

[0020] 보정부(300)는 플래쉬 컨버터(200)로부터 디지털 코드를 수신하여 외부의 큰 잡음에 의해 디지털 코드에 에러 발생 시, 에러를 로직적으로 보정한다.

[0021] 예를 들어, 플래쉬 컨버터(200)로부터 출력된 디지털 써머코드가 "00001111"인 경우, 외부로부터의 큰 잡음에 의해 디지털 써머코드가 "00001011"로 급격히 변하게 된다. 보정부(300)는 이러한 에러가 발생한 디지털 써머코드 "00001011"를 수신하여 "00001111"로 보정한다. 이때, 에러에 대한 정보는 외부의 테스트 장비(미도시)를 통해 알아내어 보정부(300)에 에러정보를 등록해둔다. 따라서, "00001111"이 입력되어야 하는데 에러코드 "00001011"가 입력되면 보정부(300)는 에러코드 "00001011"를 "00001111"로 보정한다.

[0022] MDAC(400)은 보정부(300)를 통해 보정된 디지털 코드를 수신하여 샘플홀드부(100)의 출력을 비교하여 그 비교값에 따른 아날로그신호를 출력한다. 이때, MDAC(400)의 아날로그 신호는 샘플홀드부(100)로 피드백된다. 예를 들어, 2 비트씩 변환을 수행하는 경우, 총 5번 피드백해야 10비트의 디지털 값을 출력할 수 있다.

[0023] 디지털코드 레지스터(500)는 플래쉬 컨버터(200)의 디지털 출력을 순차적으로 저장하여 최상위 비트부터 최하위 비트까지의 데이터를 최종 디지털값 Digital OUT으로 출력한다.

[0024] 이하, 아날로그 디지털 컨버터의 동작을 설명하기로 한다.

[0025] 먼저, 샘플홀드부(100)는 아날로그 입력신호 Analog IN를 A/D 변환 중 일정레벨로 유지시켜 출력한다. 이러한 샘플홀드부(100)의 아날로그 출력을 플래쉬 컨버터(200)를 통해 디지털 신호로 변환하여 디지털 코드를 출력한다. 보정부(300)는 이 디지털코드를 수신하여 에러코드가 있으면 보정하여 MDAC(400)으로 출력한다. MDAC(400)은 플래쉬 컨버터(200)의 디지털 코드와 샘플홀드부(100)의 출력을 비교하여 그 비교값에 따른 아날로그신호를 출력하고, 그 아날로그 신호는 다시 샘플홀드부(100)의 입력이 된다. 상기와 같은 과정을 반복하여 디지털값을 디지털코드 레지스터(500)에 순차적으로 저장하여, 최상위 비트부터 최하위 비트까지 저장된 값을 최종 디지털 변환값으로서 출력한다.

[0026] 아래 표 1의 논리테이블은 보정부(300)의 에러코드를 보정하기 위한 한 예를 도시한다.

[0027] [표 1] 보정부(300)의 논리 테이블

[0028]

입력코드	출력코드
00	00
01	01
10	01
11	11

[0029] 보정부(300)는 외부 테스트 장비(미도시)에 의해 알아낸 상기와 같이 에러정보를 가지고, 플래쉬 컨버터(200)로부터 출력된 디지털 코드에 상기와 같은 에러 입력 코드가 발생하면 상기와 같이 출력코드로 보정한다.

[0030] 이와같이, 외부 잡음에 의해 급격히 변하는 디지털 코드를 보정하여 멀티플라잉텍(400)으로 전송함으로써, 멀티플라잉텍(400)에서 정상적인 변환동작을 수행하여 올바른 최종 디지털 변환값을 출력할 수 있다.

발명의 효과

[0031] 이상에서 살펴본 바와 같이, 본 발명의 아날로그 디지털 컨버터의 디지털 코드의 급격한 에러의 보정을 가능하게 하고, 로직적으로 보정함으로써 칩 사이즈 및 전력소모를 줄일 수 있는 효과가 있다.

[0032] 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허 청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구범위에 속하는 것으로 보아야 할 것이다.

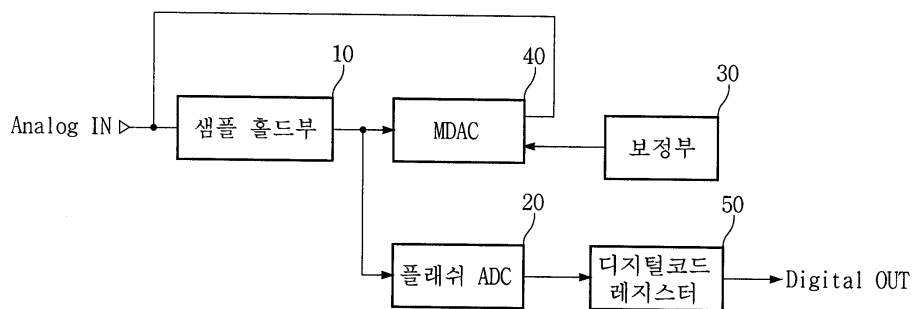
도면의 간단한 설명

[0001] 도 1은 종래의 아날로그 디지털 컨버터 회로도.

[0002] 도 2는 본 발명의 실시예에 따른 아날로그 디지털 컨버터 회로도.

도면

도면1



도면2

