

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/60 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월03일 10-0557049 2006년02월23일
---	-------------------------------------	--

(21) 출원번호	10-1999-0020610	(65) 공개번호	10-2000-0005915
(22) 출원일자	1999년06월04일	(43) 공개일자	2000년01월25일

(30) 우선권주장      특원평10-155553      1998년06월04일      일본(JP)

(73) 특허권자      마츠시타 덴끼 산교 가부시키키가이샤  
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자      벳쇼요시히로  
일본국오오사카후히가시오오사카시시모로쿠만지쵸1-10-40-612  
  
이타가키미네히로  
일본국오오사카후모리구치시다이니치히가시마치16-3

(74) 대리인      김영철

심사관 : 백양규

(54) 반도체 장치와 그 제조방법

요약

본 발명은 반도체 장치와 그 제조방법에 관한 것으로, 반도체 소자와, 회로기판과, 반도체 소자와 회로기판 사이에 설치된 기재 및 반도체 소자의 단자전극과 회로기판의 내부 접속전극 사이를 전기적으로 접속하기 위해, 기재에 형성된 구멍 속에 충전된 도전성 페이스트(d)를 갖는다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 제 1 실시예에서의 반도체 장치의 제조방법의 공정을 도시한 단면도.

도 2는 본 발명에 관한 제 1 실시예에서의 반도체 장치의 구성을 도시한 단면도.

도 3은 본 발명에 관한 제 1 실시예에서의 반도체 장치의 외부 접속단자의 배치를 도시한 도면.

도 4는 본 발명에 관한 제 2 실시예에서의 반도체 장치의 구성을 도시한 단면도.

도 5는 본 발명에 관한 제 3 실시예에서의 반도체 장치의 구성을 도시한 단면도.

도 6은 본 발명에 관한 제 4 실시예에서의 반도체 장치의 구성을 도시한 단면도.

도 7은 일반적인 반도체 소자의 단자전극의 배치를 도시한 도면.

도 8은 반도체 소자가 페이스다운 방식으로 실장된 종래의 반도체 장치의 주요부를 도시한 단면도.

**\*도면의 주요 부분에 대한 부호의 설명\***

1 : 유기 필름 2 : 접착제 층

3 : 이형성 필름 4 : 관통구멍

5 : 도전성 페이스트 6 : 반도체 소자

7 : 단자전극 8 : 다층기판

9 : 접속전극 10 : 압축된 도전성 페이스트

11 : 외부 접속단자 12 : 다공질 기재

13 : 돌기전극

14 : 표면층에 도전성 페이스트를 이용한 다층기판

15 : 반도체 소자 16 : 단자전극

17 : 회로기판 18 : 접속전극

19 : 뿔납 접합부 20 : 봉입수지

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자를 회로기판에 실장하기 위해 패키징된 반도체 장치 및 그 제조방법에 관한 것이다.

종래에 QFP(Quad Flat Pack)를 포함하는 다양한 패키징 기술이 개발되어 왔다. 이러한 패키징 기술은 반도체 소자를 회로기판 상에 실장할 때에는 반도체 소자의 보호와 실장을 용이하게 하기 위해 제공된다. 최근 반도체 소자에서 접속 단자 수가 증가됨으로써, 반도체 소자의 패키지 크기가 증가된다. 따라서 이러한 종래의 패키징 기술에 의해서는 실장면적을 효과적으로 축소하는 처리가 곤란해진다.

이러한 요구에 부응하기 위해 노출된 반도체 소자를 회로기판 상에 직접 설치하여 실장면적의 축소와 효율적인 사용을 도모하는 방법을 생각해 낼 수 있었다. 예를 들면 반도체 소자를 회로기판에 접속시킬 때, 미리 반도체 소자의 단자전극 상에 접합 금속 또는 확산방지 금속의 증착막을 형성하고, 또 그 층위에 도금에 의해 형성된 뿔납의 돌기전극을 구성한다. 다음으로 반도체 소자를 페이스다운으로 하여 고온으로 가열한다. 이와 같이 고온으로 가열함으로써 뿔납이 회로기판의 접속

전극에 용착된다. 이러한 실장방법은 접속후의 기계적 강도가 높고, 접속을 일괄처리로 실행할 수 있는 점 등 때문에 유효한 방법으로 고려된다(공업조사회, 1980년 1월 15일 발행, 일본 마이크로 일렉트로닉스 협회 편, 『IC화 실장기술』 참조).

또한 상술한 방법에 덧붙여 다른 방법들이 제안되고 있다. 예를 들면 미국 특허 5,121,190호나 일본국 특허공개 평 6-61,303호 공보 등에 나타나 있는 바와 같이, 뿔납에 의한 접합부의 안전성을 확보하기 위해 봉입재를 이용한 실장방법 및 반도체 장치가 제안되어 있다. 이러한 종래의 반도체 장치를 도 7 및 도 8을 참조하여 설명하기로 한다. 도 7은 일반적인 반도체 소자의 단자전극의 배치를 도시한 도면이며, 도 8은 반도체 소자가 페이스다운으로 실장된 종래의 반도체 장치의 요부 단면도이다.

도 7에 도시된 단자 전극의 배치에 있어서, 반도체 소자(15)의 주위에 단자전극(16)이 배치된다. 이들 단자전극(16)의 수가 증가하는 것에 대응하기 위해서는 단자전극(16) 상호의 간격을 좁게 하거나, 반도체 소자(15)의 크기를 크게 하여 처리할 필요가 있다.

도 8에 도시된 반도체 소자(15)가 페이스다운으로 실장된 반도체 장치는 반도체 소자(15)에 덧붙여, 반도체 소자(15)의 단자전극(16)과, 회로기판(17)과, 회로기판(17)의 표면 상에 형성된 접속전극(18)과, 접속전극(18)과 단자전극(16)을 접합한 뿔납에 의해 접합하는 뿔납 접합부(19)와, 반도체 소자(15)를 봉입한 몰딩(봉입)수지(20) 및 기타 구성요소를 포함한다.

이하 상술한 구조를 갖는 종래의 반도체 장치를 설명하기로 한다. 우선 반도체 소자(15)의 단자전극(16) 상에 미리 뿔납의 돌기전극을 형성해 둔다. 그리고 이 반도체 소자(15)를 페이스다운 상태로 회로기판(17)에 탑재한다. 다음으로 뿔납의 돌기전극을 접속전극(18)의 소정의 위치에 정렬시키게 된다. 다음으로 고온의 열(200~300℃)을 적용하여 뿔납을 용융하고, 뿔납의 돌기전극과 접속전극(18)을 접합한다. 이러한 방식으로 반도체 소자(15)를 뿔납 접합부(19)에 의해 회로기판(17)에 고정시킨다. 그 후 반도체 소자(15)와 회로기판(17) 사이에 생성된 간격에 액상의 봉입수지(20)를 충전하고, 상기 봉입수지(20)를 120℃ 정도로 가열 경화함으로써 고화시킨다. 이러한 방식으로 반도체 소자(15)가 회로기판(17) 상에 실장이 완료되어 도 8에 도시된 바와 같은 반도체 장치가 얻어진다.

### 발명이 이루고자 하는 기술적 과제

그러나 상기 종래의 반도체 장치와 그 제조방법에서는 다음과 같은 문제점이 있다.

첫째로, 반도체 소자(15)의 표면을 보호하기 위해 반도체 소자(15)와 회로기판(17) 사이의 간격에 봉입수지(20)를 충전할 필요가 있고, 따라서 실장 크기가 커진다. 그러므로 패키징화 된 반도체 장치로서 이용하는 경우에는 그 크기가 반도체 소자(15)의 크기보다도 크게 된다.

둘째로, 반도체 소자(15)의 단자전극(16)의 수가 회로규모의 증대 등에 따라 증가된 경우에는 이웃하는 단자전극(16) 사이의 간격이 좁아지며, 뿔납 접합부(19)의 크기나 피치가 작아진다. 결과적으로 반도체 소자(15)와 회로기판(17) 사이의 뿔납 접합부(19)의 신뢰성이 낮아진다.

셋째로, 반도체 소자(15)의 주위에 배치된 단자전극(16)을 페이스다운 방식으로 실장하기 쉽게 하기 위해서는, 박막 기술을 응용한 다층배선 기술로 반도체 소자(15) 상에서 단자전극(16)을 이차원적으로 배치하여 단자전극(16)의 크기나 피치를 확대할 필요가 있다. 그러나 이러한 정렬으로는 반도체 장치의 수율이 저하되거나 제조원가가 대폭 증대되는 문제점이 있다.

상기 관점으로부터 반도체 장치의 소형화, 신뢰성의 확대 및 생산원가를 절감하는데 한계가 있어 그다지 실용적이라고는 할 수 없다. 특히 최근의 반도체 소자의 단자수가 증가하는 것에 대응하기 위해서는 상술한 문제점은 더욱 심각해진다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 이루어진 것으로, 본 발명의 목적은 반도체 소자의 단자수가 증가하는 것에 용이하게 대응할 수 있는 소형, 슬림형이며, 고신뢰성을 갖는 반도체 장치와 그 제조방법을 제공하기 위한 것이다.

### 발명의 구성 및 작용

상술한 과제를 해결하기 위한, 본 발명의 제 1 발명은, 회로기판에 실장하기 위한 반도체장치로서, 반도체 소자와, 다층기판과, 상기 다층기판의 표면에 설치된 내측 접속전극과, 상기 다층기판의 이면에 2차원적으로 설치되며, 상기 내측 접속전극과 전기적으로 접속된 외측 접속전극과, 상기 반도체소자와 상기 다층기판 사이에 배치되는 다공질 기재(base material)와, 상기 기재에 형성된 구멍에 충전되어, 상기 반도체 소자의 단자전극과 상기 다층기판의 내측 접속전극을 전기적으로 접속하는 도전성 페이스트를 구비하는 것을 특징으로 하는 반도체 장치이다.

본 발명의 제 2 발명은, 회로기판에 실장하기 위한 반도체장치의 제조방법으로서, 다공질 기재에 구멍을 형성하는 구멍형성단계와, 상기 구멍에 도전성 페이스트를 충전하는 페이스트 충전단계와, 상기 반도체 소자를 상기 기재를 통하여 다층기판에 기계적으로 접속하는 동시에, 상기 반도체 소자의 단자전극과 상기 다층기판의 접속전극을 상기 도전성 페이스트에 의해 전기적으로 접속하는 접속단계와, 상기 접속단계 후에, 상기 기재와 상기 다층기판을 상기 반도체소자와 동일한 크기로 절단하는 절단단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법이다.

이렇게 정렬함으로써 반도체 소자와 회로기판(또는 기재) 사이의 간격을 몰딩수지를 이용하여 충전할 필요가 없게되고, 상기 반도체 소자의 실장면적을 반도체 소자의 크기만큼 작게 할 수 있다.

또한 반도체 소자 주위에 설치된 단자전극의 배치를 이차원적으로 변환하기 위해 다층기판을 사용함으로써, 반도체 소자를 단자전극 수의 증대에 용이하게 대응할 수 있는 반도체 장치를 제공할 수 있다.

상술한 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

(실시예)

이하에 본 발명의 실시예를 도면을 참조하여 설명하기로 한다.

(제 1 실시예)

우선 본 발명의 제 1 실시예를 도면을 참조하여 설명하기로 한다.

도 1은 본 발명의 제 1 실시예에서의 반도체 장치의 제조방법의 공정을 도시한 단면도이고, 도 2는 본 발명의 제 1 실시예에서의 반도체 장치의 구성을 도시한 단면도이다. 도 3은 본 발명의 제 1 실시예에서의 반도체 장치의 외부 접속단자의 배치를 도시한 도면이다. 여기에서는 본 발명의 설명을 위해 도 1~도3에 도시된 구성소자의 크기를 약간 확대하고 있다.

도 2 및 도 3에 도시된 바와 같이, 본 실시예에 있어서의 반도체 장치는 반도체 소자(6)와, 반도체 소자(6) 상에 형성된 단자전극(7)과, 다층기판(8)과, 반도체 소자(6)가 접속되는 다층기판(8)의 반대쪽 표면 중의 하나에 이차원적으로 배치된 외부 접속단자(11)와, 반도체 소자(6)와 다층기판(8) 사이를 기계적으로 접속하는 접착제 층(2)을 양면에 갖는 유기 필름(1)과, 반도체 소자(6)와 다층기판(8) 사이를 전기적으로 접속하는 도전성 페이스트(5) 및 기타 소자로 구성되어 있다. 또한 도 1의 (a)~(e)에서 3은 이형성 필름, 4는 관통구멍, 9는 접속단자, 10은 압축된 도전성 페이스트이다. 또한 도 3에서 외부 접속단자(11)가 다층기판(8)의 면에 10×10개(=100개) 형성된 것을 도시한다. 그러나 도 1 및 도 2에서는 편의상 4×4개(16개)만이 형성되어 있는 것이 단면도로 도시되어 있다.

이 때 상기 구멍은 비통과형이 될 수도 있다.

다음으로 본 실시예에서의 반도체 장치의 제조방법에 대하여 설명하기로 한다.

우선 비압축성 기재인 유기 필름(1)(예를 들면 아라미드 필름)의 양면에 접착제 층(2)(예를 들면 에폭시 수지 층)을 형성하고, 양면에 폴리에스테르 등의 이형성 필름(3)을 구비한 기재를 준비한다(도 1의 (a)).

다음으로 유기 필름(1)의 소정의 위치에 레이저 빔 가공법 등을 이용하여 관통구멍(4)을 형성한다(도 1의 (b)). 본 단계는 본 발명의 관통구멍 형성단계에 대응하는 것이다.

다음으로 관통구멍(4)에 도전성 페이스트(5)를 충전한다(도 1의 (c)). 도전성 페이스트(5)로 관통구멍(4)을 충전하는 단계는 이하와 같이 실행된다. 먼저 관통구멍(4)을 갖는 유기 필름(1)을 인쇄기의 테이블 상에 설치하여 집적 도전성 페이스트(5)를 이형성 필름(3)의 위로부터 인쇄한다. 이 때 상면을 덮고 있는 이형성 필름(3)은 인쇄 마스크의 역할과 함께 접착제 층(2) 표면의 오염과 손상을 방지하는 역할을 수행하고 있다. 본 단계는 본 발명의 페이스트 충전단계에 대응하는 것이다.

그후 접착제 층(2)의 표면으로부터 도전성 필름(3)을 박리한다. 상기 접착제 층(2)의 한 면에 반도체 소자(6)의 단자전극(7)과 다른 한 쪽 면에 다층기판(8)의 접속전극(9)을 정렬하여 적층한다(도 1의 (d)). 이 상태에서 가열 가압함으로써 접착제 층(2)에 의해 반도체 소자(6)와 다층기판(8)이 기계적으로 접착된다(도 1의 (e)). 또 이 단계에서는 도전성 페이스트(5)가 압축되어 도전성 페이스트(5) 중의 도전성 물질이 치밀화되는 동시에 경화되어, 반도체 소자(6)의 단자전극(7)과 다층기판(8)의 접속전극(9)이 압축된 도전성 페이스트(10)에 의해 전기적으로 접속된다. 도 1의 (d)의 단계 및 도 1의 (e)의 단계를 합한 것은 본 발명의 접속단계에 대응하는 것이다.

그후 유기 필름(1), 접착제 층(2) 및 다층기판(8)을 반도체 소자(6)의 크기로 절단함으로써, 도 2에 도시된 바와 같은 평면의 크기가 반도체 소자(6)의 크기와 동일한 본 실시예의 반도체 장치가 얻어진다. 본 발명의 반도체 장치에서는 반도체 소자(6)의 주위에 배치된 단자전극(7)이 다층기판(8)에 의해 이차원적인 배치로 변환된 외부 접속단자(11)를 갖는다(도 3).

### (제 2 실시예)

다음으로 본 발명의 제 2 실시예를 도면을 참조하여 설명하기로 한다. 본 실시예에서의 반도체 장치는 본 발명의 기재층이 압축성 기재를 주성분으로 하는 것에 관한 점 이외는 상술한 제 1 실시예에서의 반도체 장치와 마찬가지로이다. 따라서 본 실시예에서 제 1 실시예와 기본적으로 같은 것에 대해서는 동일한 부호를 부여하고 설명을 생략하기로 한다. 또한 특히 설명이 없는 것에 대해서는 제 1 실시예와 동일한 것으로 한다.

도 4는 제 2 실시예에서의 반도체 장치의 구성을 도시한 단면도이다. 상기 제 1 실시예의 경우와 비교하여 유기 필름(1)을 다공질(porous) 기재(12)로 한 점에서 다른 것 이외에는 제 1 실시예의 경우와 실질적으로 같은 구성이다.

또한 본 실시예에서는 반도체 장치는 제 1 실시예에서의 반도체 장치의 제조방법과 실질적으로 같은 공정으로 제조된다.

반도체 소자(6)와 다층기판(8)을 기계적이며 전기적으로 접속하는 기재에, 다공질 기재(12)(예를 들면 방향족 폴리이미드 섬유에 열 경화성 에폭시 수지를 포함하여 침전시킨 복합재)를 이용한다. 상기 다공질 기재(12)를 사용함으로써, 상기 제 1 실시예의 효과에 덧붙여 본 발명의 접속공정에서의 가열 가압시에 다공질 기재(12)를 압축하기에 용이하고, 이로 인하여 도전성 페이스트(5) 중의 도전성 물질이 한층 치밀화된다는 효과가 있다.

### (제 3 실시예)

다음으로 본 발명의 제 3 실시예를 도면을 참조하여 설명하기로 한다. 본 실시예에서의 반도체 장치는 그 반도체 장치의 반도체 소자가 돌기전극을 갖는 것에 관한 점 이외에는 상술한 제 1 실시예에서의 반도체 장치와 마찬가지로이다. 따라서 본 실시예에서 제 1 실시예와 기본적으로 동일한 것에 대해서는 동일 부호를 부여하고 설명을 생략하기로 한다. 또한 특히 설명이 없는 것에 대해서는 제 1 실시예와 동일한 것으로 한다.

제 3 실시예에서의 반도체 장치의 구성을 도시한 단면도인 도 5를 참조하여 본 실시예를 설명하기로 한다. 상기 제 1 실시예의 경우와 비교하여 반도체 소자(6)의 단자전극(7) 상에 돌기전극(13)을 형성한 점이 다른 것 이외에는 제 1 실시예의 경우와 실질적으로 동일한 구성이다.

다음으로 본 실시예에서의 반도체 장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에서는 반도체 장치의 제조방법은 제 1 실시예에서의 반도체 장치의 제조방법의 접속단계 전에 반도체 소자(6)의 단자전극(7) 상에 돌기전극(13)을 형성하는 단계를 포함하고, 본 실시예의 접속단계에서는 단자전극(7)과 접속전극(9)이 돌기전극(13)을 통하여 도전성 페이스트에 의해 전기적으로 접속되는 것 이외에는 제 1 실시예의 경우와 실질적으로 같은 순서이다.

반도체 소자(6)의 단자전극(7) 상에 돌기전극(13)을 형성함으로써, 상기 제 1 실시예의 효과에 덧붙여 반도체 장치의 제조공정에서의 가열 가압시에 돌기전극(13)에 대응하여 도전성 페이스트(5)가 압축되고, 이로 인하여 도전성 페이스트(5) 중의 도전성 물질이 더욱 더 치밀화된다는 효과가 있다.

또 제 2 실시예에서의 반도체 장치의 반도체 소자가 본 발명의 돌기전극을 갖는 구성으로 해도, 제 2 실시예의 효과에 덧붙여 상기와 마찬가지로 도전성 페이스트(5) 중의 도전성 물질이 더욱 더 치밀화된다는 효과가 있다.

(제 4 실시예)

다음으로 본 발명의 제 4 실시예를 도면을 참조하여 설명하기로 한다. 본 실시예에서의 반도체 장치는 그 회로기판이 본 발명의 접착제 층 및 도전성 페이스트를 갖고, 본 발명의 기재를 구비하지 않은 것에 관한 점 이외에는 상술한 제 1 실시예에서의 반도체 장치와 동일하다. 따라서 본 실시예에서 제 1 실시예와 기본적으로 동일한 것에 대해서는 동일한 부호를 부여하고 상세한 설명을 생략하기로 한다. 또 특히 설명이 없는 것에 대해서는 제 1 실시예와 동일한 것으로 한다.

제 4 실시예에서의 반도체 장치의 구성을 도시한 단면도인 도 6을 참조하여 본 실시예를 설명하기로 한다. 상기 제 1 실시예의 경우와 비교하여 도전성 페이스트(10) 및 접착제 층(2)이 반도체 소자(6)에 접속되는 표층에 형성된 다층기판(14)을 이용하는 점에서 다른 것 이외에는 제 1 실시예의 경우와 실질적으로 같은 구성이다.

반도체 소자(6)에 접속되는 표층에 도전성 페이스트(10) 및 접착제 층(2)을 갖는 다층기판(14)을 이용함으로써, 상기 제 1 실시예의 효과에 덧붙여 유기 필름(1)이나 다공질 기재(12) 등의 기재가 불필요하게 되므로 슬림형의 반도체 장치를 얻을 수 있는 이점이 있다.

이 때 구멍은 통과형이 될 수도 있다.

또한 본 발명의 상기 각 실시예에서 도전성 페이스트(10)의 재질은 수지(예를 들면 에폭시 수지, 실리콘 수지, 페놀 수지) 등에 Ag, Au, Cu, Ni 등의 미세 분말을 포함한 것으로 양호한 도전성이 있고, 또 열경화성인 것을 만족하는 것이라면 어떠한 것이라도 이용될 수 있다.

또 제 2 실시예 또는 제 3 실시예에서의 반도체 장치의 회로기판은 본 발명의 접착제 층 및 도전성 페이스트를 가지며 본 발명의 기재를 구비하지 않은 구성으로 해도, 제 2 실시예 또는 제 3 실시예의 효과에 덧붙여 상술한 바와 같은 효과가 있다.

또한 본 발명의 회로기판은 상술한 제 1 실시예 내지 제 4 실시예에서는 반도체 소자와 대향하는 면과 반대측의 면에 매트릭스 형상으로 이차원적으로 배치된 외부 접속단자를 갖는 다층기판인 것으로 설명했지만, 이에 한정되는 것은 아니다. 예컨대, 이러한 외부 접속단자들의 이차원적 배치는 임의적일 수 있다.

또한 본 발명의 도전성 페이스트의 도전성 물질은 압축에 의해 치밀화된 것으로 설명했지만, 이에 한정되는 것이 아니라 압축에 의한 치밀화를 생략한 것이어도 소형화·슬림화되는 효과를 갖는 반도체 장치를 제공할 수 있다.

**발명의 효과**

이상 설명한 것으로부터 알 수 있는 바와 같이 본 발명은 반도체 소자의 다단자화에도 용이하게 대응할 수 있는 소형·슬림형·고신뢰성의 반도체 장치와 그 제조방법을 제공할 수 있다.

즉 본 발명의 반도체 장치는 반도체 소자의 주위에 배치된 단자전극의 배치를 이차원적으로 변환하는 다층기판을 이용함으로써, 반도체 소자의 단자 전극수의 증대에 용이하게 대응할 수 있는 반도체 장치를 얻을 수 있다.

또한, 본 발명의 반도체 장치의 제조방법은 반도체 소자와 회로기판(또는 기재) 사이의 간격에 봉입수지를 충전할 필요가 없어지게 되어, 반도체 소자의 실장 크기를 반도체 소자의 크기로부터 소형화할 수 있다.

상술한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

**(57) 청구의 범위**

**청구항 1.**

회로기판에 실장하기 위한 반도체장치로서,

반도체 소자와,

다층기판과,

상기 다층기판의 표면에 설치된 내측 접속전극과,

상기 다층기판의 이면에 2차원적으로 설치되며, 상기 내측 접속전극과 전기적으로 접속된 외측 접속전극과,

상기 반도체소자와 상기 다층기판 사이에 배치되는 다공질 기재(base material)와,

상기 기재에 형성된 구멍에 충전되어, 상기 반도체 소자의 단자전극과 상기 다층기판의 내측 접속전극을 전기적으로 접속하는 도전성 페이스트를 구비하는 것을 특징으로 하는 반도체 장치.

## 청구항 2.

제 1항에 있어서,

상기 구멍은 상기 기재를 관통하지 않도록 형성되고, 상기 구멍에 충전된 도전성 페이스트는 상기 기재가 갖는 IVH(내부 관통구멍) 구조를 통하여 상기 회로기판의 내측 접속전극에 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 3.

제 1항에 있어서,

상기 기재는 적어도 그 한 쪽의 면에 접착제 층을 구비하는 것을 특징으로 하는 반도체 장치.

## 청구항 4.

제 3항에 있어서,

상기 구멍은 적어도 상기 기재의 상기 반도체소자 측의 상기 접착제 층을 관통하도록 형성되는 것을 특징으로 하는 반도체 장치.

## 청구항 5.

제 1항에 있어서,

상기 기재의 적어도 한쪽의 면은 자기 접착성을 갖는 것을 특징으로 하는 반도체 장치.

## 청구항 6.

제 1항에 있어서,

상기 구멍은 상기 기재를 관통하도록 형성되는 것을 특징으로 하는 반도체 장치.

**청구항 7.**

삭제

**청구항 8.**

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 반도체 소자는 상기 단자전극 상에 돌기전극을 갖고, 상기 단자전극은 상기 돌기전극과 상기 도전성 페이스트를 통하여 상기 내측 접속전극에 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

**청구항 9.**

삭제

**청구항 10.**

삭제

**청구항 11.**

삭제

**청구항 12.**

삭제

**청구항 13.**

삭제

**청구항 14.**

삭제

**청구항 15.**

삭제

**청구항 16.**

제 1항 내지 제 6항 중 어느 한 항에 있어서,

적어도 상기 반도체 소자 및 상기 회로기판은 평면 형상 및 평면 크기가 실질적으로 동일 한 것을 특징으로 하는 반도체 장치.

**청구항 17.**

회로기판에 실장하기 위한 반도체장치의 제조방법으로서,

다공질 기재에 구멍을 형성하는 구멍 형성단계와,

상기 구멍에 도전성 페이스트를 충전하는 페이스트 충전단계와,

상기 반도체 소자를 상기 기재를 통하여 다층기판에 기계적으로 접속하는 동시에, 상기 반도체 소자의 단자전극과 상기 다층기판의 접속전극을 상기 도전성 페이스트에 의해 전기적으로 접속하는 접속단계와,



상기 접속단계 후에, 상기 기재와 상기 다층기판을 상기 반도체소자와 동일한 크기로 절단하는 절단단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 18.

제 17항에 있어서,

상기 구멍 형성단계에서, 상기 구멍은 상기 기재를 관통하지 않도록 형성되고,

상기 회로기판 측의 면과 상기 구멍과의 사이는 IVH(내부 관통구멍) 구조에 의해 접속되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 19.

제 17항에 있어서,

상기 기재는 상기 기재의 적어도 상기 반도체소자 측의 면에 접착제 층을 구비하고,

상기 구멍 형성단계에서, 상기 구멍은 적어도 상기 접착제 층을 관통하는 구멍인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 20.

제 19항에 있어서,

상기 접속단계에서의 접속은 상기 기재의 상기 접착제 층을 이용함으로써 실현되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 21.

제 17항에 있어서,

상기 기재의 적어도 상기 반도체소자 측의 면은 자기 접착성을 가지고 있고,

상기 구멍 형성단계에서, 상기 구멍은 상기 기재의 적어도 상기 반도체소자 측의 면에 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 22.

제 21항에 있어서,

상기 접속단계에서의 접속은 상기 기재의 자기 접착성을 이용함으로써 실현되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 23.

제 17항에 있어서,

상기 반도체 소자는 상기 단자전극 상에 돌기전극을 가지며,

상기 접속단계에서, 상기 단자전극은 상기 돌기전극과 상기 도전성 페이스트를 통하여 상기 접속단자에 전기적으로 접속되는 것을 특징으로 하는 반도체 장치의 제조방법.

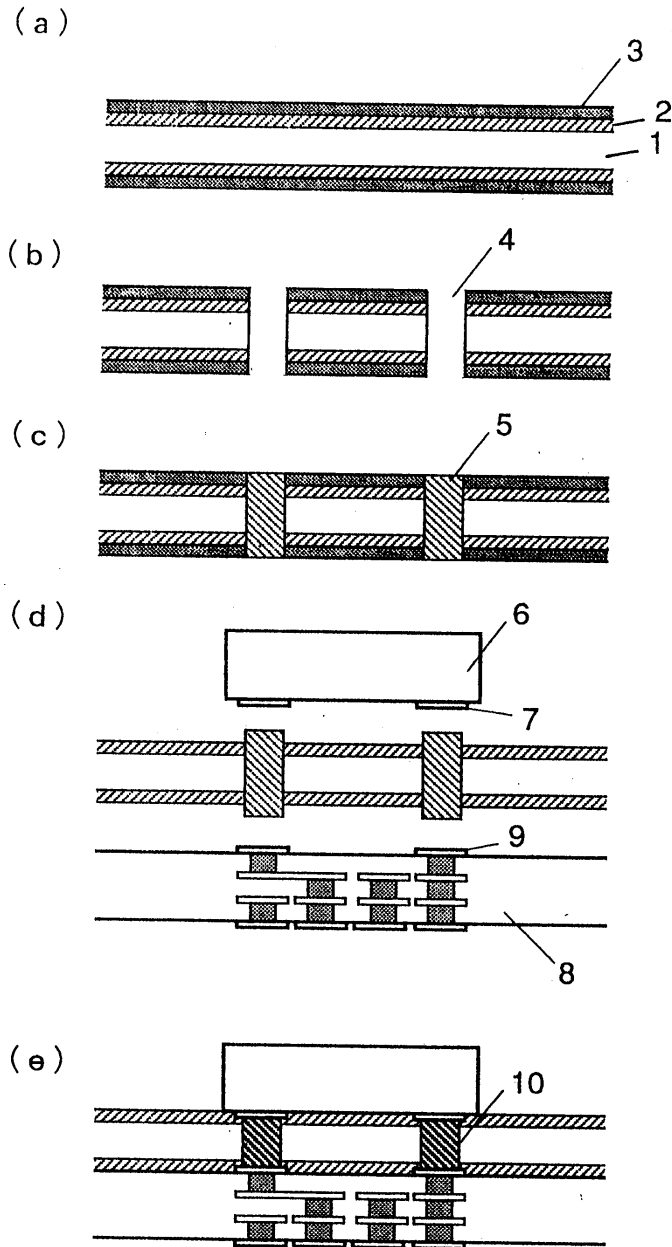
#### 청구항 24.

제 17항에 있어서,

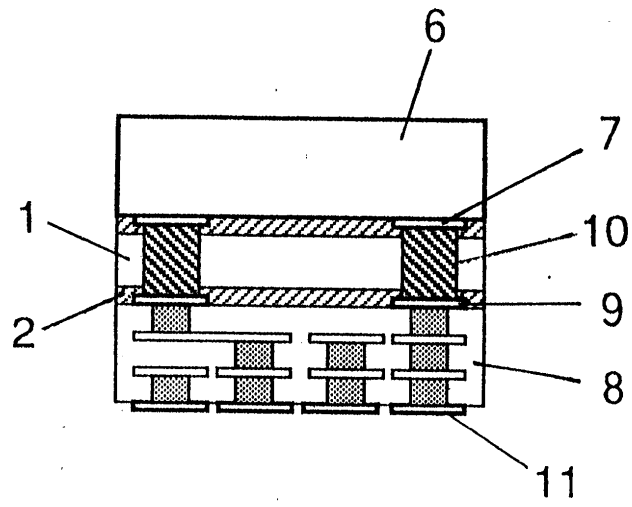
상기 접속단계에서, 상기 도전성 페이스트에 함유된 도전성 물질을 압축에 의해 치밀화하는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

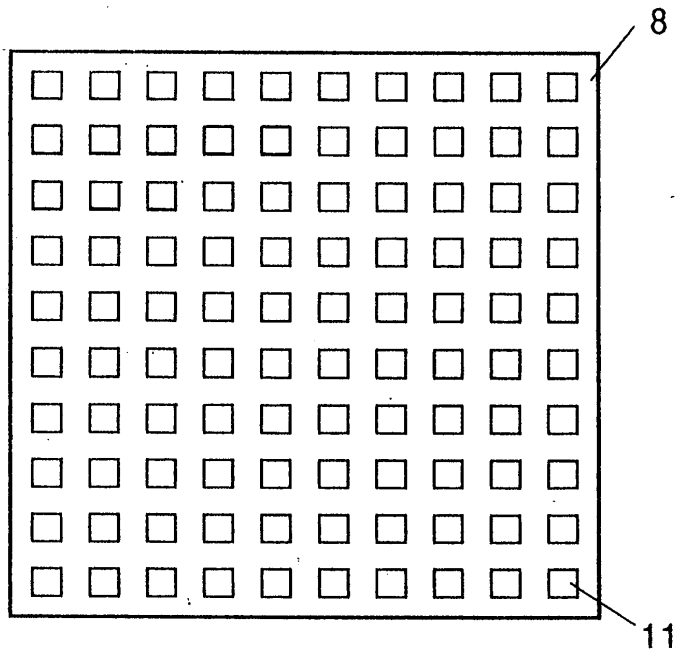
도면1



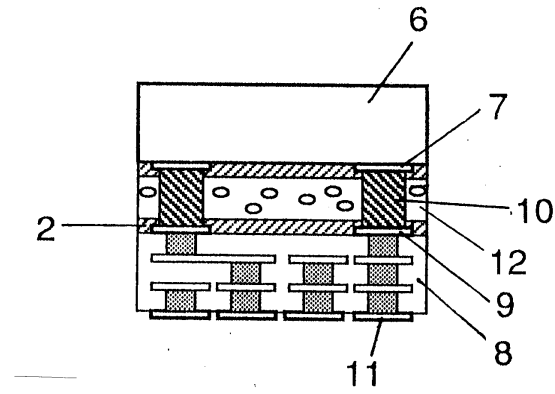
도면2



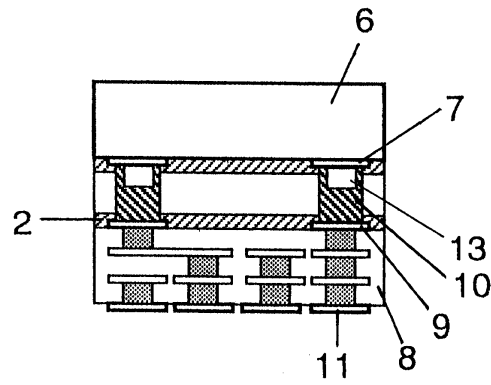
도면3



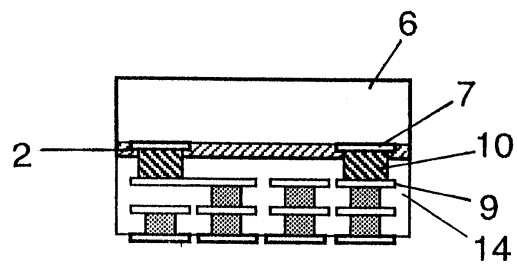
도면4



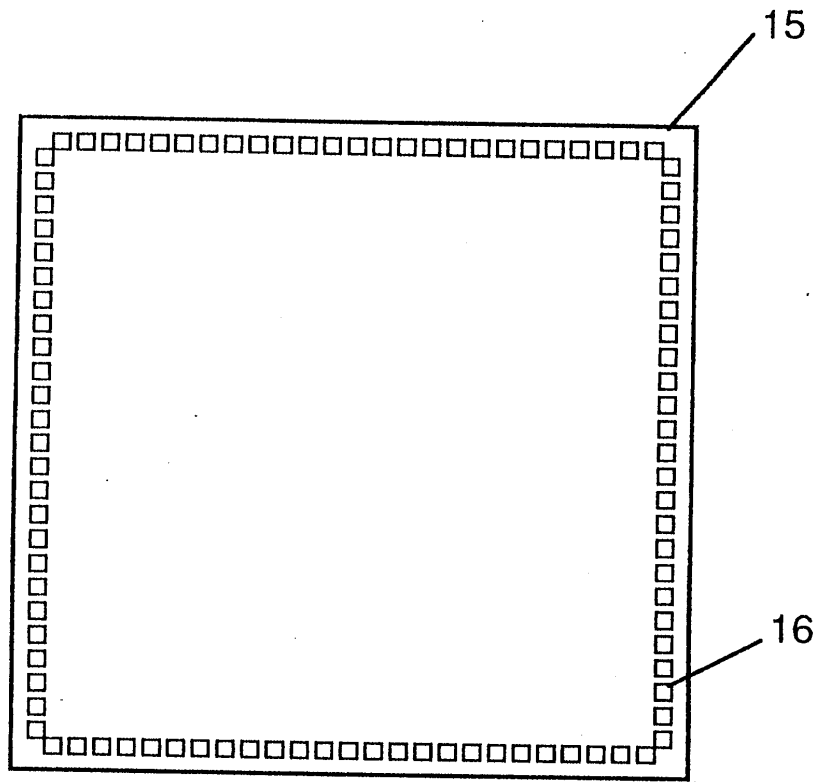
도면5



도면6



도면7



도면8

