



(12) 发明专利

(10) 授权公告号 CN 110191536 B

(45) 授权公告日 2021. 11. 12

(21) 申请号 201910438774.5

(22) 申请日 2019.05.24

(65) 同一申请的已公布的文献号  
申请公布号 CN 110191536 A

(43) 申请公布日 2019.08.30

(73) 专利权人 亿信科技发展有限公司  
地址 中国香港湾仔骆克道33号美国万通大厦(汇汉大厦)10层

(72) 发明人 卢增祥

(74) 专利代理机构 北京品源专利代理有限公司  
11332

代理人 孟金喆

(51) Int. Cl.

G09G 3/32 (2016.01)

H05B 45/30 (2020.01)

(56) 对比文件

- CN 1636238 A, 2005.07.06
- US 2012287173 A1, 2012.11.15
- CN 102682682 A, 2012.09.19
- CN 107038994 A, 2017.08.11
- CN 1860520 A, 2006.11.08
- CN 1963906 A, 2007.05.16
- CN 102708803 A, 2012.10.03
- US 2018075811 A1, 2018.03.15
- CN 202976775 U, 2013.06.05
- CN 103617787 A, 2014.03.05

审查员 刘艳

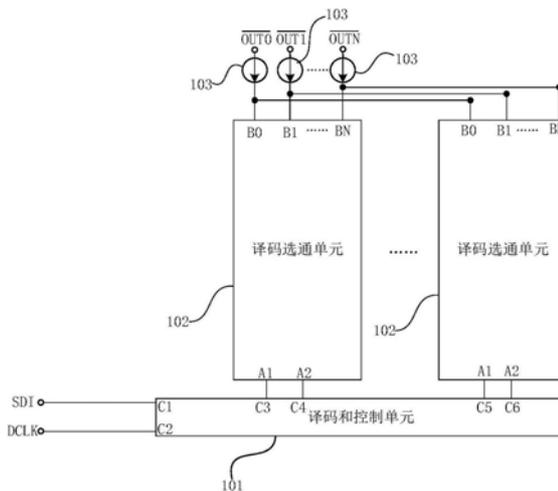
权利要求书3页 说明书15页 附图10页

(54) 发明名称

驱动控制电路、驱动控制芯片、集成封装器件、显示系统和稀疏驱动的方法

(57) 摘要

本发明公开一种驱动控制电路、驱动控制芯片、集成封装器件、显示系统和稀疏驱动的方法。驱动控制电路包括数据输入端、时钟输入端、译码和控制单元、至少两个译码选通单元、至少两个驱动源和至少两个驱动信号输出端；译码和控制单元的第一输入端电连接数据输入端，第二输入端电连接时钟输入端；每个译码选通单元的控制输入端电连接对应的控制输出端，地址输入端与对应地址输出端电连接，至少两个输出端与至少两个驱动源的第一端一一对应电连接；至少两个驱动源的第二端一一对应电连接至少两个驱动信号输出端。数据输入端输入的数据直接输入到对应的译码选通单元，译码选通单元控制驱动信号输出端有无输出，带宽一定时，极大的提高了最大刷新帧率。



CN 110191536 B

1. 一种驱动控制电路,其特征在于,所述驱动控制电路包括数据输入端、时钟输入端、译码和控制单元、至少两个译码选通单元、至少两个驱动源和至少两个驱动信号输出端;

所述译码和控制单元包括第一输入端、第二输入端、至少两个控制输出端和地址输出端,所述至少两个控制输出端与所述至少两个地址输出端一一对应;所述译码和控制单元的第一输入端与所述数据输入端电连接,所述译码和控制单元的第二输入端与所述时钟输入端电连接;所述译码和控制单元对数据输入端输入的数据进行译码,并根据译码结果确定将数据输送到的译码选通单元的个数及地址;其中,根据视点数量选择译码选通单元的个数;

至少两个译码选通单元与至少两个控制输出端一一对应;每个所述译码选通单元包括地址输入端、控制输入端和至少两个输出端,每个所述译码选通单元的控制输入端与对应的所述控制输出端电连接,所述译码选通单元的地址输入端与对应的所述控制输出端所对应的地址输出端电连接,所述译码选通单元的至少两个输出端与至少两个所述驱动源的第一端一一对应电连接;所述译码选通单元用于将地址输入端的地址译码,并根据译码结果将其控制输入端与任一个输出端选通;

至少两个所述驱动源的第二端与所述至少两个驱动信号输出端一一对应电连接,所述驱动源用于根据第一端的信号从第二端输出驱动信号。

2. 根据权利要求1所述的驱动控制电路,其特征在于,所述译码选通单元包括译码缓冲存储器和至少两个开关;

所述译码缓冲存储器的第一输入端与所述译码选通单元的地址输入端电连接,所述译码缓冲存储器的第二输入端与所述译码选通单元的控制输入端电连接,所述译码缓冲存储器的第一输出端用于控制所述至少两个开关的导通或关断,所述译码缓冲存储器的第二输出端与所述至少两个开关的第一端均电连接,所述至少两个开关的第二端与所述译码选通单元的至少两个输出端一一对应电连接。

3. 根据权利要求2所述的驱动控制电路,其特征在于,还包括控制指令端、计数器和同步控制器;所述译码选通单元还包括比较器;

所述计数器的第一输入端与所述时钟输入端电连接,所述计数器的第二输入端与所述同步控制器的第一输出端电连接,所述计数器的输出端与所述比较器的第一输入端电连接;

所述同步控制器的第一输入端与所述控制指令端电连接;

所述比较器的第二输入端与所述译码缓冲存储器的第二输出端电连接,所述比较器的输出端与所述至少两个开关的第一端均电连接。

4. 根据权利要求3所述的驱动控制电路,其特征在于,还包括块选端、块电流调节单元、块电流调节端和状态缓存器;

所述块电流调节单元的第一输入端与所述块电流调节端电连接,所述块电流调节单元的第二输入端与所述状态缓存器的第一输出端电连接,所述块电流调节单元的输出端与所述至少两个驱动源的控制端均电连接;

所述状态缓存器的输入端与所述同步控制器的第二输出端电连接,所述状态缓存器的第二输出端与所述译码和控制单元的第三输入端电连接;

所述同步控制器的第二输入端与所述块选端电连接。

5. 根据权利要求4所述的驱动控制电路,其特征在于,还包括第一施密特触发器、第二施密特触发器、第三施密特触发器和第四施密特触发器;

所述计数器的第一输入端通过所述第一施密特触发器与所述时钟输入端电连接,其中,所述计数器的第一输入端与所述第一施密特触发器的输出端电连接,所述时钟输入端与所述第一施密特触发器的输入端电连接;

所述同步控制器的第一输入端通过所述第二施密特触发器与所述控制指令端电连接,其中,所述同步控制器的第一输入端与所述第二施密特触发器的输出端电连接,所述控制指令端与所述第二施密特触发器的输入端电连接;

所述译码和控制单元的第一输入端通过所述第三施密特触发器与所述数据输入端电连接,其中,所述译码和控制单元的第一输入端与所述第三施密特触发器的输出端电连接,所述数据输入端与所述第三施密特触发器的输入端电连接;

所述译码和控制单元的第二输入端通过所述第四施密特触发器与所述时钟输入端电连接,其中,所述译码和控制单元的第二输入端与所述第四施密特触发器的输出端电连接,所述时钟输入端与所述第四施密特触发器的输入端电连接。

6. 一种稀疏驱动的方法,应用于权利要求1-5任一项所述的驱动控制电路,其特征在于,所述驱动控制电路的N个驱动信号输出端与N个发光结构一一对应电连接;

所述稀疏驱动的方法包括:所述驱动控制电路根据预设信息驱动M个驱动信号输出端输出驱动信号以控制对应的M个发光结构发光;

其中, $1 \leq M < N$ ,M和N均为整数,所述预设信息包括:人双眼的位置信息。

7. 一种驱动控制芯片,其特征在于,包括至少两个单元块、时钟端、数据端、至少两个驱动输出端、译码及缓冲存储器、行选通电路、列选通电路和比较控制器,其中,每个单元块均包括如权利要求4-5任一项所述的驱动控制电路,所述至少两个单元块呈M行N列的排布,M和N均为正整数;

所述译码及缓冲存储器的第一输入端与所述时钟端电连接,所述译码及缓冲存储器的第二输入端与所述数据端电连接,所述译码及缓冲存储器的第一输出端与所述行选通电路的输入端电连接,所述译码及缓冲存储器的第二输出端与所述列选通电路的输入端电连接;所述行选通电路的M个输出端与所述M行驱动控制电路的块选端对应电连接,所述列选通电路的N个输出端与所述N列驱动控制电路的数据输入端对应电连接;

所述时钟端与所述驱动控制电路的时钟输入端电连接;

所述比较控制器的第一输入端与所述时钟端电连接,所述比较控制器的第二输入端与所述数据端电连接,所述比较控制器的第一输出端与所述至少两个驱动控制电路的控制指令端均电连接;所述比较控制器用于根据输入的时钟信号及数据信号输出控制指令至所述驱动控制电路;

所述至少两个驱动源的第二端与所述至少两个驱动输出端一一对应电连接。

8. 根据权利要求7所述的驱动控制芯片,其特征在于,还包括串并驱动选通电路,所述串并驱动选通电路包括1个第一并行数据输入端、N-1个第二并行数据输入端、N-1个与门、N-1个并行选通端、和N个并行数据输出端,所述N-1个与门的第一输入端分别与所述N-1个第二并行数据输入端电连接,所述N-1个与门的第二输入端分别与所述N-1个并行选通端电连接,所述列选通电路的N个输出端包括1个第一输出端和N-1个第二输出端,所述第一并行

数据输入端与所述列选通电路的第一输出端电连接,所述N-1个并行选通端分别与所述列选通电路的N-1个第二输出端电连接,所述N个并行数据输出端与所述N列单元块对应,所述第一并行数据输入端及所述N-1个第二并行数据输入端用于输入并行数据,所述N-1个与门的输出端分别与所述N个并行数据输出端中的N-1个并行数据输出端对应;其中,所述第一并行数据输入端输入的并行数据由所述译码及缓冲存储器输出,且所述第一并行数据输入端及所述N-1个与门的第二输入端复用为串行数据输入端,M和N均为大于等于2的整数。

9. 根据权利要求7所述的驱动控制芯片,其特征在于,还包括第五施密特触发器和第六施密特触发器;

所述译码及缓冲存储器的第一输入端通过所述第五施密特触发器与所述时钟端电连接,其中,所述译码及缓冲存储器的第一输入端与所述第五施密特触发器的输出端电连接,所述时钟端与所述第五施密特触发器的输入端电连接;

所述译码及缓冲存储器的第二输入端通过所述第六施密特触发器与所述数据端电连接,其中,所述译码及缓冲存储器的第二输入端与所述第六施密特触发器的输出端电连接,所述数据端与所述第六施密特触发器的输入端电连接。

10. 一种集成封装器件,其特征在于,包括权利要求7-9任一项所述的驱动控制芯片、集成数据输入端、集成时钟输入端、电源端、接地端及密集显示器件;

所述集成数据输入端与所述驱动控制芯片的数据端电连接;所述集成时钟输入端与所述驱动控制芯片的时钟端电连接;

所述密集显示器件包括至少两个发光单元,所述驱动控制芯片的驱动输出端与所述发光单元一一对应电连接。

11. 根据权利要求10所述的集成封装器件,其特征在于,所述集成数据输入端输入信号的数据格式包括:帧同步位、驱动电路数量位、M个驱动电路地址位、M个启动位、M个电流增益位、M个块内视点数位、M×N个驱动控制电路内地址位和M×N个灰度数据位;其中,M为取值从1至64的整数,N为取值从1至4的整数。

12. 根据权利要求10所述的集成封装器件,其特征在于,所述发光单元包括MicroLED。

13. 一种显示系统,其特征在于,包括至少两个如权利要求10所述的集成封装器件、反馈模块和处理模块;

所述处理模块与所述至少两个集成封装器件的集成数据输入端及集成时钟输入端电连接,所述处理模块与所述反馈模块电连接;

所述处理模块用于接收服务器发送的预设信息,并根据所述反馈模块的反馈信息将所述预设信息解析传送至所述集成封装器件,以驱动所述集成封装器件显示;所述反馈模块用于追踪人眼的位置信息,并将人眼的位置信息反馈至所述处理模块。

## 驱动控制电路、驱动控制芯片、集成封装器件、显示系统和稀疏驱动的方法

### 技术领域

[0001] 本发明实施例涉及驱动控制技术,尤其涉及一种驱动控制电路、驱动控制芯片、集成封装器件、显示系统和稀疏驱动的方法。

### 背景技术

[0002] 随着光场显示技术以及密集显示器件的应用越来越广泛,然而由于光场显示技术对驱动技术的刷新帧率要求较高,如何对密集显示器件进行驱动以形成光场显示也越来越受到重视。

[0003] 传统的驱动方式包括如无源选址驱动、有源选址驱动和动态扫描驱动等刷新帧率均较低,如无源选址驱动及有源选址驱动的刷新帧率一般在60Hz至120Hz,动态扫描驱动的刷新帧率可达到3.8KHz,而在一些情况下,光场显示技术所需要的刷新帧率在千赫兹的量级,如显示像素的点距为0.7mm,扫描速度为20m/s时,刷新帧率需达到30KHz,传统的驱动方式远远达不到光场显示技术的需求。静态扫描驱动虽然可达到光场显示技术的需求,然而其需要的驱动芯片过于庞大,布线困难,极大的提高了成本。

### 发明内容

[0004] 本发明提供一种驱动控制电路、驱动控制芯片、集成封装器件和显示系统,以实现光场显示技术需求的高帧率及低成本。

[0005] 第一方面,本发明实施例提供了一种驱动控制电路,所述驱动控制电路包括数据输入端、时钟输入端、译码和控制单元、至少两个译码选通单元、至少两个驱动源和至少两个驱动信号输出端;

[0006] 所述译码和控制单元包括第一输入端、第二输入端、至少两个控制输出端和地址输出端,至少两个控制输出端与至少两个地址输出端一一对应;所述译码和控制单元的第一输入端与所述数据输入端电连接,所述译码和控制单元的第二输入端与所述时钟输入端电连接;

[0007] 至少两个译码选通单元与至少两个控制输出端一一对应;每个所述译码选通单元包括地址输入端、控制输入端和至少两个输出端,每个所述译码选通单元的控制输入端与对应的所述控制输出端电连接,所述译码选通单元的地址输入端与对应的所述控制输出端所对应的地址输出端电连接,所述译码选通单元的至少两个输出端与至少两个所述驱动源的第一端一一对应电连接;所述译码选通单元用于将地址输入端的地址译码,并根据译码结果将其控制输入端与任一个输出端选通;

[0008] 至少两个所述驱动源的第二端与所述至少两个驱动信号输出端一一对应电连接,所述驱动源用于根据第一端的信号从第二端输出驱动信号。

[0009] 可选的,所述译码选通单元包括译码缓冲存储器和至少两个开关;

[0010] 所述译码缓冲存储器的第一输入端与所述译码选通单元的地址输入端电连接,所

述译码缓冲存储器的第二输入端与所述译码选通单元的控制输入端电连接,所述译码缓冲存储器的第一输出端用于控制所述至少两个开关导通或关断,所述译码缓冲存储器的第二输出端与所述至少两个开关的第一端均电连接,所述至少两个开关的第二端与所述译码选通单元的至少两个输出端一一对应电连接。

[0011] 可选的,还包括控制指令端、计数器和同步控制器;所述译码选通单元还包括比较器;

[0012] 所述计数器的第一输入端与所述时钟输入端电连接,所述计数器的第二输入端与所述同步控制器的第一输出端电连接,所述计数器的输出端与所述比较器的第一输入端电连接;

[0013] 所述同步控制器的第一输入端与所述控制指令端电连接;

[0014] 所述比较器的第二输入端与所述译码缓冲存储器的第二输出端电连接,所述比较器的输出端与所述至少两个开关的第一端均电连接。

[0015] 可选的,还包括块选端、块电流调节单元、块电流调节端和状态缓存器;

[0016] 所述块电流调节单元的第一输入端与所述块电流调节端电连接,所述块电流调节单元的第二输入端与所述状态缓存器的第一输出端电连接,所述块电流调节单元的输出端与所述至少两个驱动源的控制端均电连接;

[0017] 所述状态缓存器的输入端与所述同步控制器的第二输出端电连接,所述状态缓存器的第二输出端与所述译码和控制单元的第三输入端电连接;

[0018] 所述同步控制器的第二输入端与所述块选端电连接。

[0019] 可选的,还包括第一施密特触发器、第二施密特触发器、第三施密特触发器和第四施密特触发器;

[0020] 所述计数器的第一输入端通过所述第一施密特触发器与所述时钟输入端电连接,其中,所述计数器的第一输入端与所述第一施密特触发器的输出端电连接,所述时钟输入端与所述第一施密特触发器的输入端电连接;

[0021] 所述同步控制器的第一输入端通过所述第二施密特触发器与所述控制指令端电连接,其中,所述同步控制器的第一输入端与所述第二施密特触发器的输出端电连接,所述控制指令端与所述第二施密特触发器的输入端电连接;

[0022] 所述译码和控制单元的第一输入端通过所述第三施密特触发器与所述数据输入端电连接,其中,所述译码和控制单元的第一输入端与所述第三施密特触发器的输出端电连接,所述数据输入端与所述第三施密特触发器的输入端电连接;

[0023] 所述译码和控制单元的第二输入端通过所述第四施密特触发器与所述时钟输入端电连接,其中,所述译码和控制单元的第二输入端与所述第四施密特触发器的输出端电连接,所述时钟输入端与所述第四施密特触发器的输入端电连接。

[0024] 第二方面,本发明实施例还提供了一种稀疏驱动的方法,应用于第一方面任一项所述的驱动控制电路,所述驱动控制电路的N个驱动信号输出端与N个发光结构一一对应电连接;

[0025] 所述稀疏驱动的方法包括:所述驱动控制电路根据预设信息驱动M个驱动信号输出端输出驱动信号以控制对应的M个发光结构发光;

[0026] 其中, $1 \leq M < N$ ,M和N均为整数。

[0027] 可选的,所述预设信息包括:人双眼的位置信息。

[0028] 第三方面,本发明实施例还提供了一种驱动控制芯片,包括至少两个单元块、时钟端、数据端、至少两个驱动输出端、译码及缓冲存储器、行选通电路、列选通电路和比较控制器,其中,每个单元块均包括第一方面所述的驱动控制电路,所述至少两个单元块呈M行N列的排布,M和N均为正整数;

[0029] 所述译码及缓冲存储器的第一输入端与所述时钟端电连接,所述译码及缓冲存储器的第二输入端与所述数据端电连接,所述译码及缓冲存储器的第一输出端与所述行选通电路的输入端电连接,所述译码及缓冲存储器的第二输出端与所述列选通电路的输入端电连接;所述行选通电路的M个输出端与所述M行驱动控制电路的块选端对应电连接,所述列选通电路的N个输出端与所述N列驱动控制电路的数据输入端对应电连接;

[0030] 所述时钟端与所述驱动控制电路的时钟输入端电连接;

[0031] 所述比较控制器的第一输入端与所述时钟端电连接,所述比较控制器的第二输入端与所述数据端电连接,所述比较控制器的第二输出端与所述至少两个驱动控制电路的数据输入端均电连接;所述比较控制器用于根据输入的时钟信号及数据信号输出控制指令至所述驱动控制电路;

[0032] 所述至少两个驱动源的第二端与所述至少两个驱动输出端一一对应电连接。

[0033] 可选的,还包括串并驱动选通电路,所述串并驱动选通电路包括1个第一并行数据输入端、N-1个第二并行数据输入端、N-1个与门、N-1个并行选通端、和N个并行数据输出端,所述N-1个与门的第一输入端分别与所述N-1个第二并行数据输入端电连接,所述N-1个与门的第二输入端分别与所述N-1个并行选通端电连接,所述列选通电路的N个输出端包括1个第一输出端和N-1个第二输出端,所述第一并行数据输入端与所述列选通电路的第一输出端电连接,所述N-1个并行选通端分别与所述N-1个第二输出端电连接,所述N个并行数据输出端与所述N列单元块对应,所述第一并行数据输入端及所述N-1个第二并行数据输入端用于输入并行数据,所述N-1个与门的输出端分别与所述N个并行数据输出端中的N-1个并行数据输出端对应;其中,所述第一并行数据输入端输入的并行数据由所述译码及缓冲存储器输出,M和N均为大于等于2的整数。

[0034] 可选的,还包括第五施密特触发器和第六施密特触发器;

[0035] 所述译码及缓冲存储器的第一输入端通过所述第五施密特触发器与所述时钟端电连接,其中,所述译码及缓冲存储器的第一输入端与所述第五施密特触发器的输出端电连接,所述时钟端与所述第五施密特触发器的输入端电连接;

[0036] 所述译码及缓冲存储器的第二输入端通过所述第六施密特触发器与所述数据端电连接,其中,所述译码及缓冲存储器的第二输入端与所述第六施密特触发器的输出端电连接,所述数据端与所述第六施密特触发器的输入端电连接。

[0037] 第四方面,本发明实施例还提供了一种集成封装器件,包括第二方面任一项所述的驱动控制芯片、集成数据输入端、集成时钟输入端、电源端、接地端及密集显示器件;

[0038] 所述集成数据输入端与所述至少两个驱动控制芯片的数据端电连接;所述集成时钟输入端与所述驱动控制芯片的时钟端电连接;所述电源端用于为所述集成封装器件提供电能;所述接地端用于接地;

[0039] 所述密集显示器件包括至少两个发光单元,所述驱动控制芯片的驱动输出端与所

述发光单元一一对应电连接。

[0040] 可选的,所述集成数据输入端输入信号的数据格式包括:帧同步位、驱动电路数量位、M个驱动电路地址位、M个启动位、M个电流增益位、M个块内视点数位、 $M \times N$ 个驱动控制电路内地址位和 $M \times N$ 个灰度数据位;其中,M为取值从1至64的整数,N为取值从1至4的整数。

[0041] 可选的,所述发光单元包括MicroLED。

[0042] 第五方面,本发明实施例还提供了一种显示系统,其特征在于,包括至少两个如第三方面所述的集成封装器件、反馈模块和处理模块;

[0043] 所述处理模块与所述至少两个集成封装器件的集成数据输入端及集成时钟输入端电连接,所述处理模块与所述反馈模块电连接;

[0044] 所述处理模块用于接收服务器发送的预设信息,并根据所述反馈模块的反馈信息将所述预设信息解析传送至所述集成封装器件,以驱动所述集成封装器件显示;所述反馈模块用于追踪人眼的位置信息,并将人眼的位置信息反馈至所述处理模块。

[0045] 本发明通过采用包括数据输入端、时钟输入端、译码和控制单元、至少两个译码选通单元、至少两个驱动源和至少两个驱动信号输出端的驱动控制电路,数据输入端输入的数据直接输入到了对应的译码选通单元中,利用译码选通单元控制驱动信号输出端有无输出,因而在带宽一定的情况下,极大的提高了最大刷新帧率;且由于仅需要对一个或至少两个视点所对应的MicroLED进行驱动,可极大地减小驱动控制电路的工作所需带宽。

## 附图说明

[0046] 图1为本发明实施例提供的一种驱动控制电路的电路结构示意图;

[0047] 图2为本发明实施例提供的一种人眼接收矢量像素的示意图;

[0048] 图3为本发明实施例提供的另一种驱动控制电路的电路结构示意图;

[0049] 图4为本发明实施例提供的又一种驱动控制电路的电路结构示意图;

[0050] 图5为本发明实施例提供的又一种驱动控制电路的电路结构示意图;

[0051] 图6为本发明实施例提供的又一种驱动控制电路的电路结构示意图;

[0052] 图7为本发明实施例提供的一种稀疏驱动的方法流程图;

[0053] 图8为本发明实施例提供的一种驱动控制芯片的电路结构示意图;

[0054] 图9为本发明实施例提供的一种驱动控制芯片内驱动控制电路的排列结构示意图;

[0055] 图10为本发明实施例提供的又一种驱动控制芯片内驱动控制电路的排列结构示意图;

[0056] 图11为本发明实施例提供的一种驱动控制芯片分块的结构示意图;

[0057] 图12为本发明实施例提供的一种亮度衰减区域的结构示意图;

[0058] 图13为本发明实施例提供的又一种驱动控制芯片的电路结构示意图;

[0059] 图14为本发明实施例提供的一种集成封装器件的结构示意图;

[0060] 图15为本发明实施例提供的一种显示系统的结构示意图;

[0061] 图16为本发明实施例提供的一种旋转显示系统的结构示意图。

## 具体实施方式

[0062] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

### [0063] 实施例

[0064] 参考图1,图1为本发明实施例提供的一种驱动控制电路的电路结构示意图,驱动控制电路包括数据输入端SDI、时钟输入端DCLK、译码和控制单元101、M个译码选通单元102、N+1个驱动源103和N+1个驱动信号输出端(OUT0、OUT1、……OUTN);示例性的,M的数量可为1至4之间的整数,N可为0至111之间的整数。

[0065] 译码和控制单元101包括第一输入端C1、第二输入端C2、至少两个控制输出端(C3、C5)和至少两个地址输出端(C4、C6),至少两个控制输出端(C3、C5)与至少两个地址输出端(C4、C6)一一对应;译码和控制单元101的第一输入端C1与数据输入端SDI电连接,译码和控制单元101的第二输入端C2与时钟输入端DCLK电连接;

[0066] 至少两个译码选通单元102与至少两个控制输出端(C3、C5)一一对应;每个译码选通单元102包括地址输入端A2、控制输入端A1和至少两个输出端(B0、B1、……BN);每个译码选通单元102的控制输入端A1与对应的控制输出端电连接,如第一个译码选通单元102的控制输入端A1对应控制输出端C3,第M个译码选通单元102的控制输入端A1对应控制输出端C5;译码选通单元102的地址输入端A2与对应的控制输出端所对应的地址输出端电连接,如第一个译码选通单元102的地址输入端A2对应地址输出端C4,第M个译码选通单元102的地址输入端A2与地址输出端C6电连接,译码选通单元102的N+1个输出端(B0、B1、……BN)与N+1个驱动源103的第一端一一对应电连接;译码选通单元102用于将地址输入端A2的地址译码,并根据译码结果将其控制输入端A1与任一个输出端选通。

[0067] 示例性的,图2为本发明实施例提供的一种人眼接收矢量像素的示意图,参考图1和图2,密集显示器件阵列1011上可包含N+1个MicroLED 1016,N+1个MicroLED 1016与驱动信号输出端一一对应电连接,示例性的,N+1个MicroLED 1016可为14行8列的阵列排布格式,每个MicroLED 1016均可构成矢量像素,其中矢量像素的定义为:(1)点光源窄光束,即相对于较大的显示尺寸,可近似看成一点发光的光源(例如,光源只占显示器面积的万分之一以下),其向空间发射的多数光束有如下性质:如果以光强下降到此光束最大光强的50%为该光束边界,以光源为圆心,能包括所有边界的最小空间球面角小于10度;(2)能支持向不少于可被区分的100个方向上投射(1)中的光束;(3)可同时向两个或以上的方向上发射(1)中的光束;(4)光束的亮度支持至少16档可调节。每个MicroLED 1016发出的光经光学组件1012后的发散角度很小,在成像显示面1013(成像显示面1013可为虚拟的显示界面)的显示区1017上显示,而显示区1017的显示内容只可在视点1015处观察到,显示区1019的显示内容只可在视点1018处观察到,而由于受观看空间大小的限制,每个密集显示器件阵列1011所对应的视点相对于密集显示器件1011上的MicroLED1016的个数很小,示例性的,相对于MicroLED 1016为14行8列的排列形式,其有效观看区域内的最大有效视点数为4;此时仅需对4个MicroLED 1016进行驱动即可,也即采用稀疏驱动的方法;其中,每个视点所对应的MicroLED1016的个数也可能不为1,此时需要对每个视点所对应的MicroLED 1016均进行驱动,此时需要驱动的MicroLED 1016的个数仍较少。

[0068] 驱动源103可为恒流源,驱动控制电路的驱动信号输出端(OUT0、OUT1、……OUTN)可用于电连接MicroLED,时钟输入端DCLK在时钟信号的作用下,将数据输入端SDI输入的数据输入译码和控制单元101中,译码和控制单元101对完整的一帧数据信号进行译码并根据译码结果将数据发送至一个或至少两个译码选通单元102;其中,译码选通单元102的个数可与视点个数相同,可根据数据内包含的块视点个数信息及地址信息,确定将数据输送到的译码选通单元102的个数及地址,例如,驱动控制电路所应用的环境最多包含4个视点,译码选通单元102的个数可与应用的环境中所包含最多视点个数一致,即包含4个译码选通单元102,在某一时刻驱动控制电路所应用的环境中仅存在两个视点,则译码和控制单元101只需将数据发送至对应的两个译码选通单元102,译码选通单元102对接收的数据进行译码,并根据译码的结果将控制输入端与相应的输出端选通,以驱动相应的MicroLED发光。由于从数据输入端SDI输入的数据直接输入到了对应的译码选通单元102中,利用译码选通单元102控制驱动信号输出端有无输出,大部分情况下,均可采用稀疏驱动的方法,即不需要驱动所有的驱动信号输出端均有输出,而传统的驱动电路需要利用移位寄存器将数据送到所有的驱动信号输出端,即所有的驱动信号输出端均有输出,因而本实施例的技术方案在带宽一定的情况下,极大的提高了最大刷新帧率;例如当时钟频率为80MHz、一帧数据的最大数据量为2048bit时,数据的帧率可达到39.6kfps,即刷新帧率可达到39.6kHz。且由于仅需要对一个或至少两个视点所对应的MicroLED进行驱动,可极大地减小驱动控制电路的工作所需带宽,例如若MicroLED阵列包括200\*200个MicroLED,若显示所需的灰阶数据为10bit,传统驱动方式下的带宽需求为 $200*200*10\text{bit}*30\text{KHz}=12\text{Gbps}$ ,带宽量巨大,而利用本实施例的驱动控制电路,若存在20个视点(10个观看者),则只需 $20*10\text{bit}*30\text{KHz}=6\text{Mbps}$ 带宽。

[0069] 本实施例的技术方案,通过采用包括数据输入端、时钟输入端、译码和控制单元、至少两个译码选通单元、至少两个驱动源和至少两个驱动信号输出端的驱动控制电路,数据输入端输入的数据直接输入到了对应的译码选通单元中,利用译码选通单元控制驱动信号输出端有无输出,因而在带宽一定的情况下,极大的提高了最大刷新帧率;且由于仅需要对一个或至少两个视点所对应的MicroLED进行驱动,可极大地减小驱动控制电路的工作所需带宽。

[0070] 可选的,图3为本发明实施例提供的另一种驱动控制电路的电路结构示意图,参考图1-3,译码选通单元包括缓冲存储器1021和至少两个开关;

[0071] 译码缓冲存储器1021的第一输入端与译码选通单元的地址输入端电连接,译码缓冲存储器1021的第二输入端与译码选通单元的控制输入端电连接,译码缓冲存储器1021的第一输出端与至少两个开关的控制端均电连接,译码缓冲存储器1021的第二输出端与至少两个开关的第一端均电连接,至少两个开关的第二端与译码选通单元的至少两个输出端一一对应电连接。

[0072] 示例性的,若驱动控制电路包含N+1个译码选通单元,则驱动控制电路包含N+1个译码缓冲存储器1021,第一个译码缓冲存储器1021的第一输出端用于控制开关K01、开关K02、……、以及开关K0N的导通或关断,第一个译码缓冲存储器1021的第二输出端与开关K01、开关K02、……、以及开关K0N的第一端均电连接;第N+1个译码缓冲存储器1021的第一输出端与开关KN1、开关KN2、……、以及开关KNN的控制端均电连接,第N+1个译码缓冲存储

器1021的第二输出端与开关KN1、开关KN2、……以及开关KNN的第一端均电连接,译码缓冲存储器1021中可包括灰阶数据映像和地址映像;示例性的,第一个译码缓冲存储器1021对接收的数据进行译码后,第一输出端根据译码得到的地址控制开关K01、开关K02、……以及开关K0N的导通或关断,同时将对应的灰阶数据利用对应的驱动信号输出端输出,以利用稀疏驱动的方法达到驱动相应待驱动器件的目的。

[0073] 本实施例的技术方案,通过采用包括至少两个开关以及译码缓冲存储器的译码选通单元,利用译码缓冲存储器中的地址映像控制至少两个开关的导通或关断,并将对应的灰阶数据发送至相应的驱动信号输出端,进而达到了驱动相应待驱动器件的目的,且电路结构简单、易于布置。

[0074] 可选的,图4为本发明实施例提供的又一种驱动控制电路的电路结构示意图,参考图4,驱动控制电路还包括控制指令端LE、计数器202和同步控制器203;译码选通单元还包括比较器1022;

[0075] 计数器202的第一输入端与时钟输入端DCLK电连接,计数器202的第二输入端与同步控制器203的第一输出端电连接,计数器202的输出端与比较器1022的第一输入端电连接;

[0076] 同步控制器203的第一输入端与控制指令端LE电连接;

[0077] 比较器202的第二输入端与译码缓冲存储器1021的第二输出端电连接,比较器1022的输出端与至少两个开关的第一端均电连接。

[0078] 示例性的,驱动控制电路中还可包括至少两个控制开关1023,连接成如图3中所示的结构,其他电路可利用控制开关1023对驱动控制电路驱动信号输出端的输出状态进行控制,以提升驱动控制电路使用的灵活性。控制指令输入端LE用于输入控制指令,以对驱动控制电路进行控制;译码缓冲存储器1021译码得到地址及灰阶数据并使相应的开关导通后,相应的驱动信号输出端开始输出恒流,若驱动信号输出端电连接MicroLED,则此时MicroLED开始发光,并且计数器202开始计数,当计数器202的计数值达到对应的灰阶数据的值时,比较器202的输出端输出状态变化导致相应的驱动信号输出端的恒流输出停止,即实现了对MicroLED显示时间的控制,也即占空比控制,进而实现对MicroLED的显示亮度的控制。

[0079] 本实施例的技术方案,通过采用包括控制指令端、比较器、计数器和同步控制器的驱动控制电路,通过比较器将译码缓冲存储器中的灰阶数据与计数器的输出进行比较,以实现驱动信号输出端输出信号占空比的控制,进而实现对MicroLED显示亮度的控制,使MicroLED可显示更为丰富的颜色类型。

[0080] 可选的,参考图5,图5为本发明实施例提供的又一种驱动控制电路的电路结构示意图,驱动控制电路还包括块选端DR、块电流调节单元301、块电流调节端R和状态缓存器302;

[0081] 块电流调节单元301的第一输入端与块电流调节端R电连接,块电流调节单元301的第二输入端与状态缓存器302的第一输出端电连接,块电流调节单元301的输出端与至少两个驱动源的控制端均电连接;

[0082] 状态缓存器302的输入端与同步控制器203的第二输出端电连接,状态缓存器302的第二输出端与译码和控制单元101的第三输入端电连接;

[0083] 同步控制器203的第二输入端与块选端DR电连接。

[0084] 当块选端DR输入高电平时,此时驱动控制电路可正常工作;块电流调节端R用于连接设定驱动源输出信号大小的电阻,例如驱动源为恒流源时,通过在块电流调节端R连接不同阻值的电阻,即可实现对恒流源输出电流值的调节。

[0085] 可选的,参考图6,图6为本发明实施例提供的又一种驱动控制电路的电路结构示意图,驱动控制电路还包括第一施密特触发器401、第二施密特触发器402、第三施密特触发器403和第四施密特触发器404;

[0086] 计数器202的第一输入端通过第一施密特触发器401与时钟输入端DCLK电连接,其中,计数器202的第一输入端与第一施密特触发器401的输出端电连接,时钟输入端DCLK与第一施密特触发器401的输入端电连接;

[0087] 同步控制器203的第一输入端通过第二施密特触发器402与控制指令端LE电连接,其中,同步控制器203的第一输入端与第二施密特触发器402的输出端电连接,控制指令端与所述第二施密特触发器的输入端电连接;

[0088] 译码和控制单元101的第一输入端通过第三施密特触发器403与数据输入端SDI电连接,其中,译码和控制单元101的第一输入端与第三施密特触发器403的输出端电连接,数据输入端SDI与第三施密特触发器403的输入端电连接;

[0089] 译码和控制单元101的第二输入端通过第四施密特触发器404与时钟输入端DCLK电连接,其中,译码和控制单元101的第二输入端与第四施密特触发器404的输出端电连接,时钟输入端DCLK与第四施密特触发器404的输入端电连接。

[0090] 具体的,通过设置施密特触发器,可对施密特触发器输入端的信号进行调节,以使其输出端输出的方波信号更为稳定,提高驱动控制电路工作的稳定性和可靠性。

[0091] 图7为本发明实施例提供的一种稀疏驱动的方法流程图,稀疏驱动的方法可应用于上述任一项驱动控制电路,其中,驱动控制电路的N个驱动信号输出端与N个发光结构一一对应电连接;参考图7,稀疏驱动的方法包括:

[0092] 步骤71,驱动控制电路根据预设信息驱动M个驱动信号输出端输出驱动信号以控制对应的M个发光结构发光;

[0093] 其中, $1 \leq M < N$ ,M和N均为整数。

[0094] 示例性的,预设信息包括人双眼的位置信息;驱动控制电路可应用于光场显示技术中,N个发光结构均可构成矢量像素,然而由于人的双眼所观看到的区域只对应M个发光结构,驱动控制电路只需驱动此M个驱动信号输出端所对应的M个发光结构即可将完整的画面发送至人眼中。当人眼移动时,驱动控制芯片可重新选择需要进行驱动输出的驱动信号输出端的位置及数量,从而保证人实时的观看到完整的画面,此种驱动方法即稀疏驱动的方法。由于稀疏驱动的方法只需要驱动M个驱动信号输出端进行驱动,传统的驱动方法需要驱动N个驱动信号输出端进行驱动,由于M小于N,且大部分情况下,N为M的数倍甚至数十倍(例如M为64,而N为4),因而在带宽一定的情况下,采用稀疏驱动的方法可大大提高数据的刷新帧率。

[0095] 图8为本发明实施例提供的一种驱动控制芯片的电路结构示意图,图9为本发明实施例提供的一种驱动控制芯片内驱动控制电路的排列结构示意图,参考图8和图9,驱动控制芯片包括至少两个单元块、时钟端DCLK\_1、数据端SDI\_1、至少两个驱动输出端、译码及缓

冲存储器501、行选通电路505、列选通电路506和比较控制器502,其中,每个单元块均包括驱动控制电路11,单元块呈M行N列的排布,M和N均为正整数;

[0096] 译码及缓冲存储器501的第一输入端与时钟端DCLK\_1电连接,译码及缓冲存储器501的第二输入端与数据端SDI\_1电连接,译码及缓冲存储器501的第一输出端Cx与行选通电路505的输入端电连接,译码及缓冲存储器501的第二输出端Lx与列选通电路506的输入端电连接;行选通电路505的M个输出端与M行驱动控制电路11的块选端对应电连接,列选通电路506的N个输出端与N列驱动控制电路11的数据输入端对应电连接;

[0097] 时钟端DCLK\_1与驱动控制电路的时钟输入端DCLK电连接;

[0098] 比较控制器502的第一输入端与时钟端DCLK\_1电连接,比较控制器502的第二输入端与数据端SDI\_1电连接,比较控制器502的第一输出端与至少两个驱动控制电路的控制指令端LE均电连接;比较控制器502用于根据输入的时钟信号及数据信号输出控制指令至驱动控制电路;

[0099] 至少两个驱动源的第二端与至少两个驱动输出端一一对应电连接。

[0100] 数据端SDI\_1输入的数据与时钟端DCLK\_1输入的时钟经比较控制器502,产生块开始帧锁存信号,发送至各个驱动控制电路11的控制指令端LE,块开始帧锁存信号用于整体锁存数据,并将驱动控制电路11内部的计数器清零,同时驱动控制电路11内的缓冲存储器的灰阶数据写入比较器后清零。

[0101] 示例性的,继续参考图8和图9,译码及缓冲存储器501对输入的数据进行译码后,得到一个行地址和一个列地址,并且需要输入至单元块内的数据信号可与列地址一同送至列选通电路,当行选通电路505在行地址的作用下选中某一行时,列选通电路506接收到列地址,使得译码及缓冲存储器501与对应列的驱动控制电路11的数据输入端电连接,也即选中了某列,则该选中的行与选中的列交叉的单元块,即该驱动控制电路被选中,该驱动控制电路执行相应的驱动功能,未被选中的驱动控制电路不再执行相应的驱动功能,从而降低驱动控制芯片工作所需的带宽;驱动控制芯片在某一时刻可选择需要的单元块,而不需要选择所有的单元块,即驱动控制芯片对单元块的选择也可理解为“稀疏”的方式;大部分情况下,由于并不需要驱动控制芯片驱动所有的驱动输出端输出,驱动控制芯片对单元块的选择可采用稀疏的方式,同时单元块内对需要输出的驱动信号输出端的选择也可采用稀疏的方式,通过“双重稀疏”的驱动方法,在数据带宽一定时,进一步提高了数据的刷新帧率。同时,由于采用行地址和列地址来选择需要工作的单元块,各个单元块之间相互独立,且均只受到驱动控制芯片的控制,相互之间不存在干扰的现象,即只有被选择的单元块进行工作,而未被选择的单元块不执行工作,同时也不会干扰被选择的单元块,提高了驱动控制芯片工作的稳定性。

[0102] 参考10,图10为本发明实施例提供的又一种驱动控制芯片内驱动控制电路的排列结构示意图,与图9中所示结构不同的是,图10中所示的结构在增加了串并驱动选通电路801,驱动控制芯片包括M行乘N列个单元块,串并驱动选通电路801包括1个第一并行数据输入端SDI\_31、2个第二并行数据输入端SDI\_3、2个与门802、2个并行选通端和3个并行数据输出端,2个与门802的第一输入端分别与2个第二并行数据输入端SDI\_3电连接,2个与门的第二输入端分别与2个并行选通端电连接,列选通电路506的3个输出端包括1个第一输出端和2个第二输出端,第一并行数据输入端与上述列选通电路的第一输出端电连接,2个并行选

通端分别与列选通电路506的2个第二输出端电连接,3个并行数据输出端与3列单元块对应,第一并行数据输入端SDI\_31及2个第二并行数据输入端SDI\_3用于输入并行数据,2个与门802的输出端分别与3个并行数据输出端中的2个并行数据输出端对应;其中,第一并行数据输入端SDI\_31输入的并行数据由译码及缓冲存储器输出,且第一并行数据输入端SDI\_31及2个与门的第二输入端复用为串行数据输入端。在此结构下驱动控制芯片可选择串行输入方式或并行输入方式,示例性的,当选择串行输入方式时,如可设置第二并行数据输入端SDI\_3均无输入,串行数据在译码及缓冲存储器译码下通过第一并行数据输入端SDI\_31或者2个与门802的第二输入端输出至对应的列单元块;当选择并行输入方式时,译码及缓冲存储器501输出地址信息和第0列的数据信息,第0列的数据信息通过列选通电路506的第一输出端输出至串并驱动选通电路801的第一并行数据输入端SDI\_31,从而驱动与第一并行数据输入端SDI\_31相对应的并行数据输出端输出数据信息至相应列的驱动控制电路11,相应的列选通电路801的第二输出端输出地址信号,如可控制串并驱动选通电路802的所有并行选通端选通,从而使得串并驱动选通电路802的第二并行数据输入端SDI\_32输入的并行数据经相应的并行数据输出端输出至相应列的驱动控制电路11,从而实现并行数据的输入。示例性的,可设置多个并行输出接口通过与非门同时接到各列,当有数据错误时,多个输出同时存在,此时与非门不导通,从而保证只有一列可以导通。

[0103] 可以理解的是,本实施例中单元块也可不为3行乘3列的排布,本实施例对此不做具体限定。

[0104] 图11为本发明实施例提供的一种驱动控制芯片分块的结构示意图,参考图11,驱动控制芯片与MicroLED封装成密集显示器件5011,驱动控制电路的驱动输出端与相应的MicroLED电连接后形成显示块5013,对于密集显示器件5011上的显示块5013,其发出的光经过光学组件5012后形成的块视区很小,示例性的,如图10中所标注的显示块5013(每个显示块对应一个单元块)发出的光只在标注的块视区5014内可观察到,按照预设规则将密集显示器件5011上的显示区域分成若干个显示块5013,可使每个显示块5013内同时出现的视点数极少(如4个),同时出现很多视点数的概率很小,因此仅需对显示块5013内的极少数像素进行驱动,而不必驱动全部的像素点,且可根据需要选择需要进行驱动的单元块,而不必选择所有的单元块,从而达到提高刷新帧率、降低带宽的效果。

[0105] 其中,划分显示块5013的预设规则包括:以实际观看场景中视点的概率分布为依据,块结构简单(例如显示块5013内包含 $m$ 行 $n$ 列个MicroLED)、块寻址简单(例如密集显示器件5011包含 $M$ 行 $N$ 列个显示块5013)、尽量减少块内视点冲突等。对于极端小概率下的视点冲突,可采用有选择性的放弃部分冲突视点,以保证最佳的观看效果;具体的,可根据对系统显示器的显示质量要求来确定显示块5013的划分,例如,在观注区的质量敏感内容上要大于95%好点,小于1%坏点;在非观注区的质量不敏感内容好点应大于80%,坏点小于5%等。划分的依据还可包括人双目视点对应的像素间距分布概率、相邻观看者之间的视点关系分布概率、实际观看场景中观看者相互位置分布概率等。其中,在显示质量的概念中,正常显示的点可称之为“好点”,无法正常显示的点可称之为“坏点”(即出现视点冲突时,放弃显示的点),无法高质量显示的点可称之为“弱点”(同一显示块中,视点亮度增益要求不一致,增益设置以某个视点为准,其他视点显示亮度会失真,这些点可称之为“弱点”),密集显示器件5011上可划分为“观注区”和“非观注区”,其中,若该区域显示的内容为观众需重点

关注,则可将该区域设置为“观注区”,若该区域显示的内容不需要观众重点关注,则该区域为“非观注区”;显示的内容可分为“质量敏感内容”和“质量不敏感内容”,“质量敏感内容”是指该显示内容对比度较大,当显示内容出现错误时,观众可很容易观察到,“质量不敏感内容”是指该显示内容对比度较小。

[0106] 示例性的,密集显示器件5011上可包括224\*224的MicroLED阵列,按照上述划分的规则,可将显示块5013设置为包含14\*8个MicroLED,每个驱动控制电路均包括14\*8个驱动信号输出端,在该显示块5013内,视点最多出现4个,即对块内进行寻址驱动时,只需对14\*8个像素中的4个像素进行驱动,此种驱动方法可理解为“选择性静态稀疏驱动”。

[0107] 本实施例的技术方案,通过采用包括驱动控制电路、时钟端、数据端、至少两个驱动输出端、译码及缓冲存储器和比较控制器的驱动控制芯片,可利用驱动控制芯片实现选择性静态稀疏驱动的驱动方法,只需要对所需要的显示块内几个像素进行驱动,极大的降低了驱动所需带宽;同时由于数据端的数据在驱动控制电路内可经译码后直接送至所需驱动的像素处,可实现高刷新帧率的效果。

[0108] 参考图6-12,位于不同显示块5013中的像素发出的光经光学组件5012后,出射光强亮度可能不同,造成不同视点的图像亮度不同,为保证显示亮度的一致,可通过驱动控制电路中包含的块电流调节单元301进行亮度的补偿。数据端SDI\_1输入的数据可包含驱动控制电路11对应的电流增益段,译码和控制单元101将电流增益段的数据传送至状态缓存器302,可通过在块电流调节端R连接可调的限流电阻,并通过电流增益段调节限流电阻接入块电流调节端R的阻值,即可实现对驱动控制电路11驱动输出端输出电流的补偿,达到显示效果更均匀的效果。

[0109] 示例性的,图12为本发明实施例提供的一种亮度衰减区域的结构示意图,参考图12和图13,密集显示器件5011上的不同区域,如第一区域A、第二区域B及第三区域C经光学组件5012后亮度衰减不同,可通过对处于不同区域内的显示块5013进行不同的电流补偿,即对不同显示块5013内驱动控制电路接入块电流调节端R的限流电阻的阻值进行控制,即可优化不同视点的显示亮度,达到亮度均匀的效果。以显示块5013为单位进行电流补偿,既可节省电路资源,也可减少数据传输量,节省传输带宽。

[0110] 示例性的,光场显示技术中可能采用平面镜对密集显示器件的光线进行反射以实现增加显示幅面的功能。由于光程增加以及镜面的反射损耗,造成反射部分光强度降低,可通过对相应的驱动控制电路进行电流增益的调节,来实现亮度补偿。

[0111] 示例性的,当有局部高光显示需求时,通过对驱动控制电路的电流增益进行调节,可对目标视点实现有针对性的高光,从而实现更真实的HDR (High-Dynamic Range, 高动态范围图像) 显示。

[0112] 示例性的,在驱动控制芯片中,以驱动控制电路为单位进行电流增益的调节,可实现变分辨率的功能;其中,变分辨率的功能是指,根据观看距离的变化,改变一个显示数据实际驱动的像素阵列数目,变分辨率功能可进一步增加远场观看时的景深。在应用变分辨率功能时,实际点亮的像素点发生变化,显示亮度也发生变化,此时需要通过驱动控制电路的电流增益功能来调整亮度。小概率情况下,当驱动控制电路内同时出现远近两种视点分布时,可优先以近场视点来调整亮度增益。例如,密集显示器件中的像素出射光的光斑随着距离的增大而增大,当光斑大小超过分辨率时会造成失焦,降低景深。通过在远距离观看

时,减少驱动的像素数目,能够减小光斑,进而保证在较大景深范围内都能对焦,因此可获得较大的景深。同时变分辨率功能具有远场显示和近场显示模式,在远场显示下,一个显示像素可利用驱动一个MicroLED实现;近场模式下,一个显示像素可利用驱动四个MicroLED实现(非同一个驱动控制电路所对应的MicroLED),此时通过调节不同驱动控制电路的电流增益,使四个MicroLED的亮度总和与远场模式下一个MicroLED亮度一致,从而保证亮度均匀性。

[0113] 示例性的,在驱动控制芯片中,以驱动控制电路为单位进行电流增益的调节,可改善密集显示器件长期工作造成的亮度下降。支持初始亮度不一致时的调节。密集显示器件在长期工作时,由于散热等问题引起的亮度下降会严重影响观看效果,根据显示器件亮度下降的程度,可设置驱动控制电路的电流增益为大于1的值,从而提高显示亮度,延长使用寿命。且密集显示器件分别处于较暗或较亮的环境中时,分别调整电流增益大于1或者小于1,从而达到最佳的观看效果。

[0114] 上述的电流增益系数可呈多阶梯度变化,增益系数可达到几十,同时增益也可为非线性增益。

[0115] 可选的,图13为本发明实施例提供的又一种驱动控制芯片的电路结构示意图,参考图13,驱动控制芯片还包括第五施密特触发器503和第六施密特触发器504;译码及缓冲存储器501的第一输入端通过第五施密特触发器503与时钟端DCLK\_1电连接,其中,译码及缓冲存储器501的第一输入端与第五施密特触发器503的输出端电连接,时钟端DCLK\_1与第五施密特触发器503的输入端电连接;译码及缓冲存储器501的第二输入端通过第六施密特触发器504与数据端SDI\_1电连接,其中,译码及缓冲存储器501的第二输入端与第六施密特触发器504的输出端电连接,数据端SDI\_1与第六施密特触发器504的输入端电连接。

[0116] 具体的,通过设置第五施密特触发器503和第六施密特触发器504,可使译码及缓冲存储器501的第一输入端及第二输入端输入的方波信号更为规则,提高驱动控制芯片工作的稳定性和可靠性。

[0117] 图14为本发明实施例提供的一种集成封装器件的结构示意图,包括驱动控制芯片51、集成数据输入端SDI\_2、集成时钟输入端DCLK\_2、电源端VDD、接地端GND及密集显示器件52;

[0118] 集成数据输入端SDI\_2与至少两个驱动控制芯片的数据端电连接;集成时钟输入端DCLK\_2与至少两个驱动控制芯片的时钟端电连接;电源端用于为集成封装器件提供电能;接地端用于接地;

[0119] 密集显示器件包括至少两个发光单元,驱动控制芯片的驱动输出端与发光单元一一对应电连接,驱动控制芯片用于通过驱动输出端驱动对应的发光单元发光。

[0120] 具体的,发光单元52可为MicroLED,将驱动控制芯片51与至少两个发光单元52封装而得到集成封装器件,大大减少了管脚和布线难度,驱动控制芯片外部管脚(集成数据输入端SDI\_2、集成时钟输入端DCLK\_2和电源端VDD)可用于与控制器的输出连接,实现控制系统与集成封装器件的数据通信。示例性的,发光单元52为微米级别的MicroLED,并按照阵列排布,例如包括256\*256个15微米的MicroLED等,其中,MicroLED灯可为红色、绿色和蓝色中的任意一种。集成数据输入端SDI\_2可用于输入串行数据,接地端GND可用于控制逻辑以及驱动源驱动电流的接地。

[0121] 密集显示器件可以是microLED芯片。目前microLED与驱动芯片的封装技术,主要包括:芯片级焊接、外延片级焊接和薄膜转移。

[0122] 芯片级焊接是指将LED直接切割成微米等级的LED芯片,再利用SMT或COB技术,将微米等级的芯片一颗一颗键接到显示基板上。

[0123] 外延级芯片焊接是指在LED的磊晶薄膜层上用感应耦合等离子刻蚀技术,直接形成微米等级的MicroLED-LED磊晶薄膜结构,再将LED晶元(含磊晶层和基板)直接键接于驱动电路基板上,最后使用物理或化学机制剥离基板,仅剩MicroLED磊晶薄膜结构于驱动电路基板上形成显示像素。

[0124] 薄膜转移:通过剥离LED基板,以一暂时基板承载LED外延薄膜层,再利用感应耦合等离子蚀刻,形成微米等级的MicroLED外延薄膜结构;或者先利用感应耦合等离子离子蚀刻,形成微米等级的MicroLED外延薄膜结构,通过剥离LED基板,通过暂时基板承载LED外延薄膜结构。

[0125] 芯片级转移技术可以满足任意大小显示屏幕的制备,却有一次性转移数量低、整体工艺效率不足的缺陷。外延级芯片转移和薄膜转移技术类似,两者区别在于,外延级芯片转移技术下,最终形成的像素间距在LED外延片生产时就决定了,有一定的局限性;薄膜转移技术下,最终显示像素不一定等于LED灯珠制备时形成的间距,但要额外使用一层临时承载基板,工序上复杂一些。从应用角度来说,薄膜转移技术更具有优势。

[0126] 在薄膜转移技术下,不同企业采用不同的手段实现,LuxVue采用静电吸附方式实现转移,可以实现1~100um的芯片转移。美国X-Celeprint公司采用MicroTransfer Printing( $\mu$ TP)技术,将MicroLED转贴至弹性基板或玻璃基板上,可以一次性转移大量MicroLED.Uniqarta巨量转移(激光镭射转移技术),可以实现每小时1400万颗LED,而传统pick and place每小时仅转移1~2.5万颗LED.QMAT公司的BAR技术同样采用镭射转移,可以快速大规模转移。

[0127] 本发明中,microLED驱动芯片的封装设计,能够很好的兼容microLED外延级焊接转移和薄膜转移,可以直接和microLED裸芯片集成封装,降低加工难度。可选的,集成数据输入端输入信号的数据格式包括:帧同步位、驱动电路数量位、M个驱动电路地址位、M个启动位、M个电流增益位、M个块内视点数位、 $M \times N$ 个驱动控制电路内地址位和 $M \times N$ 个灰度数据位;其中,M为取值从1至64的整数,N为取值从1至4的整数。

[0128] 其中,帧同步位可包括帧前同步位和帧后同步位,帧前同步位和帧后同步位可分别控制数据的起始同步和锁存,驱动电路数量位表示该帧数据需要驱动的驱动控制电路的数量,块内视点数位表示在某个驱动控制电路内包括的视点个数。M表示该帧数据中一共包括的驱动控制电路的个数,N表示驱动控制电路内部的视点个数。电流增益位表示驱动控制电路内部需要的电流增益。驱动控制电路内地址位为驱动控制电路内部视点的地址,启动位可作为驱动电路启动的信号,从而降低驱动电路错误启动的概率。

[0129] 可选的,帧同步位可为多比特,从而降低帧同步位与集成数据输入端输入信号除帧同步位以外其他位数据一致的概率,示例性的,帧同步位可选择36bit、48bit或56bit,优选为56bit,通过将帧同步位设置为56bit,可极大地降低帧同步位与集成数据输入端输入信号除帧同步位以外其他位数据一致的概率,当显示场景允许小概率错误的情况下,可直接应用,其出错概率约为1次/年;若其他数据与帧同步位数据相同,可设置该帧数据不显

示,从而适应更为严苛的显示场景。需要说明的是,帧同步位比特数的选择可根据需求进行适应性的调整,如显示场景要求更为严苛,则可选择更多比特数的帧同步位,本发明实施例对此不做具体限定。

[0130] 一帧的数据位数不是固定值,数据量由灰度数据位的长度和视点个数及分布状态决定。示例性的,一帧数据的最大数据量可不超过2048bit,数据格式可为:帧同步位(16bit)+驱动电路数量位(6bit)+M\*[驱动电路地址位(10bit)+启动位(2bit)+电流增益位(6bit)+块内视点位数(2bit)+N\*(驱动电路内地址位(6bit)+灰度数据位(11bit))];当M=54,N=1时,驱动控制芯片支持的总视点最少,为54个。一帧数据的最大数据量为2048bit,当时钟频率为80MHz时,数据帧率可达到39.6kfps;而当时钟频率为200MHz时,数据帧率可达到97.6kfps,显示帧率极高。且具有较强的数据压缩能力,即使不增加灰度数据位,也可提高带负载能力。

[0131] 示例性的,驱动控制电路内地址位占6bit,可增加一位地址状态位,用于指示状态缓存器内的块内地址是否发生变化,当视点位置不变时,即可省去6bit的地址码,当视点位置变化时,同时传送1bit地址状态码和新的6bit地址码,这种模式下,通过增加一位数据,大多数情况下都可省去6bit数据,大大减少一帧的总数据量,因此可提高最大视点数目。

[0132] 示例性的,电流增益位占6bit,增加一位电流增益状态位,可用于指示状态缓存器中的电流增益是否变化,在电流增益不变时,可减少6bit数据,大多数情况下均可省去6bit数据,进一步减少一帧的总数据量,进而提高最大视点数目。

[0133] 图15为本发明实施例提供的一种显示系统的结构示意图,参考图15,显示系统包括至少两个集成封装器件601、反馈模块603和处理模块602;处理模块602与至少两个集成封装器件601的集成数据输入端SDI\_2及集成时钟输入端DCLK\_2电连接,处理模块602与反馈模块603电连接;处理模块602可包括ARM和FPGA。处理模块602用于接收服务器604发送的预设信息,并根据反馈模块603的反馈信息将预设信息解析传送至集成封装器件601,以驱动集成封装器件601显示;反馈模块603用于追踪人眼的位置信息,并将人眼的位置信息反馈至处理模块602。

[0134] 示例性的,服务器604中包含视频文件,服务器604中的视频文件发送至处理模块602,处理模块602将视频文件编码,以构成集成封装器件601工作所需要数据格式,集成封装器件601对数据进行解析,以获得集成封装器件601内部需要驱动的驱动控制单元的个数、地址、驱动控制单元内部的视点个数、电流增益、以及视点地址等信息以利用稀疏驱动的方法驱动相应的MicroLED发光,从而完成显示功能。反馈模块603可用于追踪人眼的信息,并将人眼信息反馈至处理模块602,同时还可反馈至服务器604,处理模块604根据反馈信息调整显示区域,例如人眼移动时,通过调整显示区域,以达到与人眼位置同步显示的效果。

[0135] 图16为本发明实施例提供的一种旋转显示系统的结构示意图,参考图16,旋转显示系统包括观看平台702,至少两个灯板701和激光反馈单元703;可对应图14中所示的显示系统,其中每个灯板701上均包含至少一个集成封装器件601,至少两个灯板701位于机械旋转平台上,观看者在观看平台702上进行观看,机械旋转平台旋转,从而带动灯板701旋转,基于视觉暂留的效果,使观看者观看到完整的图像,通过反馈模块603及处理模块602对集成封装器件601上显示内容的控制,利用稀疏驱动的方法,分别驱动观看者左右眼对应的像

素点,像素点发出的光沿不同的出射方向分别到达左右眼,形成双目视差,从而达到3D显示的效果。当观看者移动时,反馈模块603给处理模块602提供反馈,集成封装器件更新显示像素的位置以及显示内容,当观看者连续移动时,可看到连续变化的双目视差图像,从而形成真实的3D显示效果。激光反馈单元703可对机械旋转系统的转速等信息进行反馈,避免机械旋转系统旋转出现问题而显示错误的内容。

[0136] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

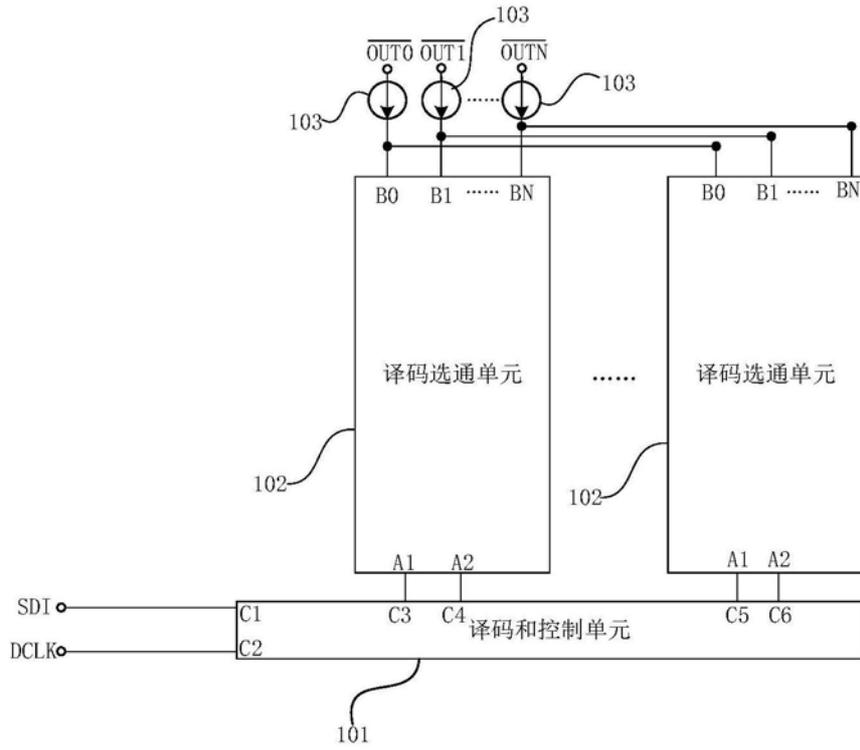


图1

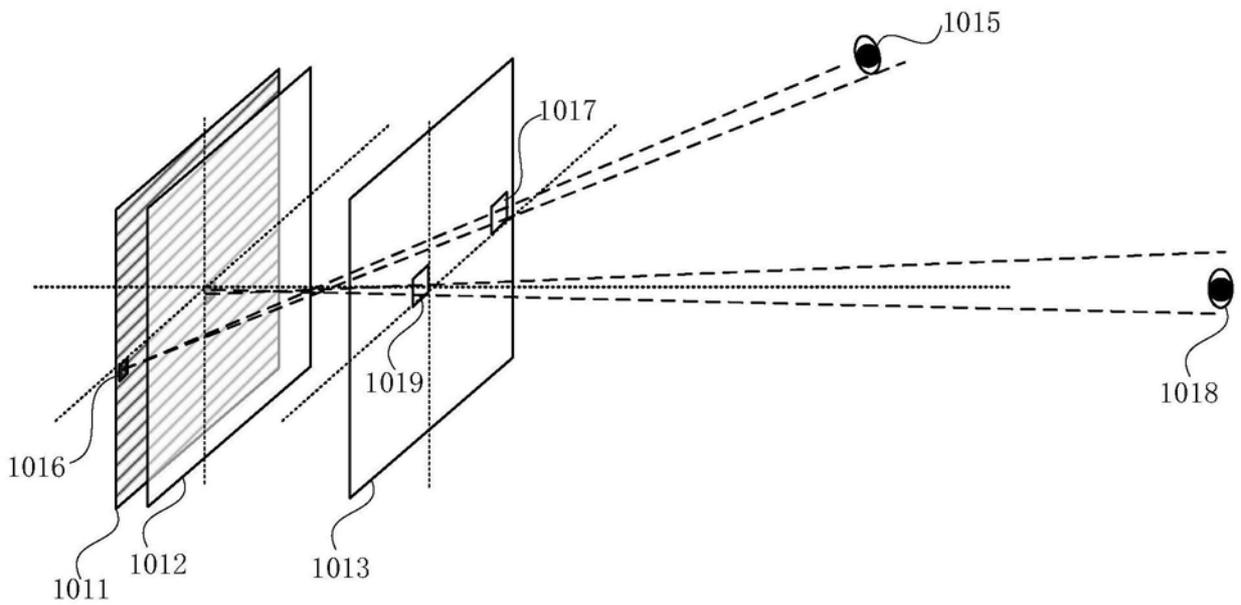


图2

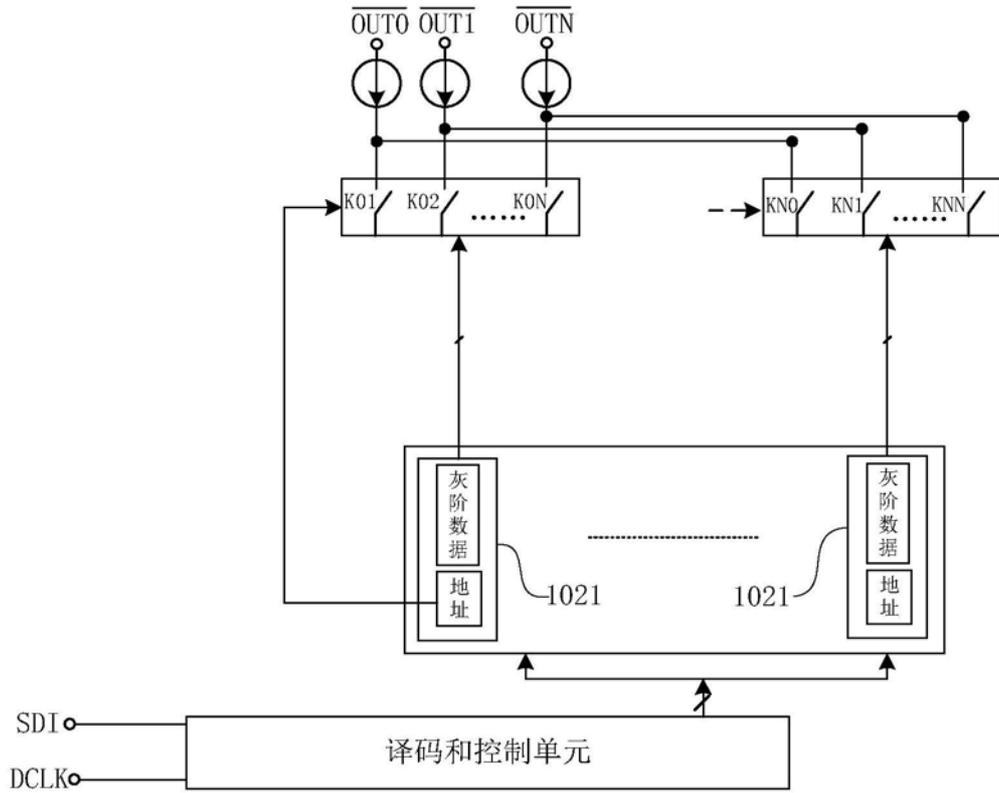


图3

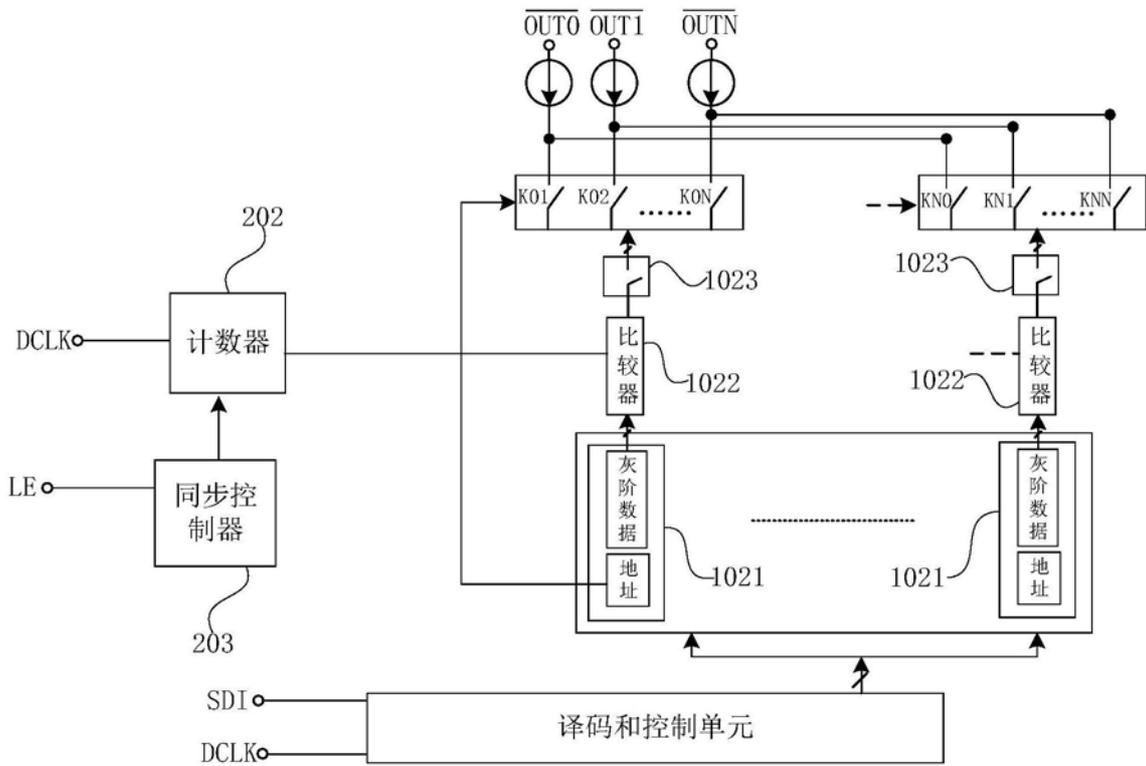


图4

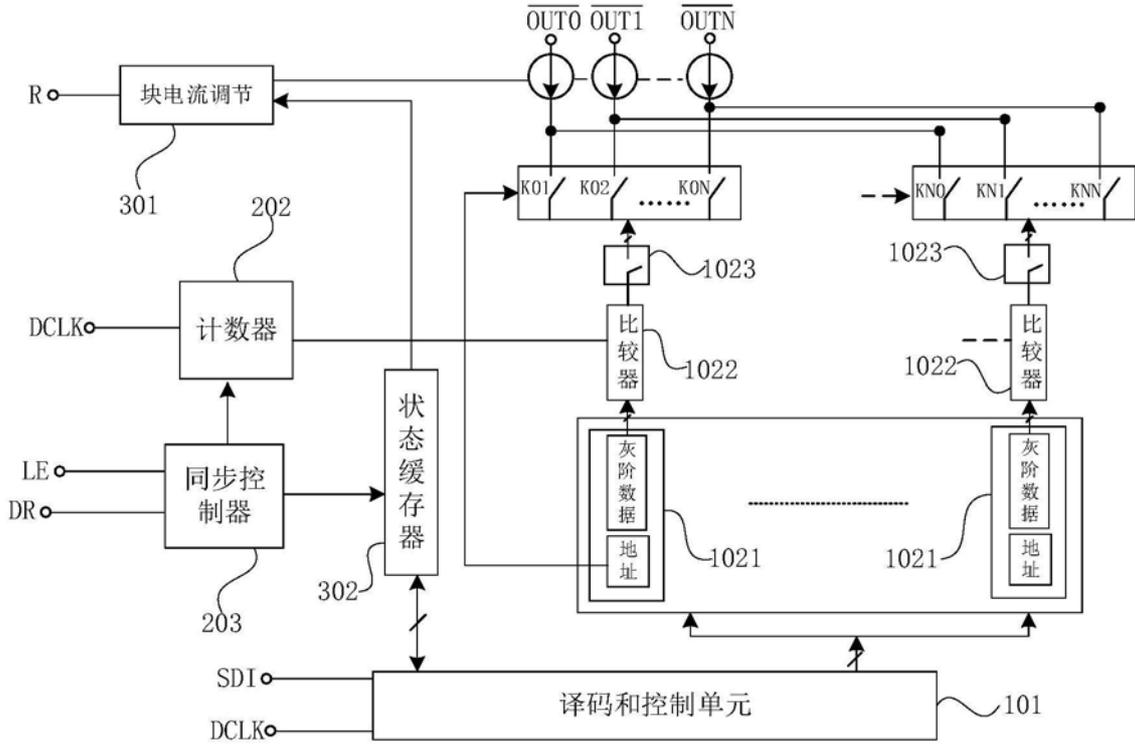


图5

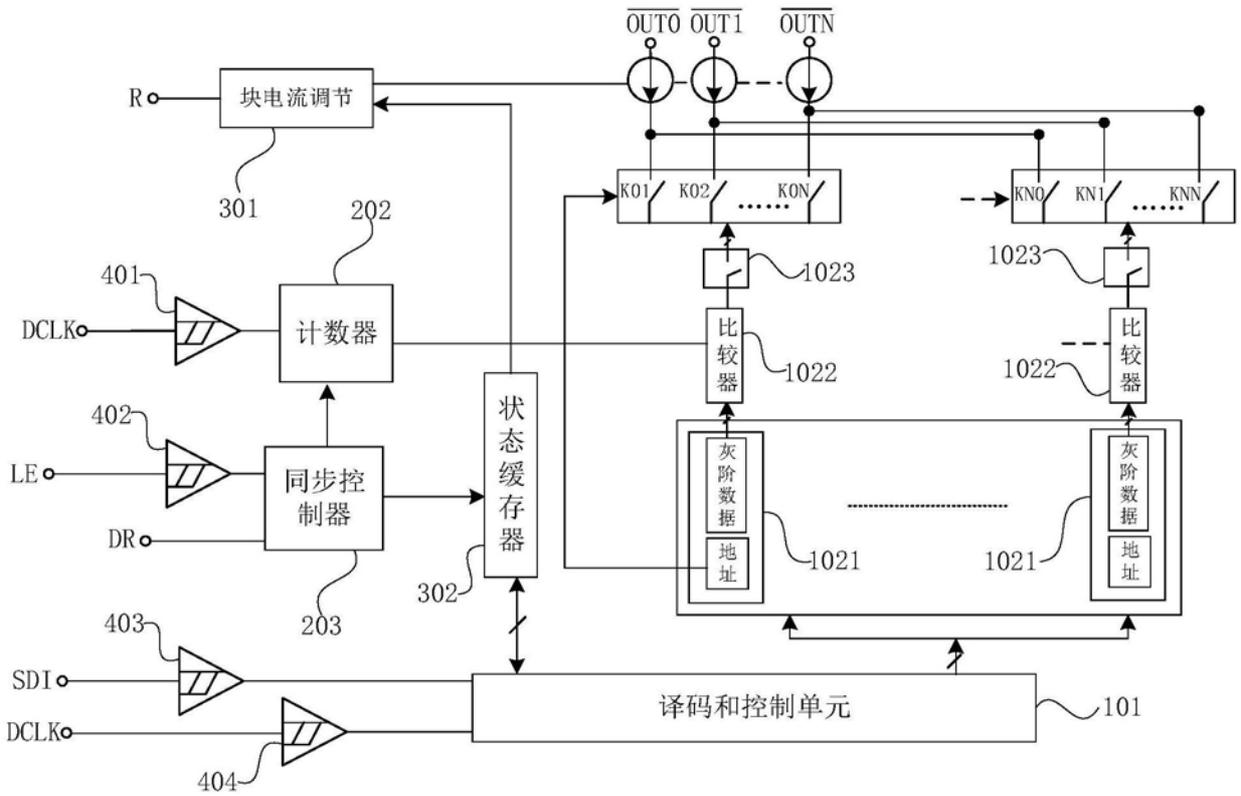


图6

驱动控制电路根据预设信息驱动M个驱动信号输出端输出驱动信号以控制对应的M个发光结构发光 71

图7

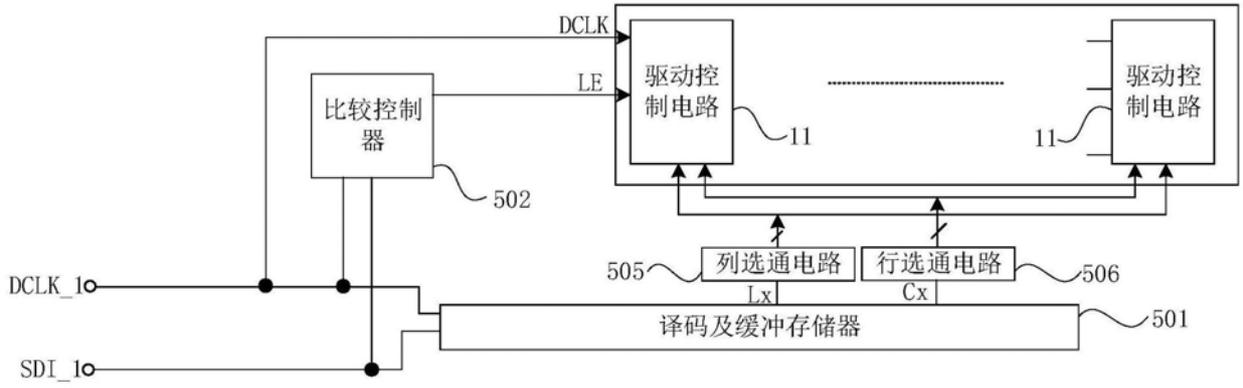


图8

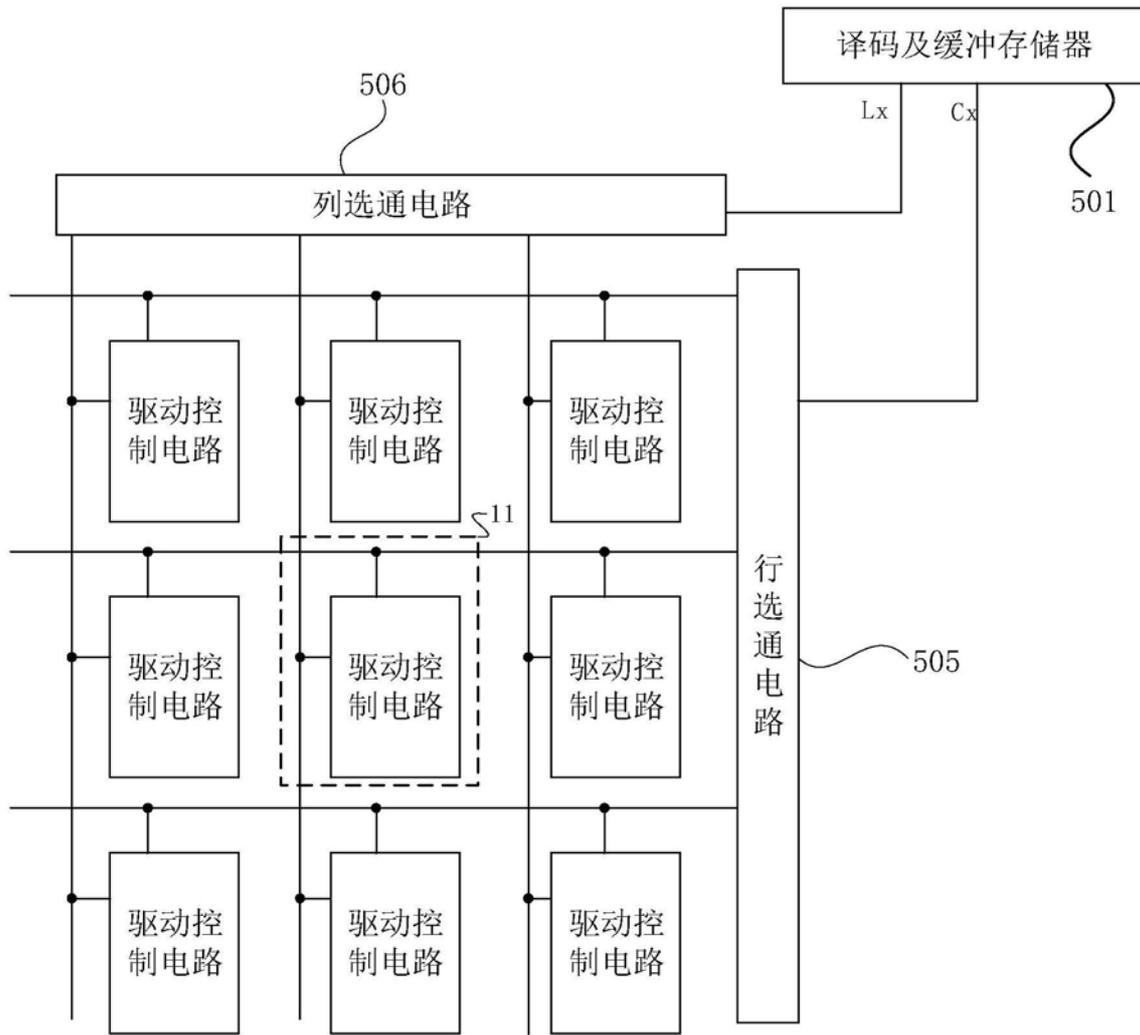


图9

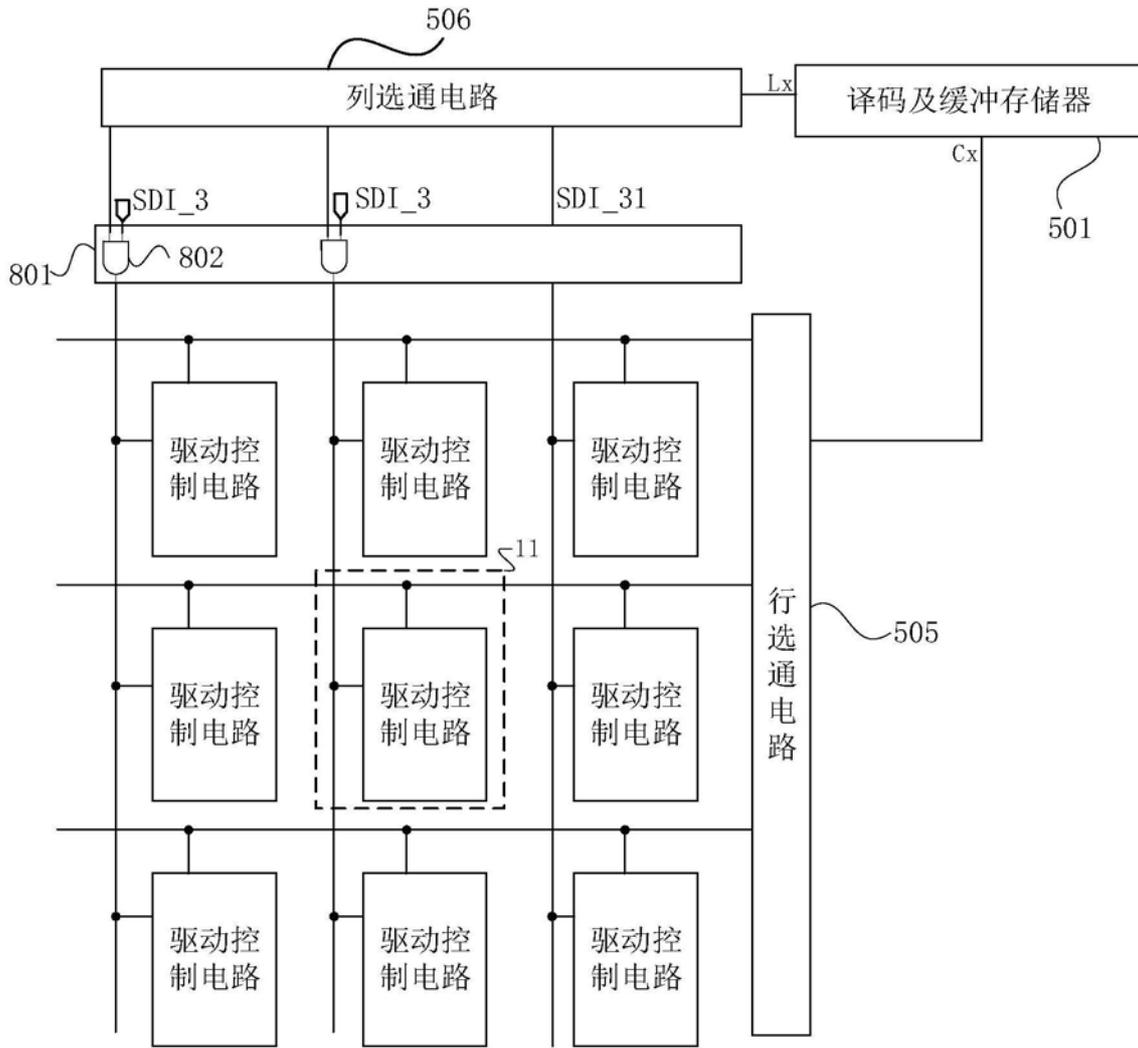


图10

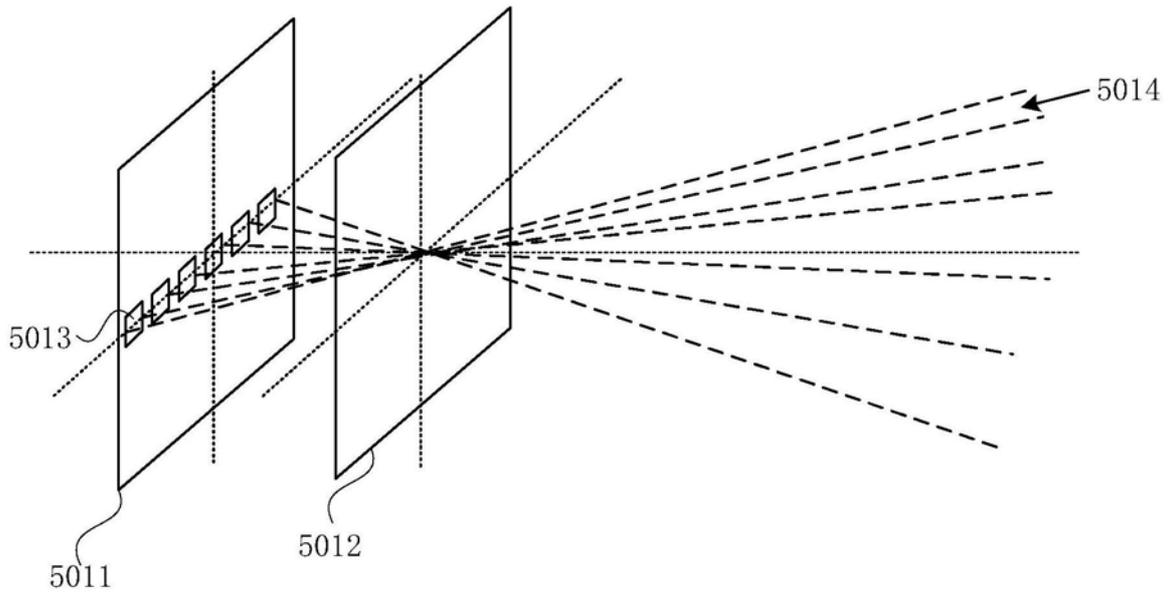


图11

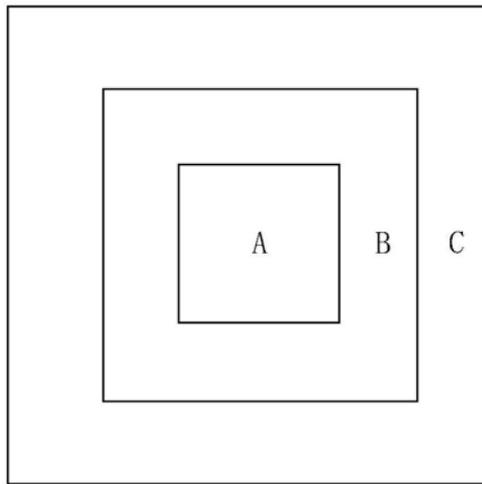


图12

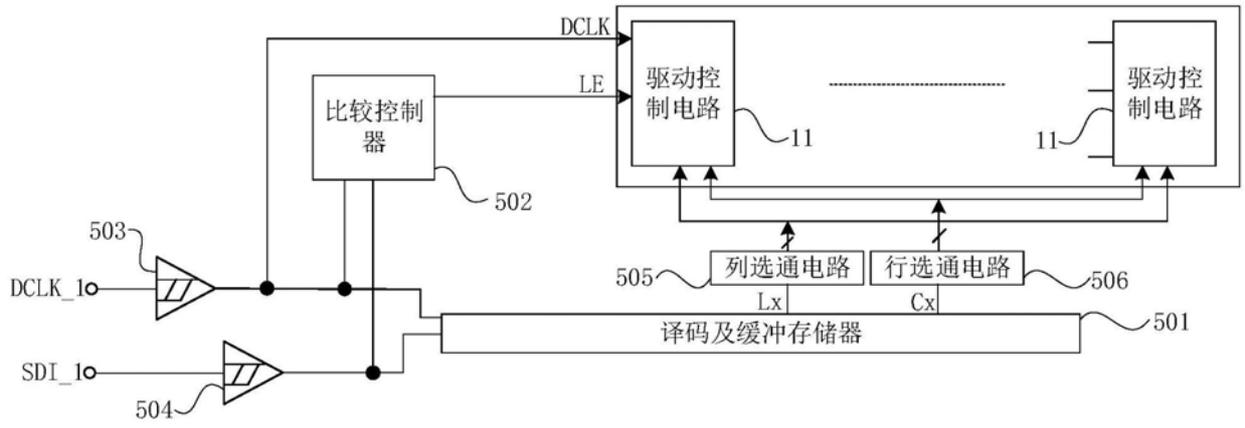


图13

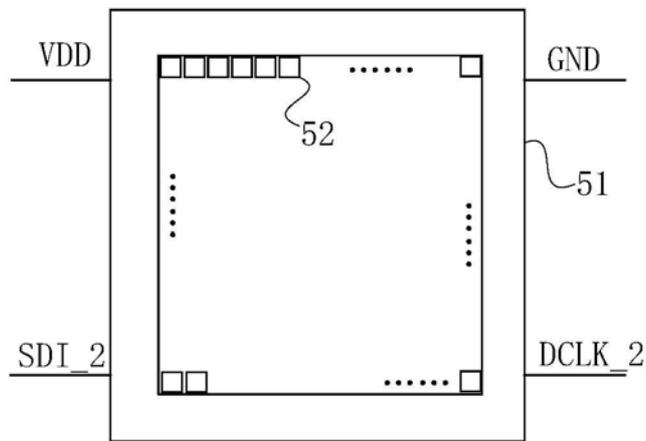


图14

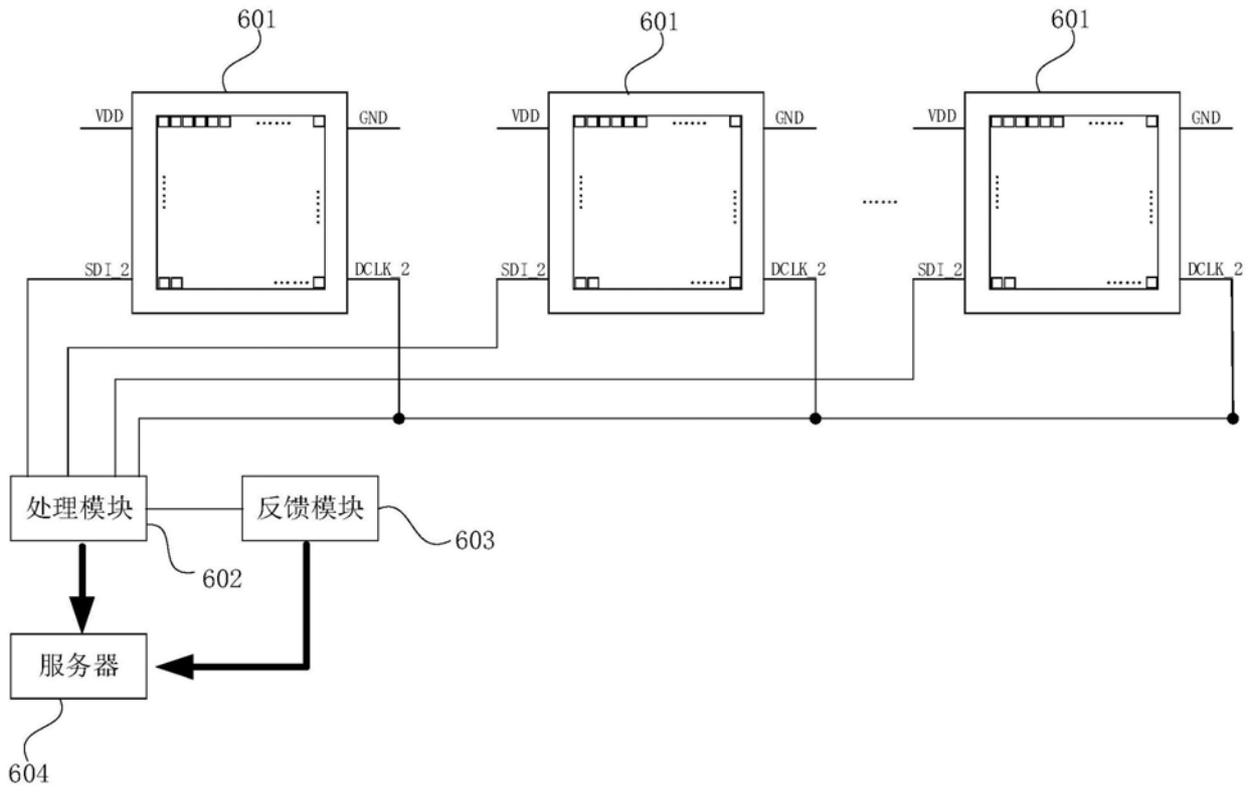


图15

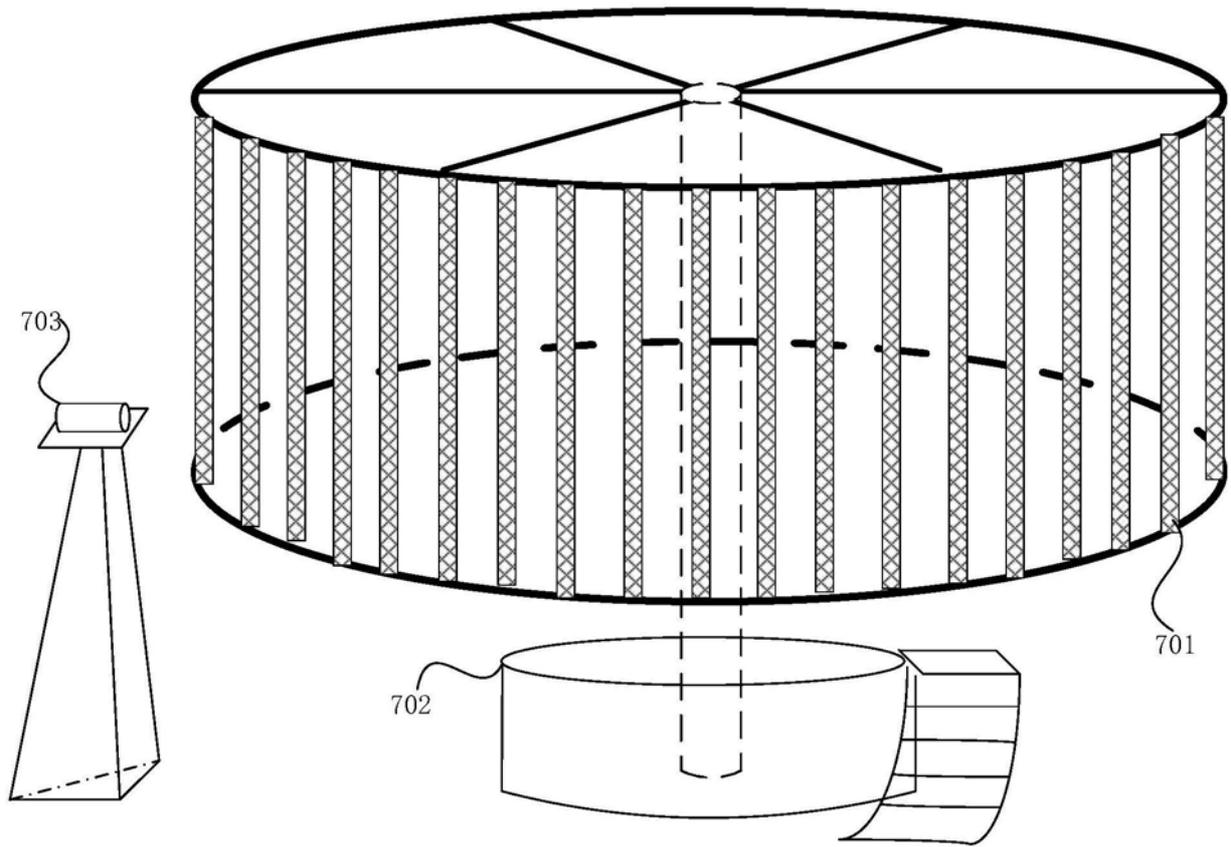


图16