



(12) 发明专利申请

(10) 申请公布号 CN 104584229 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201380043764. 2
 (22) 申请日 2013. 08. 01
 (30) 优先权数据
 2012-178634 2012. 08. 10 JP
 (85) PCT国际申请进入国家阶段日
 2015. 02. 10
 (86) PCT国际申请的申请数据
 PCT/JP2013/071578 2013. 08. 01
 (87) PCT国际申请的公布数据
 W02014/025002 EN 2014. 02. 13
 (71) 申请人 株式会社半导体能源研究所
 地址 日本神奈川
 (72) 发明人 山崎舜平
 (74) 专利代理机构 中国国际贸易促进委员会专
 利商标事务所 11038
 代理人 刘偶

(51) Int. Cl.
 H01L 29/786(2006. 01)
 H01L 21/336(2006. 01)
 H01L 21/363(2006. 01)
 H01L 21/8234(2006. 01)
 H01L 21/8242(2006. 01)
 H01L 21/8247(2006. 01)
 H01L 27/08(2006. 01)
 H01L 27/088(2006. 01)
 H01L 27/108(2006. 01)
 H01L 27/115(2006. 01)
 H01L 29/788(2006. 01)
 H01L 29/792(2006. 01)

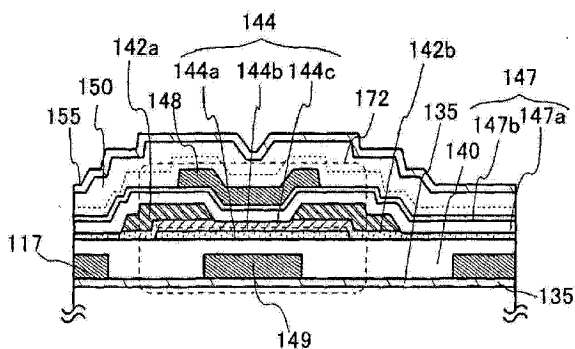
权利要求书3页 说明书24页 附图14页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

提供一种显示稳定的电特性的高可靠性半导体装置。制造高可靠性半导体装置。其包括在其中层叠有第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层的氧化物半导体叠层，与氧化物半导体叠层接触的源电极层以及漏电极层，与氧化物半导体层重叠的栅电极层（在所述氧化物半导体层和所述栅电极层之间设置有栅极绝缘层），以及第一氧化物绝缘层及第二氧化物绝缘层（在所述第一氧化物绝缘层及所述第二氧化物绝缘层之间夹有氧化物半导体叠层）。第一至第三氧化物半导体层中的每个包含铟、镓及锌。第二氧化物半导体层中的铟的比例比第一及第三氧化物半导体层中的每个的铟的比例多。第一氧化物半导体层是非晶的。第二及第三氧化物半导体层都具有晶体结构。



1. 一种半导体装置,包括:
绝缘表面上的第一氧化物半导体层;
所述第一氧化物半导体层上的第二氧化物半导体层;
所述第二氧化物半导体层上的第三氧化物半导体层;
所述第三氧化物半导体层上的第一绝缘层;以及
所述第一绝缘层上的第一栅电极,所述第一栅电极与所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层重叠,
其中,所述第二氧化物半导体层和所述第三氧化物半导体层中的每个具有晶体结构。
2. 根据权利要求1所述的半导体装置,还包括:所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层上的与所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层电连接的源电极及漏电极。
3. 根据权利要求1所述的半导体装置,还包括:
具有所述绝缘表面的第二绝缘层;以及
所述第二绝缘层下的第二栅电极,所述第二栅电极与所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层重叠。
4. 根据权利要求1所述的半导体装置,其中所述第一氧化物半导体层具有非晶结构。
5. 根据权利要求1所述的半导体装置,其中所述第一氧化物半导体层、所述第二氧化物半导体层和所述第三氧化物半导体层中的每个包含铟、锌及镓之中的至少一种。
6. 根据权利要求1所述的半导体装置,
其中所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层中的每个包括铟,以及
其中所述第二氧化物半导体层中铟的比例比所述第一氧化物半导体层中铟的比例及所述第三氧化物半导体层中铟的比例高。
7. 根据权利要求1所述的半导体装置,其中所述第一绝缘层包含超过化学计量组成的氧。
8. 根据权利要求1所述的半导体装置,其中所述第一氧化物半导体层及所述第三氧化物半导体层的每个中的硅或碳的浓度低于或等于 $3 \times 10^{18} \text{atoms/cm}^3$ 。
9. 一种半导体装置,包括:
衬底上的第一绝缘层,所述第一绝缘层包括铝及氧;
所述第一绝缘层上的第一栅电极;
所述第一栅电极上的第二绝缘层;
所述第二绝缘层上的第一氧化物半导体层,所述第一氧化物半导体层与所述第一栅电极重叠;
所述第一氧化物半导体层上的第二氧化物半导体层,所述第二氧化物半导体层与所述第一栅电极重叠;
所述第一氧化物半导体层及所述第二氧化物半导体层上的与所述第一氧化物半导体层及所述第二氧化物半导体层电连接的源电极及漏电极;
所述第二氧化物半导体层、所述源电极及所述漏电极上的第三绝缘层;以及
所述第三绝缘层上的第二栅电极,所述第二栅电极与所述第一氧化物半导体层及所述

第二氧化物半导体层重叠。

10. 根据权利要求 9 所述的半导体装置, 其中所述第一氧化物半导体层和所述第二氧化物半导体层中的每个具有晶体结构。

11. 根据权利要求 9 所述的半导体装置, 其中所述第一氧化物半导体层和所述第二氧化物半导体层中的每个包括镧、锌及镓之中的至少一种。

12. 根据权利要求 9 所述的半导体装置, 其中所述第一氧化物半导体层和所述第二氧化物半导体层中的每个包括镧。

13. 根据权利要求 9 所述的半导体装置, 其中所述第二绝缘层包含超过化学计量组成的氧。

14. 根据权利要求 9 所述的半导体装置, 其中所述第一氧化物半导体层中的硅或碳的浓度低于或等于 3×10^{18} atoms/cm³。

15. 一种半导体装置, 包括:

衬底上的第一绝缘层, 所述第一绝缘层包括铝及氧;

所述第一绝缘层上的第一栅电极;

所述第一栅电极上的第二绝缘层;

所述第二绝缘层上的第一氧化物半导体层, 所述第一氧化物半导体层与所述第一栅电极重叠;

所述第一氧化物半导体层上的第二氧化物半导体层, 所述第二氧化物半导体层与所述第一栅电极重叠;

所述第二氧化物半导体层上的第三氧化物半导体层, 所述第三氧化物半导体层与所述第一栅电极重叠;

所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层上的与所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层电连接的源电极及漏电极;

所述第三氧化物半导体层、所述源电极及所述漏电极上的第三绝缘层; 以及

所述第三绝缘层上的第二栅电极, 所述第二栅电极与所述第一氧化物半导体层、所述第二氧化物半导体层及所述第三氧化物半导体层重叠。

16. 根据权利要求 15 所述的半导体装置,

其中所述第一氧化物半导体层具有非晶结构, 以及

其中所述第二氧化物半导体层及所述第三氧化物半导体层中的每个具有晶体结构。

17. 根据权利要求 15 所述的半导体装置, 其中所述第一氧化物半导体层、所述第二氧化物半导体层和所述第三氧化物半导体层中的每个包括镧、锌及镓之中的至少一种。

18. 根据权利要求 15 所述的半导体装置,

其中所述第一氧化物半导体层、所述第二氧化物半导体层和所述第三氧化物半导体层中的每个包含镧, 以及

其中所述第二氧化物半导体层中镧的比例比所述第一氧化物半导体层中镧的比例及所述第三氧化物半导体层中镧的比例高。

19. 根据权利要求 15 所述的半导体装置, 其中所述第二绝缘层包含超过化学计量组成的氧。

20. 根据权利要求 15 所述的半导体装置,其中所述第一氧化物半导体层及所述第三氧化物半导体层的每个中的硅或碳的浓度低于或等于 3×10^{18} atoms/cm³。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体装置及制造该半导体装置的方法。

[0002] 注意,在本说明书中的半导体装置指的是能够通过利用半导体特性工作的所有装置,并且,电光装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0003] 形成包括形成在具有绝缘表面的衬底上的半导体薄膜的晶体管(也称为薄膜晶体管)的技术受到关注。该晶体管适用于诸如集成电路(IC)或图像显示装置(显示装置)等范围广泛的电子设备。硅类半导体材料众所周知地作为适用于晶体管的半导体薄膜的材料。对于其他材料,氧化物半导体受到关注。

[0004] 例如,专利文献1已公开了具有包含铟(In)、镓(Ga)及锌(Zn)的氧化物半导体的晶体管。

[0005] 可以通过诸如溅射法等用于形成薄膜的技术来形成氧化物半导体膜。另外,与硅半导体等相比,可以在相对较低的温度下形成氧化物半导体膜。因此,氧化物半导体膜可以被形成为与其他晶体管重叠。例如,专利文献2公开了在其中通过将包括作为沟道形成区域的氧化物半导体层的晶体管设置在包括硅的晶体管上,来缩小单元面积(cell area)的半导体装置。

[0006] [参考文献]

[0007] [专利文献1] 日本专利申请公开 2006-165528 号公报

[0008] [专利文献2] 日本专利申请公开 2012-15500 号公报

发明内容

[0009] 在包括作为沟道形成区域的氧化物半导体层的晶体管中,因氧从氧化物半导体层释放而产生氧空位(氧缺陷),以及由于该氧空位产生载流子。另外,诸如氢等杂质进入到氧化物半导体层内而引起载流子的产生。

[0010] 产生在氧化物半导体层内的载流子增大晶体管的关态电流(off-state current)以及阈值电压的变化。因此,发生晶体管的电特性变动,而造成半导体装置的可靠性下降。

[0011] 鉴于上述问题,本发明的一个实施方式的目的是提供表现稳定电特性的高可靠性半导体装置。本发明的一个实施方式的另一个目的是制造高可靠性半导体装置。

[0012] 本发明的一个实施方式的半导体装置包括在其中层叠有第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层的氧化物半导体叠层,以及在第一氧化物绝缘层和第二氧化物绝缘层之间夹有氧化物半导体叠层。在该半导体装置中,第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层都至少包含铟,第二氧化物半导体层中铟的比例高于第一氧化物半导体层以及第三氧化物半导体层中的每个中铟的比例,第一氧化物半导体层是非晶的,并且,第二氧化物半导体层以及第三氧化物半导体层都具有晶体结构。

[0013] 由于第二氧化物半导体层中铟的比例高于第一氧化物半导体层以及第三氧化物半导体层中的每个中铟的比例,所以第二氧化物半导体层具有高载流子迁移率且用作载流子路径。因此,载流子在远离设置在氧化物半导体叠层的下方或上方的氧化物绝缘层的区域中流过。由此,可以降低从氧化物绝缘层进入杂质等的影响。

[0014] 适当地选择氧化物半导体叠层的材料,以便形成阱形结构(well-shaped structure)(也称为阱结构),该阱结构中第二氧化物半导体层的导带(conduction band)底部位于最深能级。具体而言,也可以适当地选择材料,使得第二氧化物半导体层的导带底部与第一及第三氧化物半导体层的导带底部相比离真空能级更深。

[0015] 另外,当第 14 族元素之一的硅或碳作为杂质包含在氧化物半导体层中时,它可以作为施主且形成 n 型区域。所以,包含在氧化物半导体层中的硅浓度低于或等于 3×10^{18} atoms/cm³, 优选低于或等于 3×10^{17} atoms/cm³。此外,氧化物半导体层中的碳浓度低于或等于 3×10^{18} atoms/cm³, 优选低于或等于 3×10^{17} atoms/cm³。尤其优选的是,采用以第一及第三氧化物半导体层夹着或包围用作载流子路径的第二氧化物半导体层的结构,使得大量第 14 族元素不进入第二氧化物半导体层。也就是说,第一及第三氧化物半导体层也可以被称为阻挡层,该阻挡层防止诸如硅等第 14 族元素进入第二氧化物半导体层中。

[0016] 当氢或水分作为杂质被包含在氧化物半导体叠层中时,它可以作为施主且形成 n 型区域。所以,从获得阱形结构的观点来看,在氧化物半导体叠层的上方或下方设置防止氢或水分从外部进入的保护膜(例如,氮化硅膜)是有利的。

[0017] 通过使用具有上述叠层结构的氧化物半导体层,形成沟道的区域可以具有低于或等于 3×10^{-3} /cm(当换算成态密度时,低于或等于 3×10^{13} /cm³)的通过恒定光电流法(CPM:Constant Photocurrent Method)测定的局部态的吸收系数。

[0018] 本发明的一个实施方式的半导体装置包括形成在半导体衬底上的第一氧化物绝缘层,第一氧化物绝缘层上的层叠有第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层的氧化物半导体叠层,氧化物半导体叠层上的第二氧化物绝缘层,以及与氧化物半导体叠层重叠的第一栅电极层(在第一栅电极层和氧化物半导体叠层之间设置有第二氧化物绝缘层)。在该半导体装置中,第一至第三氧化物半导体层都至少包含铟,第二氧化物半导体层中铟的比例高于第一氧化物半导体层以及第三氧化物半导体层中的每个中铟的比例,第二氧化物半导体层以及第三氧化物半导体层都具有晶体结构,并且,第一氧化物半导体层是非晶的。

[0019] 除了上述结构以外,可以在第一氧化物半导体层的下方设置第一氮化物绝缘层,并且可以在第二氧化物绝缘层的上方设置第二氮化物绝缘层。第一及第二氮化物绝缘层防止氢或水分等进入氧化物半导体叠层中。

[0020] 第一氧化物绝缘层以及第二氧化物绝缘层可以包含超过化学计量组成的氧。当这样包含超过化学计量组成的氧,可以将氧供应给氧化物半导体叠层,使得可以用氧填充氧空位。

[0021] 在第一氧化物半导体层以及第三氧化物半导体层中,至少铟浓度可以高于或等于 1×10^{19} atoms/cm³。另外,在氧化物半导体叠层中,由局部态的吸收系数可以小于或等于 3×10^{-3} /cm。

[0022] 半导体装置可以包括与氧化物半导体叠层重叠的第二栅电极层,在第二栅电极层

和氧化物半导体叠层中间设置有第一氧化物绝缘层。

[0023] 第二氧化物半导体层以及第三氧化物半导体层可以包括其 c 轴在大致垂直于表面的方向取向的晶体。

[0024] 第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层可以包含铟、锌及镓。尤其是,当使用相同的元素形成第一氧化物半导体层、第二氧化物半导体层以及第三氧化物半导体层时,可以降低第一和第二氧化物半导体层之间的界面处以及第二和第三氧化物半导体层之间的界面处的散射。

[0025] 第一氧化物半导体层以及第三氧化物半导体层中的硅浓度可以低于或等于 $3 \times 10^{18} \text{atoms/cm}^3$ 。第一氧化物半导体层以及第三氧化物半导体层中的每个的碳浓度可以低于或等于 $3 \times 10^{18} \text{atoms/cm}^3$ 。

[0026] 本发明的另一个实施方式是一种制造半导体装置的方法,包括如下步骤:在半导体衬底上形成第一氧化物绝缘层;在第一氧化物绝缘层上形成非晶的第一氧化物半导体层以及具有晶体结构的第二氧化物半导体层;在氧及氮的气氛中进行第一加热处理;在第二氧化物半导体层上形成具有晶体结构的第三氧化物半导体层;在第三氧化物半导体层上形成第二氧化物绝缘层;以及在氧及氮的气氛中进行第二加热处理。

[0027] 本发明的另一个实施方式是一种制造半导体装置的方法,包括如下步骤:在半导体衬底上形成第一氧化物绝缘层;在第一氧化物绝缘层上层叠非晶的第一氧化物半导体层以及具有晶体结构的第二氧化物半导体层;以及在第二氧化物半导体层上形成第三氧化物半导体层。第三氧化物半导体层的晶体生长使用第二氧化物半导体层中的晶体作为晶种而进行。

[0028] 注意,可以使用设置有晶体管的半导体衬底作为半导体衬底。

[0029] 根据本发明的一个实施方式,可以提供包括氧化物半导体且表现稳定的电特性的高可靠性半导体装置。可以制造高可靠性半导体装置。

附图说明

[0030] 图 1 是示出根据本发明的一个实施方式的半导体装置的截面图。

[0031] 图 2A 和 2B 是示出根据本发明的一个实施方式的制造半导体装置的方法的图。

[0032] 图 3A 和 3B 是示出根据本发明的一个实施方式的制造半导体装置的方法的图。

[0033] 图 4A 和 4B 是示出根据本发明的一个实施方式的半导体装置的截面图。

[0034] 图 5A 至 5C 是示出根据本发明的一个实施方式的半导体装置的截面图。

[0035] 图 6A 和 6B 是示出根据本发明的一个实施方式的半导体装置的电路图。

[0036] 图 7A 至 7C 是根据本发明的一个实施方式的半导体装置的电路图及示意图。

[0037] 图 8 是根据本发明的一个实施方式的半导体装置的框图。

[0038] 图 9 是根据本发明的一个实施方式的半导体装置的框图。

[0039] 图 10 是根据本发明的一个实施方式的半导体装置的框图。

[0040] 图 11A 和 11B 示出可以使用根据本发明的一个实施方式的半导体装置的设备。

[0041] 图 12A 是示出根据本发明的一个实施方式的半导体装置中所包括的氧化物半导体叠层的图,图 12B 是该氧化物半导体叠层的能带图,以及图 12C 是根据本发明的另一个实

施方式的半导体装置所包括的氧化物半导体叠层的能带图。

[0042] 图 13 是示出用于制造半导体装置的装置的例子的顶视图。

[0043] 图 14A 示出氧化物半导体叠层的从真空能级到导带底部的能级的能量,图 14B 是其能带图。

具体实施方式

[0044] 下面,将参照附图详细说明本发明的实施方式。但是,本发明不限于以下的说明,并且,所属技术领域的普通技术人员可以很容易地理解:可以以不同的方式对其模式和细节进行修改。由此,本发明不应该被解释为受限于对这些实施方式的说明。

[0045] 进一步,在以下所说明的实施方式中,遍及所述附图使用相同的参考符号来表示相同的部分。注意,为了实施方式的说明的清楚起见,有时夸大附图所示的部件(即,层和区域等)的厚度、宽度以及相对位置关系等。

[0046] 注意,在本说明书等中诸如“之上”等术语不一定意味着一个部件“直接”被放置在另一部件“上”。例如,表述“绝缘层上的栅电极层”不排除在绝缘层和栅电极层之间存在附加部件的情况。同样适用于术语“之下”。

[0047] 在本说明书等中,术语“电极层”或“布线层”不限制部件的功能。例如,“电极层”可以用作“布线层”的一部分,而“布线层”可以用作“电极层”的一部分。再者,术语“电极层”或“布线层”例如还可以意味着多个“电极层”及“布线层”的组合。

[0048] “源极”和“漏极”的功能有时被互换,例如,当使用极性相反的晶体管时或者当电路操作中的电流方向变化时。因此,在本说明书中术语“源极”和“漏极”可以被互换。

[0049] 注意,在本说明书等中,术语“电连接”包括其中通过具有任何电功能的元件将部件连接的情况。只要在通过该元件连接的部件之间可以传输和接收电信号,对具有任何电功能的元件就没有特别的限制。

[0050] “具有任何电功能的元件”的例子是电极和布线。

[0051] 实施方式 1

[0052] 在本实施方式中,将参照附图详细地说明根据本发明的一个实施方式的半导体装置。图 1 示出本发明的一个实施方式的半导体装置。

[0053] 半导体装置包括具有第一半导体材料的晶体管 160、以及形成在晶体管 160 上的具有第二半导体材料的晶体管 162。

[0054] 在此,包括在晶体管 160 和晶体管 162 中的半导体材料优选具有不同的带隙。例如,硅类半导体(单晶硅、多晶硅等)可以被用于第一半导体材料,并且,氧化物半导体可以被用于第二半导体材料。包括硅类半导体的晶体管可以容易进行高速操作。另一方面,包括氧化物半导体的晶体管由于其特征而具有低的关态电流。

[0055] 图 1 所示的晶体管 160 包括衬底 100 上的栅极绝缘层 108 以及栅极绝缘层 108 上的栅电极层 110。注意,衬底 100 设置有沟道形成区域、源极区域及漏极区域。元件分离绝缘层 102 被设置为围绕晶体管 160。将与晶体管 160 电连接的布线层 112 设置在元件分离绝缘层 102 上。

[0056] 注意,侧壁绝缘层可以被设置为与晶体管 160 的栅电极层 110 的侧表面接触。当如图 1 所示,没有设置侧壁绝缘层时,可以实现高集成化。

[0057] 在晶体管 160、元件分离绝缘层 102 以及布线层 112 上形成绝缘层 104。在绝缘层 104 中形成到达布线层 112 的开口。在该开口中形成布线层 114。布线层 114 可以利用以下方法来形成,在绝缘层 104 中形成开口后,在该开口中形成导电膜,以及通过化学机械抛光 (Chemical Mechanical Polishing: CMP) 等使绝缘层 104 以及导电膜平坦化。

[0058] 在绝缘层 104 上形成布线层 115。布线层 115 具有布线层 115a、布线层 115b 以及布线层 115c 的层叠结构。但是,布线层 115 并不限于该结构,并可以根据所需要的特性来设置布线层。在布线层 115 上设置绝缘层 120。绝缘层 120 的顶表面是平坦的;由此,减少起因于晶体管 160 和布线层 115 的不均匀性。

[0059] 在绝缘层 120 上设置绝缘层 135。使用具有阻挡特性的膜形成绝缘层 135,以抑制因氢等从晶体管 162 释放而引起的晶体管 160 的特性的降低,并且防止起因于晶体管 160 的杂质进入到晶体管 162 中。在此,进入到晶体管 162 中的杂质的例子包括氢、水分及氮。所以,不使这些杂质透过的膜优选用于绝缘层 135。

[0060] 在绝缘层 135 以及绝缘层 120 中形成的开口中,布线层 116 形成为与布线层 115 接触。在绝缘层 135 上形成与布线层 116 接触的布线层 117。在布线层 117 上形成绝缘层 140。

[0061] 绝缘层 140 可以为包含超过化学计量组成的氧的膜。通过使用包含超过化学计量组成的氧的绝缘层 140,可以将氧供应给与绝缘层 140 接触的氧化物半导体叠层 144。因此,可以减少氧化物半导体叠层 144 的氧空位。

[0062] 绝缘层 140 的顶表面受到通过化学机械抛光等的平坦化处理,因此,减少晶体管 160、布线层 115 以及布线层 117 等所引起的不均匀性。通过提高绝缘层 140 顶表面的平坦性,可以使氧化物半导体叠层 144 的厚度分布均匀,并且可以提高晶体管 162 的特性。

[0063] 在绝缘层 140 上形成晶体管 162。晶体管 162 包括氧化物半导体叠层 144,与氧化物半导体叠层 144 接触的源电极层 142a 及漏电极层 142b,在氧化物半导体叠层 144、源电极层 142a 以及漏电极层 142b 上的栅极绝缘层 147,栅极绝缘层 147 上的栅电极层 148,栅电极层 148 上的绝缘层 150,以及绝缘层 155。

[0064] 在氧化物半导体叠层 144 中,层叠有第一氧化物半导体层 144a、第二氧化物半导体层 144b 以及第三氧化物半导体层 144c。使用具有大于第一氧化物半导体层 144a 及第三氧化物半导体层 144c 的载流子密度的氧化物半导体来形成第二氧化物半导体层 144b。由此,在具有大载流子密度的第二氧化物半导体层 144b 中形成沟道,并且,形成沟道的区域可以远离氧化物半导体叠层 144 和绝缘层之间的界面。

[0065] 另外,第一氧化物半导体层 144a 是非晶的,以及第二氧化物半导体层 144b 和第三氧化物半导体层 144c 都具有晶体结构。具有晶体结构的半导体膜用于第二氧化物半导体层 144b,由此可以减少沟道形成区域中的氧空位的影响。

[0066] 使用第二氧化物半导体层 144b 中的晶体作为晶种而进行第三氧化物半导体层 144c 的晶体生长。因此,有时,第三氧化物半导体层 144c 的与第二氧化物半导体层 144b 重叠的区域具有晶体结构,以及第三氧化物半导体层 144c 的与第二氧化物半导体层 144b 不重叠的区域(与第一氧化物半导体层 144a 的侧表面及绝缘层 140 接触的区域)具有非晶结构。所以,在附图中,第三氧化物半导体层 144c 的与第二氧化物半导体层 144b 重叠的区域和第三氧化物半导体层 144c 的其他区域的填充图案彼此不同。

[0067] 注意,第二氧化物半导体层 144b 和第三氧化物半导体层 144c 都具有晶体结构,而且有时不能明确观察第二氧化物半导体层 144b 和第三氧化物半导体层 144c 之间的界面。因此,在附图中用虚线表示第二氧化物半导体层 144b 和第三氧化物半导体层 144c 之间的界面。

[0068] 接下来,说明本发明的一个实施方式的半导体装置的制造方法。首先,在衬底 100 上形成成为栅极绝缘层 108 的绝缘膜。

[0069] 硅、碳化硅等的单晶半导体衬底或多晶半导体衬底,或者硅锗的化合物半导体衬底等可以用作衬底 100。替代地,可以使用其上设置有半导体元件的半导体衬底,SOI 衬底等。

[0070] 进一步替代地,可以使用通过溅射法、诸如等离子体 CVD 法等的气相生长法等在其上形成有半导体层的硼硅酸钡玻璃或硼硅酸铝玻璃的玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。对于半导体层,可以采用如下任一种:非晶硅;通过激光退火法等使非晶硅结晶化而得到的多晶硅;在将氢离子等注入到硅晶圆中之后,分离单晶硅晶圆的表面部分,以这种方式而得到的单晶硅;等。可以通过光刻工序将任何这些半导体层加工为岛状。

[0071] 形成成为用来形成元件分离绝缘层的掩模的保护层,使用该保护层作为掩模进行蚀刻,来去除衬底 100 的不由保护层覆盖的部分。由此,在衬底 100 的上部形成多个被分离的半导体区域。在绝缘层被形成为覆盖被分离的半导体区域后,选择性地去除与该半导体区域重叠的绝缘层。通过该方式,形成元件分离绝缘层 102。

[0072] 接下来,层叠栅极绝缘层 108 和栅电极层 110。可以适当地通过溅射法、分子束外延 (Molecular Beam Epitaxy:MBE) 法、化学气相沉积 (Chemical Vapor Deposition:CVD) 法、脉冲激光沉积 (Pulsed Laser Deposition:PLD) 法、原子层沉积 (Atomic Layer Deposition:ALD) 法等来形成栅极绝缘层 108。当通过溅射法形成栅极绝缘层 108 时,可以减少诸如氢等的杂质元素。

[0073] 可以使用无机绝缘膜形成栅极绝缘层 108。优选使用,例如,氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜、氧化钪膜、氧化镓膜、氮化硅膜、氮化铝膜、氮氧化硅膜或氮氧化铝膜等。进一步,可以以单层结构或包含两层或更多层的叠层结构使用这些化合物来形成栅极绝缘层 108。

[0074] 可以通过等离子体 CVD 法或溅射法等使用诸如钼、钛、钽、钨、铝、铜、铬、钽或铌等金属材料或包含任何这些材料作为其主要成分的合金材料而形成栅电极层 110(以及使用与栅电极层 110 相同的导电膜来形成的布线层 112 等)。也可以使用以掺杂有诸如磷等杂质元素的多晶硅膜为代表的半导体膜、或镍硅化物等的硅化物膜形成栅电极层 110。进一步,也可以使用诸如铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、或添加有氧化硅的铟锡氧化物的导电材料来形成栅电极层 110。栅电极层 110 也可以具有上述导电材料和上述金属材料的叠层结构。

[0075] 在此,通过将栅电极层 110 使用为掩模,将具有 n 型导电性的杂质元素或 p 型导电性的杂质元素引入衬底 100。由此,形成源区域和漏区域。对于引入杂质元素的方法,可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法等。

[0076] 磷、硼、氮、砷、氙、铝,包含任何这些元素的分子离子等可以用作引入的杂质元素。

这些元素的剂量优选为 1×10^{13} ions/cm² 至 5×10^{16} ions/cm²。当引入磷作为杂质元素时,加速电压优选为 0.5kV 至 80kV。

[0077] 注意,可以进行多次引入杂质元素的处理。在进行多次引入杂质元素的处理的情况下,杂质元素的种类可以在多次处理中相同,或可以在每次处理中彼此不同。

[0078] 通过上述步骤,能够制造晶体管 160。

[0079] 接下来,形成绝缘层 104,以覆盖栅电极层 110、栅极绝缘层 108、元件分离绝缘层 102 以及布线层 112。可以使用与栅极绝缘层 108 相似的材料及方法来形成绝缘层 104。

[0080] 进一步,在绝缘层 104 中形成开口,以及在该开口中形成布线层 114(参见图 2A)。可以使用与布线层 112 相似的材料及方法来形成布线层 114。

[0081] 接着,在绝缘层 104 上形成布线层 115。可以使用与布线层 112 相似的材料及方法来形成布线层 115。

[0082] 在此,为了降低布线层 115 的电阻以及允许布线层 115 具有耐热性,布线层 115 具有三层结构。在该三层结构中,具有低电阻率的铝膜用作布线层 115b,以及在该铝膜上方和下方形成有作为布线层 115a 及布线层 115c 的具有高熔点的钛膜。

[0083] 注意,在形成成为布线层 115 的导电膜后,蚀刻该导电膜。在蚀刻该导电膜的工序中,有时绝缘层 104 也同时被蚀刻以及其厚度减少。因此,绝缘层 104 的与布线层 115 重叠的区域有时具有厚于其他区域的厚度。所以,绝缘层 104 的表面有时具有不均匀性。

[0084] 接下来,在绝缘层 104 以及布线层 115 上形成绝缘层 120。可以使用与栅极绝缘层 108 相似的无机材料,或如聚酰亚胺树脂、丙烯酸树脂或苯并环丁烯类树脂等的有机材料形成绝缘层 120,以便减少起因于晶体管 160、绝缘层 104 以及布线层 115 的不均匀性。除了这些有机材料之外,也可以使用低介电常数材料(低-k材料)等。替代地,可以通过层叠多个使用任何这些材料形成的绝缘膜来形成绝缘层 120。

[0085] 接着,在绝缘层 120 上形成绝缘层 135。

[0086] 优选使用具有阻挡特性的膜形成绝缘层 135,以便起因于晶体管 160 的杂质不进入晶体管 162 中。例如,可以使用含有氮化硅、氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化钇、氧氮化钇、氧化钪、氧氮化钪等的膜形成绝缘层 135。

[0087] 进一步,在其中绝缘层 135 包括具有低密度的部分或没有形成膜的部分(以下将这些部分也被总称为“空洞”)的情况下,有时杂质通过空洞进入到晶体管中。

[0088] 可以预先提高绝缘层 120 的平坦性,使得在绝缘层 135 中不形成空洞。例如,在形成绝缘层 135 之前,可以在绝缘层 120 的表面上进行如化学机械抛光处理或等离子体处理等的平坦化处理。

[0089] 在形成绝缘层 135 后,在绝缘层 135 以及绝缘层 120 中形成到达布线层 115 的开口。在该开口中形成布线层 116。在绝缘层 135 上形成与布线层 116 接触的布线层 117。可以使用与栅电极层 110 相似的材料和方法来形成布线层 116 以及布线层 117。

[0090] 接下来,在布线层 117 上形成绝缘层 140(参见图 2B)。可以使用包含氮的氧化物绝缘层或如氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜、氧化钪膜或氧化镓膜等的氧化物绝缘层来形成绝缘层 140。进一步,可以以单层结构或包括两层或更多层的叠层结构使用这些化合物来形成绝缘层 140。包含超过化学计量组成的氧的膜可以用于绝缘层 140,以便对后面形成的氧化物半导体叠层 144 供应氧。

[0091] 进一步,可以通过化学机械抛光处理等平坦化绝缘层 140,以使后面形成的氧化物半导体叠层 144 的膜厚度分布均匀以及提高其结晶性。

[0092] 接着,在绝缘层 140 上形成氧化物半导体叠层 144。

[0093] 使用至少包含铟 (In) 以及允许通过 AC 溅射法或 DC 溅射法进行膜形成的溅射靶材来形成第一至第三氧化物半导体层 144a 至 144c 中的每个。通过包含铟,溅射靶材可以具有增强的导电性。通过使用这种溅射靶材,更容易地通过 AC 溅射法或 DC 溅射法进行膜形成。该靶材可以为使用该靶材而形成的膜至少在膜形成后包含高于或等于 1×10^{19} atoms/cm³ 的浓度的铟的靶材。使用可以由 $\text{InM}_1\text{Zn}_Y\text{O}_Z$ ($X \geq 1$ 、 $Y > 1$ 、 $Z > 0$ 以及 M1 为 Ga、Hf 等) 表示的材料形成第一氧化物半导体层 144a 以及第三氧化物半导体层 144c。注意,在其中使用包含 Ga 的材料形成第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 的情况下,包含大比例的 Ga 的材料或者特别是可以由 $\text{InM}_1\text{Zn}_Y\text{O}_Z$ (其中 X 大于 10) 表示的材料是不合适的,因为在此情况下有可能在膜形成时产生尘屑,以及通过 AC 溅射法或 DC 溅射法进行膜形成变得困难。

[0094] 使用可以由 $\text{InM}_2\text{Zn}_Y\text{O}_Z$ ($X \geq 1$ 、 $Y \geq X$ 、 $Z > 0$ 、M2 = Ga、Sn 等) 表示的材料形成第二氧化物半导体层 144b。

[0095] 尤其是,在其中第二氧化物半导体层 144b 是 In-M2-Zn 氧化物 (M2 是 Ga 或 Sn 等),并且将具有 $\text{In}:\text{M}_2:\text{Zn} = x_1:y_1:z_1$ 的金属元素的原子数比的靶材用于形成第二氧化物半导体层 144b 的情况下, x_1/y_1 优选大于或等于 1/3 且小于或等于 6,进一步优选大于或等于 1 且小于或等于 6,以及 z_1/y_1 优选大于或等于 1/3 且小于或等于 6,进一步优选大于或等于 1 且小于或等于 6。注意,当 z_1/y_1 大于或等于 1 且小于或等于 6 时,容易形成后面说明的作为第二氧化物半导体层 144b 的 CAAC-OS 膜。靶材的金属元素的原子数比的典型例子是 $\text{In}:\text{M}_2:\text{Zn} = 1:1:1$ 及 $\text{In}:\text{M}_2:\text{Zn} = 3:1:2$ 。

[0096] 进一步,特别是,在第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 中的每个为 In-M1-Zn 氧化物 (M1 是 Ga 或 Hf 等),并且将具有 $\text{In}:\text{M}_1:\text{Zn} = x_2:y_2:z_2$ 的金属元素的原子数比的靶材用于形成第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 中的每个的情况下,优选的是, $x_2/y_2 < x_1/y_1$, 并且 z_2/y_2 大于或等于 1/3 且小于或等于 6,进一步优选大于或等于 1 且小于或等于 6。注意,当 z_2/y_2 大于或等于 1 且小于或等于 6 时,容易形成后面说明的作为第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 的 CAAC-OS 膜。靶材的金属元素的原子数比的典型例子是 $\text{In}:\text{M}_1:\text{Zn} = 1:3:2$ 、 $\text{In}:\text{M}_1:\text{Zn} = 1:3:4$ 、 $\text{In}:\text{M}_1:\text{Zn} = 1:3:6$ 及 $\text{In}:\text{M}_1:\text{Zn} = 1:3:8$ 等。

[0097] 作为第一至第三氧化物半导体层 144a 至 144c,可以使用具有 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ ($= 1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ ($= 2/5:2/5:1/5$)、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ ($= 1/2:1/6:1/3$)、 $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ ($= 1/6:1/2:1/3$)、 $\text{In}:\text{Ga}:\text{Zn} = 1:4:3$ ($= 1/8:1/2:3/8$)、 $\text{In}:\text{Ga}:\text{Zn} = 1:5:4$ ($= 1/10:1/2:2/5$) 或 $\text{In}:\text{Ga}:\text{Zn} = 1:6:6$ ($= 1/13:6/13:6/13$) 的原子数比的氧化物等。注意,可以使用铅代替镓来形成第一及第三氧化物半导体层 144a 及 144c。此外,可以使用锡代替镓来形成第二氧化物半导体层 144b。

[0098] 适当地选择第一至第三氧化物半导体层的材料以便形成阱形结构,在该阱形结构中,第二氧化物半导体层 144b 的导带底部与第一及第三氧化物半导体层 144a 及 144c 的导带底部相比离真空能级更深。通过从真空能级与价带顶部之间的能量差 (所谓的电离电

位) 减去导带底部与价带顶部之间的能量差(所谓的带隙)可以获得从真空能级到导带底部的深度(该深度也可以表示为电子亲和势)。

[0099] 注意,可以通过紫外线光电子能谱(UPS:Ultraviolet Photoelectron Spectroscopy)等来测定用于获得电子亲和势的氧化物半导体的电离电位。作为典型的UPS的测定装置,使用VersaProbe(由ULVAC-PHI公司制造)。电子亲和势是指真空能级(E_{∞})与导带端部(E_c)之间的能量差。此外,可以通过全自动光谱椭偏仪UT-300来测定能带隙(E_g)。通过从电离电位值减去能带隙来得到导带底部的能量,由此,可以形成单层或叠层的带结构。通过使用该方法,能够确认使用本说明书中公开的叠层结构是否形成有埋入沟道。图14A和14B示出其例子。

[0100] 图14A示出从真空能级到导带底部的能量的数据。图14B示出根据该数据形成的带结构。为了获得该数据,以如下方式形成具有叠层结构的样品,在其中氧气比例为100%的气氛中利用具有In:Ga:Zn = 1:1:1[原子数比]的组成的In-Ga-Zn氧化物溅射靶材来形成10nm厚的膜之后,在其中氩气比例为100%的气氛中利用具有In:Ga:Zn = 3:1:2[原子数比]的组成的In-Ga-Zn氧化物溅射靶材来形成10nm厚的膜,然后在其中氧气比例为100%的气氛中利用具有In:Ga:Zn = 1:1:1[原子数比]的组成的In-Ga-Zn氧化物溅射靶材来形成10nm厚的膜。借助于该样品,通过全自动光谱椭偏仪UT-300测出能带隙,以及测出电离电位。通过从电离电位减去能带隙而获得从真空能级到导带底部的能量。从图14B可知,形成有阱形结构,在该阱形结构中,与第一及第三氧化物半导体层的导带底部相比,第二氧化物半导体层的导带底部离真空能级更深。

[0101] 进一步,在使用In-Ga-Zn氧化物形成第一至第三氧化物半导体层144a至144c的情况下,第一至第三氧化物半导体层144a至144c的构成元素相同。所以,第一氧化物半导体层144a和第二氧化物半导体层144b之间的界面以及第二氧化物半导体层144b和第三氧化物半导体层144c之间的界面处的陷阱能级的数量低。由此,可以降低晶体管随时间的变化以及压力测试所导致的阈值电压的变化。

[0102] 在Ga中,与在In中相比,氧空位的形成能量大,从而Ga不容易产生氧空位;所以,具有In的比例等于或低于Ga的比例的组成的氧化物与具有In的比例高于Ga的比例的组成的氧化物相比具有更稳定的特性。因此,第一氧化物半导体层144a与硅绝缘层之间的界面以及第三氧化物半导体层144c与硅绝缘层之间的界面可以是稳定的。由此,可以获得高可靠性的半导体装置。

[0103] 在氧化物半导体中,重金属的s轨道主要有助于载流子传输,并且当氧化物半导体中In的比例增加时,s轨道的重叠容易增加。由此,具有In的比例高于Ga的比例的组成的氧化物与具有In的比例等于或低于Ga的比例的组成的氧化物相比具有高的迁移率。因此,当在包含高比例的镉的第二氧化物半导体层144b中形成载流子时,可以实现高迁移率。

[0104] 适当地选择第二氧化物半导体层144b的材料,使得第二氧化物半导体层144b的导带(conduction band)底部形成阱形结构。图12B示出阱形结构的例子。图12B是沿着图12A所示的晶体管中的Y1-Y2的能带图。注意,图12A所示的晶体管具有与图4A所示的晶体管163相似的结构;所以,省略其详细说明。

[0105] 在此,当第14族元素之一的硅或碳作为杂质包含在氧化物半导体层中时,它

可以作为施主以及形成 n 型区域。所以,各个氧化物半导体层中的硅浓度低于或等于 3×10^{18} atoms/cm³, 优选低于或等于 3×10^{17} atoms/cm³。进一步,碳浓度低于或等于 3×10^{18} atoms/cm³, 优选低于或等于 3×10^{17} atoms/cm³。特别是,优选使用第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 夹着或包围成为载流子路径的第二氧化物半导体层 144b 的结构,以便防止在第二氧化物半导体层 144b 中以高比例包含第 14 族元素。也就是说,第一及第三氧化物半导体层 144a 及 144c 也可以称为阻挡层,该阻挡层防止如硅等的第 14 族元素进入第二氧化物半导体层 144b 中。

[0106] 包含在氧化物半导体叠层 144 中的氢与键合于金属的氧起反应而产生水,以及在释放氧的晶格(或者从其去除氧的部分)中形成缺陷。此外,氢的一部分与氧的键合引起作为载流子的电子的产生。因此,在形成氧化物半导体叠层 144 的工序中极力减少包含氢的杂质,由此,可以降低氧化物半导体叠层 144 中的氢浓度。当尽量去除氢而实现高度纯化的氧化物半导体叠层 144 用作沟道形成区域时,可以减少阈值电压的负向漂移,以及可以将晶体管的源极与漏极间的泄漏电流(典型为关态电流等)降低到几 yA(幺科托安培)/ μm 至几 zA(仄普托安培)/ μm 。其结果是,可以提高晶体管的电特性。

[0107] 当成为晶体管的半导体层的氧化物半导体膜具有上述叠层结构时,在其中形成沟道的区域中,通过恒定光电流法(CPM:Constant Photocurrent Method)测定的由于局部态的吸收系数可以低于或等于 $3 \times 10^{-3}/\text{cm}$ (当换算成态密度时,低于或等于 $3 \times 10^{13}/\text{cm}^3$)。

[0108] 上述叠层结构是在其中使用第一至第三氧化物半导体层形成一个阱形结构的例子;但是,本发明不局限于上述叠层结构。可以使用多层结构的第二氧化物半导体层来形成多个阱结构。图 12C 示出其例子。

[0109] 作为溅射气体,适当地使用稀有气体(典型为氩)气氛、氧气氛、或者稀有气体以及氧的混合气体。在使用稀有气体和氧的混合气体的情况下,氧的比例优选高于稀有气体的比例。

[0110] 根据所形成的氧化物半导体层的组成来适当选择用来形成氧化物半导体层的靶材。

[0111] 作为靶材的例子,以下示出 In-Ga-Zn 氧化物靶材。

[0112] 通过以预定的摩尔比率混合 InO_x粉末、GaO_y粉末以及 ZnO_z粉末,施加压力,并在高于或等于 1000°C 且低于或等于 1500°C 的温度下进行加热处理,来制造多晶的 In-Ga-Zn 氧化物靶材。注意, X、Y 及 Z 为给定的任意正数。在此, InO_x粉末对 GaO_y粉末以及 ZnO_z粉末的预定的摩尔比率例如为 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。可以根据期望的靶材适当地决定用于混合粉末的摩尔比率和粉末的种类。

[0113] 第二氧化物半导体层 144b 以及第三氧化物半导体层 144c 可以具有不同的结晶性。即,可以适当地组合单晶氧化物半导体膜、多晶氧化物半导体膜、微晶氧化物半导体膜及 CAAC-OS 膜。

[0114] 在此,说明 CAAC-OS 膜的细节。CAAC-OS 膜是具有多个 c 轴取向的晶体部的氧化物半导体膜之一。在使用透射电子显微镜(TEM:Transmission Electron Microscope)而得到的图像中,无法发现 CAAC-OS 膜中的晶界(grain boundary)。因此,在 CAAC-OS 膜中,不容易发生起因于晶界的电子迁移率的降低。

[0115] 在本说明书中,术语“平行”是指形成在两条直线之间的角度大于或等于 -10° 且

小于或等于 10° ，以及因此，还包括其中该角度大于或等于 -5° 且小于或等于 5° 的情况。另外，术语“垂直”是指形成在两条直线之间的角度大于或等于 80° 且小于或等于 100° ，以及因此，包括其中该角度大于或等于 85° 且小于或等于 95° 的情况。

[0116] 在本说明书中，三方晶系和菱方晶系包括在六方晶系中。

[0117] 根据在基本平行于样品表面的方向上观察的 CAAC-OS 膜的 TEM 图像（截面 TEM 图像），在晶体部中金属原子排列为层状。各金属原子层具有由 CAAC-OS 膜的顶表面或在其上形成 CAAC-OS 膜的表面（以下，在其上形成 CAAC-OS 膜的表面被称为形成表面）反映的形态 (morphology)，且排列为平行于 CAAC-OS 膜的顶表面或形成表面。

[0118] 另一方面，根据在基本垂直于样品表面的方向上观察的 CAAC-OS 膜的 TEM 图像（平面 TEM 图像），在晶体部中金属原子排列为三角形状或六角形状。但是，在不同的晶体部之间金属原子的排列没有规律性。

[0119] 根据截面 TEM 图像以及平面 TEM 图像的结果，在 CAAC-OS 膜的晶体部中观察到取向性。

[0120] CAAC-OS 膜中包括的每一晶体部的大部分可以适配于一边小于 100nm 的立方体内。因此，有包括在 CAAC-OS 膜中的晶体部可以适配于一边小于 10nm、小于 5nm 或小于 3nm 的立方体内的情况。注意，当包括在 CAAC-OS 膜中的多个晶体部彼此连接时，有时形成一个晶体区。例如，在平面 TEM 图像中有时观察到具有 2500nm^2 或更大、 $5\mu\text{m}^2$ 或更大、或 $1000\mu\text{m}^2$ 或更大的面积的晶体区。

[0121] 使用 X 射线衍射 (XRD: X-Ray Diffraction) 装置对 CAAC-OS 膜进行结构分析。例如，当通过异面 (out-of-plane) 法来分析包括 InGaZnO_4 晶体的 CAAC-OS 膜时，在衍射角 (2θ) 为 31° 附近时频繁地出现峰值。该峰值来源于 InGaZnO_4 晶体的 (009) 面，这显示 CAAC-OS 膜中的晶体具有 c 轴取向性，并且 c 轴取向在基本垂直于 CAAC-OS 膜的顶表面或形成表面的方向上。

[0122] 另一方面，当通过使 X 线在基本垂直于 c 轴的方向上入射到样品的共面 (in-plane) 法分析 CAAC-OS 膜时，在 2θ 为 56° 附近时频繁地出现峰值。该峰值来源于 InGaZnO_4 晶体的 (110) 面。在此，在 2θ 固定为 56° 左右并在以样品表面的法向量为轴 (ϕ 轴) 旋转样品的条件下进行分析 (ϕ 扫描)。在该样品是 InGaZnO_4 的单晶氧化物半导体膜的情况下，出现六个峰值。该六个峰值来源于等效于 (110) 面的晶面。另一方面，在该样品是 CAAC-OS 膜的情况下，即使在 2θ 固定为约 56° 的状态下进行 ϕ 扫描也不能观察到明确的峰值。

[0123] 根据上述结果，在具有 c 轴取向的 CAAC-OS 膜中，虽然 a 轴及 b 轴的方向在晶体部之间不同，但 c 轴取向在与形成表面的法向量或顶表面的法向量平行的方向上。因此，在上述截面 TEM 图像中观察到的层状排列的各金属原子层对应于与晶体的 a-b 面平行的面。

[0124] 注意，晶体部在沉积 CAAC-OS 膜的同时形成，或者通过诸如加热处理等的晶化处理形成。如上所述，晶体的 c 轴取向在与形成表面的法向量或顶表面的法向量平行的方向上。由此，例如，在 CAAC-OS 膜的形状因蚀刻等而变化的情况下，c 轴可能不一定与 CAAC-OS 膜的形成表面的法向量或顶表面的法向量平行。

[0125] 此外，CAAC-OS 膜中的 c 轴取向的晶体部的分布不一定需要均匀。例如，在形成 CAAC-OS 膜的晶体部的晶体生长从膜的顶表面附近发生的情况下，在某些情况下，顶表面附

近的 c 轴取向的晶体部的比例高于形成表面附近的比例。进一步,当对 CAAC-OS 膜添加杂质时,有时添加有杂质的区域被改变,以及 CAAC-OS 膜中的 c 轴取向的晶体部的比例根据区域变化。

[0126] 注意,当通过异面 (out-of-plane) 法分析包含 InGaZnO_4 晶体的 CAAC-OS 膜时,除了在 31° 附近的 2θ 峰值之外,还可以观察到在 36° 附近的 2θ 峰值。 36° 附近的 2θ 峰值表明在 CAAC-OS 膜的一部分中包括不具有 c 轴取向性的晶体。优选的是,在 CAAC-OS 膜中, 2θ 峰值出现于 31° 附近,以及 2θ 峰值不出现于 36° 附近。

[0127] CAAC-OS 膜是具有低杂质浓度的氧化物半导体膜。杂质是氧化物半导体膜的主要成分以外的元素,诸如氢、碳、硅或过渡金属元素。尤其是,具有比包含在氧化物半导体膜中的金属元素更强的与氧的键合强度的元素(例如,硅)通过夺取氧化物半导体膜的氧,来打乱氧化物半导体膜的原子排列,且导致结晶性下降。另外,如铁或镍等的重金属、氩、二氧化碳等具有大原子半径(分子半径),所以当包含在氧化物半导体膜内时,打乱氧化物半导体膜的原子排列,导致结晶性下降。注意,包含在氧化物半导体膜中的杂质有可能成为载流子陷阱或载流子产生源。

[0128] CAAC-OS 膜是具有低缺陷态密度的氧化物半导体膜。有时,氧化物半导体膜中的氧空位作为载流子陷阱,或者当其中俘获氢时作为载流子产生源。

[0129] 杂质浓度低且缺陷态密度低(氧空位的个数少)的状态称为“高纯度本征”或“基本高纯度本征”状态。高纯度本征或基本高纯度本征的氧化物半导体膜具有很少的载流子产生源,所以可以具有低载流子密度。因此,包括该氧化物半导体膜的晶体管很少具有负阈值电压(很少常开 (normally on))。高纯度本征或基本高纯度本征的氧化物半导体膜具有很少的载流子陷阱。因此,包括该氧化物半导体膜的晶体管具有变动小的电特性以及高可靠性。被氧化物半导体膜中的载流子陷阱俘获的电荷到被释放需要长时间,可能行为像固定电荷。所以,包括杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管有时具有不稳定的电特性。

[0130] 通过在晶体管中使用 CAAC-OS 膜,由可见光或紫外光的照射导致的晶体管的电特性变动小。

[0131] 在如 CAAC-OS 膜具有晶体部的氧化物半导体中,可以进一步降低块体中的缺陷,以及当提高氧化物半导体的表面的平坦性时,可以得到高于非晶状态的氧化物半导体的迁移率的迁移率。为了提高表面的平坦性,氧化物半导体优选形成在平坦的表面上。

[0132] 当形成 CAAC-OS 膜时,例如,通过使用多晶的氧化物半导体溅射靶材的溅射法来形成 CAAC-OS 膜。离子碰撞该靶材,包括在靶材中的晶体区域可以沿着 a-b 面与靶材分开;换句话说,具有与 a-b 面平行的面的溅射粒子(平板状的溅射粒子或片粒状的溅射粒子)可以从靶材分离。在这种情况下,该平板状的溅射粒子保持其晶体状态到达衬底,于是可以形成 CAAC-OS 膜。

[0133] 为了形成 CAAC-OS 膜,优选使用如下条件。

[0134] 通过减少沉积时进入 CAAC-OS 膜中的杂质量,可以防止杂质所导致的晶体状态的破坏。例如,可以降低存在于沉积室内的杂质(例如,氢、水、二氧化碳或氮)的浓度。另外,可以降低沉积气体中的杂质浓度。具体而言,使用露点为 -80°C 或更低,优选为 -100°C 或更低的沉积气体。

[0135] 通过增高沉积时的衬底加热温度,在溅射粒子到达衬底表面之后容易发生溅射粒子的迁移(migration)。具体而言,在沉积时的衬底加热温度高于或等于 100℃且低于或等于 740℃,优选高于或等于 200℃且低于或等于 500℃。通过增高沉积时的衬底加热温度,当平板状的溅射粒子到达衬底时,在衬底上发生迁移,于是平板状溅射粒子的平坦的面附着到衬底。

[0136] 另外,优选的是,增高沉积气体中的氧的比例并使功率最优化,以减轻沉积时的等离子体损伤。沉积气体中的氧的比例为 30vol%或更高,优选为 100vol%。

[0137] 接下来,将说明微晶氧化物半导体膜。

[0138] 在使用 TEM 而得到的图像中,有时无法清楚地发现微晶氧化物半导体膜中的晶体部。在很多情况下,微晶氧化物半导体中的晶体部大于或等于 1nm 且小于或等于 100nm,或大于或等于 1nm 且小于或等于 10nm。具有大于或等于 1nm 且小于或等于 10nm 的尺寸或者大于或等于 1nm 且小于或等于 3nm 的尺寸的微晶特别被称为纳米晶(nc:nanocrystal)。包含纳米晶的氧化物半导体膜被称为nc-OS(nanocrystalline oxide semiconductor)膜。在使用 TEM 而得到的图像中,有时在 nc-OS 膜中无法清楚地发现晶粒。

[0139] 在 nc-OS 膜中,微小区域(例如,具有大于或等于 1nm 且小于或等于 10nm,特别是大于或等于 1nm 且小于或等于 3nm 的尺寸的区域)具有周期性原子排列。另外,在 nc-OS 膜的不同晶体部之间没有晶体取向的规律性;因此,观察不到膜整体的取向性。所以,有时,取决于分析方法,nc-OS 膜不能与非晶氧化物半导体膜区别。例如,当通过利用使用光束径比晶体部大的 X 射线的 XRD 装置的异面(out-of-plane)法对 nc-OS 膜进行结构分析时,表示晶体面的峰值没有出现。此外,通过使用其探针的直径大于晶体部的电子束(例如,大于或等于 50nm)来获得的 nc-OS 膜的选区电子衍射图案中,出现类似光晕图案(halo-like pattern)。同时,通过使用其探针的直径近于或小于晶体部的电子束(例如,大于或等于 1nm 且小于或等于 30nm)来获得的 nc-OS 膜的纳米束电子衍射图案中,出现斑点。另外,在 nc-OS 膜的纳米束电子衍射图案中,有时出现圆圈状(环状)的高亮度区域。而且,在 nc-OS 膜的纳米束电子衍射图案中,有时在环状的区域内出现多个斑点。

[0140] 由于 nc-OS 膜是具有比非晶氧化物半导体膜高的规律性的氧化物半导体膜,所以 nc-OS 膜有比非晶氧化物半导体膜低的缺陷态密度。但是,在 nc-OS 膜中的不同晶体部之间没有晶体取向的规律性;所以,nc-OS 膜具有比 CAAC-OS 膜高的缺陷态密度。

[0141] 注意,氧化物半导体膜可以是包括非晶氧化物半导体膜、微晶氧化物半导体膜和 CAAC-OS 膜的两种膜或更多种膜的叠层膜。

[0142] 在此,通过上述方法,层叠第一氧化物半导体层 144a 和第二氧化物半导体层 144b,然后进行加热处理,使用掩模选择性地蚀刻。

[0143] 在本实施方式中,在衬底温度被设定为室温且使用原子数比为 In:Ga:Zn = 1:3:2 的靶材的条件下,形成具有非晶结构的第一氧化物半导体层 144a。具有非晶结构的第一氧化物半导体层 144a 的厚度被设定为大于或等于 10nm 且小于或等于 40nm,优选大于或等于 20nm 且小于或等于 30nm。具有非晶结构的第一氧化物半导体层 144a 具有这样大的膜厚度;因此,可以防止硅从基底膜(包含硅的绝缘膜)扩散。另外,在衬底温度被设定为 400℃且使用原子数比为 In:Ga:Zn = 1:1:1 的靶材的条件下形成具有晶体结构的第二氧化物半导体层 144b。该第二氧化物半导体层 144b 是包含其 c 轴取向为大致垂直于表面的晶体的膜,

优选为 CAAC-OS 膜。第二氧化物半导体层 144b 具有大于或等于 5nm 且小于或等于 10nm 的厚度。

[0144] 具有晶体结构的第二氧化物半导体层 144b 层叠在具有非晶结构的第一氧化物半导体层 144a 上。所以,该叠层也可以被称为异质结构 (heterostructure)。

[0145] 第二氧化物半导体层 144b 的膜形成温度高于或等于 400℃ 且低于或等于 550℃, 优选高于或等于 450℃ 且低于或等于 500℃。注意,在已形成的布线层能够承受的温度下进行成膜。

[0146] 在减压下且氮、氧或氮和氧的气氛中,以高于或等于 150℃ 且低于衬底的应变点, 优选以高于或等于 300℃ 且低于或等于 500℃, 更优选以高于或等于 350℃ 且低于或等于 450℃ 来进行膜形成后的加热处理。通过该加热处理,去除氧化物半导体层中过剩的氢(包括水或羟基)(脱水化或脱氢化)。进一步,在保持加热处理结束之后的加热温度或进行缓冷从加热温度降低温度的同时,可以向相同的炉中引入高纯度的氧气体或超干燥气体(使用光腔衰荡光谱(cavity ring-down laser spectroscopy:CRDS)系统的露点仪进行测定,水分量低于或等于 20ppm(通过转换成露点为 -55℃), 优选低于或等于 1ppm, 更优选低于或等于 10ppb)。通过氧气体的作用,供给在随着通过脱水化或脱氢化的去除杂质工序的同时被减少的氧化物半导体的主要成分的氧。

[0147] 在形成第二氧化物半导体层 144b 之后进行加热处理,由此,第二氧化物半导体层 144b 中的氢浓度可以低于 5×10^{18} atoms/cm³, 优选低于或等于 1×10^{18} atoms/cm³, 更优选低于或等于 5×10^{17} atoms/cm³, 进一步优选低于或等于 1×10^{16} atoms/cm³。

[0148] 在包含氮或如氦、氖、氩、氙或氡等稀有气体的惰性气体气氛中进行该加热处理。此外,可以先在惰性气体气氛中进行加热处理,然后在氧气气氛中进行加热处理。优选的是,上述惰性气体气氛及上述氧气气氛不包含氢、水等。处理时间为 3 分钟至 24 小时。对在氧化物半导体层上进行的加热处理的次数没有限制,以及对加热处理的定时没有限制。

[0149] 注意,可以对设置在氧化物半导体叠层 144 的上方和 / 或下方的氧化物绝缘层进行加热,在这种情况下,将氧从氧化物绝缘层供应到氧化物半导体叠层 144,以减少氧化物半导体叠层 144 中的氧缺陷。氧化物半导体叠层 144 中的氧缺陷的减少导致良好的半导体特性。

[0150] 接下来,形成第三氧化物半导体层 144c,以覆盖第二氧化物半导体层 144b 的上表面和侧表面以及第一氧化物半导体层 144a 的侧表面(参见图 3A)。也可以在形成第三氧化物半导体层 144c 后进行氧化物半导体的脱氢化或脱水化的加热处理。

[0151] 在 400℃ 的衬底温度下,使用具有 In:Ga:Zn = 1:3:2 的原子数比的靶材来形成第三氧化物半导体层 144c。该第三氧化物半导体层 144c 形成在具有晶体结构的第二氧化物半导体层 144b 之上,由此,第三氧化物半导体层 144c 的晶体生长使用第二氧化物半导体层中的晶体作为晶种而进行。因此,第三氧化物半导体层 144c 容易成为具有晶体结构的膜。由此,有时在截面 TEM 图像中很难决定第二氧化物半导体层 144b 与第三氧化物半导体层 144c 之间的边界。在附图中,通过虚线来表示第二氧化物半导体层 144b 和第三氧化物半导体层 144c 之间的界面。

[0152] 第三氧化物半导体层 144c 的一部分,即,与绝缘层 140 接触且不与第二氧化物半导体层 144b 重叠的第三氧化物半导体层 144c 的区域容易具有非晶结构。第三氧化物半导

体层 144c 的厚度大于或等于 10nm 且小于或等于 40nm, 优选大于或等于 20nm 且小于或等于 30nm。进一步, 在第三氧化物半导体层 144c 中, 与第二氧化物半导体层 144b 重叠的区域具有晶体结构, 以及其他区域具有非晶结构。为了在附图中明确地表示该结构, 第三氧化物半导体层 144c 的与第二氧化物半导体层 144b 重叠的区域的填充图案和第三氧化物半导体层 144c 的其他区域彼此不同。

[0153] 注意, 第三氧化物半导体层 144c 具有低于第二氧化物半导体层 144b 的结晶性。由此, 可以说, 以结晶性的程度可以决定边界。此外, 在将具有晶体结构的氧化物半导体层设置在第二氧化物半导体层 144b 上作为第三氧化物半导体层 144c, 并且该第三氧化物半导体层 144c 具有与第二氧化物半导体层不同的组成的情况下, 该叠层也可以被称为具有不同组成的异质结构 (heterostructure)。

[0154] 第三氧化物半导体层 144c 的晶体生长在第二氧化物半导体层 144b 的结晶性的影响下进行, 使得该第三氧化物半导体层 144c 具有与第二氧化物半导体层 144b 相似的晶体结构。由此, 降低第二氧化物半导体层 144b 与第三氧化物半导体层 144c 之间的界面处的缺陷和态, 从而可以获得高可靠性半导体装置。

[0155] 第二氧化物半导体层 144b 与第三氧化物半导体层 144c 之间的界面处的态可以是混合 (或合金化) 态。界面处的混合态减少第二氧化物半导体层 144b 与第三氧化物半导体层 144c 之间的应力差所导致的损坏, 由此界面散射降低。

[0156] 相似地, 第一氧化物半导体层 144a 与第二氧化物半导体层 144b 之间的界面也可以合金化。

[0157] 接下来, 在氧化物半导体叠层 144 上形成成为源电极层 142a 以及漏电极层 142b 的导电膜。可以使用与栅电极层 110 相似的材料和方法来形成该导电膜。

[0158] 注意, 有时在形成源电极层 142a 以及漏电极层 142b 时的蚀刻中, 氧化物半导体叠层 144 的位于源电极层 142a 以及漏电极层 142b 之间的区域也同时被蚀刻, 以及其厚度减小。因此, 有时氧化物半导体叠层 144 的不与源电极层 142a 以及漏电极层 142b 重叠的区域具有比与源电极层 142a 以及漏电极层 142b 重叠的区域薄的厚度。

[0159] 在氧化物半导体叠层 144 中, 成为沟道形成区域的第二氧化物半导体层 144b 夹在第一氧化物半导体层 144a 以及第三氧化物半导体层 144c 之间。所以, 即使当在蚀刻源电极层 142a 以及漏电极层 142b 的同时氧化物半导体叠层 144 被蚀刻时, 成为沟道形成区域的第二氧化物半导体层 144b 也不容易受到蚀刻的影响, 由此沟道形成区域被蚀刻而减小其厚度的可能性很低。因此, 可以呈现稳定的特性。

[0160] 接下来, 在源电极层 142a 以及漏电极层 142b 上形成用作栅极绝缘层 147 的氧化物绝缘层。在此, 栅极绝缘层 147 具有双层结构, 其中, 层叠有包括氧化物绝缘层的栅极绝缘层 147a 和包括氮化物绝缘层的栅极绝缘层 147b。

[0161] 可以使用与绝缘层 140 相似的材料及方法来形成用作栅极绝缘层 147a 的氧化物绝缘层。尤其是, 可以将引起较小等离子体损伤的膜形成条件用于栅极绝缘层 147a 的形成, 以降低对氧化物半导体叠层 144 的等离子体损伤。另外, 由于栅极绝缘层 147a 与氧化物半导体叠层 144 接触, 所以可以使用包含超过化学计量组成的氧且通过加热处理容易使氧释放的膜形成栅极绝缘层 147a, 使得可以将氧提供给氧化物半导体叠层 144。

[0162] 可以使用如氮氧化硅膜或氧氮化硅膜的包含氧和氮的硅膜来形成用作栅极绝缘

层 147b 的绝缘膜。

[0163] 接下来,在栅极绝缘层 147 上形成栅电极层 148。可以使用与栅电极层 110 相似的材料及方法来形成栅电极层 148。

[0164] 在栅电极层 148 上形成绝缘层 150。可以使用与绝缘层 140 相似的材料及方法来形成绝缘层 150。绝缘层 150 优选包含超过化学计量组成的氧,使得可以将氧供应给氧化物半导体叠层 144。

[0165] 可以通过离子注入法、离子掺杂法、等离子体浸没式离子注入法等将氧添加到绝缘层 150。通过添加氧,可以在绝缘层 150 中包含过剩的氧,并且可以将氧从绝缘层 150 供应给氧化物半导体叠层 144。注意,在附图中,在绝缘层 150 中画虚线来明确表示将氧添加于绝缘层 150 中,而且氧浓度在绝缘层 150 中有峰值。

[0166] 在形成绝缘层 150 之后,进行加热处理。氧化物半导体叠层 144 包括因形成氧化物半导体叠层 144 后的蚀刻或等离子体的受损而形成的氧空位。所以,为了修复在形成氧化物半导体叠层 144 后造成的损伤,进行加热处理以提供氧,由此,氧缺陷减少。该加热处理的温度典型高于或等于 200°C 且低于或等于 450°C。通过该加热处理,可以释放包含氮的氧化物绝缘层中的氮。注意,通过该加热处理,可以从包含氮的氧化物绝缘层释放水、氢等。

[0167] 例如,在氮及氧混合的气氛中以 350°C 进行加热处理 1 小时。通过该加热处理,从氧化物半导体叠层 144 或氧化物半导体叠层 144 与绝缘层(绝缘层 140 以及栅极绝缘层 147) 中的每个之间的界面释放氧化物半导体叠层 144 中的氢原子以及氧原子。在氧化物半导体叠层 144 中,氧原子从其释放的位置成为氧空位。但是,氧化物绝缘层所含有的超过化学计量组成的氧原子移动到氧空位的位置,并且氧空位被氧原子填充。

[0168] 以这种方式,通过形成绝缘层 150 后进行的加热处理,从氧化物半导体膜释放氮、氢或水,从而可以将膜中的氮、氢或水的比例降低到大约十分之一。

[0169] 在绝缘层 150 上形成绝缘层 155。可以使用与绝缘层 135 相似的材料及方法来形成绝缘层 155。绝缘层 155 可以抑制杂质从半导体装置顶部进入氧化物半导体叠层 144 内,或可以抑制氧化物半导体叠层 144 以及绝缘层 150 中的氧从半导体装置的顶部释放到外部。

[0170] 通过上述步骤,可以制造半导体装置(参见图 3B)。

[0171] 在本实施方式所示的半导体装置中,成为沟道形成区域的第二氧化物半导体层 144b 夹在第一氧化物半导体层 144a 与第三氧化物半导体层 144c 之间。因此,沟道形成区域可以远离氧化物半导体层 144 的表面,从而表面散射的影响降低。

[0172] 进一步,形成包含超过化学计量组成的氧的绝缘层,使得在其之间夹有氧化物半导体叠层 144。由此,将氧提供给氧化物半导体叠层 144,并且氧化物半导体叠层 144 中的氧空位被氧填充。由此,可以获得高可靠性半导体装置。

[0173] 此外,形成具有阻挡氢或氧的作用的氮化绝缘膜,使得在其之间夹有包含过剩的氧的绝缘层。由此,可以抑制如氢或水分等杂质进入氧化物半导体叠层 144 中,或抑制氧从氧化物半导体层以及包含过剩的氧的绝缘层中释放。

[0174] 注意,上述结构不一定用于本实施方式中所示的半导体装置的第二晶体管。例如,图 4A 和图 4B 以及图 5A 至图 5C 中的每个中示出本发明的一个实施方式的半导体装置的另一种模式。注意,在图 4A 和图 4B 以及图 5A 至图 5C 中,仅示出第二晶体管,以及省略第一

晶体管、布线层等。

[0175] 图 4A 所示的晶体管 163 与图 1 所示的晶体管 162 的不同之处在于第三氧化物半导体层 144c 没有覆盖第二氧化物半导体层 144b 的侧表面以及第一氧化物半导体层 144a 的侧表面。晶体管 163 可以通过下述步骤形成,在不暴露于大气的情况下连续形成第一氧化物半导体层 144a、第二氧化物半导体层 144b 及第三氧化物半导体层 144c 之后,使用掩模进行蚀刻,从而使氧化物半导体叠层 144 具有岛状。由此,第二氧化物半导体层 144b 的表面不暴露于大气且不经受蚀刻处理,所以可以提供稳定特性。

[0176] 另外,由于第三氧化物半导体层 144c 被蚀刻,所以栅极绝缘层 147(栅极绝缘层 147a)与绝缘层 140 彼此接触,由此,可以由氧化物绝缘层包围氧化物半导体叠层 144。而且,使用彼此接触的氧化物绝缘层,可以提高粘附性。

[0177] 在不暴露于大气连续形成三个氧化物半导体层的情况下,可以采用由图 13 示出其顶视图的制造装置。

[0178] 图 13 所示的制造装置是单晶圆多室设备(single wafer multi-chamber equipment),其包括三个溅射装置 10a、10b 和 10c,设置有三个用于保持处理衬底的盒式端口(cassette port)14 的衬底供应室 11,装载锁定室 12a 和 12b,传送室 13,衬底加热室 15 和 16 等。注意,处理衬底在衬底供应室 11 以及传送室 13 的每一个中设置用来传送处理衬底的自动传送装置。溅射装置 10a、10b 和 10c,传送室 13 以及衬底加热室 15 和 16 的气氛被优选控制为几乎不包含氢或水分(即,成为惰性气氛、减压气氛、干燥空气气氛等),例如,优选的气氛是水分的露点为 -40°C 或更低,优选为 -50°C 或更低的干燥氮气气氛。使用图 13 所示的制造装置的制造步骤的过程的例子如下。将处理衬底从衬底供应室 11 经过装载锁定室 12a 和传送室 13 转送到衬底加热室 15;在衬底加热室 15 中通过真空退火等去除附着在处理衬底的水分;将处理衬底经过传送室 13 转送到溅射装置 10c;以及在溅射装置 10c 内形成第一氧化物半导体层 144a。然后,在不暴露于大气的情况下将处理衬底经过传送室 13 传送到溅射装置 10a,以及在溅射装置 10a 内形成第二氧化物半导体层 144b。然后,在不暴露于大气的情况下将处理衬底经过传送室 13 传送到溅射装置 10b,以及在溅射装置 10b 内形成第三氧化物半导体层 144c。如有需要,在不暴露于大气的情况下将处理衬底经过传送室 13 传送到衬底加热室 16,并进行加热处理。如上所述,通过使用图 13 所示的制造装置,可以在处理衬底不暴露于大气的情况下进行制造工序。另外,通过使用图 13 中的制造装置中的溅射装置,通过改变溅射靶材可以实现不暴露于大气的情况下进行的工序。作为图 13 中的制造装置中的溅射装置,可以使用平行平板溅射装置、离子束溅射装置或对向靶材式溅射装置等。在对向靶材式溅射装置中,对象表面与等离子体分离,由此膜形成中的受损小;所以可以形成具有高晶化度高的 CAAC-OS 膜。

[0179] 如氢、水、羟基或氢化物等杂质浓度低的高纯度气体用作在溅射装置 10a、10b 和 10c 中用于形成氧化物半导体层的沉积气体。

[0180] 在衬底加热室 16 中,在减压、氮气分、氧气分、超干燥空气(在 CRDS(cavity ring-down laser spectroscopy:光腔衰荡光谱法)系统中使用露点仪的测定中,在其中水分量低于或等于 20ppm(转换成露点为 -55°C),优选低于或等于 1ppm,更优选低于或等于 10ppb 的空气),或者稀有气体(氩、氦等)的气氛下进行加热处理。优选的是,在氮气分、氧气分、超干燥空气或稀有气体气氛等中没有包含水、氢等。优选的是,将引入到加热处理

装置中的氮、氧或稀有气体的纯度设定为 6N(99.9999%) 或更高, 优选为 7N(99.99999%) 或更高(即, 杂质浓度为 1ppm 或更低, 优选为 0.1ppm 或更低)。

[0181] 图 4B 所示的晶体管 164 与晶体管 162 的相似之处在于第三氧化物半导体层 144c 覆盖着第二氧化物半导体层 144b 的顶表面和侧表面以及第一氧化物半导体层 144a 的侧表面。但是, 晶体管 164 与晶体管 162 的不同之处在于第三氧化物半导体层 144c 被蚀刻, 使得该第三氧化物半导体层 144c 边缘部与源电极层 142a 以及漏电极层 142b 重叠。通过该结构, 第二氧化物半导体层 144b 的侧表面可以被第三氧化物半导体层 144c 覆盖, 而且绝缘层 140 可以与栅极绝缘层 147 接触。

[0182] 此外, 第二晶体管可以具有包括两个栅电极层的结构。图 5A 至 5C 示出包括两个栅电极层的晶体管。

[0183] 图 5A 所示的晶体管 172 具有对图 1 所示的晶体管 162 添加栅电极层 149 的结构。可以使用与布线层 117 相同的导电膜形成栅电极层 149。通过对栅电极层 148 和栅电极层 149 施加不同的电位, 可以以优选的方式控制晶体管 172 的阈值电压, 可以抑制阈值电压的负向漂移。替代地, 当对栅电极层 148 和栅电极层 149 施加相同电位时, 可以增加晶体管 172 的通态电流。

[0184] 图 5B 相似地示出具有对晶体管 163 添加栅电极层 149 的结构的晶体管 173。图 5C 示出具有对晶体管 164 添加栅电极层 149 的结构的晶体管 174。

[0185] 本实施方式的半导体装置可以与其他实施方式中的任何半导体装置适当地组合。

[0186] 实施方式 2

[0187] 图 6A 示出为逻辑电路的 NOR 电路的电路图的例子, 作为实施方式 1 所示的半导体装置的例子。图 6B 是 NAND 电路的电路图。

[0188] 在图 6A 所示的 NOR 电路中, p 沟道晶体管的晶体管 801 和 802 都具有与图 1 的晶体管 160 相似的结构: 将单晶硅衬底用于沟道形成区域, 而 n 沟道晶体管的晶体管 803 和 804 都具有与图 1 所示的晶体管 162、图 4A 和 4B 所示的晶体管 163 和 164、图 5A 至 5C 所示的晶体管 172 至 174 相似的结构: 将氧化物半导体膜用于沟道形成区域。

[0189] 在图 6A 所示的 NOR 电路中, 在晶体管 803 和 804 的每一个中, 控制晶体管的电特性的导电层可以被设置为与栅电极层重叠, 在所述导电层与所述栅电极层之间设置有氧化物半导体膜。通过将该导电层的电位例如控制为 GND, 晶体管 803 和 804 的阈值电压增加, 使得该晶体管可以为常闭型。

[0190] 在图 6B 所示的 NAND 电路中, p 沟道晶体管 811 和 814 都具有与图 1 的晶体管 160 相似的结构, 而 n 沟道晶体管 812 和 813 都具有与图 1 所示的晶体管 162、图 4A 和 4B 所示的晶体管 163 和 164 以及图 5A 至 5C 所示的晶体管 172 至 174 相似的结构: 将氧化物半导体膜用于沟道形成区域。

[0191] 在图 6B 所示的 NAND 电路中, 在晶体管 812 和 813 的每一个中, 控制晶体管的电特性的导电层可以被设置为与栅电极层重叠, 在所述导电层与所述栅电极层之间设置有氧化物半导体膜。通过将该导电层的电位例如控制为 GND, 晶体管 812 和 813 的阈值电压增加, 使得该晶体管可以为常闭型。

[0192] 通过将包括将氧化物半导体用于沟道形成区域以及具有极小关态电流的晶体管应用于本实施方式所示的半导体装置, 可以充分降低半导体装置的耗电量。

[0193] 通过层叠包括不同半导体材料的半导体元件,高度集成微型化的半导体装置,且其具有稳定和优秀的电特性,并且可以提供制造该半导体装置的方法。

[0194] 通过使用实施方式 1 所示的半导体装置,可以抑制杂质进入到氧化物半导体层中。而且,通过使用在其中氧化物半导体层的氧空位减少了的半导体装置,可以提供高可靠性且显示稳定特性的 NOR 电路和 NAND 电路。

[0195] 在本实施方式中作为例子示出包括实施方式 1 所示的晶体管的 NOR 电路和 NAND 电路;但是,本发明不局限于上述电路,以及可以使用实施方式 1 所示的晶体管来形成 AND 电路或 OR 电路等。

[0196] 本实施方式的半导体装置可以与其他实施方式的任何半导体装置适当地组合。

[0197] 实施方式 3

[0198] 在本实施方式中,参照附图说明半导体装置(存储装置)的例子,该半导体装置(存储装置)包括实施方式 1 所示的半导体装置,即使在没有电力供应时也能够保持存储数据,并且对写入周期的次数也没有限制。

[0199] 图 7A 是本实施方式的半导体装置的电路图。

[0200] 图 7A 所示的晶体管 260 可以具有与图 1 所示的晶体管 160 相似的结构,且容易进行高速工作。此外,晶体管 262 可以具有与图 1 所示的晶体管 162、图 4A 和 4B 所示的晶体管 163 和 164 以及图 5A 至 5C 所示的晶体管 172 至 174 相似的结构,且利用其特性而能够长时间地保持电荷。

[0201] 虽然在此晶体管都是 n 沟道晶体管,但是可以使用 p 沟道晶体管作为用于本实施方式所示的半导体装置的晶体管。

[0202] 在图 7A 中,第一布线(第 1 线)与晶体管 260 的源电极层电连接,以及第二布线(第 2 线)与晶体管 260 的漏电极层电连接。第三布线(第 3 线)与晶体管 262 的源电极层和漏电极层中的一个电连接,以及第四布线(第 4 线)与晶体管 262 的栅电极层电连接。晶体管 260 的栅电极层以及晶体管 262 的源电极层和漏电极层中的另一个与电容器 264 的一个电极电连接。第五布线(第 5 线)与电容器 264 的另一个电极彼此电连接。

[0203] 图 7A 所示的半导体装置利用可以保持晶体管 260 的栅电极层的电位的特征,由此,如下所示那样可以进行数据的写入、保持以及读出。

[0204] 将说明数据的写入及保持。首先,将第四布线的电位设定为开启晶体管 262 的电位,以便开启晶体管 262。由此,将第三布线的电位提供给晶体管 260 的栅电极层和电容器 264。也就是说,将预定的电荷提供给晶体管 260 的栅电极层(写入)。这里,给出供应两种不同电位电平中的任一种(以下称为低电平电荷和高电平电荷)的电荷。然后,将第四布线的电位设定为关闭晶体管 262 的电位,来关闭晶体管 262。由此,保持提供到晶体管 260 的栅电极层的电荷(保持)。

[0205] 因为晶体管 262 的关态电流极小,所以晶体管 260 的栅电极层的电荷被长时间地保持。

[0206] 接着,将说明数据的读出。通过对第一布线提供预定的电位(恒电位)的同时对第五布线提供适当的电位(读出电位),第二布线的电位根据保持在晶体管 260 中的栅电极层的电荷量变化。一般而言,这是因为当晶体管 260 为 n 沟道晶体管时,在其中对晶体管 260 的栅电极层提供高电平电荷的情况下的表观阈值电压 V_{th_H} 低于在其中对晶体管 260 的

栅电极提供低电平电荷的情况下的表观阈值电压 $V_{th,L}$ 。在此,表观阈值电压是指为了开启晶体管 260 所需要的第五布线的电位。因此,将第五布线的电位设定为 $V_{th,H}$ 和 $V_{th,L}$ 之间的电位 V_0 ,由此可以决定提供到晶体管 260 的栅电极层的电荷。例如,在写入中供应高电平电荷的情况下,当第五布线的电位被设置为 $V_0 (>V_{th,H})$ 时,晶体管 260 开启。在写入中供应低电平电荷的情况下,即使当将第五布线的电位设置为 $V_0 (<V_{th,L})$ 时,晶体管 260 也维持关闭状态。因此,通过测量第二布线的电位可以读出所保持的数据。

[0207] 注意,在使用配置为阵列状的存储单元的情况下,只需要读出所希望的存储单元的数据。在不进行上述读出的情况下,无论晶体管 260 的栅电极层的状态如何在该电位下晶体管 260 都关闭的电位,也就是小于 $V_{th,H}$ 的电位可以提供给第五布线。替代地,无论栅电极层的状态如何在该电位下晶体管 260 都开启的电位,也就是大于 $V_{th,L}$ 的电位也可以提供给第五布线。

[0208] 图 7B 示出存储装置的结构的一个方式的另一个例子。图 7B 示出半导体装置的电路配置的例子,而图 7C 是示出半导体装置的例子示意图。首先,说明图 7B 所示的半导体装置,然后说明图 7C 所示的半导体装置。

[0209] 在图 7B 所示的半导体装置中,位线 BL 与晶体管 262 的源电极层或漏电极层中的一个电连接,字线 WL 与晶体管 262 的栅电极层电连接,并且晶体管 262 的源电极层或漏电极层中的另一个与电容器 254 的第一端子电连接。

[0210] 这里,包括氧化物半导体的晶体管 262 具有极小的关态电流。因此,通过关闭晶体管 262,可以很长时间地保持电容器 254 的第一端子的电位(或累积在电容器 254 中的电荷)。

[0211] 接着,将说明图 7B 所示的半导体装置(存储单元 250)的数据写入及保持。

[0212] 首先,将字线 WL 的电位设定为开启晶体管 262 的电位,以开启晶体管 262。由此,将位线 BL 的电位施加到电容器 254 的第一端子(写入)。然后,将字线 WL 的电位设定为关闭晶体管 262 的电位,以便关闭晶体管 262。由此,保持电容器 254 的第一端子的电位(保持)。

[0213] 因为晶体管 262 的关态电流极小,所以可以很长时间地保持电容器 254 的第一端子的电位(或累积在电容器中的电荷)。

[0214] 接着,将说明数据的读出。当晶体管 262 开启时,处于浮动状态的位线 BL 与电容器 254 彼此电连接,并且在位线 BL 与电容器 254 之间电荷被再次分配。其结果是,位线 BL 的电位变化。位线 BL 的电位的变化量根据电容器 254 的第一端子的电位(或累积在电容器 254 中的电荷)而变化。

[0215] 例如,再次分配电荷之后的位线 BL 的电位由 $(C_B * V_{B0} + C * V) / (C_B + C)$ 表示,其中, V 为电容器 254 的第一端子的电位, C 为电容器 254 的电容, C_B 为位线 BL 的电容(以下也称为位线电容),以及 V_{B0} 为再次分配电荷之前的位线 BL 的电位。因此,可知,假设存储单元 250 处于电容器 254 的第一端子的电位为 V_1 和 $V_0 (V_1 > V_0)$ 的两个状态中的任一个时,在保持电位 V_1 情况下的位线 BL 的电位(= $(C_B * V_{B0} + C * V_1) / (C_B + C)$) 高于在保持电位 V_0 情况下的位线 BL 的电位(= $(C_B * V_{B0} + C * V_0) / (C_B + C)$)。

[0216] 然后,通过将位线 BL 的电位与预定的电位比较,可以读出数据。

[0217] 如上所述,图 7B 所示的半导体装置可以在长期间保持累积在电容器 254 中的电

荷,因为晶体管 262 的关态电流的量极小。换言之,因为不需要进行刷新操作,或者,刷新操作的频率可以降低到极低,所以可以充分降低功耗。另外,即使当没有电力供给时,也可以在长期间保持存储数据。

[0218] 接着,将说明图 7C 所示的半导体装置。

[0219] 图 7C 所示的半导体装置在上部包括包含多个图 7B 所示的存储单元 250 的存储单元阵列 251a 及 251b 作为存储电路,并且在其下部包括用来使存储单元阵列 251 (存储单元阵列 251a 及 251b) 工作的外围电路 253。另外,外围电路 253 与存储单元阵列 251 电连接。

[0220] 在图 7C 所示的结构中,可以直接在存储单元阵列 251 (存储单元阵列 251a 及 251b) 下设置外围电路 253。因此,可以减小半导体装置的尺寸。

[0221] 优选的是,设置在外围电路 253 中的晶体管的半导体材料与晶体管 262 的不同。例如,可以使用硅、锗、硅锗、碳化硅或砷化镓等,以及优选使用单晶半导体。替代地,可以使用有机半导体材料等。包括这种半导体材料的晶体管能够进行充分的高速操作。由此,通过上述晶体管,能够优选地实现需要高速操作的各种电路(例如,逻辑电路或驱动电路)。

[0222] 注意,图 7C 作为示例示出在其中层叠有两个存储单元阵列 251 (存储单元阵列 251a 及 251b) 的半导体装置;但是,所层叠的存储单元阵列的数量不局限于此。可以层叠有三个或更多个存储单元阵列。

[0223] 当使用在沟道形成区域中包括氧化物半导体的晶体管作为晶体管 262 时,可以在长期间内保持存储数据。换言之,可以充分降低功耗,因为可以提供不需要进行刷新操作的半导体存储装置,或者,刷新操作的频率极低的半导体存储装置。

[0224] 此外,本实施方式所示的半导体装置是实施方式 1 所示的半导体装置,其中,层叠有氧化物半导体层来形成氧化物半导体叠层,并且成为沟道形成区域的第二氧化物半导体层远离该氧化物半导体叠层的表面。由此,可以得到显示稳定的电特性的高可靠性半导体装置。

[0225] 实施方式 4

[0226] 在本实施方式中,参照图 8、图 9、图 10 以及图 11A 和 11B 说明将上述实施方式中的任一个所示的半导体装置应用于诸如移动电话、智能手机或电子书等电子设备的例子。

[0227] 图 8 是电子设备的方框图。图 8 所示的电子设备包括 RF 电路 901、模拟基带电路 902、数字基带电路 903、电池 904、电源电路 905、应用处理器 906、快闪存储器 910、显示器控制器 911、存储电路 912、显示器 913、触控感应器 919、声频电路 917 以及键盘 918 等。显示器 913 具有显示部 914、源极驱动器 915 以及栅极驱动器 916。应用处理器 906 具有 CPU907、DSP908 以及接口 (IF)909。一般来说,存储电路 912 包括 SRAM 或 DRAM;通过将上述实施方式中的任一个所说明的半导体装置用于该存储电路 912,能够以高速进行数据的写入和读出,能够在长期间保持数据,并且能够充分降低功耗。

[0228] 图 9 示出将上述实施方式中的任一个所说明的半导体装置用于显示器中的存储电路 950 的例子。图 9 所示的存储电路 950 包括存储器 952、存储器 953、开关 954、开关 955 以及存储器控制器 951。另外,存储电路连接于读出并控制通过信号线输入的图像数据(输入图像数据)和储存在存储器 952 及 953 中的数据(存储图像数据)的显示器控制器 956、以及还连接于根据从显示器控制器 956 输入的信号显示图像的显示器 957。

[0229] 首先,通过应用处理器(未示出)形成图像数据(输入图像数据 A)。该输入图像

数据 A 通过开关 954 被储存在存储器 952 中。储存在存储器 952 中的图像数据（存储图像数据 A）被通过开关 955 及显示器控制器 956 传输到显示器 957，并被显示在显示器 957 上。

[0230] 在输入图像数据 A 没有变化的情况下，一般以 30Hz 至 60Hz 左右的频率由显示器控制器 956 通过开关 955 从存储器 952 读出存储图像数据 A。

[0231] 接着，例如，当使用者进行改写屏幕的操作时（即，当输入图像数据 A 有变化时），应用处理器产生新的图像数据（输入图像数据 B）。该输入图像数据 B 通过开关 954 被储存在存储器 953 中。在该期间，定期地通过开关 955 从存储器 952 读出存储图像数据 A。在存储器 953 中储存新的图像数据（存储图像数据 B）完成之后，从显示器 957 的下一个帧，存储图像数据 B 被开始读出，通过开关 955 及显示器控制器 956 传输到显示器 957，并在显示器 957 上显示。该读出操作一直持续到下一个新的图像数据储存到存储器 952 中。

[0232] 如上所述通过交替地向存储器 952 及存储器 953 写入图像数据以及从存储器 952 及存储器 953 读出图像数据，在显示器 957 上显示图像。注意，存储器 952 及存储器 953 不一定是分离的存储器，以及可以将单个存储器分离并使用。通过将上述实施方式所说明的半导体装置采用于存储器 952 及存储器 953，能够以高速写入和读出数据，以及能够在长期间保持数据，以及能够充分降低功耗。此外，可以提供不容易受到来自外部的水、水分等的进入的影响的以及具有高可靠性的半导体装置。

[0233] 图 10 是电子书的方框图。图 10 的电子书具有电池 1001、电源电路 1002、微处理器 1003、快闪存储器 1004、声频电路 1005、键盘 1006、存储电路 1007、触摸面板 1008、显示器 1009 以及显示器控制器 1010。

[0234] 在此，上述实施方式中的任一个所说明的半导体装置可以用于图 10 的存储电路 1007。存储电路 1007 具有暂时存储书籍内容的功能。例如，当使用者使用高亮功能时，存储电路 1007 存储并保持由使用者所指定的部分的数据。注意，高亮功能用于在看电子书时区别指定部分和其他部分，例如，通过改变显示颜色，划下划线，将文字改为粗体字，改变文字的字体等来改变指定部分。为了短时间存储数据，该数据可以存储在存储电路 1007 中。为了长时间存储数据，可以将存储电路 1007 所保持的数据拷贝到快闪存储器 1004 中。即使在此情况下，通过采用上述实施方式中的任一个所说明的半导体装置，能够进行高速的数据写入和读出，能够长时间保持数据，以及能够充分地降低功耗。此外，可以提供不容易受到来自外部的水、水分等的进入的影响以及具有高可靠性的半导体装置。

[0235] 图 11A 和 11B 示出电子设备的具体例子。图 11A 和 11B 示出可折叠式平板终端。在图 11A 中平板终端是打开的。平板终端包括壳体 9630、显示部 9631a、显示部 9631b、显示模式开关 9034、电源开关 9035、省电开关 9036、卡子 9033 以及操作开关 9038。

[0236] 实施方式 1 所示的半导体装置可以用于显示部 9631a 及显示部 9631b，使得平板终端可以具有高可靠性。此外，上述实施方式所描述的存储装置可以适用于本实施方式的半导体装置。

[0237] 显示部 9631a 的一部分可以为触摸面板区域 9632a，并且当接触所显示的操作键 9638 时可以输入数据。虽然示出作为示例的显示部 9631a 的一半区域只具有显示的功能以及另一半区域也具有触摸面板功能的结构，但是显示部 9631a 不局限于该结构。例如，显示部 9631a 可以在成为触摸面板的整个区域中显示键盘按钮，以及显示部 9631b 可以用作显示屏幕。

[0238] 如同显示部 9631a, 显示部 9631b 一部分可以是触摸面板区域 9632b。当使用手指或触屏笔等接触触摸面板上显示的键盘显示切换按钮 9639 时, 可以在显示部 9631b 上显示键盘按钮。

[0239] 可以同时触摸面板区域 9632a 和触摸面板区域 9632b 中进行触摸输入。

[0240] 显示模式开关 9034 例如能够在纵向模式、横向模式之间以及在黑白显示和彩色显示之间切换显示。省电开关 9036 可以根据利用平板终端中并入的光传感器来检测的平板终端使用的外光的量来控制显示亮度。除了光传感器以外, 可以将包括诸如陀螺仪或加速度传感器等检测倾斜度的传感器等的其他检测装置并入平板终端中。

[0241] 虽然图 11A 的显示部 9631b 与显示部 9631a 具有相同的显示面积, 但是本发明的一个实施方式不局限于该结构。显示部 9631b 和显示部 9631a 可以具有不同的面积或不同的显示质量。例如, 它们中的一个可以是能够显示比另一个更高清晰度图像的显示面板。

[0242] 图 11B 的平板终端是合上的。该平板终端包括壳体 9630、太阳能电池 9633、充放电控制电路 9634、电池 9635 以及 DCDC 转换器 9636。在图 11B 中, 示出作为充放电控制电路 9634 的例子的包括电池 9635 和 DCDC 转换器 9636 的结构。

[0243] 由于上述平板终端是可折叠的, 所以不使用平板终端时可以合上壳体 9630。结果, 可以保护显示部 9631a 和显示部 9631b; 因此可以提供从长期使用的观点来看具有优秀的耐久性以及具有优秀的可靠性的平板终端。

[0244] 此外, 图 11A 和 11B 所示的平板终端可以具有显示各种各样的数据 (例如, 静态图像、动态图像、文字图像) 的功能, 在显示部上显示日历、日期或时刻等的功能, 通过触摸输入对显示在显示部上的数据进行操作或编辑的触摸输入功能, 以及通过各种各样的软件 (程序) 控制处理的功能等。

[0245] 本实施方式所示的结构、方法等可以与其他的实施方式所示的任何结构或方法等适当地组合。

[0246] 符号说明

[0247] 100 : 衬底、102 : 元件分离绝缘层、104 : 绝缘层、108 : 栅极绝缘层、110 : 栅电极层、112 : 布线层、114 : 布线层、115 : 布线层、115a : 布线层、115b : 布线层、115c : 布线层、116 : 布线层、117 : 布线层、120 : 绝缘层、135 : 绝缘层、140 : 绝缘层、142a : 源电极层、142b : 漏电极层、144 : 氧化物半导体叠层、144a : 氧化物半导体层、144b : 氧化物半导体层、144c : 氧化物半导体层、147 : 栅极绝缘层、147a : 栅极绝缘层、147b : 栅极绝缘层、148 : 栅电极层、149 : 栅电极层、150 : 绝缘层、155 : 绝缘层、160 : 晶体管、162 : 晶体管、163 : 晶体管、164 : 晶体管、172 : 晶体管、173 : 晶体管、174 : 晶体管、250 : 存储单元、251 : 存储单元阵列、251a : 存储单元阵列、251b : 存储单元阵列、253 : 外围电路、254 : 电容器、260 : 晶体管、262 : 晶体管、264 : 电容器、801 : 晶体管、802 : 晶体管、803 : 晶体管、804 : 晶体管、811 : 晶体管、812 : 晶体管、813 : 晶体管、814 : 晶体管、901 : RF 电路、902 : 模拟基带电路、903 : 数字基带电路、904 : 电池、905 : 电源电路、906 : 应用处理器、907 : CPU、908 : DSP、909 : 接口、910 : 快闪存储器、911 : 显示器控制器、912 : 存储电路、913 : 显示器、914 : 显示部、915 : 源极驱动器、916 : 栅极驱动器、917 : 音频电路、918 : 键盘、919 : 触摸传感器、950 : 存储电路、951 : 存储器控制器、952 : 存储器、953 : 存储器、954 : 开关、955 : 开关、956 : 显示器控制器、957 : 显示器、1001 : 电池、1002 : 电源电路、1003 : 微处理器、1004 : 快闪存储器、1005 : 音频电路、1006 : 键盘、1007 : 存

储电路、1008 : 触摸面板、1009 : 显示器、1010 : 显示器控制器、9033 : 夹子、9034 : 开关、9035 : 电源开关、9036 : 开关、9038 : 操作开关、9630 : 壳体、9631a : 显示部、9631b : 显示部、9632a : 区域、9632b : 区域、9633 : 太阳能电池、9634 : 充放电控制电路、9635 : 电池、9636 : DCDC 转换器、9638 : 操作键、9639 : 按钮

[0248] 本申请基于 2012 年 8 月 10 日向日本专利局提交的日本专利申请第 2012-178634 号, 通过引用将其全部内容并入于此。

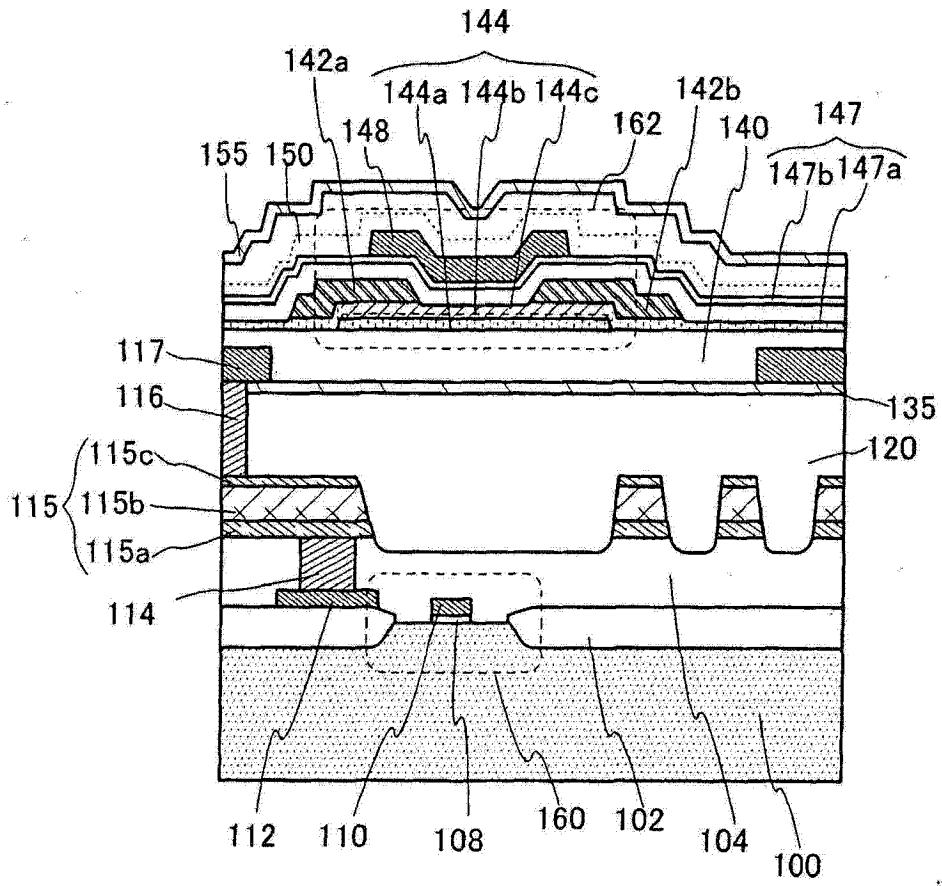


图 1

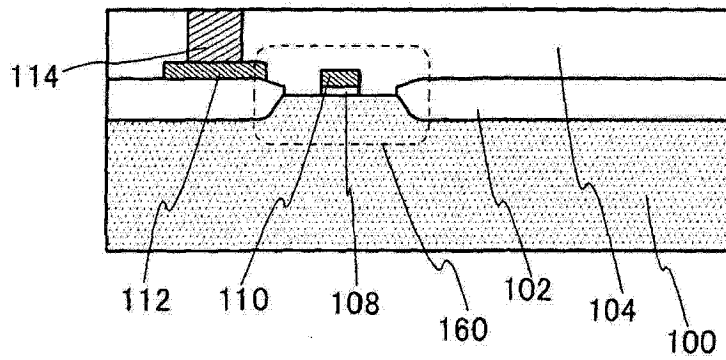


图 2A

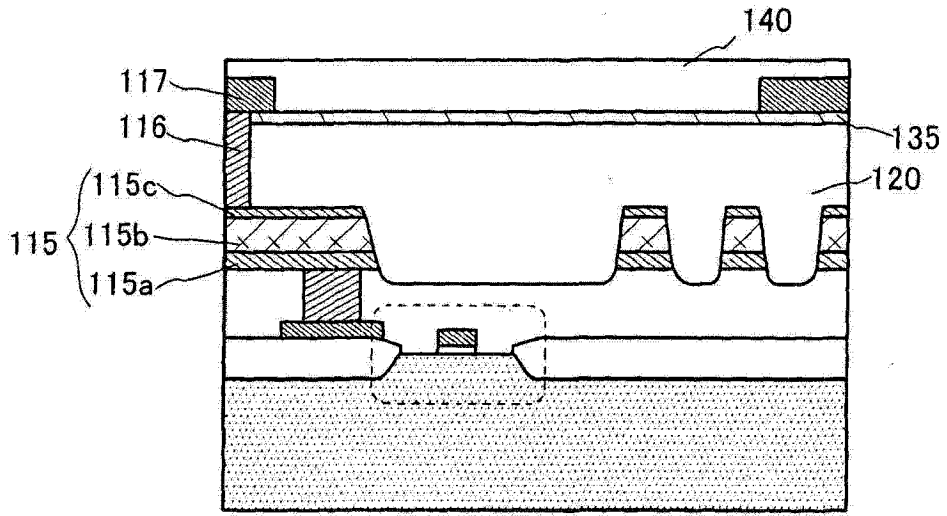


图 2B

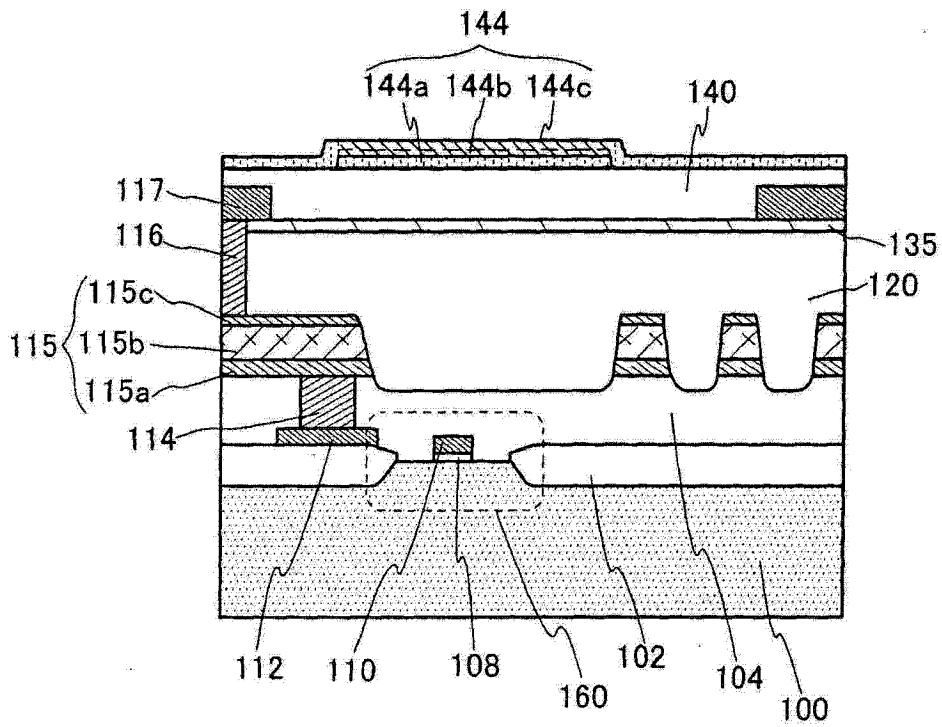


图 3A

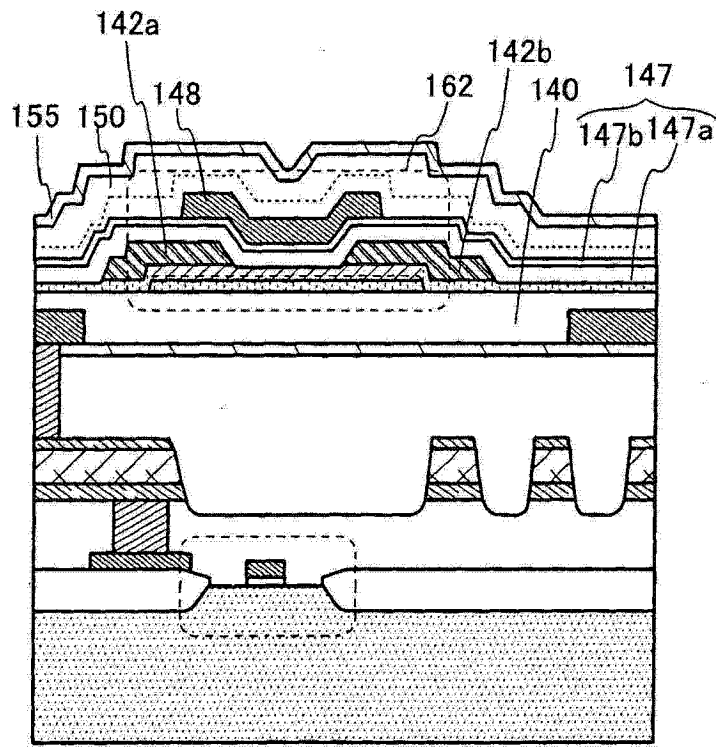


图 3B

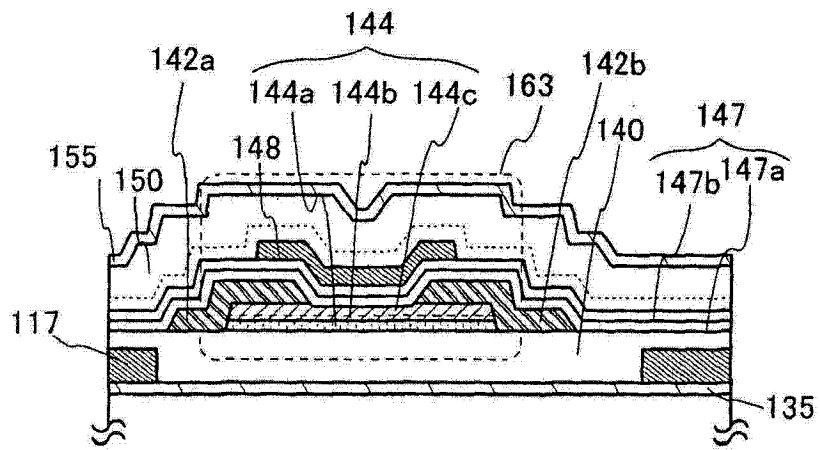


图 4A

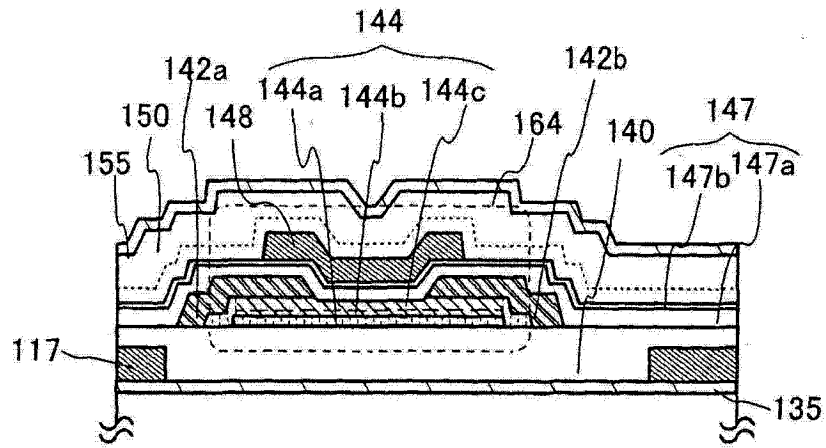


图 4B

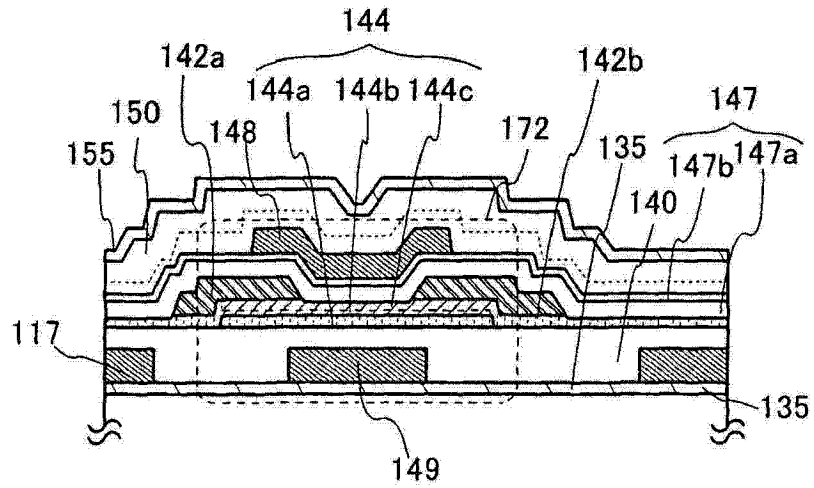


图 5A

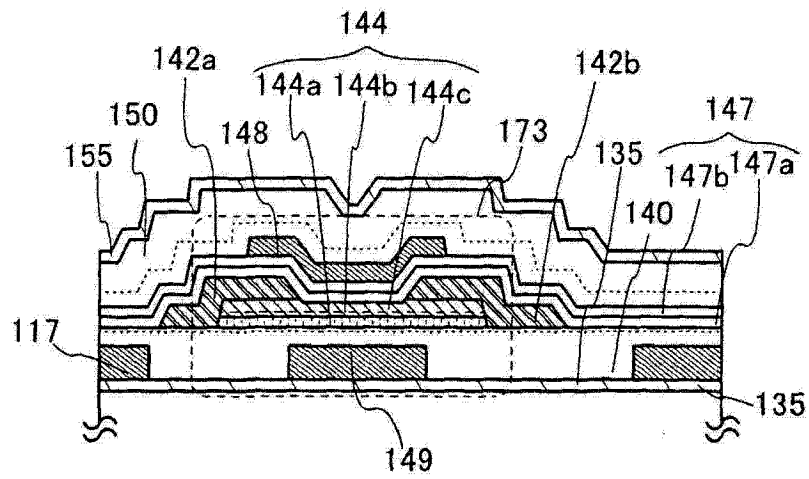


图 5B

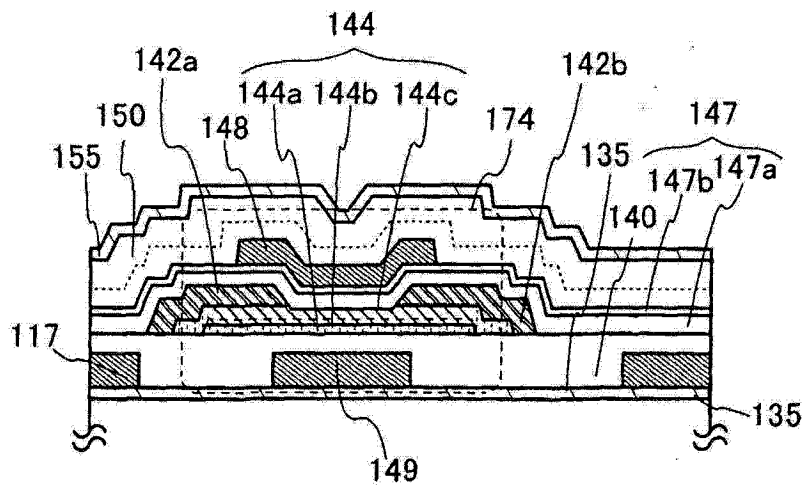


图 5C

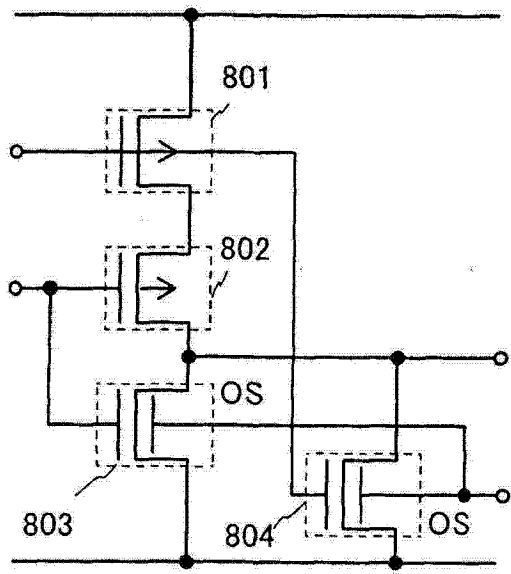


图 6A

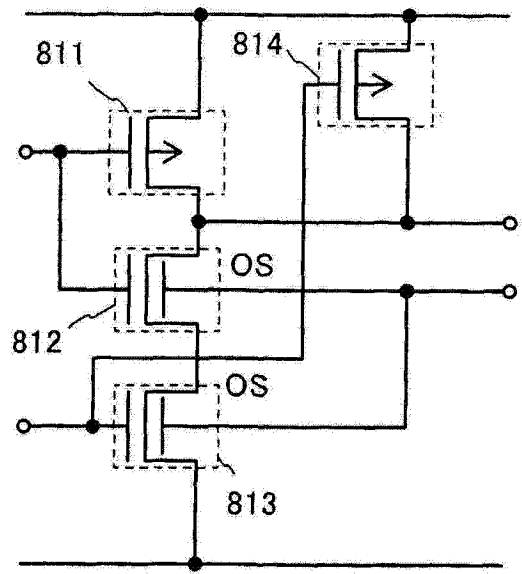


图 6B

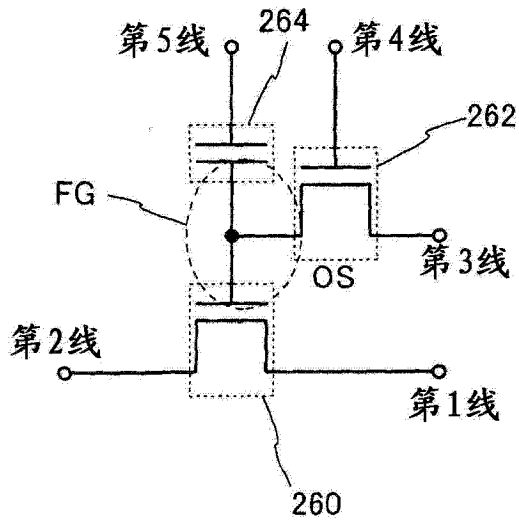


图 7A

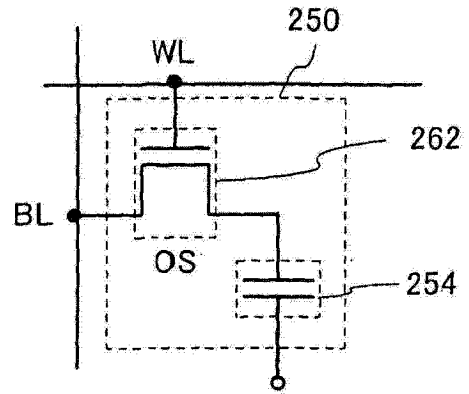


图 7B

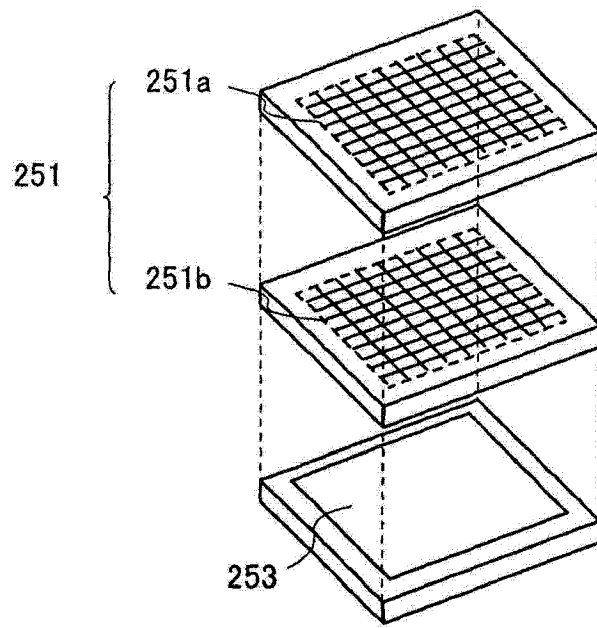


图 7C

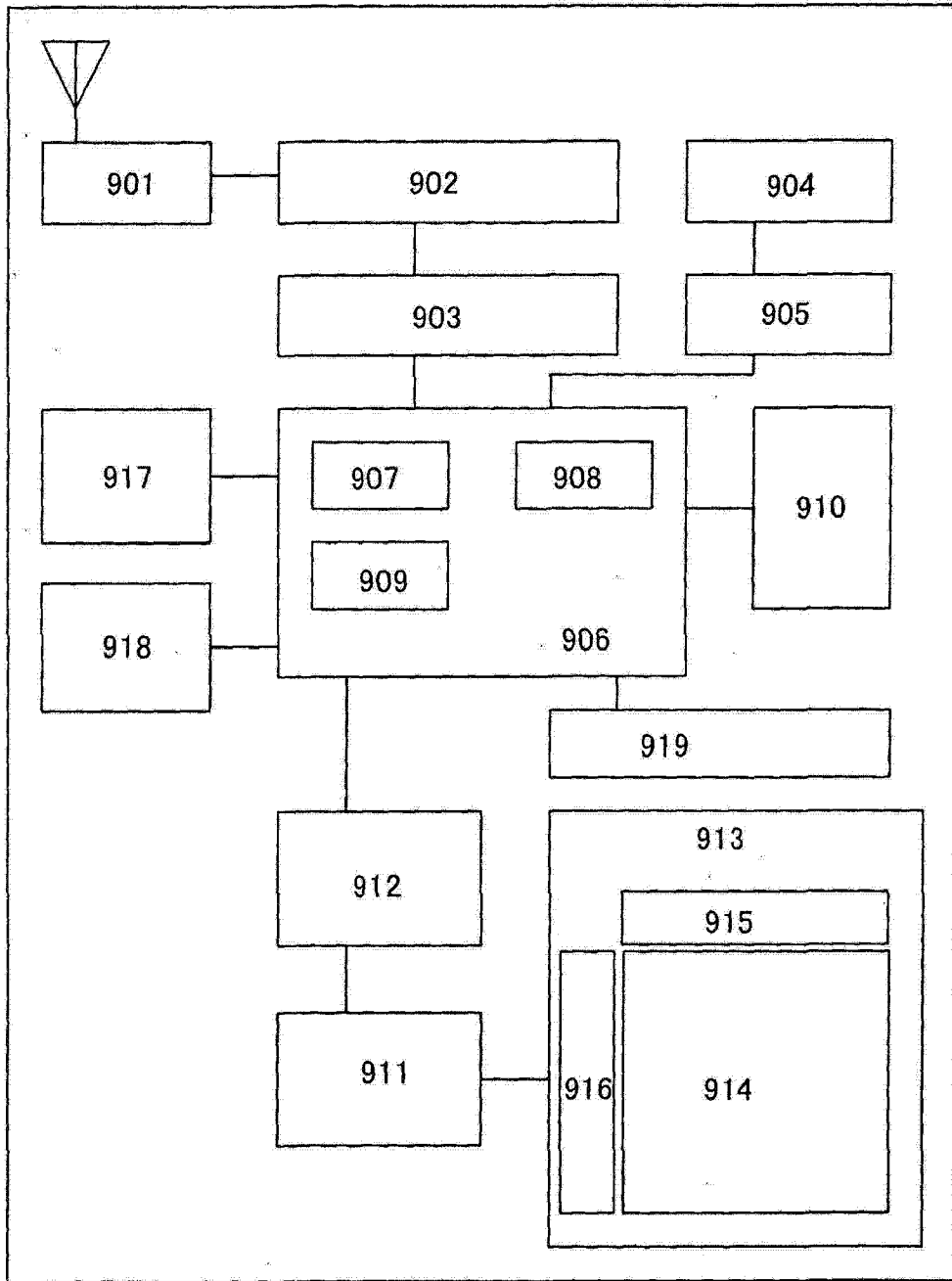


图 8

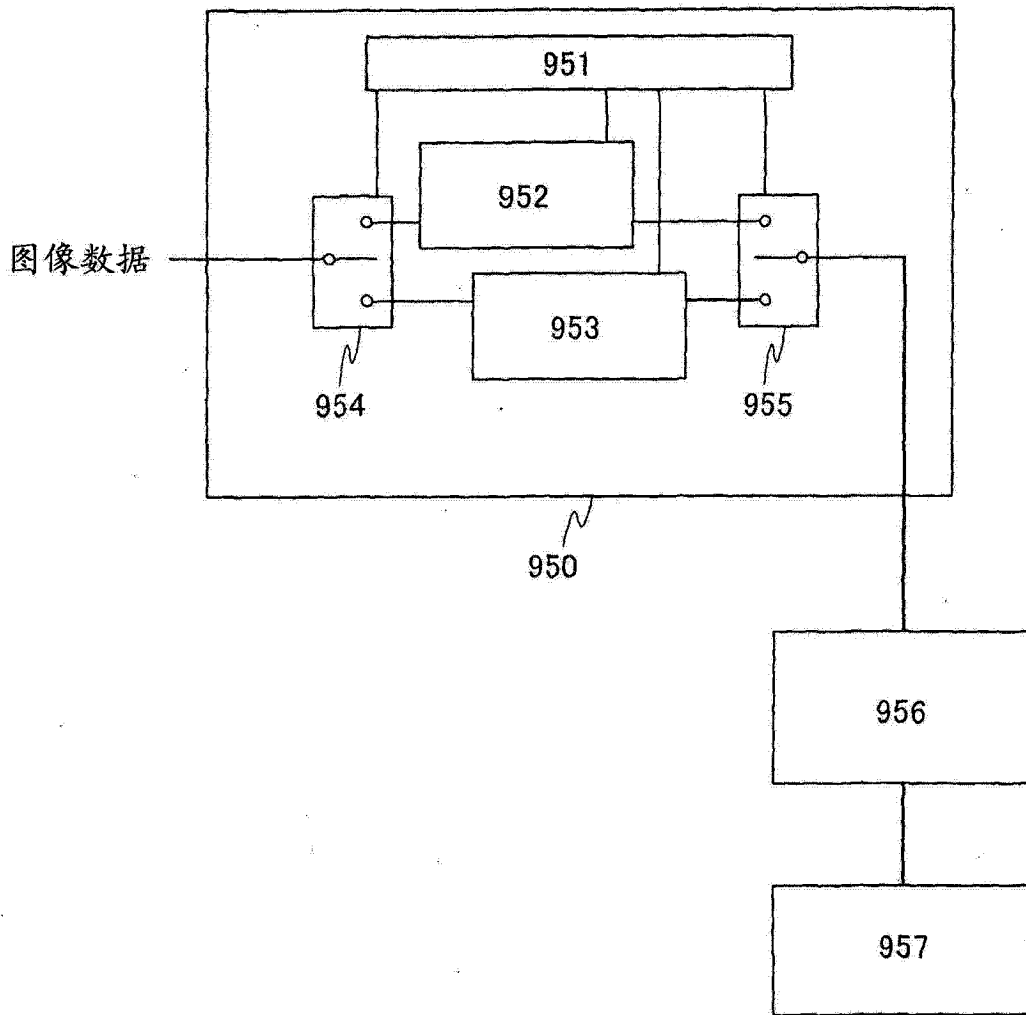


图 9

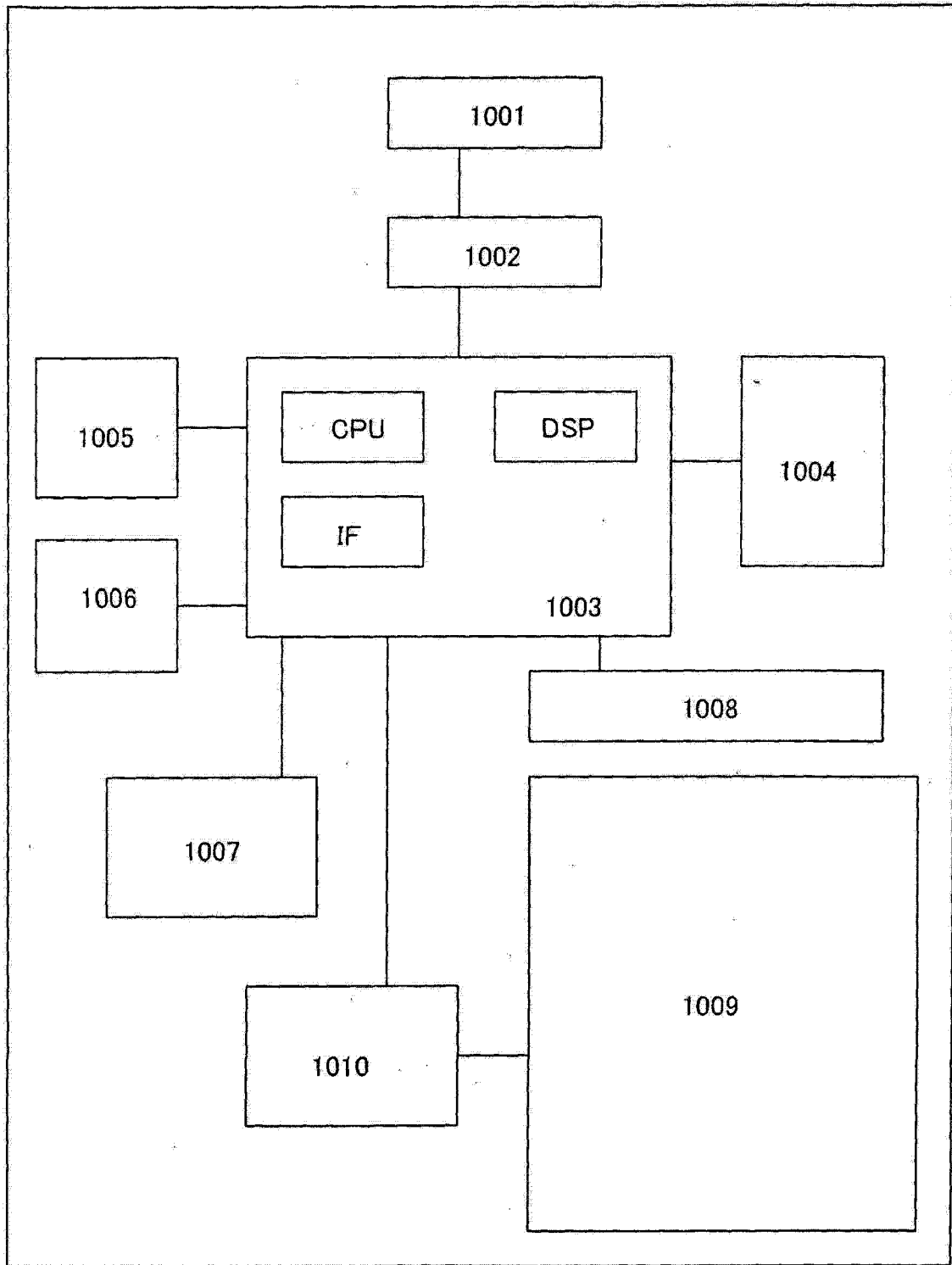


图 10

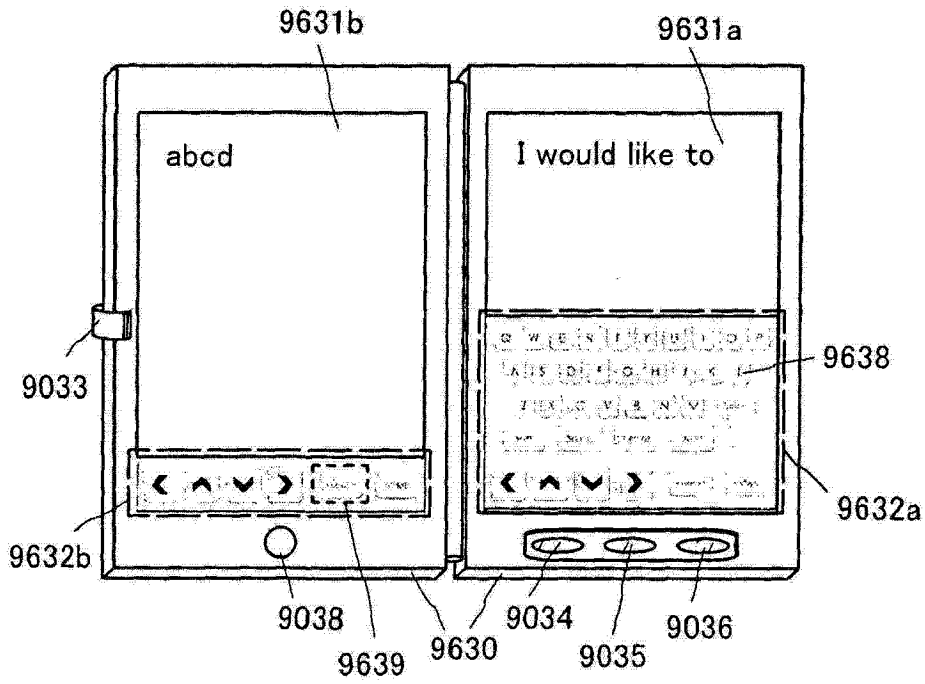


图 11A

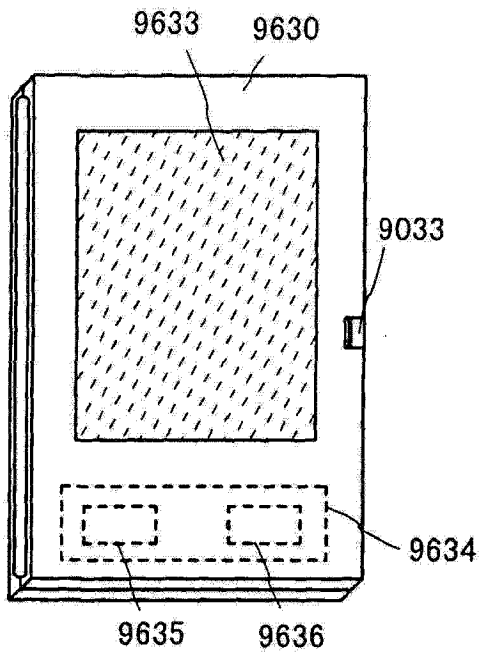


图 11B

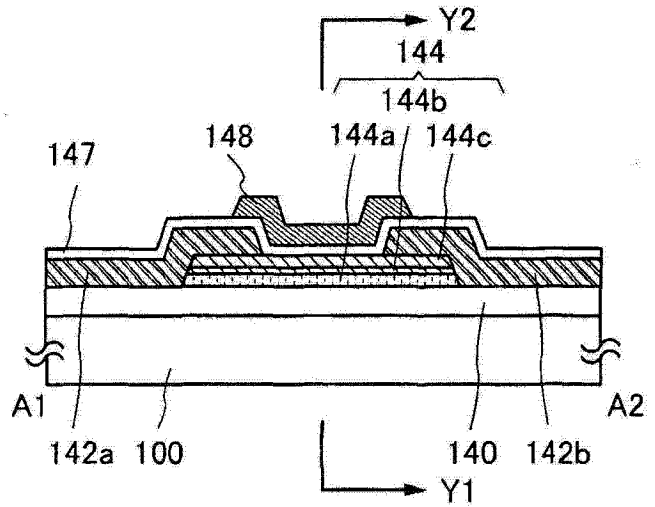


图 12A

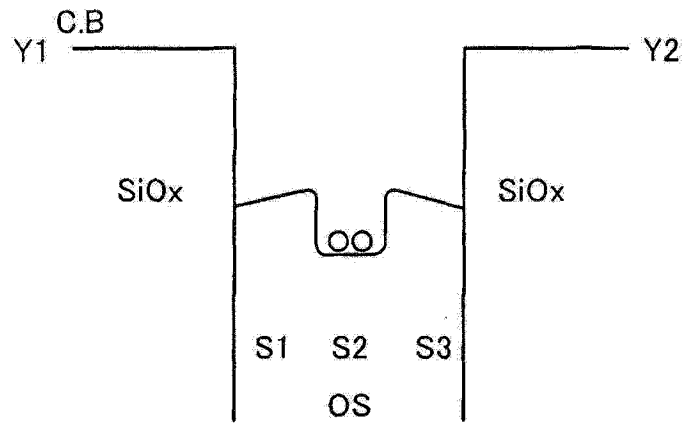


图 12B

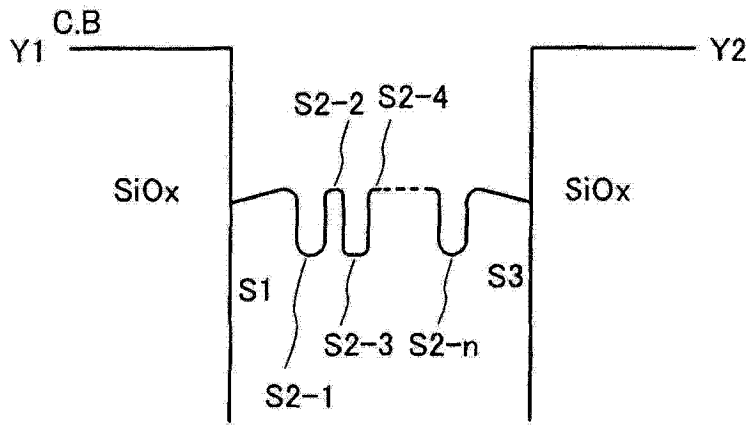


图 12C

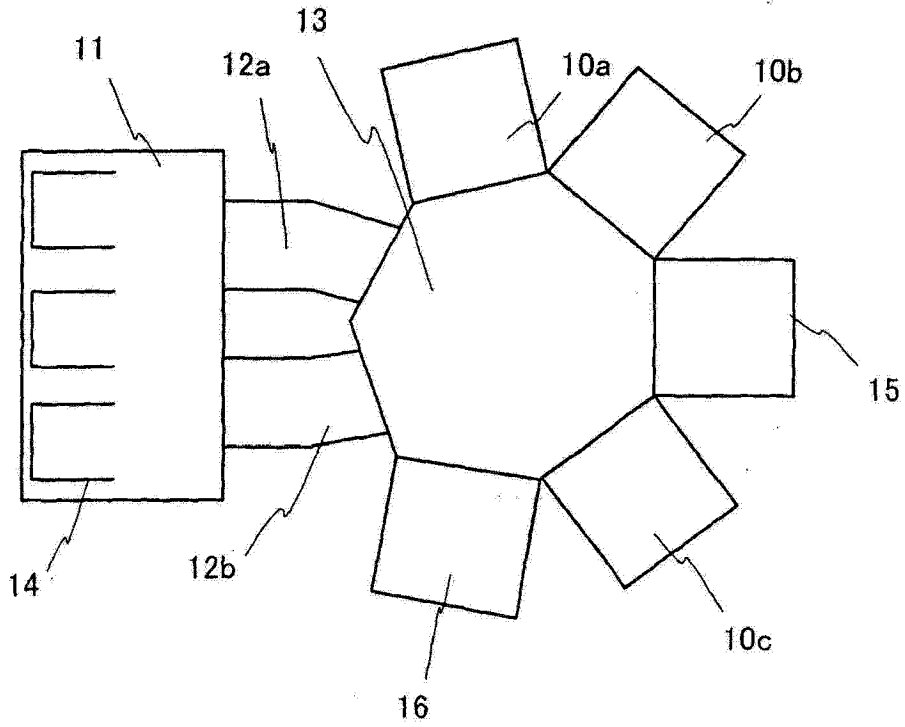


图 13

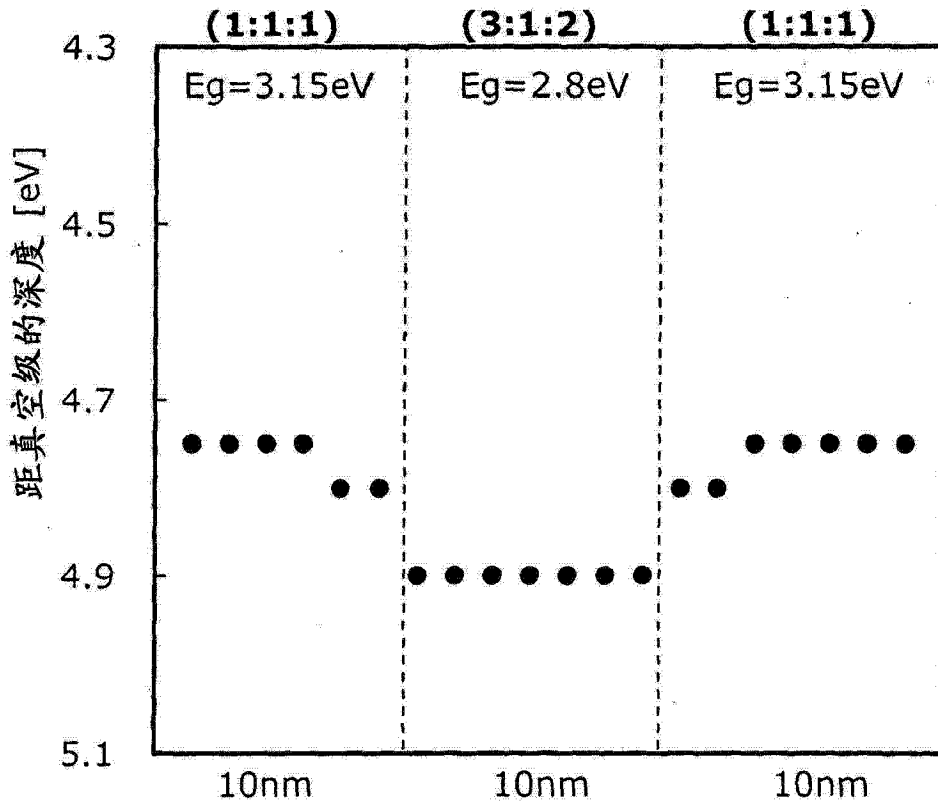


图 14A

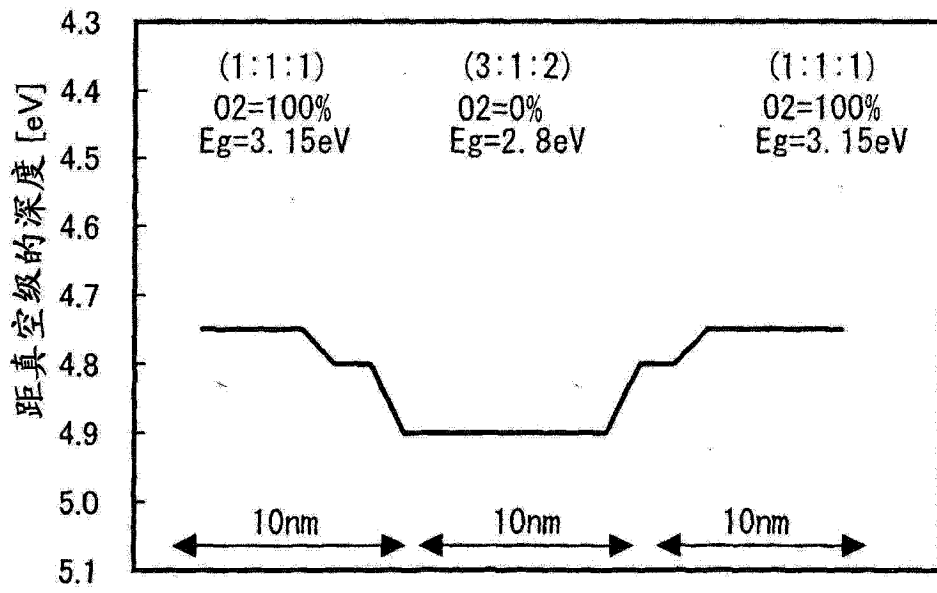


图 14B