



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월27일  
(11) 등록번호 10-1112213  
(24) 등록일자 2012년01월27일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0026461

(22) 출원일자 2005년03월30일

심사청구일자 2010년02월16일

(65) 공개번호 10-2006-0104352

(43) 공개일자 2006년10월09일

(56) 선행기술조사문헌

KR1020050001790 A

KR1020020017530 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박상진

경기도 용인시 수지읍 동천리 현대홈타운1차 101동 1004호

이명우

서울특별시 서초구 양재1동 9-31번지 403호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 23 항

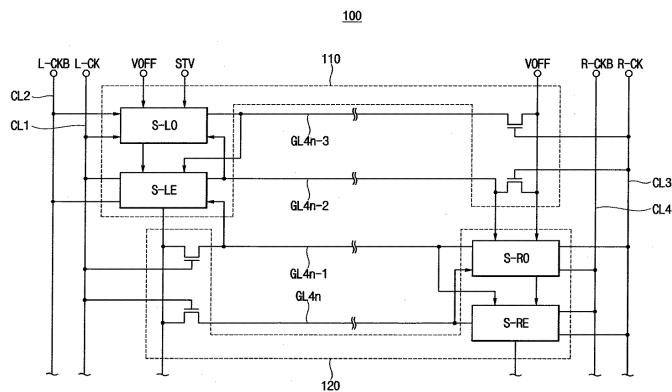
심사관 : 이성현

(54) 게이트 구동회로 및 이를 갖는 표시장치

(57) 요약

전체적인 사이즈를 감소시킬 수 있는 게이트 구동회로 및 이를 갖는 표시장치가 개시된다. 게이트 구동회로에서 제1 쉬프트 레지스터는 제1 클럭, 제1 클럭보다 1H 시간동안 지연된 위상을 갖는 제2 클럭 및 제1 클럭에 반전된 위상을 갖는 제3 클럭에 응답하여 4n-3 및 4n-2 게이트 라인에 각각 4n-3 및 4n-2 게이트 신호를 출력한다. 제2 쉬프트 레지스터는 제3 클럭, 제2 클럭에 반전된 위상을 갖는 제4 클럭 및 제1 클럭에 응답하여 4n-1 및 4n 게이트 라인에 각각 4n-1 및 4n 게이트 신호를 출력한다. 따라서, 게이트 구동회로를 구성하는 트랜지스터의 개수를 감소시킬 수 있다.

대표도



(72) 발명자

**김형걸**

경기도 용인시 구성읍 보정리 1161 진산마을 삼성  
5차아파트 505동 206호

**어기환**

경기 용인시 상현동 금호베스트빌 155-801

**이주형**

경기도 과천시 별양동 주공아파트 504-907

**정동진**

서울특별시 강동구 천호3동 106-1

**특허청구의 범위**

**청구항 1**

다수의 제1 스테이지로 이루어지고, 제1 클럭, 상기 제1 클럭보다 1H 시간동안 지연된 위상을 갖는 제2 클럭 및 상기 제1 클럭에 반전된 위상을 갖는 제3 클럭에 응답하여  $4n-3$  및  $4n-2$  게이트 라인에 각각  $4n-3$  및  $4n-2$  게이트 신호를 출력하는 제1 쉬프트 레지스터; 및

다수의 제2 스테이지로 이루어지고, 상기 제3 클럭, 상기 제2 클럭에 반전된 위상을 갖는 제4 클럭 및 상기 제1 클럭에 응답하여  $4n-1$  및  $4n$  게이트 라인에 각각  $4n-1$  및  $4n$  게이트 신호를 출력하는 제2 쉬프트 레지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 2**

제1항에 있어서, 상기 다수의 제1 스테이지 중 홀수번째 제1 스테이지는 상기 제1 클럭의 하이 레벨을 상기  $4n-3$  게이트 라인에 1H 시간동안 상기  $4n-3$  게이트 신호로써 출력하고, 상기 제2 클럭에 응답하여 1H 시간동안 상기  $4n-3$  게이트 신호를 오프 전압으로 다운시키고, 상기 제3 클럭에 응답하여 2H 시간동안 상기  $4n-3$  게이트 신호를 상기 오프전압으로 홀딩시키며, 상기 제1 클럭에 응답하여 2H 시간동안 상기  $4n-3$  게이트 신호를 상기 오프전압으로 홀딩시키고,

상기 다수의 제1 스테이지 중 짝수번째 제1 스테이지는 상기 제2 클럭의 하이 레벨을 상기  $4n-2$  게이트 라인에 1H 시간동안 상기  $4n-2$  게이트 신호로써 출력하고, 상기 제3 클럭에 응답하여 2H 시간동안 상기  $4n-2$  게이트 신호를 상기 오프 전압으로 다운시키고, 상기 제1 클럭에 응답하여 2H 시간동안 상기  $4n-2$  게이트 신호를 상기 오프 전압으로 홀딩시키는 것을 특징으로 하는 게이트 구동회로.

**청구항 3**

제2항에 있어서, 상기 홀수번째 제1 스테이지는,

상기 제1 클럭의 하이 레벨을 상기  $4n-3$  게이트 라인에 상기  $4n-3$  게이트 신호로써 출력하는 제1 레프트 트랜지스터;

상기 제2 클럭의 하이 레벨에 응답하여 하이 레벨의 상기 제 $4n-3$  게이트 신호를 오프 전압으로 다운시키는 제2 레프트 트랜지스터;

상기 제3 클럭의 하이 레벨에 응답하여 상기 제 $4n-3$  게이트 신호를 상기 오프 전압으로 홀딩시키는 제3 라이트 트랜지스터; 및

상기 제1 클럭의 하이 레벨에 응답하여 상기 제 $4n-3$  게이트 신호를 상기 오프 전압으로 홀딩시키는 제4 레프트 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 4**

제3항에 있어서, 상기 홀수번째 제1 스테이지는,

상기 제1 레프트 트랜지스터의 게이트와 소오스 전극과의 사이에 연결되고, 충전된 전하에 응답하여 상기 제1 레프트 트랜지스터를 턴온시키는 제1 레프트 커패시터;

개시신호 또는 상기  $4n$  게이트 신호에 응답하여 상기 제1 레프트 커패시터를 충전시키는 제5 레프트 트랜지스터;

상기  $4n-2$  게이트 신호에 응답하여 상기 제1 레프트 트랜지스터를 턴오프시키는 제6 레프트 트랜지스터;

상기 개시신호 또는  $4n$  게이트 신호에 응답하여 상기 제1 클럭을 오프전압으로 다운시키는 제7 레프트 트랜지스터; 및

상기 제1 클럭에 응답하여 상기 제1 레프트 트랜지스터를 턴오프시키는 제8 레프트 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 5**

제4항에 있어서, 상기 제1, 제2, 제4 내지 제8 레프트 트랜지스터는 상기  $4n-3$  게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제3 라이트 트랜지스터는 상기  $4n-3$  게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 6**

제2항에 있어서, 상기 짝수번째 제1 스테이지는,

상기 제2 클럭의 하이 레벨을  $4n-2$  게이트 신호로써 상기  $4n-2$  게이트 라인에 출력하는 제9 레프트 트랜지스터;

상기 제3 클럭의 하이 레벨에 응답하여 하이 레벨의 상기 제 $4n-2$  게이트 신호를 오프 전압으로 다운시키는 제10 라이트 트랜지스터; 및

상기 제1 클럭의 하이 레벨에 응답하여 상기 제 $4n-2$  게이트 신호를 상기 오프 전압으로 홀딩시키는 제11 레프트 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 7**

제6항에 있어서, 상기 짝수번째 제1 스테이지는,

상기 제9 레프트 트랜지스터의 게이트와 소오스 전극과의 사이에 연결되고, 충전된 전하에 응답하여 상기 제9 레프트 트랜지스터를 턴온시키는 제2 레프트 커패시터;

상기  $4n-3$  게이트 신호에 응답하여 상기 제2 레프트 커패시터를 충전시키는 제12 레프트 트랜지스터;

상기  $4n-1$  게이트 신호에 응답하여 상기 제9 레프트 트랜지스터를 턴오프시키는 제13 레프트 트랜지스터;

상기  $4n-3$  게이트 신호에 응답하여 상기 제2 클럭을 오프전압으로 다운시키는 제14 레프트 트랜지스터; 및

상기 제2 클럭에 응답하여 상기 제9 레프트 트랜지스터를 턴오프시키는 제15 레프트 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 8**

제7항에 있어서, 상기 제9, 제11 내지 제15 레프트 트랜지스터는 상기  $4n-2$  게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제10 라이트 트랜지스터는 상기  $4n-2$  게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 9**

제1항에 있어서, 상기 다수의 제2 스테이지 중 홀수번째 제2 스테이지는 상기 제3 클럭의 하이 레벨을 상기  $4n-1$  게이트 라인에 1H 시간동안 상기  $4n-1$  게이트 신호로써 출력하고, 상기 제4 클럭에 응답하여 1H 시간동안 상기  $4n-1$  게이트 신호를 오프 전압으로 다운시키고, 상기 제1 클럭에 응답하여 2H 시간동안 상기  $4n-1$  게이트 신호를 상기 오프전압으로 홀딩시키며, 상기 제3 클럭에 응답하여 2H 시간동안 상기  $4n-1$  게이트 신호를 상기 오프전압으로 홀딩시키고,

상기 다수의 제2 스테이지 중 짝수번째 제2 스테이지는 상기 제4 클럭의 하이 레벨을 상기  $4n$  게이트 라인에 1H 시간동안 상기  $4n$  게이트 신호로써 출력하고, 상기 제1 클럭에 응답하여 2H 시간동안 상기  $4n$  게이트 신호를 상기 오프 전압으로 다운시키고, 상기 제3 클럭에 응답하여 2H 시간동안 상기  $4n$  게이트 신호를 상기 오프 전압으로 홀딩시키는 것을 특징으로 하는 게이트 구동회로.

**청구항 10**

제9항에 있어서, 상기 다수의 제2 스테이지 중 홀수번째 제2 스테이지는,

상기 제3 클럭의 하이 레벨을 상기  $4n-1$  게이트 라인에 상기  $4n-1$  게이트 신호로써 출력하는 제1 라이트 트랜지스터;

상기 제4 클럭의 하이 레벨에 응답하여 하이 레벨의 상기 제 $4n-1$  게이트 신호를 오프 전압으로 다운시키는 제2

라이트 트랜지스터;

상기 제1 클럭의 하이 레벨에 응답하여 상기 제4n-1 게이트 신호를 상기 오프 전압으로 홀딩시키는 제3 레프트 트랜지스터; 및

상기 제3 클럭의 하이 레벨에 응답하여 상기 제4n-1 게이트 신호를 상기 오프 전압으로 홀딩시키는 제4 라이트 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 11**

제10항에 있어서, 상기 홀수번째 제2 스테이지는,

상기 제1 라이트 트랜지스터의 게이트와 소오스 전극과의 사이에 연결되고, 충전된 전하에 응답하여 상기 제1 라이트 트랜지스터를 턴온시키는 제1 라이트 커패시터;

상기 4n-2 게이트 신호에 응답하여 상기 제1 라이트 커패시터를 충전시키는 제5 라이트 트랜지스터;

상기 4n 게이트 신호에 응답하여 상기 제1 라이트 트랜지스터를 턴오프시키는 제6 라이트 트랜지스터;

상기 4n-2 게이트 신호에 응답하여 상기 제3 클럭을 오프전압으로 다운시키는 제7 라이트 트랜지스터; 및

상기 제3 클럭에 응답하여 상기 제1 라이트 트랜지스터를 턴오프시키는 제8 라이트 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 12**

제11항에 있어서, 상기 제1, 제2, 제4 내지 제8 라이트 트랜지스터는 상기 4n-1 게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제3 레프트 트랜지스터는 상기 4n-1 게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 13**

제10항에 있어서, 상기 짝수번째 제2 스테이지는,

상기 제4 클럭의 하이 레벨을 상기 4n 게이트 라인에 상기 4n 게이트 신호로써 출력하는 제9 라이트 트랜지스터;

상기 제1 클럭의 하이 레벨에 응답하여 하이 레벨의 상기 제4n 게이트 신호를 오프 전압으로 다운시키는 제10 레프트 트랜지스터; 및

상기 제3 클럭의 하이 레벨에 응답하여 상기 제4n 게이트 신호를 상기 오프 전압으로 홀딩시키는 제11 라이트 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 14**

제13항에 있어서, 상기 짝수번째 제2 스테이지는,

상기 제9 라이트 트랜지스터의 게이트와 소오스 전극과의 사이에 연결되고, 충전된 전하에 응답하여 상기 제9 라이트 트랜지스터를 턴온시키는 제2 라이트 커패시터;

상기 4n-1 게이트 신호에 응답하여 상기 제2 라이트 커패시터를 충전시키는 제12 라이트 트랜지스터;

상기 4n-3 게이트 신호에 응답하여 상기 제9 라이트 트랜지스터를 턴오프시키는 제13 라이트 트랜지스터;

상기 4n-1 게이트 신호에 응답하여 상기 제4 클럭을 오프전압으로 다운시키는 제14 라이트 트랜지스터; 및

상기 제4 클럭에 응답하여 상기 제9 라이트 트랜지스터를 턴오프시키는 제15 라이트 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

**청구항 15**

제14항에 있어서, 상기 제9, 제11 내지 제15 라이트 트랜지스터는 상기 4n 게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제10 레프트 트랜지스터는 상기 4n 게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 16**

제1항에 있어서, 상기 제1 내지 제4 클럭의 한 주기는 4H 시간이고,

상기 제1 내지 제4 클럭의 하이 구간은 2H 시간동안 유지되고, 로우 구간은 나머지 2H 시간동안 유지되는 것을 특징으로 하는 게이트 구동회로.

**청구항 17**

제1항에 있어서, 상기 제1 쉬프트 레지스터는 상기  $4n-3$  내지  $4n$  게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제2 쉬프트 레지스터는  $4n-3$  내지  $4n$  게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 18**

제17항에 있어서, 상기 제1 및 제2 클럭을 각각 입력받는 제1 및 제2 클럭배선 및 상기 제3 및 제4 클럭을 각각 입력받는 제3 및 제4 클럭배선을 더 포함하고,

상기 제1 및 제2 클럭배선은 상기 제1 쉬프트 레지스터에 인접하여 구비되고, 상기 제3 및 제4 클럭배선은 상기 제2 쉬프트 레지스터에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 19**

제18항에 있어서, 상기 제1 쉬프트 레지스터를 구성하는 트랜지스터들 중 상기 제3 클럭에 응답하여 동작하는 라이트 트랜지스터는 상기 제3 클럭배선에 인접하여 구비되고,

상기 제2 쉬프트 레지스터를 구성하는 트랜지스터들 중 상기 제1 클럭에 응답하여 동작하는 레프트 트랜지스터는 상기 제1 클럭배선에 인접하여 구비되는 것을 특징으로 하는 게이트 구동회로.

**청구항 20**

게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시패널;

상기 게이트 신호를 출력하는 게이트 구동회로; 및

상기 데이터 신호를 출력하는 데이터 구동회로를 포함하고,

상기 게이트 구동회로는,

다수의 제1 스테이지로 이루어지고, 제1 클럭, 상기 제1 클럭보다 1H 시간동안 지연된 위상을 갖는 제2 클럭 및 상기 제1 클럭에 반전된 위상을 갖는 제3 클럭에 응답하여  $4n-3$  및  $4n-2$  게이트 라인에 각각  $4n-3$  및  $4n-2$  게이트 신호를 출력하는 제1 쉬프트 레지스터; 및

다수의 제2 스테이지로 이루어지고, 상기 제3 클럭, 상기 제2 클럭에 반전된 위상을 갖는 제4 클럭 및 상기 제1 클럭에 응답하여  $4n-1$  및  $4n$  게이트 라인에 각각  $4n-1$  및  $4n$  게이트 신호를 출력하는 제2 쉬프트 레지스터를 포함하는 것을 특징으로 하는 표시장치.

**청구항 21**

제20항에 있어서, 상기 표시패널은 상기  $4n-3$ ,  $4n-2$ ,  $4n-1$  및  $4n$  게이트 라인과 다수의 데이터 라인이 구비된 어레이 기판을 포함하고,

상기 제1 쉬프트 레지스터는 상기  $4n-3$ ,  $4n-2$ ,  $4n-1$  및  $4n$  게이트 라인의 제1 단부에 인접하여 구비되고, 상기 제2 쉬프트 레지스터는 상기  $4n-3$ ,  $4n-2$ ,  $4n-1$  및  $4n$  게이트 라인의 제2 단부에 인접하여 구비되는 것을 특징으로 하는 표시장치.

**청구항 22**

제21항에 있어서, 상기 게이트 구동회로는 상기 제1 및 제2 클럭을 각각 입력받는 제1 및 제2 클럭배선 및 상기 제3 및 제4 클럭을 각각 입력받는 제3 및 제4 클럭배선을 더 포함하고,

상기 제1 및 제2 클럭배선은 상기 제1 쉬프트 레지스터에 인접하여 구비되고, 상기 제3 및 제4 클럭배선은 상기

제2 쉬프트 레지스터에 인접하여 구비되는 것을 특징으로 하는 표시장치.

**청구항 23**

제22항에 있어서, 상기 제1 쉬프트 레지스터를 구성하는 트랜지스터들 중 상기 제3 클럭에 응답하여 동작하는 라이트 트랜지스터는 상기 제3 클럭배선에 인접하여 구비되고,

상기 제2 쉬프트 레지스터를 구성하는 트랜지스터들 중 상기 제1 클럭에 응답하여 동작하는 레프트 트랜지스터는 상기 제1 클럭배선에 인접하여 구비되는 것을 특징으로 하는 표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0011] 본 발명은 게이트 구동회로 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 전체적인 사이즈를 감소시킬 수 있는 게이트 구동회로 및 이를 갖는 표시장치에 관한 것이다.
- [0012] 일반적으로, 액정표시장치는 영상을 표시하는 액정표시패널을 포함한다. 액정표시패널은 어레이 기판, 어레이 기판과 마주하는 컬러필터기판 및 어레이 기판과 컬러필터기판과의 사이에 개재된 액정층으로 이루어진다. 어레이 기판에는 게이트 신호를 입력받는 다수의 게이트 라인과 데이터 신호를 입력받는 다수의 데이터 라인이 구비된다.
- [0013] 또한, 액정표시장치는 액정표시패널을 구동하기 위한 목적으로 게이트 신호를 출력하는 게이트 구동회로와 데이터 신호를 출력하는 데이터 구동회로를 구비한다. 일반적으로, 게이트 구동회로 및 데이터 구동회로는 칩 형태로 액정표시패널에 실장된다. 그러나, 최근에는 액정표시장치의 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 게이트 구동회로가 어레이 기판에 박막 공정을 통해 형성된다.
- [0014] 게이트 구동회로가 어레이 기판에 직접적으로 형성되는 구조에서, 게이트 구동회로는 서로 종속적으로 연결된 다수의 스테이지를 갖는 하나의 쉬프트 레지스터로 이루어진다. 그러나, 액정표시장치의 사이즈가 증대됨에 따라서 게이트 구동회로는 다수의 게이트 라인의 양 단부에 각각 구비되는 두 개의 쉬프트 레지스터로 이루어진다. 따라서, 두 개의 쉬프트 레지스터는 다수의 게이트 라인에 1 라인 단위로 교번적으로 게이트 신호를 출력한다.
- [0015] 이와 같은 게이트 구동회로에서 다수의 스테이지는 다수의 트랜지스터와 커패시터를 포함한다. 여기서, 다수의 스테이지를 구성하는 트랜지스터의 개수는 게이트 구동회로의 전체적인 사이즈를 결정한다. 특히, 게이트 구동회로가 두 개의 쉬프트 레지스터로 이루어진 경우 스테이지를 구성하는 트랜지스터의 개수는 더욱 증가된다. 따라서, 게이트 구동회로를 구성하는 전체 트랜지스터의 개수를 감소시키는 기술이 요구된다.

**발명이 이루고자 하는 기술적 과제**

- [0016] 따라서, 본 발명의 목적은 전체적인 사이즈를 감소시키기 위한 게이트 구동회로를 제공하는 것이다.
- [0017] 또한, 본 발명의 다른 목적은 상기한 게이트 구동회로를 갖는 표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

- [0018] 본 발명의 일 특징에 따른 게이트 구동회로는 다수의 레프트 스테이지로 이루어진 제1 쉬프트 레지스터 및 다수의 라이트 스테이지로 이루어진 제2 쉬프트 레지스터를 포함한다.
- [0019] 상기 제1 쉬프트 레지스터는 제1 클럭, 상기 제1 클럭보다 1H 시간동안 지연된 위상을 갖는 제2 클럭 및 상기 제1 클럭에 반전된 위상을 갖는 제3 클럭에 응답하여  $4n-3$  및  $4n-2$  게이트 라인에 각각  $4n-3$  및  $4n-2$  게이트 신호를 출력한다. 상기 제2 쉬프트 레지스터는 상기 제3 클럭, 상기 제2 클럭에 반전된 위상을 갖는 제4 클럭 및 상기 제1 클럭에 응답하여  $4n-1$  및  $4n$  게이트 라인에 각각  $4n-1$  및  $4n$  게이트 신호를 출력한다.
- [0020] 또한, 본 발명의 다른 특징에 따른 표시장치는 게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시패

널, 상기 게이트 신호를 출력하는 게이트 구동회로, 및 상기 데이터 신호를 출력하는 데이터 구동회로를 포함한다.

- [0021] 상기 게이트 구동회로는 다수의 레프트 스테이지로 이루어진 제1 쉬프트 레지스터 및 다수의 라이트 스테이지로 이루어진 제2 쉬프트 레지스터를 포함한다.
- [0022] 상기 제1 쉬프트 레지스터는 제1 클럭, 상기 제1 클럭보다 1H 시간동안 지연된 위상을 갖는 제2 클럭 및 상기 제1 클럭에 반전된 위상을 갖는 제3 클럭에 응답하여  $4n-3$  및  $4n-2$  게이트 라인에 각각  $4n-3$  및  $4n-2$  게이트 신호를 출력한다. 상기 제2 쉬프트 레지스터는 상기 제3 클럭, 상기 제2 클럭에 반전된 위상을 갖는 제4 클럭 및 상기 제1 클럭에 응답하여  $4n-1$  및  $4n$  게이트 라인에 각각  $4n-1$  및  $4n$  게이트 신호를 출력한다.
- [0023] 이러한 게이트 구동회로 및 이를 갖는 표시장치에 따르면, 제1 쉬프트 레지스터는 제1 내지 제3 클럭에 응답하여 구동되고, 제2 쉬프트 레지스터는 제1, 제3 및 제4 클럭에 응답하여 구동됨으로써, 상기 제1 및 제2 쉬프트 레지스터를 구성하는 전체적인 트랜지스터의 개수가 감소될 수 있다.
- [0024] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0025] 도 1은 본 발명의 일 실시예에 따른 게이트 구동회로의 블록도이고, 도 2는 도 1에 도시된 게이트 구동회로의 입/출력 파형도이다.
- [0026] 도 1을 참조하면, 본 발명의 일 실시예에 따른 게이트 구동회로(100)는 제1 쉬프트 레지스터(110) 및 제2 쉬프트 레지스터(120)를 포함한다.
- [0027] 상기 제1 쉬프트 레지스터(110)는  $4n-3$  및  $4n-2$  게이트 라인( $GL_{4n-3}$ ,  $GL_{4n-2}$ )에  $4n-3$  및  $4n-2$  레프트 게이트 신호를 출력하는 다수의 레프트 스테이지(S-L0, S-LE)로 이루어진다. 상기 제2 쉬프트 레지스터(120)는  $4n-1$  및  $4n$  게이트 라인( $GL_{4n-1}$ ,  $GL_{4n}$ )에  $4n-1$  및  $4n$  라이트 게이트 신호를 출력하는 다수의 라이트 스테이지(S-R0, S-RE)로 이루어진다.
- [0028] 상기 제1 쉬프트 레지스터(110)는 외부로부터 개시신호(STV), 제1 클럭(L-CK), 제2 클럭(L-CKB), 제3 클럭(R-CK) 및 오프전압(Voff)을 입력받는다. 상기 제2 쉬프트 레지스터(120)는 상기 제1 클럭(L-CK), 제3 클럭(R-CK), 제4 클럭(R-CKB) 및 오프전압(Voff)을 입력받는다. 상기 제1 및 제2 클럭(L-CK, L-CKB)을 각각 입력받는 제1 및 제2 클럭배선(CL1, CL2)은 상기 제1 쉬프트 레지스터(110)에 인접하여 구비된다. 또한, 상기 제3 및 제4 클럭(R-CK, R-CKB)을 각각 입력받는 제3 및 제4 클럭배선(CL3, CL4)은 상기 제2 쉬프트 레지스터(120)에 인접하여 구비된다.
- [0029] 상기 제1 쉬프트 레지스터(110)를 구성하는 레프트 트랜지스터들 중 상기 제3 클럭(R-CK)을 입력받는 레프트 트랜지스터들은 상기 제3 클럭배선(CL3)에 인접하여 구비된다. 또한, 상기 제2 쉬프트 레지스터(120)를 구성하는 라이트 트랜지스터들 중 상기 제1 클럭(L-CK)을 입력받는 라이트 트랜지스터들은 상기 제1 클럭배선(CL1)에 인접하여 구비된다. 이와 같은 트랜지스터의 위치 관계는 이후 도 3 및 도 4에서 구체적으로 설명하기로 한다.
- [0030] 도 2에 도시된 바와 같이, 상기 제1 내지 제4 클럭(L-CK, L-CKB, R-CK, R-CKB)의 한 주기(T)는 4H 시간동안 유지되고, 상기 제1 내지 제4 클럭(L-CK, L-CKB, R-CK, R-CKB)의 하이 구간(HT)은 2H 시간이며, 로우 구간(LT)은 나머지 2H 시간이다. 여기서, 상기 제2 클럭(L-CKB)은 상기 제1 클럭(L-CK)보다 1H 시간만큼 지연된 위상을 갖는다. 또한, 상기 제3 클럭(R-CK)은 상기 제1 클럭(L-CK)에 반전된 위상을 갖고, 상기 제4 클럭(R-CKB)은 상기 제2 클럭(L-CKB)에 반전된 위상을 갖는다.
- [0031] 상기 다수의 레프트 스테이지(S-L0, S-LE) 중 홀수번째 레프트 스테이지(S-L0)는 상기 제1 클럭(L-CK)에 응답하여 1H시간동안 상기  $4n-3$  게이트 라인( $GL_{4n-3}$ )에  $4n-3$  레프트 게이트 신호를 출력한다. 1H 시간이 경과한 후, 상기 홀수번째 레프트 스테이지(S-L0)는 상기 제2 클럭(L-CKB)에 응답하여 상기  $4n-3$  레프트 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 이후, 상기 홀수번째 스테이지는 상기 제1 클럭(L-CK) 및 제3 클럭(R-CK)에 응답하여 상기  $4n-3$  레프트 게이트 신호를 상기 오프전압(Voff)으로 계속 유지시킨다.
- [0032] 상기 다수의 레프트 스테이지(S-L0, S-LE) 중 짝수번째 레프트 스테이지(S-LE)는 상기 제2 클럭(L-CKB)에 응답하여 1H 시간동안 상기  $4n-2$  게이트 라인( $GL_{4n-2}$ )에  $4n-2$  레프트 게이트 신호를 출력한다. 1H 시간이 경과한 후, 상기 짝수번째 레프트 스테이지(S-LE)는 상기 제3 클럭(R-CK)에 응답하여 상기  $4n-2$  레프트 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 이후, 상기 짝수번째 레프트 스테이지(S-LE)는 상기 제1 클럭(L-CK) 및 제3 클럭(R-CK)에 응답하여 상기  $4n-2$  레프트 게이트 신호를 상기 오프전압(Voff)으로 계속 유지시킨다.



- [0033] 한편, 상기 다수의 라이트 스테이지(S-R0, S-RE) 중 홀수번째 라이트 스테이지(S-R0)는 상기 제3 클럭(R-CK)에 응답하여 1H 시간동안 상기 4n-1 게이트 라인(GL4n-1)에 4n-1 라이트 게이트 신호를 출력한다. 1H 시간이 경과한 후, 상기 홀수번째 라이트 스테이지(S-R0)는 상기 제4 클럭(R-CKB)에 응답하여 상기 4n-1 라이트 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 이후, 상기 홀수번째 라이트 스테이지(S-R0)는 상기 제1 및 제3 클럭(L-CK, R-CK)에 응답하여 상기 4n-1 라이트 게이트 신호를 상기 오프전압(Voff)으로 계속 유지시킨다.
- [0034] 상기 다수의 라이트 스테이지(S-R0, S-RE) 중 짝수번째 라이트 스테이지(S-RE)는 상기 제4 클럭(R-CKB)에 응답하여 1H 시간동안 상기 4n 게이트 라인(GL4n)에 4n 라이트 게이트 신호를 출력한다. 1H 시간이 경과한 후, 상기 짝수번째 라이트 스테이지(S-RE)는 상기 제1 클럭(L-CK)에 응답하여 상기 4n 라이트 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 이후, 상기 짝수번째 라이트 스테이지(S-RE)는 상기 제1 및 제3 클럭(L-CK, R-CK)에 응답하여 상기 4n 라이트 게이트 신호를 상기 오프전압(Voff)으로 계속 유지시킨다.
- [0035] 도 3은 도 1에 도시된 홀수번째 레프트 스테이지와 짝수번째 레프트 스테이지의 회로도이다.
- [0036] 도 3을 참조하면, 홀수번째 레프트 스테이지(S-L0)는 제1, 제2, 제4 내지 제8 레프트 트랜지스터(LT1, LT2, LT4, LT5, LT6, LT7, LT8), 제3 라이트 트랜지스터(RT3), 제1 및 제2 레프트 커패시터(LC1, LC2)로 이루어진다. 짝수번째 레프트 스테이지(S-LE)는 제9, 제11 내지 제15 레프트 트랜지스터(LT9, LT11, LT12, LT13, LT14, LT15), 제10 라이트 트랜지스터(RT10), 제3 및 제4 레프트 커패시터(LC3, LC4)로 이루어진다.
- [0037] 상기 제1, 제2, 제4 내지 제8 레프트 트랜지스터(LT1, LT2, LT4 ~ LT8), 상기 제1 및 제2 레프트 커패시터(LC1, LC2)는 상기 4n-3 게이트 라인(GL4n-3)의 제1 단부에 인접하여 구비된다. 상기 제3 라이트 트랜지스터(RT3)는 상기 4n-3 게이트 라인(GL4n-3)의 제2 단부에 인접하여 구비된다. 또한, 상기 제9, 제11 내지 제15 레프트 트랜지스터(LT9, LT11 ~ LT15), 상기 제3 및 제4 레프트 커패시터(LC3, LC4)는 4n-2 게이트 라인(GL4n-2)의 제1 단부에 인접하여 구비된다. 상기 제10 라이트 트랜지스터(RT10)는 4n-2 게이트 라인(GL4n-2)의 제2 단부에 인접하여 구비된다.
- [0038] 상기 제1 레프트 트랜지스터(LT1)의 게이트 전극은 제1 노드(N1)에 연결되고, 드레인 전극에는 제1 클럭(L-CK)이 제공되며, 소오스 전극은 상기 4n-3 게이트 라인(GL4n-3)에 전기적으로 연결된다. 상기 제2 레프트 트랜지스터(LT2)의 게이트 전극에는 상기 제2 클럭(L-CKB)이 제공되고, 드레인 전극은 상기 4n-3 게이트 라인에 연결되며, 소오스 전극에는 오프전압(Voff)이 제공된다.
- [0039] 상기 제1 레프트 트랜지스터(LT1)는 상기 제1 노드(N1)의 전위에 응답하여 상기 제1 클럭(L-CK)의 하이 레벨을 4n-3 게이트 신호로써 출력한다. 따라서, 상기 4n-3 게이트 라인(GL4n-3)에는 상기 제1 클럭(L-CK)의 하이 레벨에 대응하는 상기 4n-3 게이트 신호가 제공된다. 상기 제2 레프트 트랜지스터(LT2)는 상기 제2 클럭(L-CKB)의 하이 레벨에 응답하여 상기 제4n-3 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 따라서, 상기 4n-3 게이트 라인(GL4n-3)의 전위는 상기 오프전압(Voff)으로 방전된다.
- [0040] 상기 제3 라이트 트랜지스터(RT3)의 게이트 전극에는 제3 클럭(R-CK)이 제공되고, 드레인 전극은 상기 4n-3 게이트 라인(GL4n-3)에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제4 레프트 트랜지스터(LT4)의 게이트 전극은 제2 노드(N2)에 연결되고, 드레인 전극은 상기 제4n-3 게이트 라인(GL4n-3)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제2 노드(N2)에는 상기 제1 클럭(L-CK)이 제공된다.
- [0041] 상기 제3 클럭(R-CK)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제3 라이트 트랜지스터(RT3)는 상기 제3 클럭(R-CK)의 하이 레벨에 응답하여 상기 오프전압(Voff)을 상기 4n-3 게이트 라인(GL4n-3)으로 제공한다. 따라서, 상기 4n-3 게이트 신호는 2H 시간동안 상기 오프전압(Voff)으로 유지될 수 있다. 이후, 상기 제3 클럭(R-CK)이 하이 레벨에서 로우 레벨로 전환될 때, 상기 제1 클럭(L-CK)이 로우 레벨에서 하이 레벨로 전환된다. 따라서, 상기 제4 레프트 트랜지스터(LT4)는 상기 제1 클럭(L-CK)의 하이 레벨에 응답하여 상기 오프전압(Voff)을 상기 4n-3 게이트 라인(GL4n-3)으로 제공한다.
- [0042] 따라서, 상기 4n-3 게이트 신호는 상기 제3 클럭(R-CK)이 로우 레벨로 전환된 이후에도 상기 제1 클럭(L-CK)에 응답하여 상기 오프전압(Voff)으로 2H 시간동안 유지될 수 있다. 즉, 상기 4n-3 게이트 신호는 서로 반전된 위상을 갖는 상기 제1 및 제3 클럭(L-CK, R-CK)에 의해서 상기 오프전압(Voff)으로 유지될 수 있다.
- [0043] 상기 제5 레프트 트랜지스터(LT5)의 게이트 전극과 드레인 전극에는 개시신호가 공통으로 제공되고, 소오스 전극은 상기 제1 노드(N1)에 연결된다. 상기 제1 레프트 커패시터(LC1)는 상기 제1 레프트 트랜지스터(LT1)의 게

이트 전극과 소오스 전극과의 사이에 전기적으로 연결된다.

- [0044] 상기 개시신호(STV)가 상기 제5 레프트 트랜지스터(LT5)를 통과하여 상기 제1 노드(N1)로 제공되면, 상기 제1 레프트 트랜지스터(LT1)는 상기 개시신호(STV)에 응답하여 턴-온된다. 따라서, 상기 제1 클럭(L-CK)의 하이 레벨이  $4n-3$  게이트 신호로써 상기  $4n-3$  게이트 라인(GL $4n-3$ )으로 출력된다.
- [0045] 한편, 상기 제6 레프트 트랜지스터(LT6)의 게이트 전극에는  $4n-2$  게이트 신호가 제공되고, 드레인 전극은 상기 제1 노드(N1)에 연결되며, 소오스 전극에는 오프전압(Voff)이 제공된다. 상기 제7 레프트 트랜지스터(LT7)의 게이트 전극은 상기 제1 노드(N1)에 연결되고, 드레인 전극에는 상기 제1 클럭(L-CK)이 제공되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제8 레프트 트랜지스터(LT8)의 게이트 전극에는 제2 클럭(L-CKB)이 제공되고, 드레인 전극은 상기  $4n-3$  게이트 라인(GL $4n-3$ )에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.
- [0046] 상기  $4n-2$  게이트 신호가 상기 제6 레프트 트랜지스터(LT6)로 제공되면, 상기 제1 노드(N1)에는 상기 오프전압(Voff)이 제공되고, 그 결과 상기 제1 레프트 트랜지스터(LT1)는 턴-오프 상태로 전환된다.
- [0047] 또한, 상기 제1 노드(N1)의 전위가 상기 오프전압(Voff)으로 다운되면, 상기 제7 레프트 트랜지스터(LT7)는 턴-오프상태로 전환된다. 따라서, 상기 제2 노드(N2)에는 상기 제1 클럭(L-CK)이 제공된다. 상기 제1 클럭(L-CK)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제2 노드(N2)에 연결된 상기 제4 및 제8 레프트 트랜지스터(LT4, LT8)는 상기 제1 클럭(L-CK)의 하이 레벨에 응답하여 턴-온된다. 특히, 턴-온된 상기 제8 레프트 트랜지스터(LT8)는 상기 제1 노드(N1)의 전위를 상기 오프전압(Voff)으로 다운시키고, 상기 제4 레프트 트랜지스터(LT4)는 상기  $4n-3$  게이트 라인(GL $4n-3$ )에 상기 오프전압(Voff)을 제공한다.
- [0048] 한편, 상기 제9 레프트 트랜지스터(LT9)의 게이트 전극은 제3 노드(N3)에 연결되고, 드레인 전극에는 제2 클럭(L-CKB)이 제공되며, 소오스 전극은 상기  $4n-2$  게이트 라인(GL $4n-2$ )에 전기적으로 연결된다. 상기 제10 라이트 트랜지스터(RT10)의 게이트 전극에는 상기 제3 클럭(R-CK)이 제공되고, 드레인 전극은 상기  $4n-2$  게이트 라인(GL $4n-2$ )에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제11 레프트 트랜지스터(LT11)의 게이트 전극에는 상기 제1 클럭(L-CK)이 제공되고, 드레인 전극은 상기  $4n-2$  게이트 라인(GL $4n-2$ )에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.
- [0049] 상기 제9 레프트 트랜지스터(LT9)는 상기 제3 노드(N3)의 전위에 응답하여 상기 제2 클럭(L-CKB)의 하이 레벨을  $4n-2$  게이트 신호로써 출력한다. 따라서, 상기  $4n-2$  게이트 라인(GL $4n-2$ )에는 상기 제2 클럭(L-CKB)의 하이 레벨에 대응하는 상기  $4n-2$  게이트 신호가 제공된다.
- [0050] 상기 제3 클럭(R-CK)이 하이 레벨에서 로우 레벨로 전환되면, 상기 제10 라이트 트랜지스터(RT10)는 상기 제3 클럭(R-CK)의 하이 레벨에 응답하여 상기  $4n-2$  게이트 라인(GL $4n-2$ )에 상기 오프전압(Voff)을 제공한다. 따라서, 상기  $4n-2$  게이트 신호는 1H 시간동안 하이 레벨로 유지된 후 상기 제3 클럭(R-CK)에 의해서 2H 시간동안 로우 레벨로 유지된다.
- [0051] 이후, 상기 제3 클럭(R-CK)이 하이 레벨에서 로우 레벨로 전환될 때, 상기 제1 클럭(L-CK)은 로우 레벨에서 하이 레벨로 전환된다. 상기 제11 레프트 트랜지스터(LT2)는 상기 제1 클럭(L-CK)의 하이 레벨에 응답하여 상기 제 $4n-2$  게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 따라서, 상기  $4n-2$  게이트 라인(GL $4n-2$ )의 전위는 상기 오프전압(Voff)으로 방전된다.
- [0052] 따라서, 상기  $4n-2$  게이트 신호는 상기 제3 클럭(R-CK)이 로우 레벨로 전환된 이후에도 상기 제1 클럭(L-CK)에 응답하여 상기 오프전압(Voff)으로 2H 시간동안 유지될 수 있다. 즉, 상기  $4n-3$  게이트 신호는 서로 반전된 위상을 갖는 상기 제1 및 제3 클럭(L-CK, R-CK)에 의해서 상기 오프전압(Voff)으로 유지된다.
- [0053] 상기 제12 레프트 트랜지스터(LT12)의 게이트 전극과 드레인 전극에는 상기  $4n-3$  게이트 신호가 제공되고, 소오스 전극은 상기 제3 노드(N3)에 연결된다. 상기 제3 레프트 커패시터(LC3)는 상기 제9 레프트 트랜지스터(LT9)의 게이트 전극과 소오스 전극과의 사이에 전기적으로 연결된다.
- [0054] 상기  $4n-3$  게이트 신호가 상기 제12 레프트 트랜지스터(LT12)를 통과하여 상기 제3 노드(N3)로 제공되면, 상기 제9 레프트 트랜지스터(LT9)는 상기  $4n-3$  게이트 신호에 응답하여 상기 제2 클럭(L-CKB)의 하이 레벨을  $4n-2$  게이트 신호로써 상기  $4n-2$  게이트 라인(GL $4n-2$ )에 출력한다.
- [0055] 한편, 상기 제13 레프트 트랜지스터(LT13)의 게이트 전극에는  $4n-1$  게이트 신호가 제공되고, 드레인 전극은 상기 제3 노드(N3)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제14 레프트 트랜지스터

(LT14)의 게이트 전극은 상기 제3 노드(N3)에 연결되고, 드레인 전극은 제4 노드(N4)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제15 레프트 트랜지스터(LT15)의 게이트 전극은 상기 제4 노드(N4)에 연결되고, 드레인 전극은 상기 제3 노드(N3)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.

- [0056] 상기 4n-1 게이트 신호가 상기 제13 레프트 트랜지스터(LT13)로 제공되면, 상기 제3 노드(N3)에는 상기 오프전압(Voff)이 제공되고, 그 결과 상기 제9 레프트 트랜지스터(LT9)는 턴-오프 상태로 전환된다. 상기 제3 노드(N3)의 전위가 상기 오프전압(Voff)으로 다운되면, 상기 제14 레프트 트랜지스터(LT14)는 턴-오프 상태로 전환된다. 따라서, 상기 제4 노드(N4)에는 상기 제2 클럭(L-CKB)이 제공된다. 상기 제2 클럭(L-CKB)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제4 노드(N4)에 연결된 상기 제15 레프트 트랜지스터(LT15)는 상기 제2 클럭(L-CKB)의 하이 레벨에 응답하여 상기 제3 노드(N3)의 전위를 상기 오프전압(Voff)으로 다운시킨다.
- [0057] 이와 같이, 상기 제3 클럭(R-CK)을 이용하여 상기 홀수번째 및 짝수번째 레프트 스테이지(S-L0, S-LE)를 제어함으로써, 상기 짝수번째 레프트 스테이지(S-LE)는 7개의 트랜지스터로 이루어질 수 있다. 따라서, 상기 제1 쉬프트 레지스터(110)를 구성하는 트랜지스터의 개수가 전체적으로 감소되고, 그 결과 상기 제1 쉬프트 레지스터(110)의 크기가 감소된다.
- [0058] 도 4는 도 1에 도시된 홀수번째 라이트 스테이지와 짝수번째 라이트 스테이지의 회로도이다.
- [0059] 도 4를 참조하면, 홀수번째 라이트 스테이지(S-R0)는 제1, 제2, 제4 내지 제8 라이트 트랜지스터(RT1, RT2, RT4, RT5, RT6, RT7, RT8), 제3 레프트 트랜지스터(LT3)로 이루어진다. 짝수번째 라이트 스테이지(S-RE)는 제9, 제11 내지 제15 라이트 트랜지스터(RT9, RT11, RT12, RT13, RT14, RT15) 및 제10 레프트 트랜지스터(LT10)로 이루어진다.
- [0060] 상기 제1, 제2, 제4 내지 제8 라이트 트랜지스터(RT1, RT2, RT4 ~ RT8)는 상기 4n-1 게이트 라인(GL4n-1)의 제1 단부에 전기적으로 연결되고, 상기 제3 레프트 트랜지스터(LT3)는 상기 4n-1 게이트 라인(GL4n-1)의 제2 단부에 전기적으로 연결된다. 또한, 상기 제9, 제11 내지 제14 라이트 트랜지스터(RT9, RT11 ~ RT15)는 4n 게이트 라인(GL4n)의 제1 단부에 전기적으로 연결되고, 상기 제10 레프트 트랜지스터(LT10)는 4n 게이트 라인(GL4n)의 제2 단부에 전기적으로 연결된다.
- [0061] 상기 제1 라이트 트랜지스터(RT1)의 게이트 전극은 제5 노드(N5)에 연결되고, 드레인 전극에는 제3 클럭(R-CK)이 제공되며, 소오스 전극은 상기 4n-1 게이트 라인(GL4n-1)에 전기적으로 연결된다. 상기 제2 레프트 트랜지스터(RT2)의 게이트 전극에는 상기 제4 클럭(R-CKB)이 제공되고, 드레인 전극은 상기 4n-1 게이트 라인(GL4n-1)에 연결되며, 소오스 전극에는 오프전압(Voff)이 제공된다.
- [0062] 상기 제1 라이트 트랜지스터(RT1)는 상기 제5 노드(N5)의 전위에 응답하여 상기 제3 클럭(R-CK)의 하이 레벨을 4n-1 게이트 신호로써 출력한다. 따라서, 상기 4n-1 게이트 라인(GL4n-1)에는 상기 제3 클럭(R-CK)의 하이 레벨에 대응하는 상기 4n-1 게이트 신호가 제공된다. 상기 제2 라이트 트랜지스터(RT2)는 상기 제4 클럭(R-CKB)의 하이 레벨에 응답하여 상기 제4n-1 게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 따라서, 상기 4n-1 게이트 라인(GL4n-1)의 전위는 상기 오프전압(Voff)으로 방전된다.
- [0063] 상기 제3 레프트 트랜지스터(LT3)의 게이트 전극에는 제1 클럭(L-CK)이 제공되고, 드레인 전극은 상기 4n-1 게이트 라인(GL4n-1)에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제4 라이트 트랜지스터(RT4)의 게이트 전극은 제6 노드(N6)에 연결되고, 드레인 전극은 상기 제4n-1 게이트 라인(GL4n-1)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제6 노드(N6)에는 상기 제3 클럭(R-CK)이 제공된다.
- [0064] 상기 제1 클럭(L-CK)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제3 레프트 트랜지스터(LT3)는 상기 제1 클럭(L-CK)의 하이 레벨에 응답하여 상기 오프전압(Voff)을 상기 4n-1 게이트 라인(GL4n-1)으로 제공한다. 따라서, 상기 4n-1 게이트 신호는 2H 시간동안 상기 오프전압(Voff)으로 유지될 수 있다. 이후, 상기 제1 클럭(L-CK)이 하이 레벨에서 로우 레벨로 전환될 때, 상기 제3 클럭(R-CK)이 로우 레벨에서 하이 레벨로 전환된다. 따라서, 상기 제4 라이트 트랜지스터(RT4)는 상기 제3 클럭(R-CK)의 하이 레벨에 응답하여 상기 오프전압(Voff)을 상기 4n-1 게이트 라인(GL4n-1)으로 제공한다.
- [0065] 따라서, 상기 4n-1 게이트 신호는 상기 제1 클럭(L-CK)이 로우 레벨로 전환된 이후에도 상기 제3 클럭(R-CK)에 응답하여 상기 오프전압(Voff)으로 2H 시간동안 유지될 수 있다. 즉, 상기 4n-1 게이트 신호는 서로 반전된 위

상을 갖는 상기 제1 및 제3 클럭(L-CK, R-CK)에 의해서 상기 오프전압(Voff)으로 유지될 수 있다.

- [0066] 상기 제5 라이트 트랜지스터(RT5)의 게이트 전극과 드레인 전극에는  $4n-2$  게이트 신호가 공통으로 제공되고, 소오스 전극은 상기 제5 노드(N5)에 연결된다. 상기 제1 라이트 커패시터(RC1)는 상기 제1 라이트 트랜지스터(RT1)의 게이트 전극과 소오스 전극과의 사이에 전기적으로 연결된다.
- [0067] 상기  $4n-2$  게이트 신호가 상기 제5 라이트 트랜지스터(RT5)를 통과하여 상기 제5 노드(N5)로 제공되면, 상기 제1 라이트 트랜지스터(RT1)는 상기  $4n-2$  게이트 신호에 응답하여 턴-온된다. 따라서, 상기 제3 클럭(R-CK)의 하이 레벨이  $4n-1$  게이트 신호로써 상기  $4n-1$  게이트 라인(GL $4n-1$ )으로 출력된다.
- [0068] 한편, 상기 제6 라이트 트랜지스터(RT6)의 게이트 전극에는  $4n$  게이트 신호가 제공되고, 드레인 전극은 상기 제5 노드(N5)에 연결되며, 소오스 전극에는 오프전압(Voff)이 제공된다. 상기 제7 라이트 트랜지스터(RT7)의 게이트 전극은 상기 제5 노드(N5)에 연결되고, 드레인 전극에는 상기 제3 클럭(R-CK)이 제공되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제8 라이트 트랜지스터(RT8)의 게이트 전극에는 제4 클럭(R-CKB)이 제공되고, 드레인 전극은 상기  $4n-1$  게이트 라인(GL $4n-1$ )에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.
- [0069] 상기  $4n$  게이트 신호가 상기 제6 라이트 트랜지스터(RT6)로 제공되면, 상기 제5 노드(N5)에는 상기 오프전압(Voff)이 제공되고, 그 결과 상기 제1 라이트 트랜지스터(RT1)는 턴-오프 상태로 전환된다.
- [0070] 또한, 상기 제5 노드(N5)의 전위가 상기 오프전압(Voff)으로 다운되면, 상기 제7 라이트 트랜지스터(RT7)는 턴-오프상태로 전환된다. 따라서, 상기 제6 노드(N6)에는 상기 제3 클럭(R-CK)이 제공된다. 상기 제3 클럭(R-CK)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제6 노드(N6)에 연결된 상기 제4 및 제8 라이트 트랜지스터(RT4, RT8)는 상기 제3 클럭(R-CK)의 하이 레벨에 응답하여 턴-온된다. 특히, 턴-온된 상기 제8 라이트 트랜지스터(RT8)는 상기 제5 노드(N5)의 전위를 상기 오프전압(Voff)으로 다운시키고, 상기 제4 라이트 트랜지스터(RT4)는 상기  $4n-1$  게이트 라인(GL $4n-1$ )에 상기 오프전압(Voff)을 제공한다.
- [0071] 한편, 상기 제9 라이트 트랜지스터(RT9)의 게이트 전극은 제3 노드(N3)에 연결되고, 드레인 전극에는 제4 클럭(R-CKB)이 제공되며, 소오스 전극은 상기  $4n$  게이트 라인(GL $4n$ )에 전기적으로 연결된다. 상기 제10 레프트 트랜지스터(LT10)의 게이트 전극에는 상기 제1 클럭(L-CK)이 제공되고, 드레인 전극은 상기  $4n$  게이트 라인(GL $4n$ )에 전기적으로 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제11 라이트 트랜지스터(RT11)의 게이트 전극에는 상기 제3 클럭(R-CK)이 제공되고, 드레인 전극은 상기  $4n$  게이트 라인(GL $4n$ )에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.
- [0072] 상기 제9 라이트 트랜지스터(RT9)는 상기 제7 노드(N7)의 전위에 응답하여 상기 제4 클럭(R-CKB)의 하이 레벨을  $4n$  게이트 신호로써 출력한다. 따라서, 상기  $4n$  게이트 라인(GL $4n$ )에는 상기 제4 클럭(R-CKB)의 하이 레벨에 대응하는 상기  $4n$  게이트 신호가 제공된다.
- [0073] 상기 제1 클럭(L-CK)이 하이 레벨에서 로우 레벨로 전환되면, 상기 제10 레프트 트랜지스터(LT10)는 상기 제1 클럭(L-CK)의 하이 레벨에 응답하여 상기  $4n$  게이트 라인(GL $4n$ )에 상기 오프전압(Voff)을 제공한다. 따라서, 상기  $4n$  게이트 신호는 1H 시간동안 하이 레벨로 유지된 후 상기 제1 클럭(L-CK)에 의해서 2H 시간동안 로우 레벨로 유지된다.
- [0074] 이후, 상기 제1 클럭(L-CK)이 하이 레벨에서 로우 레벨로 전환될 때, 상기 제3 클럭(R-CK)은 로우 레벨에서 하이 레벨로 전환된다. 상기 제11 라이트 트랜지스터(RT2)는 상기 제3 클럭(R-CK)의 하이 레벨에 응답하여 상기 제 $4n$  게이트 신호를 상기 오프전압(Voff)으로 다운시킨다. 따라서, 상기  $4n$  게이트 라인(GL $4n$ )의 전위는 상기 오프전압(Voff)으로 방전된다.
- [0075] 따라서, 상기  $4n$  게이트 신호는 상기 제1 클럭(L-CK)이 로우 레벨로 전환된 이후에도 상기 제3 클럭(R-CK)에 응답하여 상기 오프전압(Voff)으로 2H 시간동안 유지될 수 있다. 즉, 상기  $4n$  게이트 신호는 서로 반전된 위상을 갖는 상기 제1 및 제3 클럭(L-CK, R-CK)에 의해서 상기 오프전압(Voff)으로 유지된다.
- [0076] 상기 제12 라이트 트랜지스터(RT12)의 게이트 전극과 드레인 전극에는 상기  $4n-1$  게이트 신호가 제공되고, 소오스 전극은 상기 제7 노드(N7)에 연결된다. 상기 제3 라이트 커패시터(RC3)는 상기 제9 라이트 트랜지스터(RT9)의 게이트 전극과 소오스 전극과의 사이에 전기적으로 연결된다.
- [0077] 상기  $4n-1$  게이트 신호가 상기 제12 라이트 트랜지스터(RT12)를 통과하여 상기 제7 노드(N7)로 제공되면, 상기 제9 라이트 트랜지스터(RT9)는 상기  $4n-1$  게이트 신호에 응답하여 상기 제4 클럭(R-CKB)의 하이 레벨을  $4n$  게이

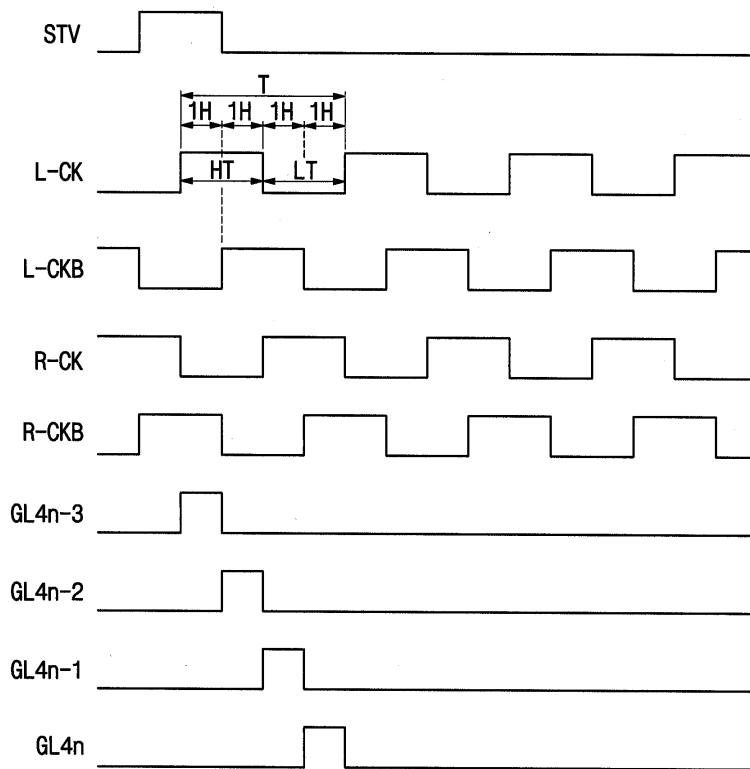
트 신호로써 상기 4n 게이트 라인(GL4n)에 출력한다.

- [0078] 한편, 상기 제13 라이트 트랜지스터(RT13)의 게이트 전극에는 4n-3 게이트 신호가 제공되고, 드레인 전극은 상기 제7 노드(N7)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제14 라이트 트랜지스터(RT14)의 게이트 전극은 상기 제7 노드(N7)에 연결되고, 드레인 전극은 제8 노드(N8)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다. 상기 제15 라이트 트랜지스터(RT15)의 게이트 전극은 상기 제8 노드(N8)에 연결되고, 드레인 전극은 상기 제7 노드(N7)에 연결되며, 소오스 전극에는 상기 오프전압(Voff)이 제공된다.
- [0079] 상기 4n-3 게이트 신호가 상기 제13 라이트 트랜지스터(RT13)로 제공되면, 상기 제7 노드(N7)에는 상기 오프전압(Voff)이 제공되고, 그 결과 상기 제9 라이트 트랜지스터(RT9)는 턴-오프 상태로 전환된다. 상기 제7 노드(N7)의 전위가 상기 오프전압(Voff)으로 다운되면, 상기 제14 라이트 트랜지스터(RT14)는 턴-오프 상태로 전환된다. 따라서, 상기 제8 노드(N8)에는 상기 제4 클럭(R-CKB)이 제공된다. 상기 제4 클럭(R-CKB)이 로우 레벨에서 하이 레벨로 전환되면, 상기 제8 노드(N8)에 연결된 상기 제15 라이트 트랜지스터(RT15)는 상기 제4 클럭(R-CKB)의 하이 레벨에 응답하여 상기 제7 노드(N7)의 전위를 상기 오프전압(Voff)으로 다운시킨다.
- [0080] 이와 같이, 상기 제1 클럭(L-CK)을 이용하여 상기 홀수번째 및 짝수번째 라이트 스테이지(S-R0, S-RE)를 제어함으로써, 상기 짝수번째 라이트 스테이지(S-RE)는 7개의 트랜지스터로 이루어질 수 있다. 따라서, 상기 제2 쉬프트 레지스터(120)를 구성하는 트랜지스터의 개수가 전체적으로 감소되고, 그 결과 상기 제2 쉬프트 레지스터(120)의 크기가 감소된다.
- [0081] 도 5는 도 1에 도시된 게이트 구동회로를 구비하는 액정표시장치의 평면도이다.
- [0082] 도 5를 참조하면, 액정표시장치(600)는 영상을 표시하는 표시패널(400), 상기 표시패널(400)을 구동하는 게이트 구동회로 및 데이터 구동칩(500)을 포함한다.
- [0083] 상기 표시패널(400)은 어레이 기관(200), 상기 어레이 기관(200)과 마주하는 컬러필터기관(300) 및 상기 어레이 기관(200)과 컬러필터기관(300)과의 사이에 개재된 액정층(미도시)으로 이루어진다. 이러한 구조를 갖는 상기 표시패널(400)은 표시영역(DA), 제1 및 제2 주변영역(PA1, PA2)으로 구분된다. 상기 제1 주변영역(PA1)은 상기 표시영역(DA)을 감싸는 영역이고, 상기 제2 주변영역(PA2)은 상기 제1 주변영역(PA1)에 인접한 영역이다.
- [0084] 상기 표시영역(DA)에 대응하여 상기 어레이 기관(200)에는 다수의 게이트 라인(GL4n-3, GL4n-2, GL4n-1, GL4n)과 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 상기 다수의 게이트 라인(GL4n-3, GL4n-2, GL4n-1, GL4n)은 상기 다수의 데이터 라인(DL1 ~ DLm)과 서로 절연되게 직교하고, 상기 다수의 게이트 라인(GL4n-3, GL4n-2, GL4n-1, GL4n)과 상기 다수의 데이터 라인(DL1 ~ DLm)이 교차된 영역에는 박막 트랜지스터(210)와 화소전극(미도시)이 구비된다. 상기 박막 트랜지스터(210)는 상기 게이트 라인과 데이터 라인에 전기적으로 연결되고, 상기 화소전극은 상기 박막 트랜지스터(210)의 드레인 전극에 전기적으로 연결된다.
- [0085] 상기 게이트 구동회로는 제1 및 제2 쉬프트 레지스터(110, 120)로 이루어진다. 상기 제1 쉬프트 레지스터(110)를 구성하는 대부분의 트랜지스터는 상기 제1 주변영역(PA1) 중 상기 다수의 게이트 라인(GL4n-3, GL4n-2, GL4n-1, GL4n)의 제1 단부에 인접한 영역에 구비되고, 상기 제2 쉬프트 레지스터(120)를 구성하는 대부분의 트랜지스터는 상기 제1 주변영역(PA1) 중 상기 다수의 게이트 라인(GL4n-3, GL4n-2, GL4n-1, GL4n)의 제2 단부에 인접한 영역에 구비된다.
- [0086] 외부로부터 제1 및 제2 클럭(L-CK, L-CKB)을 입력받는 제1 및 제2 클럭배선(CL1, CL3, 도 1에 도시됨)은 상기 제1 쉬프트 레지스터(110)에 인접하여 구비되고, 외부로부터 제3 및 제4 클럭(R-CK, R-CKB)을 입력받는 제3 및 제4 클럭배선(CL3, CL4)은 상기 제2 쉬프트 레지스터(120)에 인접하여 구비된다.
- [0087] 따라서, 상기 제1 쉬프트 레지스터(110)를 구성하는 트랜지스터들 중 상기 제3 클럭(R-CK)을 입력받는 제3 및 제10 라이트 트랜지스터(RT3, RT10)는 상기 제2 쉬프트 레지스터(120)에 인접하여 구비된다. 또한, 상기 제2 쉬프트 레지스터(120)를 구성하는 트랜지스터들 중 상기 제1 클럭(L-CK)을 입력받는 제3 및 제10 레프트 트랜지스터(LT3, LT10)는 상기 제1 쉬프트 레지스터(110)에 인접하여 구비된다.
- [0088] 상기 제1 쉬프트 레지스터(110)는 4n-3 및 4n-2 게이트 라인(GL4n-3, GL4n-2)에 4n-3 및 4n-2 게이트 신호를 각각 출력한다. 이후, 상기 제2 쉬프트 레지스터(120)는 4n-1 및 4n 게이트 라인(GL4n-1, GL4n)에 4n-1 및 4n 게이트 신호를 각각 출력한다. 이와 같이, 상기 제1 및 제2 쉬프트 레지스터(110, 120)는 2 라인 단위로 교번적으로 게이트 신호를 각각 출력함으로써, 다수의 게이트 라인을 구동시킨다.



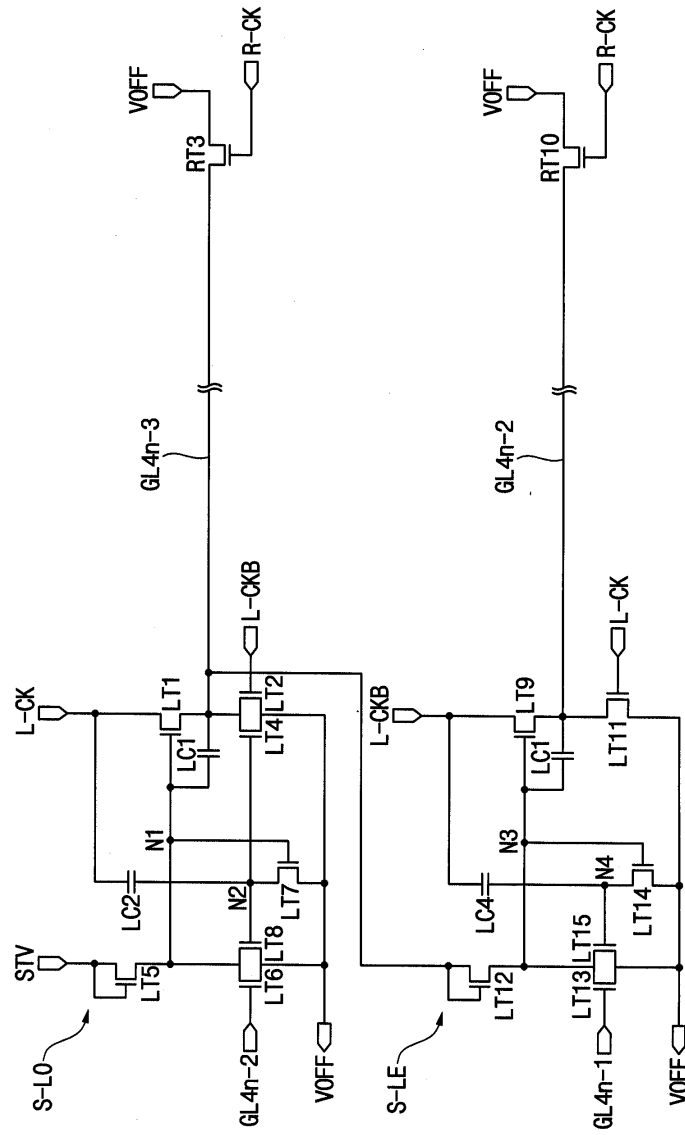


도면2

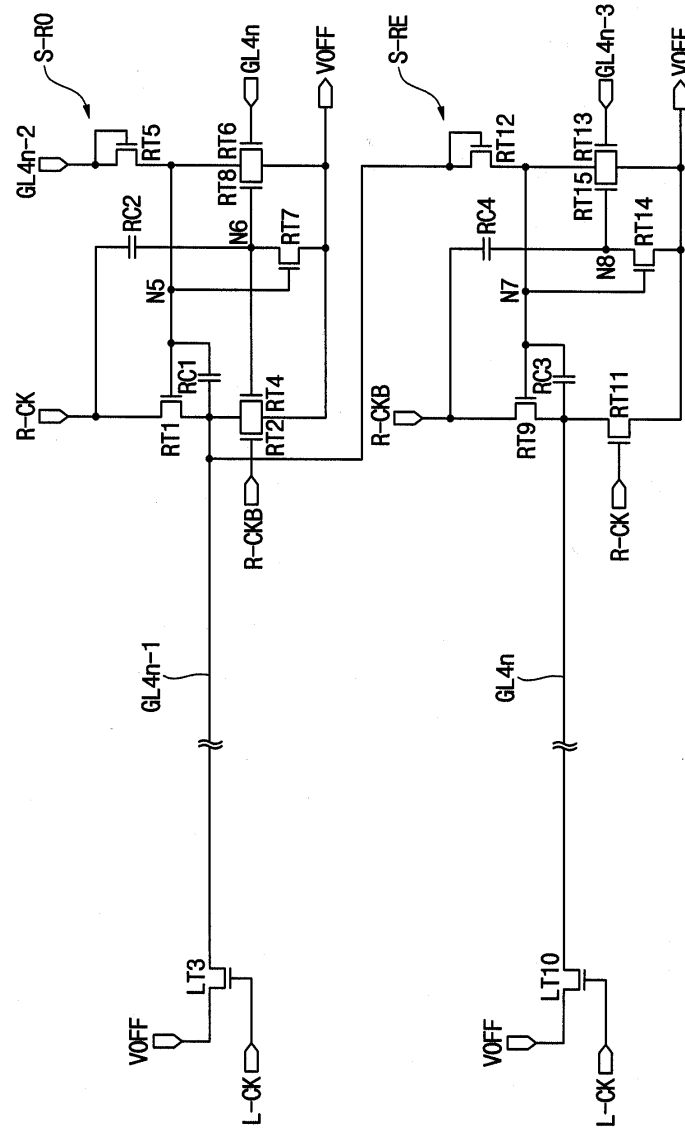




도면3



도면4



도면5

