

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 29/872 (2006.01)

H01L 29/06 (2006.01)

[21] 申请号 200480014851.6

[43] 公开日 2006年7月5日

[11] 公开号 CN 1799145A

[22] 申请日 2004.5.21

[21] 申请号 200480014851.6

[30] 优先权

[32] 2003.5.31 [33] GB [31] 0312512.7

[86] 国际申请 PCT/IB2004/001779 2004.5.21

[87] 国际公布 WO2004/107448 英 2004.12.9

[85] 进入国家阶段日期 2005.11.29

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 R·J·格罗维

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁永

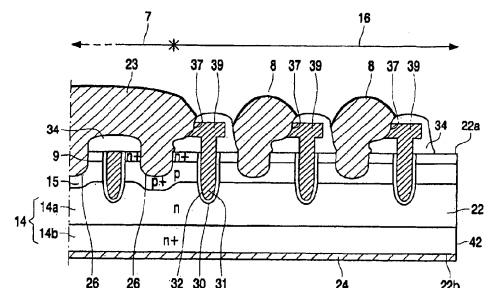
权利要求书 2 页 说明书 10 页 附图 6 页

[54] 发明名称

具有边缘终止结构的半导体器件及其制造方法

[57] 摘要

一种具有半导体本体(22)的半导体器件及其制造方法,包括有源区(7)和围绕有源区的终止结构(16)。本发明特别涉及在有源区中具有沟槽电极的这种器件的终止结构。所述终止结构包括多个串联连接的、并从有源区向半导体本体的外围边缘(42)延伸的横向沟槽栅极晶体管器件(2a到2d)。如此设置横向器件,使得跨越所述横向器件分布有源区和所述外围边缘之间的电压差。终止结构比较紧凑,且该结构的特征容易以与有源区的特征相同的工艺步骤形成。



1. 一种具有半导体本体 (22) 的半导体器件, 包括有源区 (7) 和围绕有源区的终止结构 (16), 所述终止结构包括多个串联连接的、
5 并从有源区向半导体本体的外围边缘 (42) 延伸的横向沟槽栅极晶体管器件 (2a 到 2d), 每个横向器件包括其中具有栅电极 (31) 的沟槽 (30), 所述栅电极通过栅极绝缘材料层 (32) 与半导体本体分离, 所述横向器件的沟槽、栅电极和栅极绝缘材料层以与有源区中器件的沟槽 (20)、其中的绝缘电极 (11) 和将绝缘电极绝缘的材料层 (25) 相同的各个工艺步骤而形成, 所述横向器件的栅电极 (31) 延伸穿过
10 第一导电类型区 (15), 并且部分穿过下面的第二相反导电类型区 (14a), 每个横向器件包括在它的栅电极 (31) 与更靠近有源区的横向器件一侧处的第一导电类型区 (15) 之间的导电连接 (8, 23), 以致跨越所述横向器件分布有源区和外围边缘之间的电压差。
2. 根据权利要求 1 所述的半导体器件, 其中有源区 (7) 包括具有
15 第一导电类型区 (15) 的器件, 其以与横向器件的第一导电类型区 (15) 相同的工艺步骤形成。
3. 根据权利要求 1 或权利要求 2 所述的半导体器件, 其中有源区器件的绝缘电极是沟槽栅极晶体管器件的栅电极 (11), 有源区器件的第一导电类型区形成了其沟道容纳区 (15)。
- 20 4. 根据权利要求 1 或权利要求 2 所述的半导体器件, 其中有源区器件的绝缘电极是肖特基整流器的沟槽电极 (60)。
5. 根据前面任何一个权利要求所述的半导体器件, 其中绝缘材料层 (32) 在横向器件 (2a 到 2d) 的沟槽 (30) 底部上方比在所述沟槽的至少一部分侧壁上方更厚。
- 25 6. 根据前面任何一个权利要求所述的半导体器件, 其中邻近横向器件每个栅极沟槽 (30) 底部的第二导电类型区 (14a) 的各个部分 (50) 的掺杂水平比所述第二导电类型区的其余部分的掺杂水平更高。
7. 根据前面任何一个权利要求所述的半导体器件, 其中半导体
30 本体 (22) 在本体的平面内为矩形, 连接 (8, 23) 朝向所述本体的一个或多个角设置。
8. 一种形成具有半导体本体 (22) 的半导体器件的方法, 包括

有源区(7)和围绕有源区的终止结构(16),所述终止结构包括多个串联连接的、并从有源区向半导体本体的外围边缘(42)延伸的横向沟槽栅极晶体管器件(2a到2d),每个横向器件包括其中具有栅电极(31)的沟槽(30),所述栅电极通过栅极绝缘材料层(32)与
5 半导体本体分离,所述横向器件的栅电极(31)延伸穿过第一导电类型区(15),并且部分穿过下面的第二相反导电类型区(14a),每个横向器件包括在它的栅电极(31)与更靠近有源区的横向器件一侧处的第一导电类型区(15)之间的导电连接(8,23),以致跨越所述横向器件分布有源区(7)和外围边缘(42)之间的电压差,所述方
10 法包括以与有源区(7)中器件的沟槽(20)、其中的绝缘电极(11)和将绝缘电极绝缘的材料层(25)相同的各个工艺步骤,来形成所述横向器件的沟槽(30)、栅电极(31)和栅极绝缘材料层(32)。

9. 根据权利要求8所述的方法,包括以与所述横向器件的第一导电类型区(15)相同的工艺步骤,形成有源区(7)的器件中的第
15 一导电类型区(15)。

具有边缘终止结构的半导体器件及其制造方法

技术领域

- 5 本发明涉及用于半导体器件例如绝缘栅场效应功率晶体管（通常称作“MOSFET”）、绝缘栅双极晶体管（通常称作“IGBT”）、或肖特基整流器的场终止（field termination）结构及其制造方法。

背景技术

- 10 半导体器件一般包括含有有源区的半导体本体，所述有源区其中具有有源结构阵列。本发明涉及在有源区具有沟槽电极结构的器件。为了避免在有源区周界处器件的过早击穿，通常必须包括围绕有源区的场终止结构，以避免产生过高的电场。本领域中公知的几种场终止结构例如为浮动场板和浮动场环。例如在 B. J. Baliga 1996 年的
15 “Power Semiconductor Devices” 第 81 到 113 页中讨论了这些结构，其内容在这里结合作为参考资料。

本发明寻找提供一种在有源区具有沟槽电极结构的器件的终止结构，同时将形成终止结构所需的额外工序最小化。

20 发明内容

- 本发明提供了一种具有半导体本体的半导体器件，包括有源区和围绕有源区的终止结构，所述终止结构包括多个串联连接的、并从有源区向半导体本体的外围边缘延伸的横向沟槽栅极晶体管器件，每个横向器件都包括其中具有栅电极的沟槽，所述栅电极通过栅极绝缘材
25 料层与半导体本体分离，所述横向器件的沟槽、栅电极和栅极绝缘材料层以与有源区中器件的沟槽、绝缘电极和将绝缘电极绝缘的材料层相同的各个工艺步骤形成，所述横向器件的栅电极延伸穿过第一导电类型区，并部分穿过下面的第二相反导电类型区，每个横向器件包括
30 在它的栅电极与更靠近有源区的横向器件一侧处的第一导电类型区之间的导电连接，以致跨越所述横向器件分布有源区和外围边缘之间的电压差。

因此依照本发明的半导体器件包括具有与器件有源区中的沟槽

电极结构相同工艺步骤形成的特征的紧凑终止结构，避免了需要额外处理来形成终止结构的这些特征。

5 以上面确定的方式排列横向器件，仅当跨过其的电压超过了其阈值电压时，每个横向器件将完全导通。因而所述终止结构可支持高达横向器件各个阈值电压总和的幅度的电压。使用时，在电压低于该界限时，每个横向器件传导可忽略的亚阈值电流，并降低跨过其施加的小于其阈值电压的总电压的一部分。因此施加的电压基本上均匀分布或被划分，避免了高的电场峰值。

10 优选地，有源区包括具有第一导电类型区的器件，其以与横向器件的第一导电类型区相同的工艺步骤形成。这样，可以以与有源区的特征相同的工艺步骤完成终止结构的其他特征。

在优选的实施方案中，有源区器件的绝缘电极是沟槽栅极晶体管器件的栅电极，有源区器件的第一导电类型区形成了其沟道容纳区。

15 在进一步的实施方案中，有源区器件的绝缘电极是肖特基整流器的沟槽电极。

绝缘材料层在横向器件的栅极沟槽底部上比在所述沟槽的至少一部分侧壁上更厚。这用于增加横向晶体管器件的阈值电压，如下面更详细讨论的，当导通时，其增加了跨过器件的电压降。

20 此外，邻近横向器件每个栅极沟槽底部的第二导电类型区的各个部分的掺杂水平比所述第二导电类型区的其余部分的掺杂水平更高。这也增加了横向晶体管器件的阈值电压，由此增加了跨过器件的电压降。

25 依次增加跨过上述每个横向器件所支持的电压，可增加终止结构的击穿电压，并可减小获得将被减小的指定击穿电压所需的横向器件的数量，由此进一步减小了终止结构所需的面积。

特别地，半导体本体在本体的平面内为矩形。为了将终止结构占据的面积最小化，连接部分向着所述本体的一个或多个角设置。然后局部增加相邻横向晶体管之间的间隔，以仅在所述一个或多个角中容纳所述连接部。

30 本发明还提供了一种形成具有半导体本体的半导体器件的方法，包括有源区和围绕有源区的终止结构，所述终止结构包括多个串联连接的、并从有源区向半导体本体的外围边缘延伸的横向沟槽栅极

晶体管器件，每个横向器件都包括其中具有栅电极的沟槽，所述栅电极通过栅极绝缘材料层与半导体本体分离，所述横向器件的栅电极延伸穿过第一导电类型区，并部分穿过下面的第二相反导电类型区，每个横向器件包括在它的栅电极与更靠近有源区的横向器件一侧处的第一导电类型区之间的导电连接，以致跨越所述横向器件分布有源区和外围边缘之间的电压差，所述方法包括以与有源区中器件的沟槽、其中的绝缘电极和将绝缘电极绝缘的材料层相同的各个工艺步骤，形成所述横向器件的沟槽、栅电极和栅极绝缘材料层。

在优选的实施方案中，所述方法包括以与所述横向器件第一导电类型区相同的工艺步骤，来形成在有源区的器件中的第一导电类型区。

此外，如下面所述以与有源区的特征相同的工序制作终止结构的其他特征，避免了需要额外专门的工序。

附图说明

现在将通过实施例并参照示意性附图描述本发明的实施方案，其中：

图 1 显示了在依照本发明的终止结构中连接在一起的晶体管器件的电路图；

图 2 显示了依照本发明实施方案的半导体器件的有源区和终止结构的横截面图；

图 3 显示了图 2 半导体器件的角部分的有源区和终止结构的横截面图；

图 4 显示了依照本发明另一个实施方案的半导体器件的有源区和终止结构的横截面图；

图 5 和 6 显示了在图 4 半导体器件的可替换结构中的角部分的有源区和终止结构的横截面图；

图 7 和 8 显示了依照本发明实施方案的半导体器件的有源区和终止结构的一部分的平面图；以及

图 9 到 11 显示了依照本发明另一个实施方案的半导体器件的有源区和终止结构的横截面图。

具体实施方式

应当注意附图是概略性的，并没有按照比例绘制。在附图中为了清楚和方便起见，在尺寸上放大或缩小显示了这些图的部分的相对尺寸和比例。在修改的和不同的实施方案中，相同的参考标记一般用于指相应或相似的特征。

图 1 显示了在依照本发明实施方案的半导体器件的终止结构中使用的串联在一起的 p 沟道 MOSFET 2a 到 2d 的串。通过例子的方式显示了四个 MOSFET，但应当理解到，根据跨过 MOSFET 支持的电压，可以使用不同数量的器件。在随后的横截面图中，为了清楚起见，在终止结构中只显示了三个横向器件。

每个 MOSFET 的栅电极 4 都通过连接件 8 与它的漏电极 6 相连。在所述串中的第一 MOSFET 2a 的源电极 10 连接到所述串中的下一个 MOSFET 2b 的漏电极，并沿着串如此连接。MOSFET 具有公共体区，且它们的体端 12 显示为连接在一起。

在终止结构中，所述串的一端，即第一 MOSFET 2a 的漏电极连接到半导体器件的第一主电极，所述串的另一端，即最后一个 MOSFET 2d 的源电极 10 连接到半导体器件的第二主电极的电位。

利用以所述方式连接在一起的图 1 的 MOSFET，在刚刚开始传导电流的点时跨过每个 MOSFET 的电压等于各个 MOSFET 的阈值电压。因而，每个器件都支持跨过其上的电压高达其阈值电压的最大值。跨过 MOSFET 串施加的电位跨过 MOSFET 被划分，大致均匀地分布相关的电场，由此避免了任何导致过早击穿的场集中。

图 2 中显示了使用本发明的半导体器件的横截面图。横截面垂直于半导体本体（典型由单晶硅形成）的平面。在图的左侧显示了器件的有源区 7，在右侧显示了终止结构 16。举例来说，所示的有源区包括沟槽栅极晶体管单元。在半导体本体 22 中，第一导电类型（在该实施例中为 n 型）的各个源区和漏区 9 和 14 通过相反的第二导电类型（在该实施例中为 p 型）的沟道容纳区 15 分隔。在沟槽 20 中存在一般由 n 型多晶硅形成的栅电极 11，所述沟槽 20 通过区 9 和 15 延伸进入漏区 14 的下面部分。栅电极通过栅极绝缘材料层 25 与半导体本体分离。在器件的导通状态时施加到栅电极 11 的电压信号以公知的方式用于感应区 15 中的导电沟道 17，并用于控制在源区和漏区 9

和 14 之间的该导电沟道 17 中流动的电流。

源区 9 通过半导体器件的第一主电极接触，在该实施例中具体化为源电极 23。在器件本体的顶部主表面 22a 处实现该接触。所示的例子包括器件本体接触的“壕沟 (moated)”源极，其中穿过源区 9 5 蚀刻凹槽 26，从而能在源电极 23 和沟道容纳区 15 之间直接接触。这种结构能减小器件制造工序的掩模数量，因为不需要掩模来构图源区的注入。在 EP-A-0889511 中公开了制造具有图 2 有源区 7 中所示的沟槽栅极的方法的例子，其内容在这里结合作为参考资料。

举例来说，图 2 显示了垂直器件结构，其中区 14 包括在高导电性 (n^+) 的衬底区 14b 上的由高电阻率 (n^- , 低掺杂) 的外延层形成的漏极漂移区 14a。该衬底区 14b 可以是与区 14a 相同的导电类型(该例子中为 n 型)，从而提供垂直 MOSFET，或其可以是相反的导电类型 (该例子中为 p 型)，从而提供垂直 IGBT。衬底区 14b 在器件本体的底部主表面 22b 处通过半导体器件的第二主电极 24 接触，在 15 MOSFET 情形中称作漏电极，在 IGBT 情形中称作阳极电极。

图 2 中所示的终止结构包括串联连接的横向沟槽栅极晶体管单元。每个横向器件都包括沟槽 30，其中具有通过栅极绝缘材料层 32 而与半导体本体 22 分离的栅电极 31。绝缘帽 34 (例如由 TEOS 形成) 在半导体本体的顶部主表面 22a (限制为有源区中的沟槽 26 之间的表面) 上延伸。在导通状态中，沟道 35 形成在 n 型区 14a 中，并在 20 沟槽 30 任一侧上的 p 型区 15 之间延伸。更靠近有源区的横向器件一侧上的 p 型区形成了横向器件的漏极，在相反侧上的 p 型区形成了其源极。在所示的例子中，沟道 35 将由 p 型电荷载流子形成。

邻近有源区的横向器件的漏区与源电极 23 相连。最外面的横向 25 器件的源区可以通过在从晶片中切割半导体本体 22 时形成的外围边缘 42 的粗糙表面而缩短为漏电极 24。可选择地，区 15 通过在半导体本体表面上延伸的附加导电连接件而连接到漏电极 24。

在图 2 中可以看出，终止结构的沟槽 30、栅极绝缘材料层 32 和栅电极 31 特征在结构上与有源区的沟槽 20、栅极绝缘材料层 25 和 30 栅电极 11 对应。它们可以用与相应源区特征相同的工艺步骤来有效地制造，避免了需要额外的步骤来形成终止结构的这些元件。

图 2 中示出了形成有源区 7 中器件的源区的高掺杂第一导电类型

区 9, 穿过终止结构 16 延续。可选择地, 可以在注入过程中掩蔽终止结构区从而形成该区。在图 2 的实施方案中, 其为覆盖注入, 因此掩蔽终止结构区将需要附加的掩模。

5 如图 1 中所示, 终止结构中的横向晶体管的栅电极通过连接件 8 缩短为各自的漏区。图 3 中示出了该方面的实施方案。显示了图 2 半导体器件不同部分的有源区和终止结构的横截面图。如下所述, 该部分可向着半导体本体的角部设置。

10 存在于图 2 中所示的有源区的沟槽之间的凹槽 26 也存在于图 3 中所示的终止结构部分中, 从而便于在半导体本体的表面处连接到 n 型区 9 下面的 p 型区 15。一般地, 当蚀刻凹槽时, 绝缘帽 34 用作有源层中的掩模。方便地, 帽 34 可以在终止结构中同时与有源区的那些同时进行适当地构图, 且凹槽 26 可以以与有源区中的那些相同的工艺步骤在终止结构中进行蚀刻。类似地, 在下面讨论的另一个实施方案中, 以与有源区和终止结构中相同的工艺步骤定义帽 34。

15 每个横向晶体管 (除了最接近有源区的横向晶体管以外) 都设置有导电材料的连接件 8, 其在栅电极 31 与更靠近有源区 7 的晶体管一侧处的 p 型区 15 之间形成电连接。连接件在凹槽 26 侧壁处与 p 型区接触。在图 3 所示实施方案中, 为了便于连接到栅电极, 栅电极材料延伸到沟槽 30 外面, 且暴露该延伸 39 的表面 37, 以与连接件 8
20 接触。在最靠近有源区的横向晶体管的情形中, 通过源电极 23 将栅极延伸 39 电连接到更靠近有源区 7 的晶体管一侧的 p 型区 15。

例如通过在回蚀刻栅电极材料与沟槽顶部齐平的过程中, 在沉积栅电极材料从而填充栅极沟槽并覆盖在绝缘帽 34 上之后, 掩蔽栅电极材料而形成延伸 39。

25 为了避免需要额外专门的工艺步骤, 在该实施方案和下面讨论的实施方案中, 连接件 8 可以以与源电极相同的工艺步骤形成在终止结构中。

30 图 4 显示了与图 2 相似的横截面, 但采取了其中使用单独的掩蔽注入步骤来确定器件有源区中的源区 9 的实施方案, 所以不存在图 2 的凹槽 26。

图 5 和 6 图示了在图 4 所述实施方案中的栅电极与 p 型区 15 之间形成连接的方式。与图 3 中所示结构类似, 在图 5 中, 栅电极材料

在形成延伸 39 的终止结构中的沟槽 30 上方延伸。连接件 8 与该延伸接触，并在半导体本体的顶部主表面 22a 处与 p 型区 15 连接。如图 3 中，在最内部的横向晶体管的情形中，它的栅电极通过源电极 23 电连接到 p 型区 15。

5 在图 6 的实施方案中，通过将每个栅电极上方的绝缘帽 34 横向偏移离开有源区 7，以暴露与连接件 8 接触的一部分栅电极（或在最内部横向晶体管的情形中为源电极 23），从而避免了需要将横向器件的栅电极 31 延伸越过相应的沟槽。

10 通过在大部分该结构中具有紧密的沟槽间隔，并仅增加与图 3、5 和 6 相关的必须用于允许连接件 8 处的间隔，可将终止结构所占据的面积最小化。例如，如图 7 和 8 示意性所示，连接件可以位于半导体本体的一个角中，邻近半导体本体外围边缘 42。可选择地，连接件可分布在半导体本体的两个或多个角之间。为了说明目的，图 7 和 8 中没有示出覆盖延伸 39 和沟槽 30 的特征。在这些例子中，五个和
15 六个条形几何形状的沟槽 30 分别围绕图 7 和 8 结构中的终止结构 16 中的有源区 7。有源区 7 的沟槽 20 也具有条形几何形状，应当理解，其它几何形状也可用于有源区，例如方形或封闭的六边形几何形。

在图 2 中所示器件的例子中（下面称作“例子 1”），终止结构 16 中横向器件的间距为 2.4 微米，沟槽宽度为 0.5 微米。栅极绝缘
20 层 25 是 40 nm 的二氧化硅层，n 型区 14a 具有每 $\text{cm}^3 1 \times 10^{16}$ 个磷或砷原子的掺杂水平，p 型区具有每 $\text{cm}^3 1 \times 10^{17}$ 个硼原子的掺杂水平，栅电极由具有每 $\text{cm}^3 1 \times 10^{19}$ 个磷原子掺杂水平的 n 型多晶硅形成。在该例子中，临近器件外围边缘 42 的晶体管具有大约 2.3V 的阈值电压。因此在该电压下（或稍微高于该电压）开始导通，并将该电压传输给
25 邻近的横向器件的源极。因此在其源极和区 14a 之间具有背偏置，将其阈值电压稍微提高到大约 2.7V，并沿着横向器件的串如此进行。对于 12 个器件的串，终止结构将具有大约 35V 或更大的击穿电压。由于横向器件的间距为 2.4 微米，仅需要 28.8 微米来容纳终止结构。

30 为了容纳图 3、5 和 6 中所示的连接件 8，横向器件的间距可以局部增加到例如大约 15 微米。

通过相对于至少一部分沟槽的侧壁来增加栅电极沟槽 30 底部处的绝缘层 32 的厚度，可增加终止结构的横向晶体管的栅极阈值电

压。图 9 的实施方案中示出了这一点。这增加了跨过每个横向晶体管所支持的电压，并能减少横向晶体管沟槽的数量，由此减小了被终止结构占据的面积。在有源区中沟槽 20 的底部处当然可以包括较厚的绝缘层，其可以减小有源区晶体管的栅极漏极电容，减小了在这些器件中的开关功率损耗水平。因而，在相同的工艺步骤中，有源区和终止结构中的沟槽底部处可以包括较厚的绝缘层。可使用各种方法来在沟槽底部处产生较厚的绝缘层。US-A-4992390 中公开了这些例子，其内容在这里结合作为参考资料。

例如，在沟槽底部处将绝缘层的厚度增加到 100 nm（在沟槽侧壁上厚度为 40 nm，器件其他方面具有与上面例子 1 相同的参数），将最外侧器件的阈值电压增加到大约 3V，等等。在该情形中，仅仅 7 个器件的串就获得了大约 40V 或更高的击穿电压。

图 10 中图示了另一个增加终止结构的横向晶体管的栅极阈值电压的技术。在该方案中，将第一导电类型的掺杂剂（在该例子中为 n 型掺杂剂，例如磷或砷）注入沟槽的底部中，从而形成邻近每个横向器件的栅极沟槽底部的注入区 50。例如，在区 50 中每 $\text{cm}^2 3 \times 10^{12}$ 个原子的剂量（器件其他方面具有与上面的例子 1 相同的参数）将上述第一个例子中的最外侧器件的阈值电压从 2.3V 增加到大约 5.6V，等等。因此 6 个这样器件的串将表现出大约 35V 的击穿电压。

例如，如 EP-A-1041640 中所述，结合较深的沟道容纳区，在有源区中邻近栅极沟槽底部处也包括这种第一导电类型注入区 50 是有利的。EP-A-1041640 的内容在这里结合作为参考。在该实施方案中，在相同工艺步骤中，在有源区和终止结构中可以有效地形成区 50。沟道容纳区比沟槽延伸得更深，但被沟槽下面的区 50 过掺杂。这种结合导致了沟道容纳区的深度与邻近所述沟槽的沟槽的深度自对准。精确控制该参数能减小有源区中的栅极漏极电容，因此减小开关损耗。区 50 在有源区中也用于局部增加导电性，抵消由于在栅极沟槽下面的电流拥挤而造成的损耗。

如图 2 到 6、9 和 10 中所示，在邻近顶部主表面 22a 的源区 9 之间的沟道容纳区 15 中可以包括 p 型区 36，其比沟道容纳区 15 更高地进行掺杂。通过适当掩模窗口的注入形成这些区。这些区以公知的方式用于在沟道容纳区 15 与源电极 23 之间提供良好的接触。在终止

结构中也可以包括这些区，以改善区 15 与连接件 8 之间的接触。区 36 也可以比有源区和/或终止结构中的沟道容纳区 15 延伸得更深，从而减小接近相邻沟槽底部处的电场。

应当理解到，本发明的终止结构也可以有利地应用在除图 2 到 10 5 5 中所示器件以外的其他在有源区中具有沟槽电极的器件中。例如，在有源区中具有沟槽肖特基整流器的器件中使用这种终止结构是有利的。图 11 中显示了这种形式的实施方案。例如在 US-A-4646115 (我们的参考号为 PHB33047) 和 US-A-5612567 中描述了这种整流器，其内容在这里结合作为参考资料。

10 如图 11 中所示，阳极电极 60 在半导体本体的顶部主表面 22a 上延伸并进入有源区 7 中的沟槽 62。所述阳极电极通过绝缘层 64 与沟槽 62 的壁和底部分离。在表面 22a 处与第一导电类型 (该例子中为 n 型掺杂剂) 的漂移区 66 形成了肖特基势垒整流结。在该实施方案中，漂移区 66 下面的第一导电类型的更高掺杂区 68 形成了阴极区，15 其通过阴极电极 70 在底部主表面 22b 处接触。

应当理解到，在上面的例子中涉及特定导电类型之处，与所述导电类型相反的导电类型也在本发明的范围内，例如 p 型取代 n 型，反之亦然。在附图描述的例子中，有源器件为 n 沟道器件，其中区 9 和 14 为 n 型导电性，区 15 为 p 型，电子反转沟道 17 在区 15 中由栅电20 极 11 感应出。通过使用相反导电类型的掺杂剂，这些器件可以改为 p 沟道器件。在该情形中，区 9 和 14 为 p 型导电性，区 15 为 n 型，空穴反转沟道 17 在区 15 中由栅电极 11 感应出。此外，在该实施方案中，在终止结构中感应出的沟道 35 是在 p 型区 14a 中的电子反转沟道。

25 通过阅读本说明书，其他改变和修改对于本领域中的熟练技术人员来说是显而易见的。这种改变和修改涉及本领域中已经公知的等价物和其他特征，其可以代替这里已经描述过的特征，或另外使用这里描述过的特征。

30 尽管该申请中已经对于特征的特定组合阐明了权利要求，但应当理解，本发明公开的范围也包括任何这里明确或隐含公开的或任何其普遍的新颖性特征或特征的任何新颖性组合，不管其是否涉及与任何权利要求中目前所要求的相同的发明，且不管其是否减轻了与本发明

相同的任何或全部的技术问题。

- 在单个实施方案的内容中描述的特征也可以在单个实施方案中结合提供。相反，在单个实施方案的内容中为了简短而描述的各种特征也可以单独或以任何合适的子组合来提供。由此申请人提出注意，
- 5 在本申请或从其演变的任何进一步申请中的诉讼过程中，对于这种特征和/或这种特征的组合，可以表述新的权利要求。

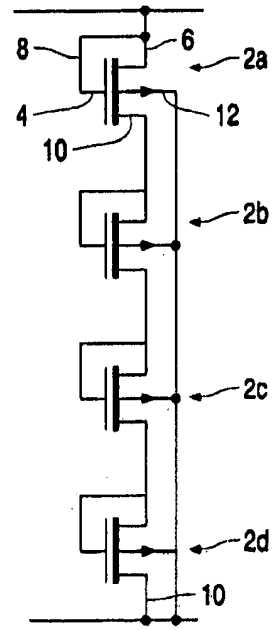


图 1

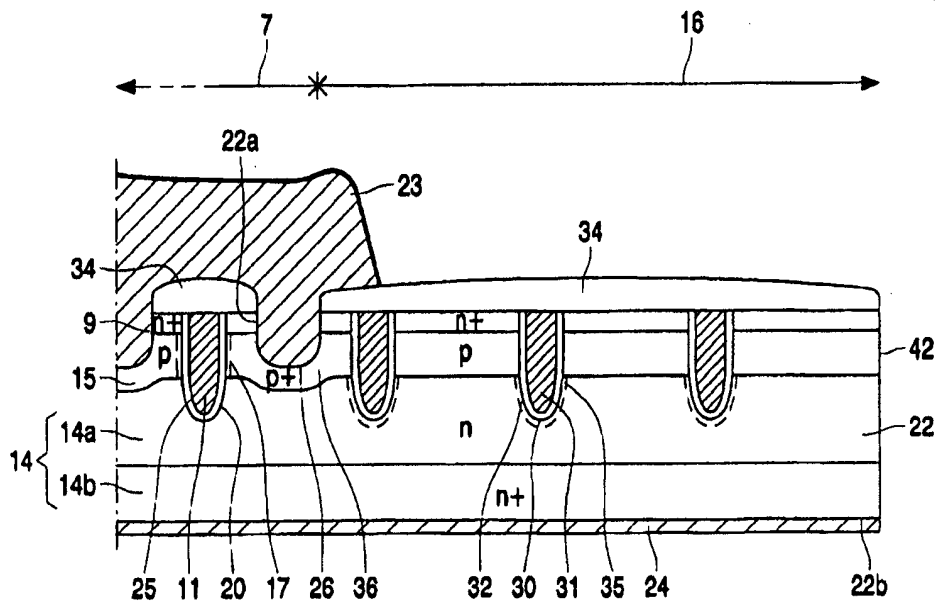


图 2

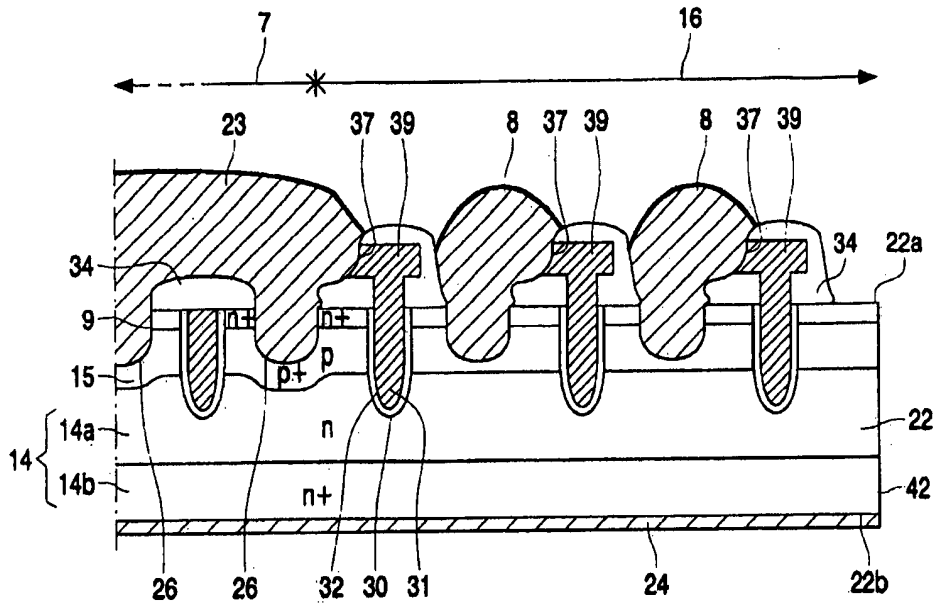


图 3

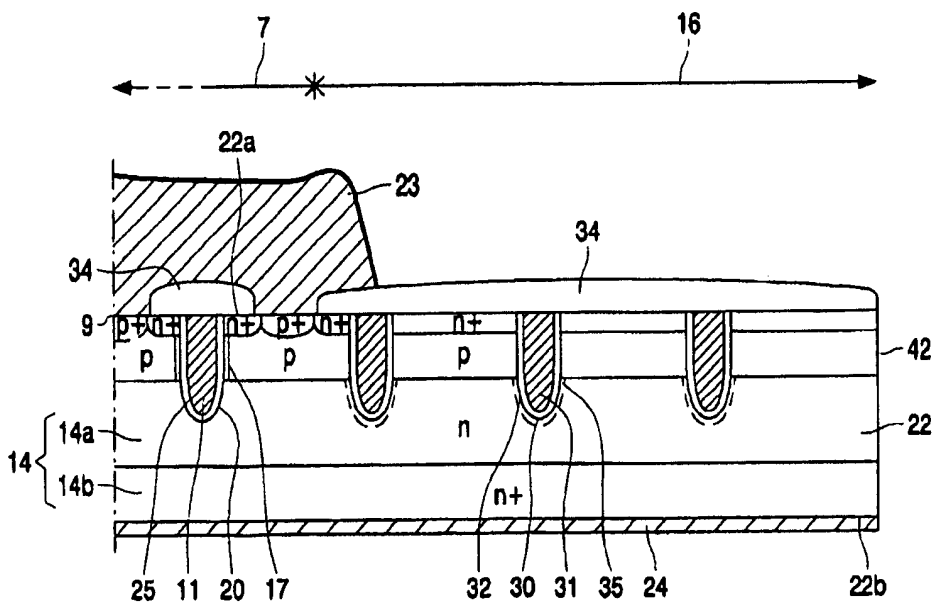


图 4

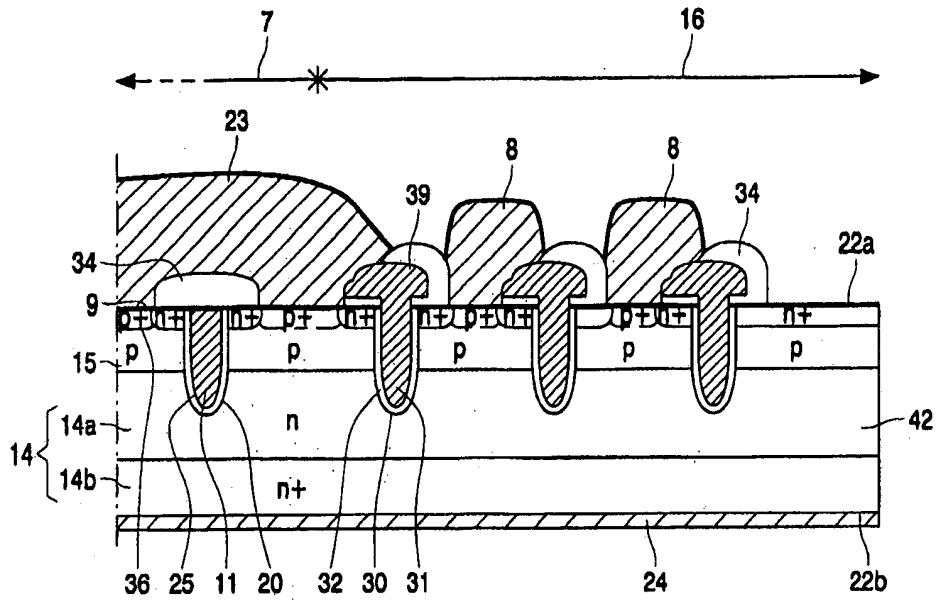


图 5

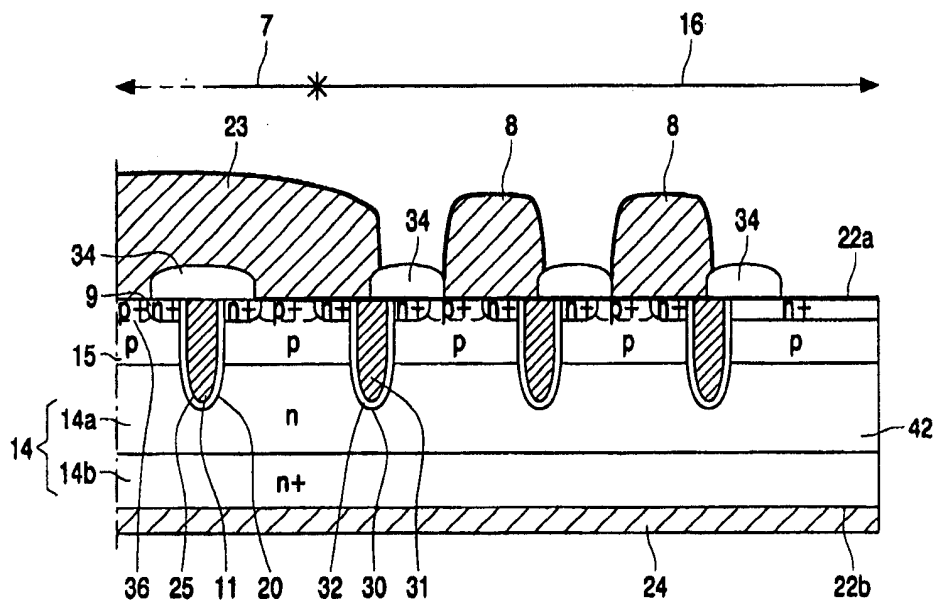


图 6

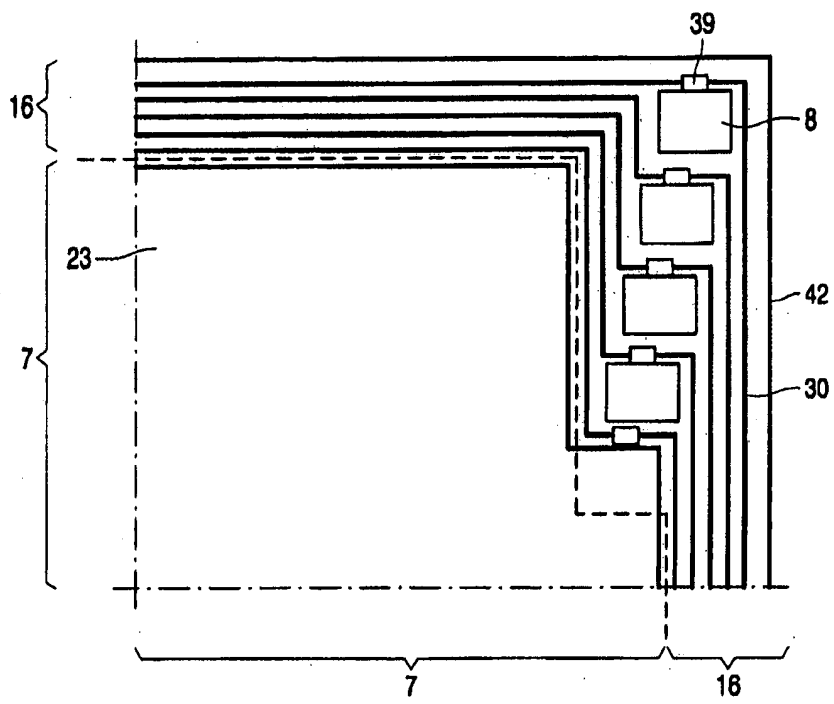


图 7

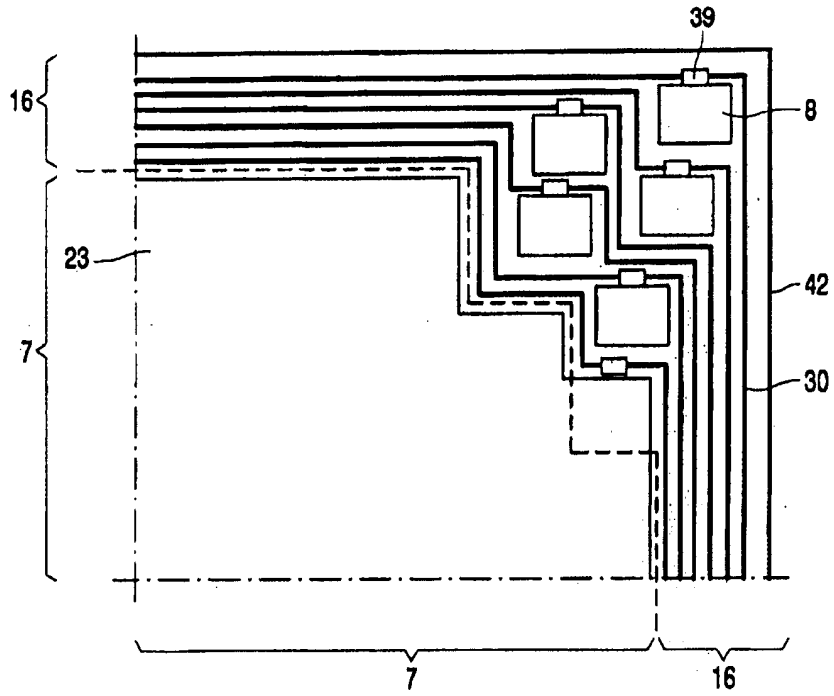


图 8

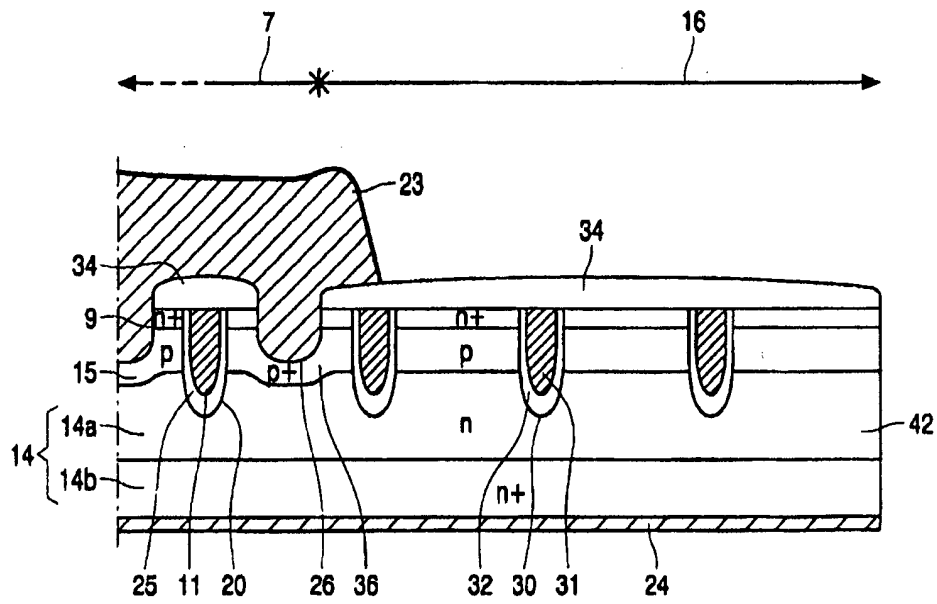


图 9

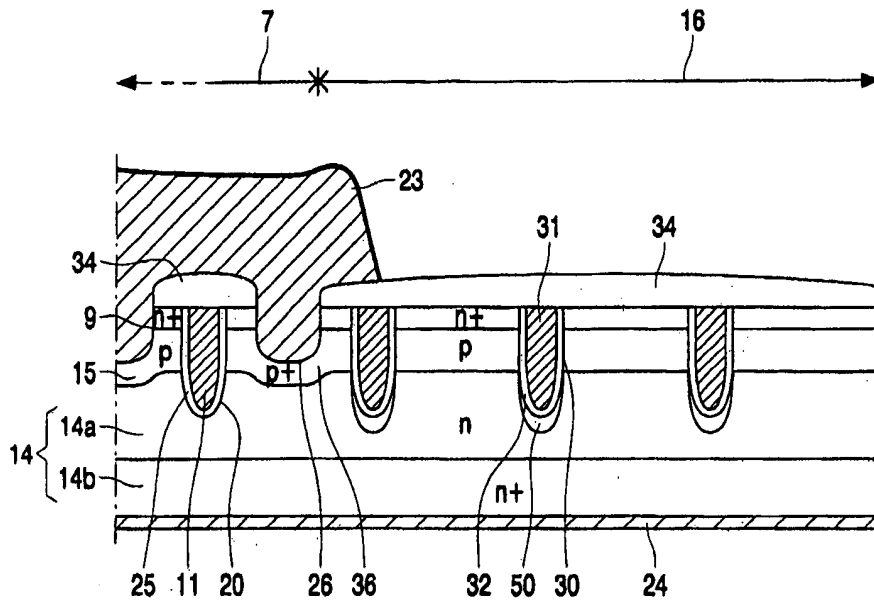


图 10

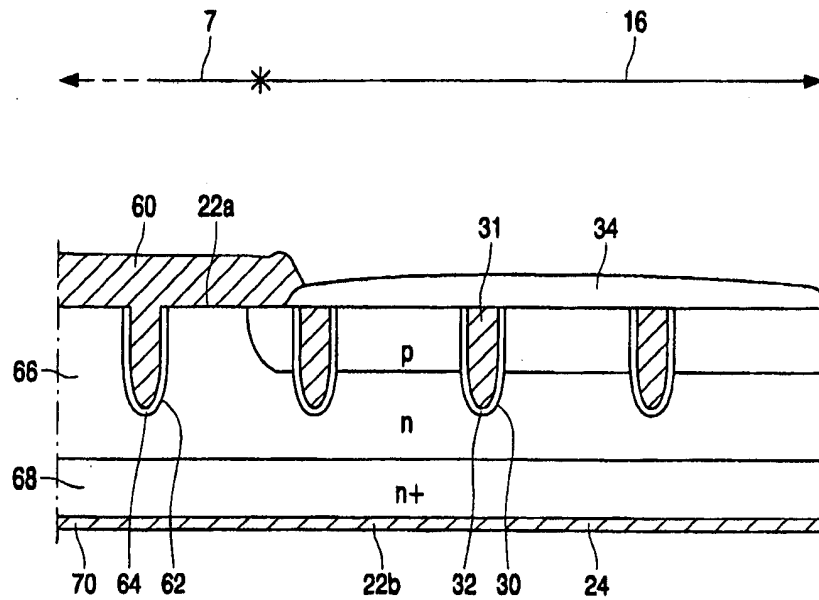


图 11