



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월31일
 (11) 등록번호 10-1004513
 (24) 등록일자 2010년12월21일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2003-0066568
 (22) 출원일자 2003년09월25일
 심사청구일자 2008년06월19일
 (65) 공개번호 10-2005-0030343
 (43) 공개일자 2005년03월30일
 (56) 선행기술조사문헌
 KR1020000047051 A*
 KR1020030070653 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
복철규
 서울특별시서대문구홍은3동7/1204-8
문승찬
 경기도용인시수지구읍풍덕천동1024-1
 (74) 대리인
특허법인태평양, 이정훈

전체 청구항 수 : 총 6 항

심사관 : 김상걸

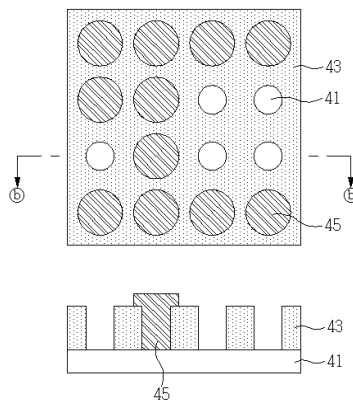
(54) 반도체소자의 콘택홀 형성방법

(57) 요약

본 발명은 반도체소자의 콘택홀 형성방법에 관한 것으로, 패턴 밀도에 따른 콘택홀의 균일성을 향상시킬 수 있도록 하기 위하여,

예정된 콘택영역을 중심으로 일정한 크기 및 간격으로 형성되는 더미 콘택영역이 설계된 노광마스크를 이용하여 제1감광막패턴을 형성하고 상기 제1감광막패턴을 플로우시켜 상기 예정된 콘택영역 및 더미 콘택영역의 크기를 균일하게 감소시킨 다음, 후속 공정으로 상기 더미 콘택영역을 도포하며 상기 예정된 콘택영역을 노출시키는 제2감광막패턴을 형성함으로써 공정을 단순화시켜 패턴 밀도와 관계없이 균일한 크기로 감소된 콘택홀을 형성할 수 있으므로 반도체소자의 생산비용을 감소시키고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키며 반도체소자의 고집적화를 가능하게 하는 기술이다.

대표도 - 도6



특허청구의 범위

청구항 1

피식각층이 구비되는 반도체기판 상에 균일한 크기 및 간격으로 배열된 복수개의 콘택영역과 더미 콘택영역을 정의하는 제1감광막패턴을 형성하는 공정과,

상기 제1감광막패턴을 플로우 베이킹하여 상기 콘택영역과 상기 더미 콘택영역의 크기를 감소시키는 공정과,

상기 더미 콘택영역을 매립하는 제2감광막패턴을 형성하는 공정을 포함하는 반도체소자의 콘택홀 형성방법.

청구항 2

제 1 항에 있어서,

상기 제1감광막패턴은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 15 ~ 25 mJ/cm^2 의 에너지로 노광한 다음, TMAH 알카리 용액을 이용하여 현상해 형성하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

청구항 3

제 1 항에 있어서,

상기 제1감광막패턴의 플로우 베이킹 공정은 130 ~ 150 $^{\circ}\text{C}$ 온도의 핫 플레이트 상에서 85 ~ 95 초 동안 실시하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

청구항 4

제 1 항에 있어서,

상기 제2 감광막패턴은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 100 ~ 130 $^{\circ}\text{C}$ 온도의 핫 플레이트상에서 85 ~ 95 초 동안 베이킹 하여 형성하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

청구항 5

제 1 항에 있어서,

상기 제2감광막패턴은 10 mJ/cm^2 이하의 에너지로 노광하고, TMAH 알카리 용액으로 현상하여 형성하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

청구항 6

제 1 항에 있어서,

상기 제1감광막패턴과 제2감광막패턴은 감광도 차이 또는 파장 차이를 갖는 감광막으로 형성하는 것을 특징으로 하는 반도체소자의 콘택홀 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 반도체소자의 콘택홀 형성방법에 관한 것으로, 반도체소자의 고집적화에 충분한 콘택홀 크기를 형성할 수 있도록 감광막의 플로우 공정을 사용하는 기술에 관한 것이다.
- [0013] 종래기술에 따른 감광막 플로우 공정 (resist flow process) 공정은 콘택홀의 해상도를 향상시킬 수 있는 효과적인 방법이지만, 마스크 상에 콘택홀이 규칙적으로 배치되어 있어야 하는 제약이 있었다.
- [0014] 도 1, 도 2 및 도 3a 내지 도 3e 는 종래기술에 따른 반도체소자의 콘택홀 형성방법을 도시한 것이다.
- [0015] 도 1 은 피식각층(도시안됨)이 구비되는 반도체기판(11) 상에 콘택홀용 감광막(13)패턴을 형성한 것을 도시한

평면도 및 단면도이다.

- [0016] 이때, 상기 콘택홀 영역이 일정한 간격이 구비되지 않은 것을 예로하여 형성한 것이다.
- [0017] 도 2 는 상기 도 1 의 공정후에 상기 감광막(13)패턴을 플로우시킨 것을 도시한 평면도 및 단면도로서, 독립된 콘택홀 영역은 밀집된 부분의 콘택홀 영역보다 더 좁은 크기로 콘택홀이 구비된다.
- [0018] 도 3a 내지 도 3e는 상기 도 1 의 ㉔-㉔ 절단면에 따른 반도체소자의 콘택홀 형성방법을 도시한 단면도로서, 하나의 콘택홀 영역만을 도시한 것이다.
- [0019] 도 3a 및 도 3b 를 참조하면, 피식각층(도시안됨)이 구비되는 반도체기판(11) 상에 감광막(13)을 도포한다. 이때, 상기 감광막(13)은 0.2 ~ 0.5 μm 두께로 형성하고 90 ~ 110 $^{\circ}\text{C}$ 온도의 핫 플레이트 (hot plate)에서 90 초 동안 열처리하여 상기 감광막(13)내부의 솔벤트 (solvent)를 제거한다.
- [0020] 그리고, 석영기판(15) 상에 차광패턴(17)으로 형성된 콘택용 노광마스크를 이용하여 5 ~ 50 mJ/cm^2 의 에너지로 상기 감광막(13)을 노광시켜 노광된 영역(19)을 형성한다.
- [0021] 도 3c를 참조하면, 상기 감광막(13)패턴을 PEB (post expose bake) 공정으로 경화시켜 경화된 감광막패턴(21)을 형성한다. 이때, 상기 PEB 공정은 핫 플레이트 상에서 90 ~ 130 $^{\circ}\text{C}$ 온도에서 85 ~ 95 초 동안 실시한 것이다.
- [0022] 도 3d를 참조하면, 상기 알칼리 용액을 이용하여 상기 노광된 영역(19)을 현상하여 ㉕ 의 크기를 갖는 콘택용 감광막(13)패턴을 형성한다.
- [0023] 도 3e를 참조하면, 120 ~ 150 $^{\circ}\text{C}$ 의 온도에서 플로우 베이킹 (flow bake) 공정을 실시하여 상기 ㉕보다 작은 ㉖의 크기로 콘택용 감광막(13)패턴이 형성된다.
- [0024] 상기한 바와 같이 종래기술에 따른 반도체소자의 콘택홀 형성방법은, 패턴 밀도 차이에 따라 도 2 와 같이 패턴밀도에 따라 콘택홀 크기가 달라지다는 문제점이 있다. 이러한 문제점을 해결하기 위해 유사한 패턴 밀도를 갖는 콘택홀들을 모아 별개의 마스크로 구성함으로써 감광막 플로우 공정에 적합하도록 하는 방법이 제안되었다. 그러나, 이러한 방법은 마스크의 수가 증가되고 그에 따른 후속 공정이 추가되어 공정이 복잡해지고 공정의 신뢰성이 저하되며 생산비용이 증가되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0025] 본 발명은 이러한 종래기술의 문제점을 해결하기 위하여, 반도체기판 전면에서 콘택홀을 형성할 수 있도록 디자인된 노광마스크를 이용하여 균일한 크기의 콘택용 제1감광막패턴을 형성하고 플로우 베이킹 공정을 실시한 다음, 후속 공정으로 필요한 부분만 남기고 다른 더미 콘택영역은 제2감광막으로 도포하여 반도체소자의 고집적화에 충분한 크기로 콘택홀을 형성할 수 있도록 함으로써 공정을 단순화시키고 그에 따른 생산비용을 절감할 수 있어 반도체소자의 특성 및 신뢰성을 향상시키는 반도체소자의 콘택홀 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0026] 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 콘택홀 형성방법은,
- [0027] 피식각층이 구비되는 반도체기판 상에 균일한 크기 및 간격으로 배열된 복수개의 개구부를 구비한 콘택용 제1감광막패턴을 형성하는 공정과,
- [0028] 상기 제1감광막패턴을 플로우 베이킹하여 상기 개구부의 크기를 감소시키는 공정과,
- [0029] 상기 예정된 콘택영역 이외의 영역을 매립하는 제2감광막패턴을 형성하는 공정을 포함하는 것과,
- [0030] 상기 제1감광막패턴은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 15 ~ 25 mJ/cm^2 의 에너지로 노광한 다음, TMAH 알칼리 용액을 이용하여 현상해 형성하는 것과,
- [0031] 상기 제1감광막패턴의 플로우 베이킹 공정은 130 ~ 150 $^{\circ}\text{C}$ 온도의 핫 플레이트 상에서 85 ~ 95 초 동안 실시하는 것과,
- [0032] 상기 제2 감광막패턴은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 100 ~ 130 $^{\circ}\text{C}$ 온도의 핫 플레이트상에서 85 ~ 95 초 동안 베이킹 하여 형성하는 것과,

- [0033] 상기 제2감광막패턴은 10 mJ/cm² 이하의 에너지로 노광하고, TMAH 알카리 용액으로 현상하여 형성하는 것과,
- [0034] 상기 제1감광막패턴과 제2감광막패턴은 감광도 차이 또는 파장 차이를 갖는 감광막으로 형성하는 것을 특징으로 한다.
- [0035] 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.
- [0036] 도 4 내지 도 6 그리고 도 7a 내지 도 7e 는 본 발명의 실시예에 따른 반도체소자의 콘택홀 형성방법을 도시한 것이다.
- [0037] 도 4 은 피식각층(도시안됨)이 구비되는 반도체기판(41) 상의 전체표면에 균일한 크기와 간격으로 콘택영역, 즉 개구부가 형성된 제1감광막패턴(43)을 형성한 것을 도시한 평면도 및 단면도이다. 이때, 상기 단면도는 상기 평면도의 ㉔-㉔ 절단면을 따라 도시한 것이다.
- [0038] 먼저, 상기 피식각층 상에 ArF 용 반사방지막(도시안됨)을 형성하고 200 ~ 250 °C 온도의 핫 플레이트 상에서 베이킹 공정을 85 ~ 95 초 동안 실시한다.
- [0039] 그 다음, 전체표면상부에 제1감광막패턴(43)을 형성한다. 여기서, 상기 제1감광막패턴(43)은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 후속 공정인 노광 및 현상공정을 실시하여 형성한 것이다.
- [0040] 상기 노광공정은 15 ~ 25 mJ/cm² 의 에너지로 실시하고, 상기 현상공정은 TMAH 알카리 용액을 이용하여 실시한다.
- [0041] 도 5 는 상기 도 4 의 공정후에 플로우 베이킹 공정을 실시한 것을 도시한 평면도 및 단면도로서, 균일한 크기로 상기 제1감광막패턴(43)의 콘택영역이 감소한 것을 알 수 있다.
- [0042] 이때, 상기 플로우 베이킹 공정은 130 ~ 150 °C 온도의 핫 플레이트 상에서 실시한다.
- [0043] 도 6 은 콘택으로 예정된 영역만을 노출시키고 나머지 더미 콘택영역에 해당되는 개구부를 도포하는 제2감광막패턴(45)을 형성한 것을 도시한 평면도 및 단면도이다.
- [0044] 이때, 상기 제2감광막패턴(45)은 전체표면상부에 제2감광막을 도포하고 예정된 부분의 콘택영역만을 노출시키고 다른 부분, 즉 더미 콘택영역 상에만 남기는 노광 및 현상 공정으로 형성한다.
- [0045] 여기서, 상기 제2 감광막패턴(45)은 ArF 감광막을 0.2 ~ 0.3 μm 두께로 형성하고 100 ~ 130 °C 온도의 핫 플레이트상에서 85 ~ 95 초 동안 베이킹 한다.
- [0046] 상기 노광공정은 10 mJ/cm² 이하의 에너지로 실시하고, 상기 현상공정은 TMAH 알카리 용액을 이용하여 실시한다.
- [0047] 도 7a 내지 도 7c 는 본 발명에 따른 반도체소자의 콘택홀 형성방법을 도시한 단면도로서, 상기 도 4 의 ㉔-㉔ 절단면을 따라 도시한 것이다.
- [0048] 도 7a 를 참조하면, 피식각층(도시안됨)이 형성된 반도체기판(41) 상에 일정한 간격을 갖는 제1감광막패턴(43)을 형성한다.
- [0049] 이때, 상기 제1감광막패턴(43)은 예정된 콘택영역(50)을 기준으로 상기 예정된 콘택영역과 같은 크기로 일정간격을 유지하는 더미 콘택영역(60)이 구비되도록 형성한 것이다.
- [0050] 도 7b 를 참조하면, 상기 제1감광막패턴(43)을 플로우시켜 상기 콘택영역(50) 및 더미 콘택영역(60)의 크기를 감소시킨다.
- [0051] 도 7c 를 참조하면, 상기 콘택영역(50)과 더미 콘택영역(60)을 매립하는 제2감광막(44)을 전체표면상부에 형성한다. 이때, 상기 제2감광막(44)은 상기 제1감광막패턴(43)과의 용해도 차이를 확보하기 위하여 상기 제1감광막패턴(43)보다 감광도가 빠른 감광막을 사용한다.
- [0052] 도 7d 및 도 7e 를 참조하면, 차광패턴(49)이 석영기판(47)의 더미 콘택영역(60) 상에만 형성되는 노광마스크를 이용한 노광 및 현상공정으로 상기 더미 콘택영역(60)에만 제2감광막패턴(45)을 형성한다. 이때, 상기 콘택영역(50) 상의 제2감광막(44)은 모두 현상되어 제거된다.
- [0053] 상기한 바와 같이 본 발명은 제1감광막보다 감광도가 빠른, 즉 센시티비티가 낮은 제2감광막을 사용하여 예정된 패턴을 형성한다.
- [0054] 본 발명의 다른 실시예는 파장이 다른 제1감광막과 제2감광막을 이용하여 실시하는 것이다.

[0055] 예를들면, 제1감광막으로 ArF 감광막을 사용하는 경우 제2감광막으로 I 라인 감광막이나 KrF 감광막을 사용하여 제2감광막의 노광 및 현상 공정시 상기 제1감광막의 변형이 유발되지 않아 본 발명의 기술적 사상을 실현할 수 있다. 이때, 상기 I 라인 감광막은 노블락 수지, KrF 감광막은 폴리 하이드록시 스타일렌 수지 그리고 ArF 감광막은 아크릴레이트 수지로 구성된 것을 사용한 것이다.

[0056] 아울러, 본 발명은 콘택용 감광막패턴 뿐만 라인 패턴등과 같이 감광막의 플로우를 이용하여 실시할 수 있는 모든 패턴에 적용할 수 있다.

발명의 효과

[0057] 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 콘택홀 형성방법은, 두 층을 이루는 제1감광막과 제2감광막의 감광도 차이 또는 파장 차이를 이용하여 하나의 층만을 용이하게 제거할 수 있는 기술을 이용하여 콘택영역의 플로우 현상을 일정하게 조절할 수 있도록 하고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

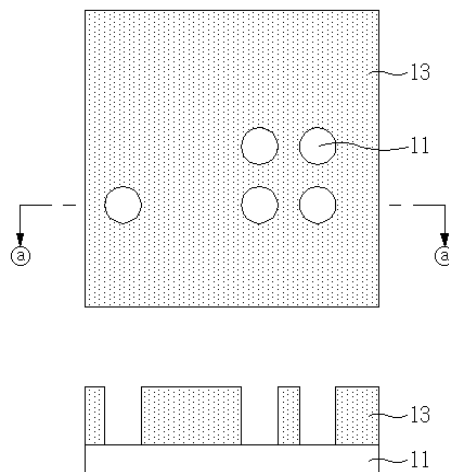
- [0001] 도 1 및 도 2 는 종래기술에 따른 반도체소자의 콘택홀 형성방법을 도시한 평면도 및 단면도.
- [0002] 도 3a 내지 도 3e 는 상기 도 1 의 ㉑-㉑ 절단면을 따라 도시한 반도체소자의 콘택홀의 제조 공정을 도시한 단면도.
- [0003] 도 4 내지 도 6 은 본 발명의 실시예에 따른 반도체소자의 콘택홀 형성방법을 도시한 평면도 및 단면도.
- [0004] 도 7a 내지 도 7e 는 상기 도 4 의 ㉒-㉒ 절단면을 따라 도시한 반도체소자의 콘택 제조 공정을 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

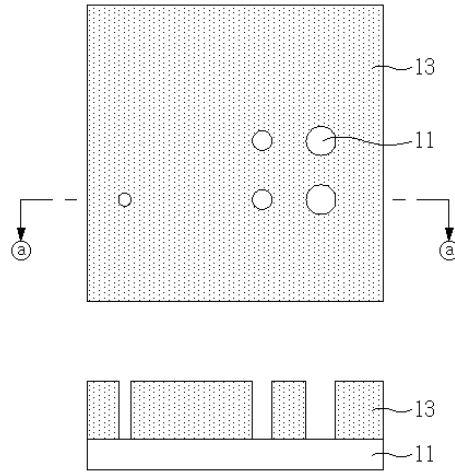
- [0006] 11,41 : 반도체기판
- [0007] 15,47 : 석영기판
- [0008] 19 : 노광된 영역
- [0009] 43 : 제1감광막패턴
- [0010] 45 : 제2감광막패턴
- [0011] 60 : 더미 콘택영역
- 13 : 제1감광막
- 17,49 : 차광패턴
- 21 : 경화된 감광막패턴
- 44 : 제2감광막
- 50 : 예정된 콘택영역

도면

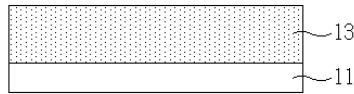
도면1



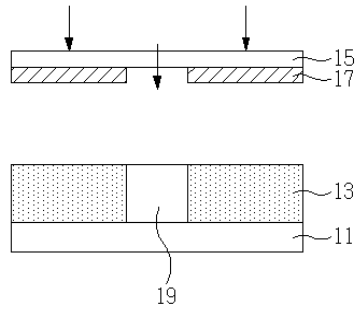
도면2



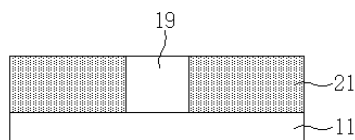
도면3a



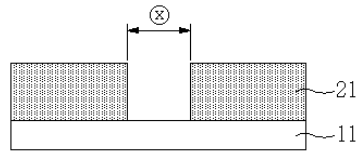
도면3b



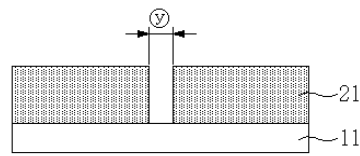
도면3c



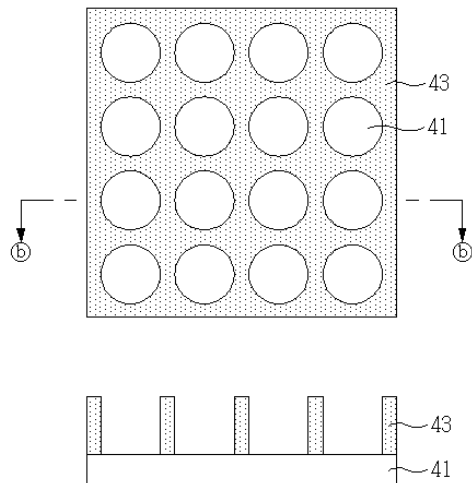
도면3d



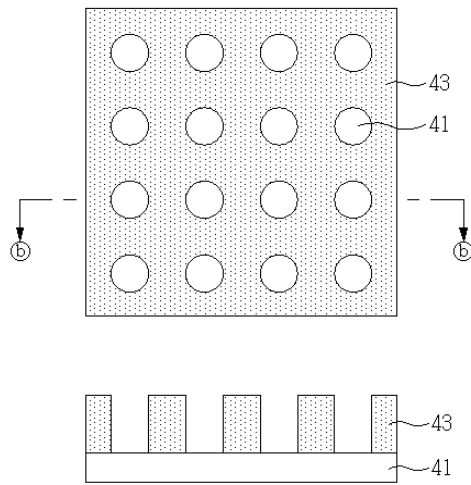
도면3e



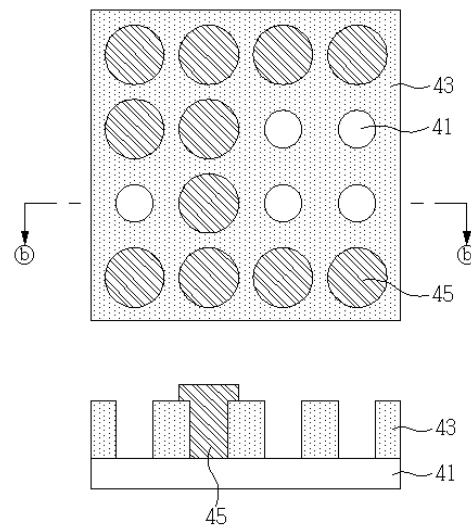
도면4



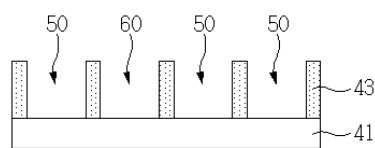
도면5



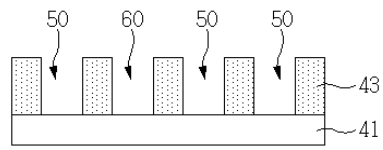
도면6



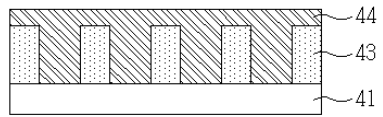
도면7a



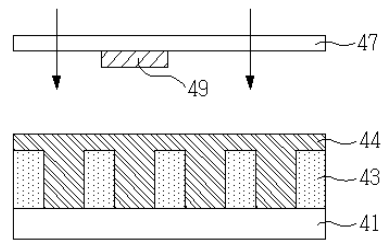
도면7b



도면7c



도면7d



도면7e

