(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월12일
(11) 등록번호 10-1153574
(24) 등록일자 2012년05월30일

(51) 국제특허분류(Int. Cl.)
*H03K 4/06* (2006.01) *H03K 3/0231* (2006.01)
(21) 출원번호 10-2010-0099405
(22) 출원일자 2010년10월12일
심사청구일자 2010년10월12일
(65) 공개번호 10-2012-0037757
(43) 공개일자 2012년04월20일
(56) 선행기술조사문헌
KR1020010040690 A
KR1020090105454 A
KR1019990010369 A

(73) 특허권자
**서울시립대학교 산학협력단**
서울특별시 동대문구 서울시립대로 163 (전농동, 서울시립대학교)
**삼성전기주식회사**
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
**양정모**
서울특별시 광진구 동일로6길 42-1 (자양동)
**유창식**
서울특별시 영등포구 신길로 119, 한화꿈에그린 아파트 104-502 (신길동)
*(뒷면에 계속)*
(74) 대리인
**특허법인씨엔에스**

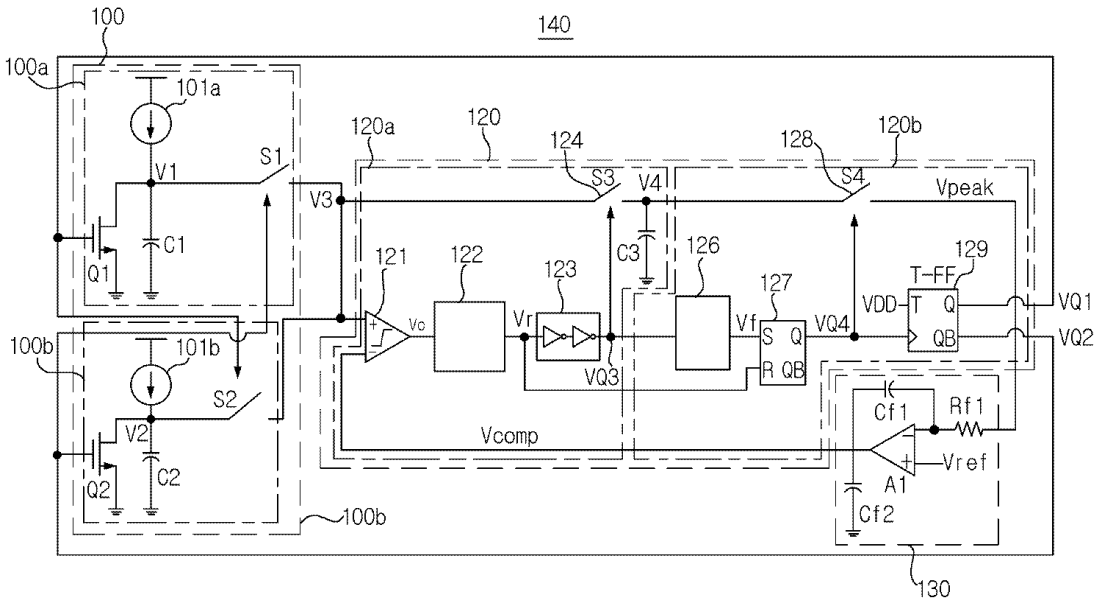
전체 청구항 수 : 총 10 항 심사관 : 김남인

(54) 발명의 명칭 **부궤환회로를 이용한 이완 발진기**

## (57) 요 약

이완 발진기가 개시된다. 이완 발진기는 제1 스위칭 신호에 따라 충방전하는 제1 커패시터 모듈 및 제2 스위칭 신호에 따라 충방전하는 제2 커패시터 모듈의 상보적인 동작을 통해 램프파를 생성하는 램프파 생성부와, 램프파를 궤환받아 기준전압과의 오차를 보상하기 위한 보상전압을 생성하는 부궤환 회로부와, 보상전압 및 램프파로부터 상기 제1 커패시터 모듈의 충방전을 제어하는 제1 스위칭 신호 및 제2 커패시터 모듈의 충방전을 제어하는 제2 스위칭 신호를 생성하는 스위칭 신호 생성부를 포함하는 것을 특징으로 한다. 이를 통해, 비교기의 지연이나 옵셋으로 인한 주파수 변화를 제거하고, 안정적인 주파수를 가지는 램프파를 생성할 수 있다.

## 대 표 도



(72) 발명자

**문영진**

광주광역시 동구 중흥로 203-1 (계림동)

**노용성**

인천광역시 남동구 백범로124번길 43, 210동 1003호 (만수동, 만수주공아파트)

**최중호**

경기도 성남시 분당구 수내동 푸른마을신성아파트 103-905

**이재신**

경기도 안양시 동안구 귀인로 294, 꿈마을동아아파트 309동 1301호 (평촌동)

**공정철**

서울특별시 송파구 오금로16길 4-5, 호수하이츠 A동 101호 (송파동)

**장유진**

경기도 수원시 영통구 중부대로271번길 27-9, 211동 302호 (원천동, 주공아파트)

## *특허청구의 범위*

**청구항 1**

제1 스위칭 신호에 따라 충방전하는 제1 커패시터 모듈 및 제2 스위칭 신호에 따라 충방전하는 제2 커패시터 모듈의 상보적인 동작을 통해 램프파를 생성하는 램프파 생성부;

상기 램프파를 궤환받아 기준전압과의 오차를 보상하기 위한 보상전압을 생성하는 부궤환 회로부; 및

상기 보상전압 및 상기 램프파로부터 상기 제1 커패시터 모듈의 충방전을 제어하는 상기 제1 스위칭 신호 및 상기 제2 커패시터 모듈의 충방전을 제어하는 상기 제2 스위칭 신호를 생성하는 스위칭 신호 생성부를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 2**

제1항에 있어서,

상기 제1 커패시터 모듈은,

제1 전류원;

상기 제1 전류원로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제1 커패시터; 및

상기 제1 커패시터에 병렬 연결되어 상기 제1 스위칭 신호에 의해 상기 제1 커패시터에 충전된 전압을 방전시키는 제1 스위치를 포함하며,

상기 제2 커패시터 모듈은,

제2 전류원;

상기 제2 전류원로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제2 커패시터; 및

상기 제2 커패시터에 병렬 연결되며, 상기 제2 스위칭 신호에 의해 상기 제2 커패시터에 충전된 전압을 방전시키는 제2 스위치를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 3**

제1항에 있어서,

상기 스위칭 신호 생성부는,

상기 보상전압에 기초하여, 상기 기준전압과 같아지는 램프파의 피크전압을 저장하는 피크전압 저장부; 및

상기 피크전압을 상기 부궤환 회로부로 전달하는 피크전압 전달부를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 4**

제3항에 있어서,

상기 피크전압 저장부는,

상기 보상전압과 상기 램프파를 비교한 비교신호를 출력하는 비교기;

상기 비교신호의 상승 에지를 검출하여 소정의 폭을 가진 제1 펄스를 출력하는 상승에지 검출부;

상기 제1 펄스를 일정한 시간만큼 지연시킨 지연 펄스를 출력하는 지연부; 및

상기 지연 펄스에 기초하여, 상기 기준전압과 같아지는 램프파의 피크전압을 저장하는 제3 커패시터를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 5**

제4항에 있어서,

상기 피크전압 전달부는,

상기 지연 펄스의 하강에지를 검출하여 소정의 폭을 가진 제2 펄스를 출력하는 하강에지 검출부;

상기 제2 펄스가 입력되면, 상기 저장된 피크전압의 전달신호를 출력하는 SR 래치부; 및

상기 전달신호에 따라 상보적인 상기 제1 스위칭 신호 및 상기 제2 스위칭 신호를 출력하는 T-플립플롭을 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 6**

제1항에 있어서,

상기 부궤환 회로부는,

상기 보상전압과 상기 기준전압의 차이를 적분하는 적분회로를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 7**

제4항에 있어서,

상기 상승에지 검출부는,

상기 비교신호가 입력되는, 직렬 연결된 홀수개의 인버터로 구성된 제1 인버터부; 및

상기 제1 인버터의 출력과 상기 비교신호가 입력되는 AND 게이트를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 8**

제7항에 있어서,

상기 제1 펄스의 폭은,

상기 제1 인버터에 포함되는 인버터의 수에 기초하는 것을 특징으로 하는 이완 발진기.

**청구항 9**

제5항에 있어서,

상기 하강에지 검출부는,

상기 지연 펄스가 입력되는, 직렬 연결된 짝수개의 인버터를 포함하는 제2 인버터부;

상기 제2 인버터부와 병렬 연결되며 상기 지연 펄스가 입력되는, 직렬 연결된 홀수개의 인버터를 포함하는 제3 인버터부; 및

상기 제2 인버터부 및 상기 제3 인버터부의 출력이 입력되는 AND 게이트를 포함하는 것을 특징으로 하는 이완 발진기.

**청구항 10**

제9항에 있어서,

상기 제2 펄스의 폭은,

상기 제2 인버터부 및 상기 제3 인버터부에 포함된 인버터의 수에 기초하는 것을 특징으로 하는 이완 발진기.

## *명 세 서*

### *기 술 분 야*

[0001] 본 발명은 이완 발진기에 관한 것으로, 부궤환 루프를 사용하여 기준전압과 램프파의 피크전압이 같아지도록 제어함으로써, 비교기의 지연이나 옵셋으로 인한 주파수 변화를 제거하고, 안정적인 주파수를 가지는 램프파

를 생성할 수 있는 이완 발진기에 관한 것이다.

## 배 경 기 술

[0002] 최근 전자기기의 에너지 효율에 대한 관심이 높아지면서 전원장치나 LED(Light Emitting Diode) 드라이버에 효율이 높은 DC-DC 컨버터가 요구되고 있다. 이러한 DC-DC 컨버터를 안정적으로 동작시키기 위해서 안정적인 주파수를 가진 발진기의 사용이 필수적이다. 이러한 발진기는 일반적으로 입력 신호 없이 출력을 만드는 회로로, 사인파, 구형파, 삼각파, 톱니파 등 다양한 파형을 만들어낸다.

[0003] 특히, 이완 발진기는 회로 내부적으로 정해진 임계 전압(Threshold Voltage) 사이에서 캐패시터를 충방전시킴으로써 발진 신호를 생성하는 발진기를 말하며, 내부에는 임계전압과의 비교를 위한 비교기(comparator)를 포함하고 있다. 하지만, 일반적으로 비교기는 자체적인 옵셋이나 지연을 가지며, 이러한 옵셋이나 지연으로 인해 이완 발진기로 하여금 안정적인 주파수를 제공할 수 없도록 하는 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은, 안정적인 주파수를 가지는 램프파를 생성할 수 있는 이완 발진기를 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0005] 상기의 목적을 달성하기 위하여 본 발명에 따른 이완 발진기는, 제1 스위칭 신호에 따라 충방전하는 제1 커패시터 모듈 및 제2 스위칭 신호에 따라 충방전하는 제2 커패시터 모듈의 상보적인 동작을 통해 램프파를 생성하는 램프파 생성부와, 램프파를 궤환받아 기준전압과의 오차를 보상하기 위한 보상전압을 생성하는 부궤환 회로부와, 보상전압 및 램프파로부터 제1 커패시터 모듈의 충방전을 제어하는 제1 스위칭 신호 및 제2 커패시터 모듈의 충방전을 제어하는 제2 스위칭 신호를 생성하는 스위칭 신호 생성부를 포함할 수 있다.

[0006] 제1 커패시터 모듈은, 제1 전류원과, 제1 전류원로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제1 커패시터와, 제1 커패시터에 병렬 연결되어 제1 스위칭 신호에 의해 제1 커패시터에 충전된 전압을 방전시키는 제1 스위치를 포함하며,

[0007] 제2 커패시터 모듈은, 제2 전류원과, 제2 전류원로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제2 커패시터와, 제2 커패시터에 병렬 연결되며, 제2 스위칭 신호에 의해 제2 커패시터에 충전된 전압을 방전시키는 제2 스위치를 포함할 수 있다.

[0008] 스위칭 신호 생성부는, 보상전압에 기초하여, 기준전압과 같아지는 램프파의 피크전압을 저장하는 피크전압 저장부와, 피크전압을 부궤환 회로부로 전달하는 피크전압 전달부를 포함할 수 있다.

[0009] 피크전압 저장부는, 보상전압과 상기 램프파를 비교한 비교신호를 출력하는 비교기와, 비교신호의 상승 에지를 검출하여 소정의 폭을 가진 제1 펄스를 출력하는 상승에지 검출부와, 제1 펄스를 일정한 시간만큼 지연시킨 지연 펄스를 출력하는 지연부와, 지연 펄스에 기초하여, 기준전압과 같아지는 램프파의 피크전압을 저장하는 제3 커패시터를 포함할 수 있다.

[0010] 피크전압 전달부는, 지연 펄스의 하강에지를 검출하여 소정의 폭을 가진 제2 펄스를 출력하는 하강에지 검출부와, 제2 펄스가 입력되면, 저장된 피크전압의 전달신호를 출력하는 SR 래치부와, 전달신호에 따라 상보적인 제1 스위칭 신호 및 제2 스위칭 신호를 출력하는 T-플립플롭을 포함할 수 있다.

[0011] 부궤환 회로부는, 보상전압과 기준전압의 차이를 적분하는 적분회로를 포함할 수 있다.

[0012] 상승에지 검출부는, 비교신호가 입력되는, 직렬 연결된 홀수개의 인버터로 구성된 제1 인버터부와, 제1 인버터의 출력과 비교신호가 입력되는 AND 게이트를 포함할 수 있다.

[0013] 하강에지 검출부는, 지연 펄스가 입력되는, 직렬 연결된 짝수개의 인버터를 포함하는 제2 인버터부와, 제2 인버터부와 병렬 연결되며 지연 펄스가 입력되는, 직렬 연결된 홀수개의 인버터를 포함하는 제3 인버터부와, 제2 인버터부 및 제3 인버터부의 출력이 입력되는 AND 게이트를 포함할 수 있다.

[0014] 제1 펄스의 폭은 상기 제1 인버터에 포함되는 인버터의 수에 기초하며, 제2 펄스의 폭은 제2 인버터부 및 제3 인버터부에 포함된 인버터의 수에 기초할 수 있다.

## 발명의 효과

[0015] 본 발명에 따르면, 부궤환 루프를 사용하여 기준전압과 램프파의 피크전압이 같아지도록 제어함으로써, 비교기의 지연이나 옵셋으로 인한 주파수 변화를 제거하고, 안정적인 주파수를 가지는 램프파를 생성할 수 있다.

## 도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 이완 발진기의 구성도이다.

도 2는 도 1의 상승에지 검출부의 구성 및 파형을 도시한 도면이다.

도 3은 도 1의 하강에지 검출부의 구성 및 파형을 도시한 도면이다.

도 4는 도 1의 각 부의 파형을 도시한 도면이다.

도 5는 보상전압의 수렴과정을 도시한 도면이다.

## 발명을 실시하기 위한 구체적인 내용

[0017] 도 1은 본 발명의 일 실시예에 따른 이완 발진기의 구성도이다. 이완 발진기(140)는 제1 스위칭 신호(VQ1)에 따라 충방전하는 제1 커패시터 모듈(100a) 및 제2 스위칭 신호(VQ2)에 따라 충방전하는 제2 커패시터 모듈(100b)의 상보적인 동작을 통해 램프파를 생성하는 램프파 생성부(100)과, 램프파를 궤환받아 기준전압과의 오차를 보상하기 위한 보상전압을 생성하는 부궤환 회로부(130)와, 보상전압 및 램프파로부터 제1 커패시터 모듈(130a)의 충방전을 제어하는 제1 스위칭 신호 (VQ1)및 제2 커패시터 모듈의 충방전을 제어하는 제2 스위칭 신호(VQ2)를 생성하는 스위칭 신호 생성부(120)를 포함할 수 있다.

[0018] 이하 도 1을 참조하여 이완 발진기(140)를 상세하게 설명하기로 한다.

[0019] 도 1을 참조하면, 램프파 생성부(100)는, 제1 커패시터 모듈(100a)과 제2 커패시터 모듈(100b)를 포함할 수 있다.

[0020] 제1 커패시터 모듈(100a)은, 정전류원인 제1 전류원(101a)과, 제1 전류원(101a)로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제1 커패시터(C1)과, 제1 커패시터(C1)에 병렬 연결되어 제1 스위칭 신호(VQ1)에 의해 제1 커패시터(C1)에 충전된 전압을 방전시키는 제1 트랜지스터(Q1)와, 제1 커패시터(C1)에 충전된 전압(V1)을 스위칭 신호 생성부(120)로 연결하기 위한 스위치(S1)를 포함할 수 있다.

[0021] 한편, 제2 커패시터 모듈(100b)은, 정전류원인 제2 전류원(101b)과, 제2 전류원(101b)로부터 입력되는 전류에 의해 충전됨으로써, 일정한 기울기를 가진 램프파를 생성하는 제2 커패시터(C2)와. 제2 커패시터(C2)에 병렬 연결되며, 제2 스위칭 신호(VQ2)에 의해 제2 커패시터(C2)에 충전된 전압을 방전시키는 제2 트랜지스터(Q2)와, 제2 커패시터(C2)에 충전된 전압(V2)을 스위칭 신호 생성부(120)로 연결하기 위한 스위치(S2)를 포함할 수 있다.

[0022] 한편, 스위칭 신호 생성부(120)는, 보상전압(Vcomp)에 기초하여, 기준전압(Vref)과 같아지는 램프파(V3)의 피크전압(Vpeak)을 저장하는 피크전압 저장부(120a)와, 피크전압(Vpeak)을 부궤환부(130)로 전달하는 피크전압 전달부(120b)를 포함할 수 있다.

[0023] 구체적으로, 피크전압 저장부(120a)는, 보상전압(Vcomp)과 램프파(V3)를 비교한 비교신호(Vc)를 출력하는 비교기(121)와, 비교신호(Vc)의 상승 에지를 검출하여 소정의 폭을 가진 제1 펄스(Vr)를 출력하는 상승에지 검출부(122)와, 제1 펄스를 일정한 시간만큼 지연시킨 지연 펄스(VQ3)를 출력하는 지연부(122)와, 지연 펄스(VQ3)에 기초하여, 기준전압(Vref)과 같아지는 램프파의 피크전압(Vpeak)을 저장하는 제3 커패시터(C3)를 포함할 수 있다. 지연부(122)는 직렬 연결된 짝수개의 인버터 소자로 구성될 수 있다.

[0024] 한편, 피크전압 전달부(120b)는, 지연부(122)로부터 출력된 지연펄스(VQ3)의 하강에지를 검출하여 소정의 폭을 가진 제2 펄스(Vf)를 출력하는 하강에지 검출부(126)와, 제2 펄스(Vf)가 입력되면, 제3 커패시터(C3)에 저장된 피크전압(Vpeak)의 전달신호(VQ4)를 출력하는 SR 래치부(127)와, 전달신호(VQ4)에 따라 상보적인 제1 스위칭 신호(VQ1) 및 제2 스위칭 신호(VQ2)를 출력하는 T-플립플롭(129)를 포함할 수 있다.

[0025] 부궤환 회로부(130)는, 저항(Rf1)을 통해 피크전압 전달부(120b)로부터 궤환받은 피크전압(Vpeak)이 기준전압(Vref)와 같아지도록, 보상전압(Vcomp)를 생성하여 피크전압 저장부(102a)의 비교기(121)로 전달한다. 이러한 부궤환 회로부(130)는, 도 1에 도시된 바와 같이, OP앰프(A1)과 저항(RF1) 및 커패시터(Cf1, Cf2)로 이루어진 적분회로를 포함할 수 있다.

[0026] 도 2는 도 1의 상승에지 검출부의 구성 및 파형을 도시한 도면이다.

[0027] 상승에지 검출부(122)는, 도 2의 (a)에 도시된 바와 같이, 입력 신호(Vc)를 일정한 시간만큼 지연시키도록 직렬 연결된 인버터(201 내지 203)를 포함하는 제1 인버터부(210)와, 제1 인버터부(210)의 출력과 입력 신호(Vc)를 입력받는 하나의 AND 게이트(204)를 포함할 수 있다. 바람직하게는, 인버터(201 내지 203)의 수는 홀수개로 구성되며, 펄스의 폭(d1)은 인버터의 갯수에 따라 결정될 수 있다. 상승에지 검출부(122)로부터 출력되는 신호(Vr)는 실질적으로 입력 신호(Vc)의 상승시점(401)에서 상승하는 신호가 된다.

[0028] 즉, 도 2의 (b)에 도시된 바와 같이, 입력 신호(Vc)가 입력되면, 홀수개의 인버터(201 내지 203)에 의해 OR 게이트(204) 입력단의 신호(VA)는 도 2의 (c)와 같이 일정한 지연(d1)을 가진다. 한편, 제1 인버터부(210)의 출력신호(VA)와 입력 신호(Vc)는 AND 게이트(204)로 입력된다. 그 결과 AND 게이트(204)로부터 출력되는 신호는, 도 2의 (d)에 도시된 바와 같이, 제1 인버터부(210)에 의해 지연되는 만큼의 폭(d1)을 가진 펄스신호가 된다.

[0029] 한편, 도 3은 도 1의 하강에지 검출부의 구성 및 파형을 도시한 도면이다.

[0030] 하강에지 검출부(126)는, 도 3의 (a)에 도시된 바와 같이, 입력 신호(VQ3)를 일정한 시간만큼 지연시키도록 직렬 연결된 인버터(301 내지 302)를 포함하는 제2 인버터부(310)와, 입력 신호(VQ3)를 일정한 시간만큼 지연시켜 반전 출력하는 인버터(303)를 포함하는 제3 인버터부(320)와, 제2 인버터부(310)의 출력신호와 제3 인버터부(320)의 출력신호를 입력받는 하나의 AND 게이트(304)를 포함할 수 있다. 바람직하게는, 제2 인버터부(310)에 포함되는 인버터의 수는 짝수개로 구성되며, 제3 인버터부(320)에 포함되는 인버터의 수는 홀수개로 구성되며, 제2 인버터부(310)에 포함되는 인버터의 수가 제3 인버터부(320)에 포함되는 인버터의 수보다 많다. 한편, 하강에지 검출부(126)로부터 출력되는 펄스의 폭(d2-d3)는 인버터의 갯수에 따라 결정될 수 있다. 또한, 지연시간(d3)은 아주 작은 값을 가지므로, 하강에지 검출부(126)로부터 출력되는 신호는 실질적으로 입력 신호(VQ3)의 하강시점(402)에서 상승하는 신호가 된다.

[0031] 즉, 도 3의 (b)에 도시된 바와 같이, 입력 신호(VQ3)가 입력되면, 제2 인버터부(310)의 짝수개의 인버터(301 내지 302)에 의해 AND 게이트(304) 입력단의 신호(VA)는 도 3의 (c)와 같이 일정한 지연(d2)을 가진다. 한편, 입력 신호(VQ3)가 입력되면, 제3 인버터부(320)의 홀수개의 인버터(303)에 의해 AND 게이트(304) 입력단의 신호(VB)는 도 3의 (d)와 같이 일정한 지연(d3)을 가진 반전신호가 된다. 이후 제2 인버터부(310)의 출력과 제3 인버터부(320)의 출력은 AND 게이트(304)로 입력된다. 그 결과 AND 게이트(304)로부터 출력되는 신호는, 도 3의 (e)에 도시된 바와 같이, 짧은 폭의 펄스신호가 된다.

[0032] 도 4는 도 1의 각 부의 파형을 도시한 도면이며, 도 5는 보상전압의 수렴과정을 도시한 도면이다.

[0033] 이하 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 이완 발진기에서 램프파가 생성되는 과정을 상세하게 설명하기로 한다. 도 4의 (a)에서 주기 T1은 제1 커패시터 모듈(100a)에 의해 생성되는 램프파의 한 주기를, 주기 T2는 제2 커패시터 모듈(100b)에 의해 생성되는 램프파의 한 주기를 도시하고 있으며, 주기 T2 동안의 각 부 동작은 주기 T1에서의 동작과 동일하므로, 이하에서는 주기 T1 동안의 각 부 파형을 중심으로 설명하기로 한다.

[0034] 도 1 내지 도 5를 참조하면, 부궤환 회로부(130)로부터 전달된 보상전압(Vcomp)는 비교기(121)의 (-) 단자로, 램프파 생성부(100)로부터 출력된 램프파(V3)는 비교기(121)의 (+) 단자로 입력되며, 비교기(121)는 도 4의 (b)와 같은 비교신호(Vc)를 출력한다. 비교기(121)로부터 출력된 비교신호(Vc)는 상승에지 검출부(122)로 전달된다.

[0035] 상승에지 검출부(122)는, 도 2의 (a)와 같은 구성을 가지며, 비교기(121)로부터 전달받은 비교신호(Vc)의 상승에지(401)를 검출하고, 도 4의 (c)에 도시된 바와 같이, 소정의 폭을 가진 제1 펄스(Vr)를 생성한다. 생성된 제1 펄스(Vr)는 지연부(123)로 전달된다.

[0036] 지연부(123)는, 도 4의 (d)에 도시된 바와 같이, 상승에지 검출부(122)로부터 전달받은 제1 펄스(Vr)를 소정의 시간만큼 지연시킨 지연 펄스(VQ3)를 생성한다. 생성된 지연 펄스(VQ3)는 하강에지 검출부(126)로 전달된

다. 한편, 생성된 지연 펄스(VQ3)에 의해, 스위치(S3)가 닫혀지며, 이때의 램프파(V3)의 전압은 커패시터(C3)에 저장된다.

[0037] 하강에지 검출부(126)는, 도 3의 (a)와 같은 구성을 가지며, 지연부(123)로부터 전달받은 지연 펄스(VQ3)의 하강에지(402)를 검출하고, 도 4의 (e)에 도시된 바와 같이, 지연 펄스(VQ3)의 하강시점(402)에서 상승하는 일정한 폭을 가진 펄스를 생성한다. 생성된 펄스는 SR 래치부(127)의 S 단자로 입력된다.

[0038] SR 래치부(127)는, 하강에지 검출부(126)로부터 펄스(Vf)가 입력되면, 도 4의 (h)에 도시된 바와 같이, 신호(VQ4)를 Q 단자로 출력한다. 출력된 신호(VQ4)는 T-플립플롭(129) 및 스위치(S4)로 전달된다. 신호(VQ4)에 따라 스위치(S4)는 턴온되며, 이때 커패시터(C3)에 저장된 램프파의 전압은 부궤환 회로부(130)의 (-) 단자로 입력된다. 이후, 부궤환 회로부(130)는 (-) 단자로 입력된 램프파의 전압과 (+) 단자로 입력되는 기준전압(Vref)과의 오차를 보상하는 보상전압(Vcomp)을 생성하고, 생성된 보상전압(Vcomp)은 스위칭 신호 생성부(120)의 비교기(121)로 전달된다. 초기상태에서 정상상태로 전이되는 보상전압(Vcomp)과 램프파(V3) 그리고 기준전압(Vref)의 파형은 도 5에서 도시하고 있다. 최종적으로 램프파(V3)의 피크전압은 기준전압(Vref)과 동일해지게 된다.

[0039] 한편, T-플립플롭(129)은, SR 래치부(127)로부터 펄스(VQ4)가 입력되면(도 4의 (h) 참조), 전압(VDD)를 Q 단자를 통해 출력하며, Q 단자를 통해 출력된 신호는 제1 스위칭 신호(VQ1)가 된다. 제1 스위칭 신호(VQ1)는 제1 커패시터 모듈(100a)의 트랜지스터(Q1)의 게이트로 입력되어 제1 트랜지스터(Q1)를 턴온시킨다. 트랜지스터(Q1)가 턴온됨에 따라, 커패시터(C1)에 충전된 전압(V1)은 트랜지스터(Q1)를 통해 방전된다. 또한, 제1 스위칭 신호(VQ1)는 스위치(S2)로 전달되어 스위치(S2)를 턴온시킴으로써, 제2 커패시터 모듈(100b)과 스위칭 신호 생성부(120)를 연결시킬 수 있다.

[0040] 한편, QB 단자를 통해서는 제2 스위칭 신호(VQ2)가 출력된다. 제2 스위칭 신호는 제1 스위칭 신호(VQ1)와는 상보적인 신호이다. 제1 스위칭 신호(VQ1)가 VDD인 경우에는 제2 스위칭 신호(VQ2)는 0이 된다. 0인 제2 스위칭 신호(VQ2)에 의해 트랜지스터(Q2)는 턴오프상태이며, 이에 따라 커패시터(C2)는 전류원(101b)에 의해 도 4의 (a)에 도시된 바와 같이 일정한 기울기를 가지고 충전된다.

[0041] 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

## *부호의 설명*

[0042] 100: 램프파 생성부

100a: 제1 커패시터 모듈

100b: 제2 커패시터 모듈

101a, 101b: 전류원

120: 스위칭 신호 생성부

120a: 피크전압 저장부

120b: 피크전압 전달부

121: 비교기

122: 상승에지 검출부

123: 지연부

126: 하강에지 검출부

127: SR 래치부

S1, S2, 124, 128: 스위치

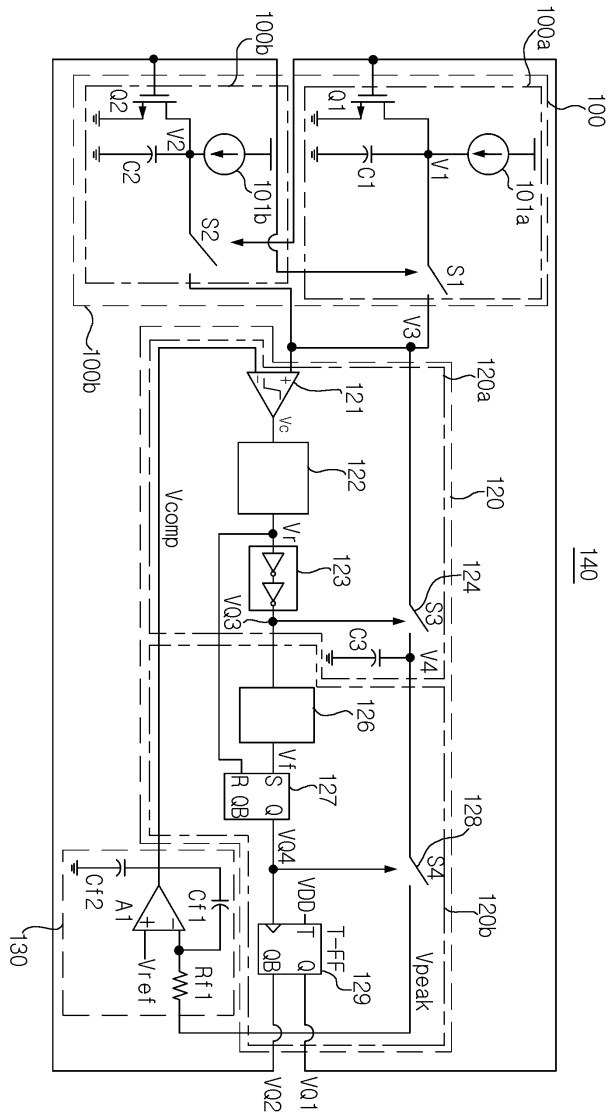
129: T-플립플롭

130: 부궤환 회로부

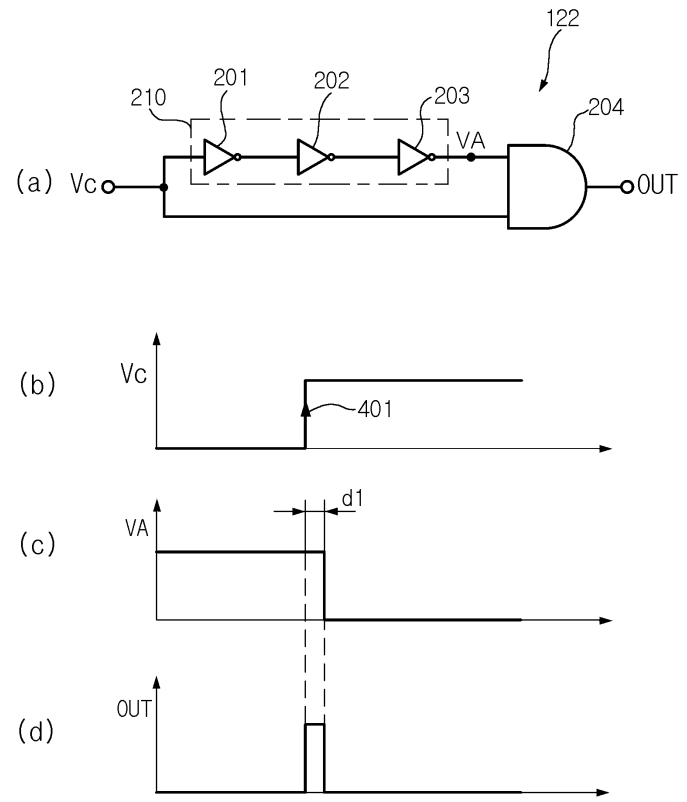
140: 이완 발진기

## 도면

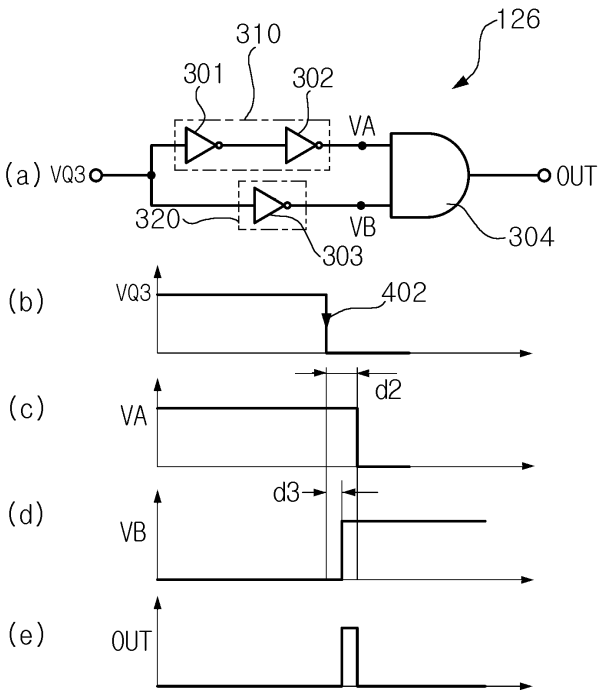
### 도면1



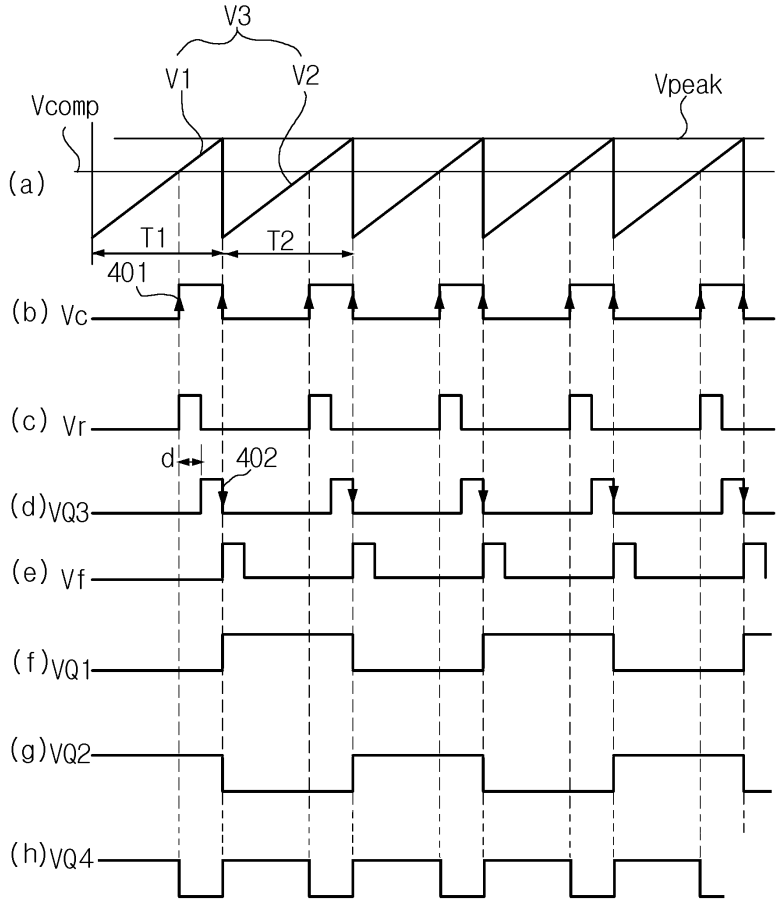
도면2


122
210
201
202
203
204
VA
(a) Vc
OUT
(b)
Vc
401
(c)
VA
d1
(d)
OUT

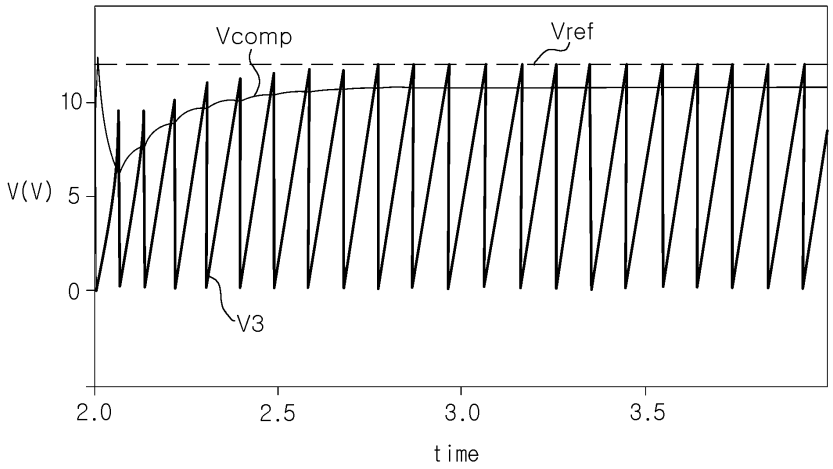
도면3


126
310
301
302
VA
(a) VQ3
OUT
320
VB
303
304
(b)
VQ3
402
(c)
VA
d2
(d)
VB
d3
(e)
OUT

도면4


V3
V1
V2
Vcomp
Vpeak
(a)
T1
T2
401
(b) Vc
(c) Vr
d
402
(d)VQ3
(e) Vf
(f)VQ1
(g)VQ2
(h)VQ4

도면5


Vcomp
Vref
10
V(V)
5
0
V3
2.0
2.5
3.0
3.5
time