



(10) **DE 11 2009 001 620 T5** 2011.05.26

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2010/000062**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2009 001 620.0**
(86) PCT-Aktenzeichen: **PCT/CA2009/000892**
(86) PCT-Anmeldetag: **30.06.2009**
(87) PCT-Veröffentlichungstag: **07.01.2010**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **26.05.2011**

(51) Int Cl.: **G11C 16/02 (2006.01)**
G11C 11/56 (2006.01)
G11C 16/10 (2006.01)
G11C 16/26 (2006.01)

(30) Unionspriorität:
12/166,876 02.07.2008 US

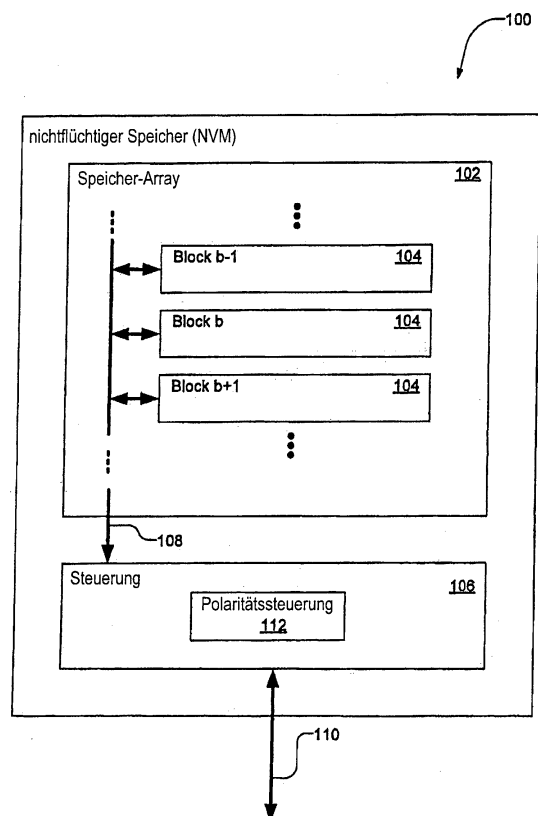
(74) Vertreter:
Uexküll & Stolberg, 81675 München

(71) Anmelder:
**Mosaid Technologies Incorporated, Ottawa,
Ontario, CA**

(72) Erfinder:
**Kim, Jin-Ki, Ontario, Calif., US; Petrie, William,
Ontario, Calif., US**

(54) Bezeichnung: **Nichtflüchtige Speichervorrichtung mit mehreren Bits Pro Zelle (MBC) und System mit Polaritätssteuerung sowie Verfahren zum Programmieren derselbigen**

(57) Hauptanspruch: Nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC), mit:
einem Speicher-Array, das einen elektrisch löschbaren Block enthält;
wobei der Block eine reprogrammierbare Seite enthält;
wobei die reprogrammierbare Seite eine obere und eine untere Seite enthält, die sich eine gemeinsame Wortleitung teilen;
wobei die oberen und unteren Seiten jeweilige obere und untere Datenfelder enthalten;
wobei die oberen und unteren Datenfelder jeweilige virtuelle obere und untere Zellen von MBC-Speicherzellen enthalten;
wobei die MBC-Speicherzellen jeweilige Grenzwertspannungen haben, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel in der Reihenfolge vom untersten Spannungspegel programmierbar sind,
wobei das Programmieren der unteren Zellen das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zweiten Grenzwertspannungspegel umfasst, und
wobei das Programmieren der oberen Zellen das Programmieren der jeweiligen Grenzwertspannung vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum...



Beschreibung

RÜCKBEZUG AUF VERWANDTE ANMELDUNGEN

[0001] Diese Anmeldung beansprucht die Priorität der US-Patentanmeldung 12/166,876, die am 2. Juli 2008 angemeldet wurde.

TECHNISCHES GEBIET

[0002] Die vorliegende Erfindung betrifft allgemein nichtflüchtige Speichersysteme und insbesondere ein nichtflüchtiges Speichersystem mit mehreren Bits pro Zelle (MBC = multiple-bit per cell) und mit Datenpolaritätssteuerung.

HINTERGRUND

[0003] Bei herkömmlichen Speichereinrichtungen mit einem Bit (Einzelbit) pro Zelle nimmt die Speicherzelle einen von zwei Informationsspeicherezuständen ein, und zwar entweder ein "ein"-Zustand oder ein "aus"-Zustand. Durch den binären Zustand von "ein" oder "aus" wird ein Bit an Information definiert. Als eine Folge benötigt eine Speichereinrichtung, die ausgestaltet ist, um n Bits an Daten zu speichern, n separate Speicherzellen.

[0004] Die Erhöhung der Anzahl an Bits, die unter Verwendung von Speichereinrichtungen mit einem Einzelbit pro Zelle gespeichert werden können, hängt von der Erhöhung der Anzahl an Speicherzellen ab, und zwar 1:1 mit der Anzahl an zu speichernden Datenbits. Verfahren zur Erhöhung der Anzahl an Speicherbits, die in einer Speichereinrichtung gespeichert werden, die aus Zellen mit Einzelbit-Kapazität aufgebaut sind, beruhen auf Techniken, wie zum Beispiel Herstellen größerer Chips, die mehr Speicherzellen enthalten, oder Verwenden verbesserter Photolithographie-Techniken, um kleinere Speicherzellen zu bauen. Durch das Reduzieren der Größe einer Speicherzelle wird ermöglicht, dass mehr Zellen auf einer vorgegebenen Fläche eines einzelnen Chips angeordnet werden können.

[0005] Eine Alternative zu Ausgestaltungen mit einem Bit pro Zelle (single-bit per cell) stellt das Speichern von mehreren Datenbits in einer einzelnen Speicherzelle dar. Ein Typ von Speicher, bei dem dieser Lösungsansatz verfolgt wurde, ist eine elektrisch löschbare und programmierbare Einrichtung, die als Flash-Speicherzelle bekannt ist. Bei Flash-Zellen wird das Programmieren durchgeführt, indem für eine geeignete Zeitdauer geeignete Spannungen an Source, Drain und Steuergate der Einrichtung angelegt werden. Dadurch wird bewirkt, dass Elektronen von einem Kanalgebiet zu einem schwebenden Gate getunnelt oder injiziert werden. Durch die Ladungsmenge, die sich auf dem schwebenden Gate befindet, wird die Spannung bestimmt, die am Steuergate erforderlich ist, um zu bewirken, dass die Einrichtung einen Strom zwischen den Source- und Draingebieten leitet. Diese Spannung wird als die Grenzwertspannung V_{th} der Zelle bezeichnet. Das Leiten stellt einen "ein"-Zustand bzw. einen gelöschten Zustand der Einrichtung dar und entspricht einem logischen Wert von EINS. Ein "aus"-Zustand bzw. ein programmierter Zustand ist ein Zustand, bei dem kein Strom zwischen den Source- und Draingebieten geleitet wird, und entspricht einem logischen Wert von NULL. Durch Einstellen der Grenzwertspannung der Zelle auf einen geeigneten Wert kann bewirkt werden, dass die Zelle für einen gegebenen Satz von angelegten Spannungen entweder Strom leitet oder keinen Strom leitet. Durch Bestimmen, ob eine Zelle bei einem gegebenen Satz von angelegten Spannungen einen Strom leitet, kann somit der Zustand der Zelle (programmiert oder gelöscht) gefunden werden.

[0006] Eine Flash-Speicherzelle mit mehreren Bits pro Zelle (MBC = multiple-bit per cell) wird erzeugt, indem in der Einrichtung mehrere unterschiedliche Grenzwertspannungspegel erzeugt werden. Jede unterschiedliche Grenzwertspannung entspricht einem Satz von Datenbits. Dadurch wird ermöglicht, dass mehrere Bits an binären Daten in derselben Speicherzelle gespeichert werden können. Wenn der Zustand der Speicherzelle ausgelesen wird, dann enthält jede Zelle einen binär dekodierten Wert, der einem Wert entspricht, der von der Leitfähigkeit (conduction) der Zelle bei ihrem aktuellen Grenzwertspannungspegel abhängt. Der Grenzwertspannungspegel der Zelle, der mittels eines Messverstärkers mit einem zuvor ausgewählten Eingangswert verglichen wird, gibt den Bitsatz an, der die in der Zelle programmierten Daten darstellt. Eine korrekte Datenspeicherung macht es erforderlich, dass die mehreren Grenzwertspannungspegel einer MBC-Speicherzelle mit einem ausreichenden Wert voneinander beabstandet sind, so dass ein Pegel einer Zelle in einer eindeutigen Weise programmiert oder gelöscht werden kann. Die Beziehung zwischen den in der Speicherzelle programmierten Daten und den Grenzwertspannungspegeln der Zelle hängt vom Datenkodierungsschema ab, das für die Zellen verwendet wird.

[0007] Beim Programmieren einer MBC-Speicherzelle besteht die Aufgabe darin, eine Programmierspannung über eine korrekte Zeitperiode anzulegen, um eine ausreichende Ladungsmenge in dem schwebenden Gate (floating gate) zu speichern, um die Grenzwertspannung auf einen gewünschten Pegel zu verlagern. Dieser Pegel stellt einen Zustand der Zelle dar, der einem Kodieren der Daten entspricht, die in die Zelle programmiert werden sollen. Jedoch wird durch das Unterteilen des Grenzwertspannungsbereichs für eine (Einzelbit-)Zelle mit zwei Zuständen in mehrere Grenzwertspannungspegel der Abstand (Grenzwertspannungsdifferenz) zwischen den Pegeln reduziert. Dies erfordert engere Systemdesigntoleranzen und reduzierte Programmieroperationsrauschabstände, so dass benachbarte Pegel unterschieden und Programmierfehler vermindert werden können. Jedoch hat das Reduzieren der Programmier- und Leseoperations-Grenzwertspannungsfenster zu langsameren Programmierprozeduren geführt und eine weitere mögliche Quelle von Speichersystemfehlern eingeführt.

[0008] Das U.S. Patent Nr. 6,937,510, mit dem Titel "Non-Volatile Semiconductor Memory", veröffentlicht am 30. August 2005 für Hosono et al., das hiermit durch Bezugnahme eingeführt wird, offenbart ein Verfahren und eine Vorrichtung zum Programmieren und Lesen von Daten von einer nichtflüchtigen Halbleitereinrichtung, die Speicherzellen mit mehreren Bits pro Zelle (MBC) enthält.

[0009] Jedoch führt dieses Verfahren zu einer Erhöhung der Anzahl der Programmierzustände, die durchlaufen werden müssen, sowie zu einer Erhöhung von Programmierzeit und Energieverbrauch im Vergleich zu bekannten Verfahren.

[0010] Es besteht folglich eine Notwendigkeit hinsichtlich der Entwicklung einer verbesserten Vorrichtung, eines verbesserten Verfahrens sowie eines verbesserten Systems unter Verwendung einer MBC-Speicherzelle sowie nichtflüchtiger Speichereinrichtungen und -systeme, bei denen diese verbesserten MBC-Speicherzellen verwendet werden.

ZUSAMMENFASSUNG

[0011] Es ist eine Aufgabe der vorliegenden Erfindung, eine Vorrichtung, ein Verfahren sowie ein System unter Verwendung von MBC-Speicherzellen zur Verfügung zu stellen, wodurch die Anzahl an höchsten Programmierzuständen reduziert werden kann, die verwendet werden, um ein gegebenes Feld von Daten zu programmieren.

[0012] Gemäß einem Aspekt der vorliegenden Erfindung ist eine nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC) vorgesehen, die ein Speicher-Array aufweist, das einen oder mehrere elektrisch löschbare Blöcke enthält. Die Blöcke enthalten eine oder mehrere reprogrammierbare Seiten. Die reprogrammierbaren Seiten enthalten obere und untere Seiten, die sich gemeinsame Wortleitungen teilen. Die oberen und unteren Seiten enthalten jeweilige obere und untere Datenfelder. Die oberen und unteren Datenfelder enthalten jeweilige virtuelle obere und untere Zellen von MBC-Speicherzellen. Die MBC-Speicherzellen haben jeweilige Grenzwertspannungen, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel programmierbar sind, und zwar in der Reihenfolge vom untersten Spannungspegel. Das Programmieren der unteren Zellen beinhaltet das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zweiten Grenzwertspannungspegel. Das Programmieren der oberen Zellen beinhaltet das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum dritten Grenzwertspannungspegel. Die Vorrichtung beinhaltet außerdem eine Steuerung zum Schreiben von Daten in das Speicher-Array, wobei die Steuerung selektiv Daten invertiert, um eine Anzahl der zu programmierenden Bits in einer unteren Seite zu maximieren, und selektiv Daten invertiert, um eine Anzahl von zu programmierenden Bits in der jeweiligen oberen Seite zu minimieren.

[0013] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein System vorgesehen, das eine nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC) aufweist, die ein Speicher-Array enthält, das einen oder mehrere elektrisch löschbare Blöcke enthält. Die Blöcke enthalten eine oder mehrere reprogrammierbare Seiten. Die reprogrammierbaren Seiten enthalten obere und untere Seiten, die sich gemeinsame Wortleitungen teilen. Die oberen und unteren Seiten enthalten jeweilige obere und untere Datenfelder. Die oberen und unteren Datenfelder enthalten jeweilige virtuelle obere und untere Zellen aus MBC-Speicherzellen. Die MBC-Speicherzellen haben jeweilige Grenzwertspannungen, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel programmierbar sind, und zwar in der Reihenfolge vom untersten Spannungspegel. Das Programmieren der unteren Zellen umfasst das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zwei-

ten Grenzwertspannungspegel, und das Programmieren der oberen Zellen umfasst das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum dritten Grenzwertspannungspegel. Die Speichervorrichtung enthält ferner eine Steuerung zum Schreiben von Daten in das Speicher-Array, wobei die Steuerung selektiv Daten invertiert, um eine Anzahl der zu programmierenden Bits in einer unteren Seite zu maximieren, und selektiv Daten invertiert, um eine Anzahl von zu programmierenden Bits in der jeweiligen oberen Seite zu minimieren.

[0014] Gemäß einem noch weiteren Aspekt der vorliegenden Erfindung ist ein System vorgesehen, das eine nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC) enthält, die ein Speicher-Array enthält, das einen oder mehrere elektrisch löschbare Blöcke enthält. Die Blöcke enthalten eine oder mehrere reprogrammierbare Seiten. Die reprogrammierbaren Seiten enthalten obere und untere Seiten, die sich gemeinsame Wortleitungen teilen. Die oberen und unteren Seiten enthalten jeweilige obere und untere Datenfelder. Die oberen und unteren Datenfelder enthalten jeweilige virtuelle obere und untere Zellen von MBC-Speicherzellen. Die MBC-Speicherzellen haben jeweilige Grenzwertspannungen, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel programmierbar sind, und zwar in Reihenfolge vom untersten Spannungspegel. Das Programmieren der unteren Zellen beinhaltet das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zweiten Grenzwertspannungspegel, und das Programmieren der oberen Zellen enthält das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum dritten Grenzwertspannungspegel. Das System enthält ferner einer Steuerung zum Schreiben von Daten in das Speicher-Array, wobei die Steuerung selektiv Daten invertiert, um eine Anzahl der zu programmierenden Bits in einer unteren Seite zu maximieren, und selektiv Daten invertiert, um eine Anzahl von zu programmierenden Bits in der jeweiligen oberen Seite zu minimieren.

[0015] Gemäß einem weiteren Aspekt der Erfindung ist ein Verfahren zum Programmieren einer unteren Seite und einer oberen Seite in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC) vorgesehen, wobei das Verfahren die Schritte umfasst: Zählen einer Anzahl von Bits mit einer '0' in einem unteren Datenwort; Invertieren von allen Bits in dem unteren Datenwort, wenn die Anzahl von '0' Bits kleiner ist als die Hälfte einer Gesamtzahl von Bits in dem unteren Datenwort; Programmieren der unteren Seite mit dem unteren Datenwort; Zählen einer Anzahl von Bits mit einer '0' in einem oberen Datenwort; Invertieren von allen Bits in dem oberen Datenwort, wenn die Anzahl von '0' Bits größer ist als die Hälfte einer Gesamtzahl von Bits in dem oberen Datenwort; und Programmieren der oberen Seite mit dem oberen Datenwort.

[0016] Gemäß noch einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC) vorgesehen, mit den Schritten: Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite; Bereitstellen eines oberen Datenworts durch Vergleichen der Grenzwertspannungen mit einer vorbestimmten Spannungsreferenz; und Invertieren des oberen Datenworts, wenn eine obere Seitenpolaritätsflagge gesetzt ist.

[0017] Gemäß einem noch weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC) vorgesehen, mit den Schritten: Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite; Bereitstellen eines unteren Datenworts durch Vergleichen der Grenzwertspannungen mit zwei vorbestimmten Spannungsreferenzen; und Invertieren des unteren Datenworts, wenn eine untere Seitenpolaritätsflagge gesetzt ist.

[0018] In vielen anderen Publikationen auf diesem technischen Gebiet werden die Begriffe "Single-Level-Zelle" (SLC) und "Multi-Level-Zelle" (MLC) verwendet, um Zellen zu beschreiben, die in der Lage sind, eine binäre Datenziffer oder eine Mehrzahl von binären Datenziffern zu speichern. Aus Gründen der Klarheit werden in dieser Offenbarung die Begriffe "Einzelbit pro Zelle" (SBC) und "mehrere Bits pro Zelle" (MBC) verwendet, um Zellen zu beschreiben, die in der Lage sind, eine binäre Datenziffer oder eine Mehrzahl von binären Datenziffern zu speichern.

[0019] Es sei angemerkt, dass die Darstellung von binären Daten beliebig einem bestimmten Bereich einer Grenzwertspannung zugewiesen werden kann, die eine Null ('0') oder eine Eins ('1') darstellt. Zur Vereinfachung wird in dieser Offenbarung für eine SBC-Speicherzelle eine gemeinsame Übereinkunft bezüglich der Zuweisungen verwendet, und zwar wird eine gelöschte/unprogrammierte Zelle durch eine '1' dargestellt, und eine programmierte Zelle wird durch eine '0' dargestellt.

[0020] Außerdem hat in dieser Offenbarung eine MBC-Speicherzelle zum Speichern von M-Bits pro Zelle $N = 2^M$ mögliche Zustände (Zustand 1, Zustand 2, ... Zustand n, ... Zustand N-1, Zustand N). Gemäß der Über-einkunft ist ein Datenwert, der in einer MBC-Speicherzelle durch Zustand n gespeichert ist, das Einserkomplement der binären Grey-Code-Darstellung von n-1 ($D = d_{M-1}d_{M-2} \dots d_1d_0$), wobei d_0 bis d_{M-1} die Bits darstellt, die jeweils in einer ersten Seite bis zur $(M-1)$ -ten Seite gespeichert sind.

[0021] In dem bestimmten Fall, wo $M = 2$ und $N = 4$ ist, werden die erste Seite und die zweiten Seite auch als die untere Seite bzw. als die obere Seite bezeichnet. Ein binärer Wert von '11' wird durch einen ersten Bereich der Grenzwertspannung von einer gelöschten Speicherzelle oder einen ersten Zustand dargestellt, ein binärer Wert von '10' wird durch einen zweiten Bereich der Grenzwertspannung der Speicherzelle oder einen zweiten Zustand dargestellt, ein binärer Wert von '00' wird durch einen dritten Bereich der Grenzwertspannung der Speicherzelle oder einen dritten Zustand dargestellt, und ein binärer Wert von '01' wird durch einen vierten Bereich der Grenzwertspannung der Speicherzelle oder einen vierten Zustand dargestellt, und zwar in der Reihenfolge vom untersten Spannungspegel.

[0022] Durch die vorliegende Erfindung wird daher eine nichtflüchtige Speichereinrichtung mit einer engeren Verteilung der programmierten Zellengrenzwertspannung (V_{th}), einem reduzierten Energieverbrauch, einer verminderten Programmierzeit und einer verbesserten Zuverlässigkeit der Einrichtung im Vergleich zum bisherigen Stand der Technik zur Verfügung gestellt.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0023] Weitere Merkmale und Vorteile der vorliegenden Erfindung werden durch die nachfolgende detaillierte Beschreibung in Kombination mit den beiliegenden Zeichnungen verdeutlicht, in denen:

[0024] [Fig. 1](#) eine Darstellung von einer nichtflüchtigen Speichervorrichtung gemäß der vorliegenden Erfindung ist;

[0025] [Fig. 2](#) eine Darstellung von einem in [Fig. 1](#) gezeigten Block ist;

[0026] [Fig. 3](#) eine Darstellung von einer in [Fig. 2](#) gezeigten Seite ist;

[0027] [Fig. 4](#) eine Darstellung von einer in [Fig. 3](#) gezeigten Speicherzelle mit mehreren Bits pro Zelle (MBC) ist;

[0028] [Fig. 5](#) eine Darstellung von einer beispielhaften Grenzwertspannungsverteilung der in [Fig. 3](#) gezeigten MBC-Speicherzellen ist;

[0029] [Fig. 6](#) eine Darstellung ist, die eine alternative Darstellung der in [Fig. 4](#) gezeigten MBC-Speicherzelle zeigt;

[0030] [Fig. 7](#) eine Darstellung ist, die eine alternative Darstellung der in [Fig. 3](#) gezeigten Seite zeigt;

[0031] [Fig. 8a](#) bis [Fig. 8c](#) Darstellungen von beispielhaften Grenzwertspannungsverteilungen von MBC-Speicherzellen der in [Fig. 3](#) gezeigten Seite sind;

[0032] [Fig. 9](#) ein Flussdiagramm von einem Verfahren zum Programmieren von Datenwörtern in einer unteren Seite gemäß der vorliegenden Erfindung ist;

[0033] [Fig. 10](#) ein detaillierteres Flussdiagramm des in [Fig. 9](#) gezeigten Verfahrens ist;

[0034] [Fig. 11](#) und [Fig. 12](#) Flussdiagramme von Schritten in dem in [Fig. 10](#) gezeigten Verfahren sind;

[0035] [Fig. 13](#) und [Fig. 14](#) Flussdiagramme von Verfahren zum Lesen von Daten gemäß der vorliegenden Erfindung sind;

[0036] [Fig. 15](#) eine Darstellung von einem Speichersystem gemäß der vorliegenden Erfindung ist, das die in [Fig. 1](#) gezeigte nichtflüchtige Speichervorrichtung enthält;

[0037] [Fig. 16](#) eine Darstellung von einer nichtflüchtigen Speichervorrichtung gemäß der vorliegenden Erfindung ist;

[0038] [Fig. 17](#) eine Darstellung von einem Speichersystem gemäß der vorliegenden Erfindung ist, das die in [Fig. 16](#) gezeigte nichtflüchtige Speichervorrichtung enthält;

[0039] [Fig. 18](#) eine Darstellung von einer nichtflüchtigen Speichervorrichtung gemäß der vorliegenden Erfindung ist;

[0040] [Fig. 19](#) eine Darstellung von einem Speichersystem gemäß der vorliegenden Erfindung ist, das die in [Fig. 18](#) gezeigte nichtflüchtige Speichervorrichtung enthält;

[0041] [Fig. 20](#) eine Darstellung von einer nichtflüchtigen Speichervorrichtung gemäß der vorliegenden Erfindung ist;

[0042] [Fig. 21](#) eine Darstellung von einem Speichersystem gemäß der vorliegenden Erfindung ist, das die in [Fig. 20](#) gezeigte nichtflüchtige Speichervorrichtung gemäß der vorliegenden Erfindung enthält; und

[0043] [Fig. 22A](#) bis [Fig. 22D](#) Darstellungen von elektrischen Einrichtungen sind, die die Speichersysteme enthalten, die in [Fig. 15](#), [Fig. 17](#), [Fig. 19](#) bzw. [Fig. 21](#) gezeigt sind.

[0044] Es sei angemerkt, dass in den beiliegenden Zeichnungen gleiche Merkmale durchgehend mit den gleichen Bezugszeichen bezeichnet sind.

DETAILLIERTE BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

[0045] Es wird zuerst auf [Fig. 1](#) Bezug genommen, in der eine Darstellung von einer nichtflüchtigen Speichervorrichtung (NVM) **100** gemäß der vorliegenden Erfindung gezeigt ist. Die Speichervorrichtung **100** ist vorzugsweise ein Flash-Speicher, kann aber auch irgendein Typ von EEPROM (Electrically Erasable Programmable Read-Only Memory) sein. Die Speichervorrichtung enthält mindestens ein Speicher-Array **102**, das einen oder mehrere Speicherblöcke **104** enthält. Zum Zweck dieser Offenbarung ist ein Block als ein löschbarer Speicherabschnitt definiert.

[0046] Die Speichervorrichtung **100** enthält außerdem eine Steuerung **106** zum Steuern der Funktionen des Speicher-Arrays, wie z. B. das Ausführen von Befehlen, die an einer Schnittstelle **110** empfangen werden, das Schreiben von Daten, die an der Schnittstelle **110** empfangen werden, in das Speicher-Array, das Lesen von Daten aus dem Speicher-Array **102** und das Bereitstellen der Daten an die Schnittstelle **110**, sowie das Löschen von Daten aus den Blöcken **104**. Die Steuerung **106** beinhaltet eine Funktion zur Polaritätssteuerung **112**, die nachfolgend in größerem Detail erläutert wird. Es sei angemerkt, dass die Polaritätssteuerung **112** durch Hardware, Software, Firmware oder irgendeine Kombination daraus implementiert werden kann, wobei alle Lösungsansätze im Schutzbereich der Erfindung liegen.

[0047] Aus Gründen der Vereinfachung und Klarheit ist die Verbindung **108** zwischen dem Speicher-Array **102** und der Steuerung **106** als eine vereinfachte schematische Darstellung **108** gezeigt. Diese Verbindung **108** enthält eine herkömmliche Speicherarchitektur, wie z. B. Zeilendecoder, Wortleitungen, Bitleitungen, Spaltendecoder, Seitenpuffer und Messverstärker, was allerdings für den Fachmann offensichtlich ist.

[0048] Unter Bezugnahme auf [Fig. 2](#) sind weitere Details des in [Fig. 1](#) gezeigten Blocks **104** gezeigt. Der Block **104** enthält mindestens eine Seite **202**. Zum Zwecke dieser Offenbarung ist eine Seite als ein beschreibbarer Speicherabschnitt definiert. Ein Wort oder Datenwort ist als eine binäre Zahl definiert, die in einer Seite gespeichert werden kann. Der Parameter j ist als die Breite eines Datenwortes bzw. einer Seite definiert.

[0049] Unter Bezugnahme auf [Fig. 3](#) sind weitere Details einer in [Fig. 2](#) gezeigten Seite **202** gezeigt. Die Seite **202** enthält ein Datenfeld **302** und ein Ersatzfeld **304**. Das Datenfeld **302** enthält eine Mehrzahl von Speicherzellen **306** mit mehreren Bits pro Zelle (MBC). Das Ersatzfeld **304** enthält eine Polaritätsflagge **308**, die nachstehend näher beschrieben wird, und einen herkömmlichen Fehlerkorrekturcode (ECC) **310**.

[0050] Unter Bezugnahme auf [Fig. 4](#) ist eine in [Fig. 3](#) gezeigte MBC-Speicherzelle **306** gezeigt. Eine Grenzwertspannung **402** der MBC-Speicherzelle **306** ist auf eine von N vorbestimmten Grenzwertspannungen programmierbar. In diesem Ausführungsbeispiel ist N als 4 gewählt. Die vier vorbestimmten Grenzwertspannungen **404**, **406**, **408**, **410** entsprechen den Zuständen 1 bis 4 vom geringsten bis zum höchsten Wert.

[0051] In [Fig. 5](#) ist eine Darstellung einer beispielhaften Verteilung der Grenzwertspannungen **402** von einer Seite **202** gezeigt. Die y-Achse **502** stellt eine Anzahl von Zellen dar, die auf jeden Zustand **404**, **406**, **408**, **410** programmiert sind, und die x-Achse **504** stellt Grenzwertspannungen (Volt) dar, die jedem Zustand **404**, **406**, **408**, **410** entsprechen. In diesem Beispiel sind die MBC-Speicherzellen **202** etwa gleichmäßig über die vier vorbestimmten Grenzwertspannungen **404**, **406**, **408**, **410** verteilt. Die Grenzwertspannungen haben vorzugsweise eine geringe Abweichung von den idealen vorbestimmten Werten und haben einen ausreichenden Abstand von benachbarten Referenzspannungen V_{Ref1} , V_{Ref2} , V_{Ref3} **506**, **508**, **510**, um einen zuverlässigen Betrieb zu gewährleisten. Die asymmetrischen vorbestimmten Referenzspannungen **506**, **508**, **510** sind ein Beispiel von einem herkömmlichen Grenzwertspannungsschema. Die vorliegende Erfindung ist ferner auf andere Grenzwertspannungsschemata anwendbar, wie z. B. solche Schemata, die in der anhängigen U.S.-Anmeldung Nr. 2008/0062760 des Anmelders mit dem Titel "FLASH MULTI-LEVEL THRESHOLD DISTRIBUTION SCHEME" beschrieben sind, die am 13. Juni 2007 angemeldet wurde und hiermit durch Bezugnahme eingeführt wird.

[0052] Die Darstellung der in [Fig. 4](#) gezeigten MBC-Zelle **306** ist eine schematische Darstellung der physikalischen Hardware. Alternativ kann die MBC-Zelle **306** dargestellt werden, wie in [Fig. 6](#) gezeigt. In diesem Beispiel sind die vier Zustände **404**, **406**, **408**, **410** der MBC-Speicherzelle **306** als zwei virtuelle SBC (Einzelbit pro Zelle) Zellen **602**, **604** dargestellt, die jeweils ein Bit pro Zelle haben. Wenn allgemein die Anzahl von Zuständen in einer MBC-Speicherzelle N beträgt, dann ist die Anzahl an virtuellen Zellen mit einem Bit pro Zelle $M = \log_2 N$, und N ist vorzugsweise gewählt, um eine ganzzahlige Potenz von 2 zu sein. In dem hier beschriebenen Ausführungsbeispiel ist $N = 4$ und $M = 2$. Die untere Zelle **602** und eine obere Zelle **604** sind unter Verwendung von verschiedenen Zeilenadressen adressierbar.

[0053] Außerdem, wie in [Fig. 7](#) gezeigt, kann die in [Fig. 3](#) gezeigte Seite **202**, so dargestellt sein, dass sie eine virtuelle untere Seite **702** und eine virtuelle obere Seite **712** enthält, die unabhängig voneinander unter Verwendung von zwei verschiedenen Zeilenadressen adressiert werden können. Die untere Seite **702** und die obere Seite **712** enthalten ein jeweiliges unteres Datenfeld **704** und oberes Datenfeld **714** sowie ein jeweiliges unteres Ersatzfeld **706** und ein oberes Ersatzfeld **716**. Das untere Datenfeld **704** und das obere Datenfeld **714** enthalten eine jeweilige Mehrzahl (j) von unteren Zellen **602** und oberen Zellen **604**. Das untere Ersatzfeld **706** und das obere Ersatzfeld **712** enthalten eine jeweilige untere Seitenpolaritätsflagge **708** und eine obere Seitenpolaritätsflagge **718** sowie ein jeweiliges unteres ECC **710** und oberes ECC **720**.

[0054] Außerdem kann eine Mehrzahl von unteren Seiten **702** in einem Block **102** als eine untere Ebene (nicht gezeigt) bezeichnet werden, und eine Mehrzahl von oberen Seiten **712** in einem Block **102** kann als eine obere Ebene (nicht gezeigt) bezeichnet werden. Diese ist in der Technik als eine Doppel-Ebene oder allgemeiner als Multi-Ebenenarchitektur bekannt, wobei jede Ebene unabhängig adressiert werden kann, auch wenn sie sich die gleichen Zeilendecoder, Wortleitungen und Zellen teilen.

[0055] Wenn ein Block **104** gelöscht wird, dann werden alle MBC-Speicherzellen **306** in dem Block auf den Zustand **1 404** gesetzt. Zustand **1 404** entspricht Zellen, die gelöscht wurden und auf Basis der Übereinkunft den Datenwert '11' zugewiesen bekommen. Zustand **2 406** entspricht einem Datenwert von '10', Zustand **3 408** entspricht einem Datenwert von '00', und Zustand **4 410** entspricht einem Datenwert von '01'.

[0056] Das Programmieren (Speichern einer '0') der unteren Zelle **602** umfasst die Schritte des Programmierens der MBC-Zelle **306** von Zustand **1 404** auf Zustand **2 406**. Das Programmieren der oberen Zelle **604** umfasst die Schritte des Programmierens der MBC-Zelle **306** von Zustand **1 404** auf Zustand **4 410** oder von Zustand **2 406** auf Zustand **3 408**.

[0057] Allgemein umfasst das Programmieren der m -ten Zelle der M virtuellen Zellen die Schritte des Programmierens der MBC-Zelle **306** von einem der Zustände $1, 2, \dots$ bis 2^{m-1} auf jeweils einen der Zustände $2^m, 2^{m-1}, \dots$ bis $2^{m+1} + 1$.

[0058] [Fig. 8a](#) bis [Fig. 8c](#) zeigen beispielhafte Verteilungen **802**, **804**, **806** einer Seite **202** nach Lösch- und Schreiboperationen. In [Fig. 8a](#) sind alle Zellen **306** im Zustand **1 404**, nachdem sie gelöscht sind. In [Fig. 8b](#) ist eine Verteilung **804** gezeigt, nachdem das untere Datenfeld **704** mit einem Datenwort programmiert **512** wurde, wobei das Datenwort eine andere Anzahl von '0' als '1' hat. Es sei angemerkt, wie nachstehend detaillierter beschrieben wird, dass mehr Zellen **306** auf Zustand **2 406** programmiert **512** werden als im Zustand **1 404** verbleiben. In [Fig. 8c](#) ist eine Verteilung **806** gezeigt, nachdem das obere Datenfeld **714** mit einem Datenwort programmiert **514**, **516** wurde, wobei das Datenwort eine andere Anzahl von '0' als '1' hat. Es sei angemerkt, wie nachfolgend detaillierter beschrieben wird, dass weniger Zellen **306** auf Zustände **3** und **4 408**, **410** von

Zuständen 2 bzw. 1 **406**, **404** programmiert **514**, **516** werden. Es sei ferner angemerkt, dass Zustand 4 **410** in **Fig. 8c** die kleinste Anzahl von Zellen hat, und zwar im Vergleich mit Zuständen 1 bis 3 **404**, **406**, **408**.

[0059] In **Fig. 9** ist ein Flussdiagramm **900** von einem Verfahren zum Programmieren von Datenwörtern in eine untere Seite **702** und eine obere Seite **712** gemäß der vorliegenden Erfindung beschrieben. Das Verfahren umfasst einen Schritt **902** zum Programmieren einer unteren Seite **702** mit mehr '0' als '1' durch selektives Invertieren des Datenworts, das in die untere Seite **702** programmiert werden soll; und einen Schritt **904** zum Programmieren einer oberen Seite **712** mit mehr '1' als '0' durch selektives Invertieren des Datenworts, das in die obere Seite **712** programmiert werden soll. Es sei angemerkt, dass eine gestrichelte Linie **903** zwischen den Schritten **902** und **904** bedeutet, dass es nicht erforderlich ist, eine obere Seite **712** unmittelbar nach dem Programmieren der entsprechenden unteren Seite **702** zu programmieren. Beispielsweise kann eine Mehrzahl von unteren Seiten **702** in einem Block **104** programmiert werden, bevor obere Seiten **712** programmiert werden, was aber alles noch im Schutzbereich der vorliegenden Erfindung liegt.

[0060] **Fig. 10** ist ein detaillierteres Flussdiagramm **1000** des Verfahrens, das durch das in **Fig. 9** gezeigte Flussdiagramm **900** dargestellt ist. Der Schritt des Programmierens der unteren Seite **902** beinhaltet die Schritte: Zählen **1002** einer Anzahl von '0' in einem Datenwort, das in die untere Seite **702** programmiert werden soll; Entscheiden **1004**, ob das untere Datenwort weniger '0' als '1' oder alternativ weniger als $j/2$ (Hälfte der Wort-/Seitenbreite) hat; falls ja, Setzen **1006** einer unteren Seitenpolaritätsflagge **708** und Invertieren **1008** des unteren Datenworts; wenn nein, Löschen **1012** der unteren Seitenpolaritätsflagge **708**; und Programmieren **1010** des unteren Datenworts in die untere Seite **702** (was nachfolgend in größerem Detail beschrieben wird). Der Schritt des Programmierens der oberen Seite **904** umfasst die Schritte: Zählen **1014** einer Anzahl von '0' in einem Datenwort, das in der oberen Seite **712** programmiert werden soll; Entscheiden **1016**, ob das obere Datenwort mehr '0' als '1' oder alternativ mehr als $j/2$ hat; wenn ja, Einstellen **1018** einer oberen Seitenpolaritätsflagge **718** und Invertieren **1020** des oberen Datenworts; wenn nein, Löschen **1024** der oberen Seitenpolaritätsflagge **718**; und Programmieren **1010** des oberen Datenworts in die obere Seite **712** (was nachfolgend in größerem Detail beschrieben wird).

[0061] **Fig. 11** ist ein Flussdiagramm von Schritt **1010** für das Programmieren des unteren Datenworts in die untere Seite **702** des Verfahrens, das durch das in **Fig. 10** gezeigte Flussdiagramm **1000** dargestellt ist. Für jedes Bit in dem zu programmierenden **1102** Datenwort, wenn das Datenbit eine '1' ist, dann Verhindern des Programmierens **1104** oder Belassen davon im Zustand 1 **404**; wenn das Datenbit eine '0' ist, dann Programmieren **512** der Zelle von Zustand 1 **404** auf Zustand 2 **406**.

[0062] **Fig. 12** ist ein Flussdiagramm von Schritt **1022** zum Programmieren des oberen Datenworts in die obere Seite **712** des Verfahrens, das durch das in **Fig. 10** gezeigte Flussdiagramm **1000** dargestellt ist. Zuerst wird ein unteres Datenwort aus der unteren Seite **702** ausgelesen, die sich mit der oberen Seite **712** die gleiche Wortleitung teilt. Dann wird für jedes Bit in dem unteren Datenwort und dem oberen Datenwort, wenn die oberen/unteren Datenbits '11' **1204**, **1206** sind, ein Programmieren verhindert **1208**, und die Zelle verbleibt in Zustand 1 **404**; wenn die oberen/unteren Datenbits '10' **1204**, **1206** sind, dann wird die Zelle von Zustand 1 **406** auf Zustand 4 **410** programmiert **516**; wenn die oberen/unteren Datenbits '01' **1204**, **1212** sind, dann wird das Programmieren verhindert **1214**, und die Zelle verbleibt im Zustand 2 **406**; ansonsten, wenn die oberen/unteren Datenbits '00' **1204**, **1206** sind, wird die Zelle von Zustand 2 **406** auf Zustand 3 **408** programmiert **514**.

[0063] **Fig. 13** ist ein Flussdiagramm **1300** von einem Verfahren zum Lesen von Daten aus einer oberen Seite **712** gemäß der vorliegenden Erfindung. Zunächst wird eine Grenzwertspannung **402** von jeder Zelle **306** in der Seite **202** erfasst **1302**; wenn die Grenzwertspannung nicht größer ist als V_{Ref2} **1304** und die Polaritätsflagge nicht gesetzt **1306** ist, dann ist das obere Bit eine '1' **1310**; wenn die Grenzwertspannung nicht größer ist als V_{Ref2} **1304** und die Polaritätsflagge gesetzt **1306** ist, dann ist das obere Bit eine '0' **1308**; wenn die Grenzwertspannung größer ist als V_{Ref2} **1304** und die Polaritätsflagge nicht gesetzt **1307** ist, dann ist das obere Bit eine '0' **1308**; ansonsten, wenn die Grenzwertspannung größer ist als V_{Ref2} **1304** und die Polaritätsflagge gesetzt **1307** ist, dann ist das obere Bit eine '1' **1310**.

[0064] **Fig. 14** ist ein Flussdiagramm **1400** von einem Verfahren zum Lesen von Daten aus einer unteren Seite **702** gemäß der vorliegenden Erfindung. Zuerst wird eine Grenzwertspannung **402** von jeder Zelle **306** in der Seite **202** erfasst **1402**; wenn die Grenzwertspannung kleiner als V_{Ref1} oder größer als V_{Ref3} **1404** ist und die Polaritätsflagge nicht gesetzt **1406** ist, dann ist das untere Bit eine '1' **1410**; wenn die Grenzwertspannung kleiner als V_{Ref1} oder größer als V_{Ref3} **1404** ist und die Polaritätsflagge gesetzt **1406** ist, dann ist das obere Bit eine '0' **1408**; wenn die Grenzwertspannung größer als V_{Ref1} und kleiner als V_{Ref3} **1404** ist und die Polaritätsflagge

nicht gesetzt **1407** ist, dann ist das obere Bit eine '0' **1408**; ansonsten, wenn die Grenzwertspannung größer als V_{Ref1} und kleiner als V_{Ref3} **1404** ist und die Polaritätsflagge gesetzt **1407** ist, dann ist das obere Bit eine '1' **1410**.

[0065] Allgemein wird eine Grenzwertspannung der MBC-Zelle in einer herkömmlichen Weise gemessen, wenn die gemessene Grenzwertspannung kleiner ist als V_{Ref1} , dann ist der gespeicherte Wert N-1 (alle '1', oder Einserkomplement der Grey-Code-Darstellung von 0), wenn die gemessene Grenzwertspannung zwischen $V_{\text{Ref}(n-1)}$ und V_{Refn} beträgt, dann ist der in der MBC-Zelle gespeicherte Wert das Einserkomplement der Grey-Code-Darstellung von n-1, und wenn die gemessene Grenzwertspannung der MBC-Speicherzelle größer als $V_{\text{Ref}(n-1)}$ ist, dann ist der gespeicherte Wert das Einserkomplement der Grey-Code-Darstellung von N-1. Außerdem, wenn eine entsprechende Polaritätsflagge gesetzt ist, dann wird der aus der MBC-Zelle ausgelesene Wert invertiert.

[0066] Die M virtuellen Seiten können der Reihe nach sequentiell von der M^{ten} Seite zur ersten Seite gelesen werden. Zum Lesen der M^{ten} Seite werden die Grenzwertspannungen mit

$$V_{\text{Ref}(2^{M-1})}$$

verglichen; dann werden zum Lesen der (M-1)^{ten} Seite die Grenzwertspannung mit

$$V_{\text{Ref}(2^{M-2})} \text{ und } V_{\text{Ref3}(2^{M-2})}$$

verglichen; dann werden zum Lesen der (M-2)^{ten} Seite die Grenzwertspannungen mit

$$V_{\text{Ref}(2^{M-3})}, V_{\text{Ref3}(2^{M-3})}, V_{\text{Ref5}(2^{M-3})} \text{ und } V_{\text{Ref7}(2^{M-3})}$$

verglichen; und so weiter bis zur ersten Seite, wo die Grenzwertspannungen mit $V_{\text{Ref1}}, V_{\text{Ref3}}, V_{\text{Ref5}}, \dots, V_{\text{Ref}(N-1)}$ verglichen werden.

[0067] [Fig. 15](#) ist eine Darstellung von einem Speichersystem **1500** gemäß der vorliegenden Erfindung. Das System **1500** enthält eine Speichersteuerung **1502**, die eine Host-Schnittstelle **1504** und eine Parallelbus-schnittstelle hat, um mit einem oder mehreren nichtflüchtigen Speichern **100** mit Polaritätssteuerung **112** verbunden zu werden, wie nachfolgend beschrieben wird.

[0068] Nachfolgend wird auf [Fig. 16](#) und [Fig. 17](#) Bezug genommen, in denen eine andere nichtflüchtige Speichervorrichtung **1600** und ein System **1700** gemäß der vorliegenden Erfindung gezeigt ist, wobei eine Steuerung **106** ausgestaltet ist, um über einen Systembus **1506** mit einer Speichersteuerung **1702** zu kommunizieren, die eine Polaritätssteuerung **112** aufweist.

[0069] In [Fig. 18](#) und [Fig. 19](#) ist eine weitere nichtflüchtige Speichervorrichtung **1800** sowie ein System **1900** gemäß der vorliegenden Erfindung dargestellt. Die nichtflüchtige Speichervorrichtung **1800** ist im Wesentlichen die gleiche wie die Speichervorrichtung **100**, die in [Fig. 1](#) gezeigt ist, mit der Ausnahme, dass sie einen seriellen Eingang **1802** und einen seriellen Ausgang **1804** anstelle einer parallelen Schnittstelle **110** aufweist. Das Speichersystem **1900** beinhaltet eine oder mehrere der nichtflüchtigen Speichervorrichtungen **1800**, die in [Fig. 18](#) gezeigt sind. Eine Speichersteuerung **1902**, die eine Host-Schnittstelle **1504**, einen seriellen Ausgang **1904** und einen seriellen Eingang **1906** aufweist, steuert das Speichersystem **1900** in einer solchen Weise, wie beispielsweise in der anhängigen U. S. Anmeldung Nr. 11/324,023 des Anmelders mit dem Titel "MULTIPLE INDEPENDENT SERIAL LINK MEMORY" beschrieben ist, angemeldet am 30. Dezember 2005 für Kim et al., die hiermit durch Bezugnahme eingeführt wird.

[0070] [Fig. 20](#) und [Fig. 21](#) zeigen eine weitere nichtflüchtige Speichervorrichtung **2000** und ein System **2100** gemäß der vorliegenden Erfindung, wobei eine Steuerung **106** ausgestaltet ist, um über einen seriellen Bus **1904, 1906** mit einer Speichersteuerung **2102** zu kommunizieren, die eine Polaritätssteuerung **2104** aufweist. Die nichtflüchtige Speichervorrichtung **2000** ist im Wesentlichen die gleiche wie die Speichervorrichtung **1600**, die in [Fig. 16](#) gezeigt ist, mit der Ausnahme, dass sie einen seriellen Eingang **1802** und einen seriellen Ausgang **1804** anstelle einer parallelen Schnittstelle **110** aufweist. Das Speichersystem **2100** enthält eine oder mehrere der nichtflüchtigen Speichervorrichtungen **2000**, die in [Fig. 20](#) gezeigt sind. Eine Speichersteuerung **2102**, die eine Host-Schnittstelle **1504**, einen seriellen Ausgang **1904** und einen seriellen Eingang **1906** aufweist, steuert das Speichersystem **2100** in einer solchen Weise, wie beispielsweise in der Anmeldung Nr. 11/324,023 beschrieben ist.

[0071] Es sei angemerkt, dass, obwohl Ausführungsbeispiel des Systems mit parallelen Schnittstellen ([Fig. 15](#) und [Fig. 17](#)) und seriellen Schnittstellen ([Fig. 19](#) und [Fig. 21](#)) offenbart sind, Systeme mit irgendeiner Kombination von parallelen und seriellen Schnittstellen ebenfalls in den Schutzbereich der Erfindung fallen.

[0072] Obwohl Ausführungsbeispiele mit MBC-Speicherzellen beschrieben wurden, die 2 Bits pro Zelt haben, ist die vorliegende Erfindung ebenfalls auf Vorrichtungen, Verfahren und Systemen anwendbar, die MBC-Speicherzellen mit mehr als 2 Bits pro Zelle haben.

[0073] Allgemein, und unter erneuter Bezugnahme auf [Fig. 4](#), hat eine MBC-Speicherzelle **306** mit M Bits pro Zelle N Zustände (Zustand 1, Zustand 2, ... Zustand n, ... Zustand N-1, Zustand N) vom untersten zum höchsten Wert von V_{th} in dieser Reihenfolge, wobei, siehe [Fig. 5](#), Zustand n einen Datenwert (D) darstellt, der ein Einserkomplement des Grey-Code-Werts von n-1 ($n = 1$ bis N) ist, und wobei das LSB (least significant bit) von D zum MSB (most significant bit) von D Daten darstellt, die in virtuellen Zellen gespeichert sind. Das Programmieren des m^{ten} Bits von D in die m^{te} virtuelle Zelle beinhaltet das Programmieren der MBC-Speicherzelle von einem der Zustände 1, 2, ... 2^{m-1} zu jeweils einem der Zustände 2^m , 2^{m-1} , $2^{m-1} + 1$.

[0074] Die Steuerung invertiert selektiv die Polarität von zu programmierenden Daten, um eine Anzahl von Bits zu maximieren, die in jeder der Seiten 1 bis M-1 programmiert werden sollen, und invertiert selektiv die Polarität der zu programmierenden Daten, um eine Anzahl von Bits zu minimieren, die in die M^{te} Seite programmiert werden sollen.

[0075] Wie vorstehend beschrieben, können die in [Fig. 15](#), [Fig. 17](#), [Fig. 19](#) und [Fig. 21](#) gezeigten Speichersysteme auch, wie in [Fig. 22A](#), [Fig. 22B](#), [Fig. 22C](#) bzw. [Fig. 22D](#) gezeigt, in einer elektrischen Einrichtung **2200** eingebettet sein. Die elektrische Einrichtung **2200** kann beispielsweise ein Speicherstift, eine Halbleiterfestplatte (SSD), ein Laptop-Computer, ein Desktop-Computer, ein persönlicher digitaler Assistent (PDA), ein Audio-Player oder ähnliches sein, wo die Vorteile der Ausführungsformen der vorliegenden Erfindung, die hier beschrieben wurden, besonders vorteilhaft sind.

[0076] Mittels der vorliegenden Erfindung werden daher eine Vorrichtung, ein Verfahren und ein System zum Programmieren einer Speicherzelle mit mehreren Bits pro Zelle zur Verfügung gestellt, wodurch die Anzahl von höchsten Programmierzuständen reduziert wird, die verwendet werden, um ein gegebenes Datenfeld zu programmieren, und somit eine nichtflüchtige Speichereinrichtung mit engerer Verteilung von Grenzwertspannungen (V_{th}) für programmierte Zellen zur Verfügung gestellt, mittels derer der Energieverbrauch reduziert, die Programmierzeit vermindert und die Zuverlässigkeit der Einrichtung im Vergleich mit dem Stand der Technik verbessert wird.

[0077] Die Ausführungsbeispiele der Erfindung, wie sie vorstehend beschrieben wurden, sind lediglich beispielhafter Natur. Der Schutzbereich der Erfindung ist daher ausschließlich durch den Schutzbereich der angefügten Patentansprüche begrenzt.

Tabelle der Elemente

Elementname	Bezugszeichen
nichtflüchtige Speichervorrichtung	100
Speicher-Array	102
Block	104
Steuerung	106
Verbindung	108
Schnittstelle	110
Polaritätssteuerung	112
Seite	202
Datenfeld	302
Ersatzfeld	304
MBC-Speicherzelle	306
Polaritätsflaggen	308

Fehlerkorrektur-Code (ECC)	310
Grenzwertspannung	402
Zustands-/Grenzwertspannungen 1 bis 4	404, 406, 408, 410
beispielhafte Grenzwertspannungsverteilung	500
vertikale Achse, Anzahl der Zellen	502
horizontale Achse, Spannung	504
Referenzspannungen 1 bis 3	506, 508, 510
Programm von Zustand 1 bis 2	512
Programm von Zustand 2 bis 3	514
Programm von Zustand 1 bis 4	516
unteres Bit	602
oberes Bit	604
untere Seite	702
unteres Datenfeld	704
unteres Ersatzfeld	706
untere Polaritätsflagge	708
unteres ECC	710
obere Seite	712
oberes Datenfeld	714
oberes Ersatzfeld	716
obere Polaritätsflagge	718
oberes ECC	720
Grenzwertspannungsverteilung	802, 804, 806
Verfahren zum Programmieren Flussdiagramm	900
Programmieren der unteren Seite	902
Unterbrechung zwischen 902 und 904	903
Programmieren der oberen Seite	904
detailliertes Verfahren des Programmierens- Flussdiagramm	1000
Schritte des Programmierens der unteren Seite	1002 bis 1012
Schritte des Programmierens der oberen Seite	1014 bis 1024
Schritte des Programmierens des unteren Datenworts	1102 bis 1104
Schritte des Programmierens des oberen Datenworts	1202 bis 1214
Lesen des oberen Datenworts Flussdiagramm	1300
Schritte zum Lesen des oberen Datenworts	1302 bis 1310
Lesen des oberen Datenworts Flussdiagramm	1400
Schritte zum Lesen des unteren Datenworts	1402 bis 1410
Speichersystem	1500
Speichersteuerung	1502
Host-Schnittstelle	1504
paralleler Bus	1506
nichtflüchtiger Speicher	1600
Speichersystem	1700

Speichersteuerung w/Polaritätssteuerung	1702
nichtflüchtiger Speicher w/serielle Schnittstelle	1800
serielle Eingangsschnittstelle	1802
serielle Ausgangsschnittstelle	1804
Speichersystem w/serielle Verbindung	1900
Speichersteuerung w/serielle Schnittstelle	1902
serielle Ausgabe	1904
serielle Eingabe	1906
nichtflüchtiger Speicher w/serielle Schnittstelle	2000
Speichersystem	2100
Speichersteuerung w/serielle Schnittstelle und Polaritätssteuerung	2102
elektrische Einrichtung	2200

ZUSAMMENFASSUNG

[0078] Nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC), Verfahren und System, wobei eine Steuerung zum Schreiben/Lesen von Daten in/aus einem Speicher-Array die Polarität von Daten steuert, indem Datenwörter selektiv invertiert werden, um eine Anzahl von Bits zu maximieren, die in (M-1) virtuellen Seiten programmiert werden sollen, und indem Datenwörter selektiv invertiert werden, um eine Anzahl von Bits zu minimieren, die in einer M^{-ten} virtuellen Seite programmiert werden sollen, wobei M die Anzahl an Bits pro Zelle ist. Eine zugehörige Polaritätssteuerflagge wird gesetzt, wenn ein Datenwort invertiert wird. Daten werden gemäß der zugehörigen Polaritätsflagge selektiv invertiert, wenn sie aus den M virtuellen Seiten gelesen werden. Eine Anzahl der höchsten Grenzwertspannungsprogrammierzustände wird reduziert. Dadurch wird eine engere Verteilung der programmierten Zellengrenzwertspannung erreicht, der Energieverbrauch reduziert, die Programmierzeit vermindert und die Zuverlässigkeit der Einrichtung verbessert.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 6937510 [\[0008\]](#)

Zitierte Nicht-Patentliteratur

- "FLASH MULTI-LEVEL THRESHOLD DISTRIBUTION SCHEME" beschrieben sind, die am 13. Juni 2007 [\[0051\]](#)
- "MULTIPLE INDEPENDENT SERIAL LINK MEMORY" beschrieben ist, angemeldet am 30. Dezember 2005 für Kim et al. [\[0069\]](#)

Patentansprüche

1. Nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC), mit:
einem Speicher-Array, das einen elektrisch löschbaren Block enthält;
wobei der Block eine reprogrammierbare Seite enthält;
wobei die reprogrammierbare Seite eine obere und eine untere Seite enthält, die sich eine gemeinsame Wortleitung teilen;
wobei die oberen und unteren Seiten jeweilige obere und untere Datenfelder enthalten;
wobei die oberen und unteren Datenfelder jeweilige virtuelle obere und untere Zellen von MBC-Speicherzellen enthalten;
wobei die MBC-Speicherzellen jeweilige Grenzwertspannungen haben, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel in der Reihenfolge vom untersten Spannungspegel programmierbar sind,
wobei das Programmieren der unteren Zellen das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zweiten Grenzwertspannungspegel umfasst, und
wobei das Programmieren der oberen Zellen das Programmieren der jeweiligen Grenzwertspannung vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum dritten Grenzwertspannungspegel umfasst; und
einer Steuerung zum Schreiben von Daten in das Speicher-Array, wobei die Steuerung die Polarität steuert, indem selektiv ein Datenwort invertiert wird, um eine Anzahl von zu programmierenden Bits in einer unteren Seite zu maximieren, und selektiv Daten invertiert werden, um eine Anzahl von zu programmierenden Bits in der jeweiligen oberen Seite zu minimieren.
2. Vorrichtung nach Anspruch 1, bei der die oberen und unteren Seiten jeweilige obere und untere Ersatzfelder enthalten.
3. Vorrichtung nach Anspruch 2, bei der die oberen und unteren Ersatzfelder jeweilige obere und untere Seitenpolaritätsflaggen enthalten.
4. Vorrichtung nach Anspruch 1, bei der der erste Pegel, der zweite Pegel, der dritte Pegel und der vierte Pegel der Grenzwertspannungen jeweils als '11', '10', '00' und '01' Kombinationen der oberen bzw. unteren Zellen definiert sind.
5. Vorrichtung nach Anspruch 4, bei der der erste Grenzwertspannungspegel einen gelöschten Zustand darstellt.
6. Vorrichtung nach Anspruch 4, bei der der erste Grenzwertspannungspegel eine unprogrammierte obere Zelle und eine unprogrammierte untere Zelle darstellt.
7. Vorrichtung nach Anspruch 1, bei der der zweite Grenzwertspannungspegel eine unprogrammierte obere Zelle und eine programmierte untere Zelle darstellt.
8. Vorrichtung nach Anspruch 1, bei der der dritte Grenzwertspannungspegel eine programmierte obere Zelle und eine programmierte untere Zelle darstellt.
9. Vorrichtung nach Anspruch 1, bei der der zweite Grenzwertspannungspegel eine programmierte obere Zelle und eine unprogrammierte untere Zelle darstellt.
10. Vorrichtung nach Anspruch 1, bei der die oberen und unteren Seiten außerdem jeweilige obere und untere Ersatzfelder enthalten.
11. Vorrichtung nach Anspruch 10, bei der die oberen und unteren Ersatzfelder jeweilige obere und untere Polaritätsflaggen enthalten.
12. Vorrichtung nach Anspruch 1, bei der die Steuerung Mittel zum Lesen von Daten aus dem Speicher-Array enthält, und wobei die Steuerung Mittel zum Lesen eines Datenworts aus einer Seite, Mittel zum Dekodieren des Datenworts in untere und obere Datenwörter, Mittel zum Invertieren des unteren Datenworts, wenn eine untere Seitenpolaritätsflagge gesetzt ist, und Mittel zum Invertieren des oberen Datenworts enthält, wenn eine obere Seitenpolaritätsflagge gesetzt ist.

13. Nichtflüchtiges Speichersystem (NVM), mit:
einer nichtflüchtigen Speichervorrichtung mit mehreren Bits pro Zelle (MBC), mit:
einem Speicher-Array, das einen elektrisch löschbaren Block enthält;
wobei die Blöcke eine reprogrammierbare Seite enthalten;
wobei die reprogrammierbare Seite obere und untere Seiten enthält, die sich gemeinsame Wortleitungen teilen;
wobei die oberen und unteren Seiten jeweilige obere und untere Datenfelder enthalten;
wobei die oberen und unteren Datenfelder jeweilige virtuelle obere und untere Zellen von MBC-Speicherzellen enthalten;
wobei die MBC-Speicherzellen jeweilige Grenzwertspannungen haben, die auf einen ausgewählten Pegel von einem ersten Pegel, einem zweiten Pegel, einem dritten Pegel oder einem vierten Pegel in der Reihenfolge vom untersten Spannungspegel programmierbar sind,
wobei das Programmieren der unteren Zellen das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum zweiten Grenzwertspannungspegel umfasst, und
wobei das Programmieren von oberen Zellen das Programmieren der jeweiligen Grenzwertspannungen vom ersten Grenzwertspannungspegel zum vierten Grenzwertspannungspegel oder vom zweiten Grenzwertspannungspegel zum dritten Grenzwertspannungspegel umfasst; und
einer Steuerung zum Schreiben von Daten in das Speicher-Array, wobei die Steuerung die Polarität steuert, indem selektiv Daten invertiert werden, um eine Anzahl der zu programmierenden Bits in einer unteren Seite zu maximieren, und selektiv Daten invertiert werden, um eine Anzahl von zu programmierenden Bits in der jeweiligen oberen Seite zu minimieren.
14. System nach Anspruch 13, bei dem die oberen und unteren Seiten jeweilige obere und untere Ersatzfelder enthalten.
15. System nach Anspruch 14, bei dem die oberen und unteren Ersatzfelder jeweilige obere und untere Seitenpolaritätsflaggen enthalten.
16. System nach Anspruch 13, bei dem der erste Pegel, der zweite Pegel, der dritte Pegel und der vierte Pegel der Grenzwertspannungen jeweils als '11', '10', '00' und '01' Kombinationen der oberen bzw. unteren Zellen definiert sind.
17. System nach Anspruch 16, bei dem der erste Grenzwertspannungspegel einen gelöschten Zustand darstellt.
18. System nach Anspruch 16, bei dem der erste Grenzwertspannungspegel eine unprogrammierte obere Zelle und eine unprogrammierte untere Zelle darstellt.
19. System nach Anspruch 13, bei dem der zweite Grenzwertspannungspegel eine unprogrammierte obere Zelle und eine programmierte untere Zelle darstellt.
20. System nach Anspruch 13, bei dem der dritte Grenzwertspannungspegel eine programmierte obere Zelle und eine programmierte untere Zelle darstellt.
21. System nach Anspruch 13, bei dem der zweite Grenzwertspannungspegel eine programmierte obere Zelle und eine unprogrammierte untere Zelle darstellt.
22. System nach Anspruch 13, bei dem die oberen und unteren Seiten jeweilige außerdem jeweilige obere und untere Ersatzfelder enthalten
23. System nach Anspruch 22, bei dem die oberen und unteren Ersatzfelder jeweilige obere und untere Polaritätsflaggen enthalten.
24. System nach Anspruch 13, bei dem die Steuerung Mittel zum Lesen von Daten aus dem Speicher-Array enthält, und wobei die Steuerung Mittel zum Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite, Mittel zum Bereitstellen eines oberen Datenworts durch Vergleichen der Grenzwertspannungen mit einer vorbestimmten Spannungsreferenz, und Mittel zum Invertieren des oberen Datenworts enthält, wenn eine obere Seitenpolaritätsflagge gesetzt ist.
25. System nach Anspruch 13, bei dem die Steuerung Mittel zum Lesen von Daten aus dem Speicher-Array enthält, und wobei die Steuerung Mittel zum Erfassen von Grenzwertspannungen von MBC-Zellen in

einer Seite, Mittel zum Bereitstellen eines unteren Datenworts durch Vergleichen der Grenzwertspannungen mit zwei vorbestimmten Spannungsreferenzen, und Mittel zum Invertieren des unteren Datenworts enthält, wenn eine untere Seitenpolaritätsflagge gesetzt ist.

26. Verfahren zum Programmieren einer unteren Seite und einer oberen Seite in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), wobei das Verfahren die Schritte umfasst:
 Zählen einer Anzahl von Bits mit einer '0' in einem unteren Datenwort;
 Invertieren von allen Bits in dem unteren Datenwort, wenn die Anzahl von '0' Bits kleiner ist als die Hälfte einer Gesamtzahl von Bits in dem unteren Datenwort;
 Programmieren der unteren Seite mit dem unteren Datenwort;
 Zählen einer Anzahl von Bits mit einer '0' in einem oberen Datenwort;
 Invertieren von allen Bits in dem oberen Datenwort, wenn die Anzahl von '0' Bits größer ist als die Hälfte einer Gesamtzahl von Bits in dem oberen Datenwort; und
 Programmieren der oberen Seite mit dem oberen Datenwort.

27. Verfahren nach Anspruch 26, bei dem der Schritt des Invertierens von allen Bits in dem unteren Datenwort einen Schritt des Setzens einer unteren Seitenpolaritätsflagge umfasst.

28. Verfahren nach Anspruch 26, bei dem der Schritt des Invertierens von allen Bits in dem oberen Datenwort einen Schritt des Setzens einer oberen Seitenpolaritätsflagge umfasst.

29. Verfahren nach Anspruch 26, außerdem mit dem Schritt des Löschens einer unteren Seitenpolaritätsflagge.

30. Verfahren nach Anspruch 26, außerdem mit dem Schritt des Löschens einer oberen Seitenpolaritätsflagge.

31. Verfahren zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), wobei das Verfahren die Schritte umfasst:
 Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite;
 Bereitstellen eines oberen Datenworts durch Vergleichen der Grenzwertspannungen mit einer vorbestimmten Spannungsreferenz; und
 Invertieren des oberen Datenworts, wenn eine obere Seitenpolaritätsflagge gesetzt ist.

32. Verfahren nach Anspruch 31, bei dem der Schritt des Invertierens des oberen Datenworts einen Schritt des Lesens der oberen Seitenpolaritätsflagge aus einem Ersatzfeld umfasst.

33. Verfahren zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), wobei das Verfahren die Schritte umfasst:
 Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite;
 Bereitstellen eines unteren Datenworts durch Vergleichen der Grenzwertspannungen mit zwei vorbestimmten Spannungsreferenzen; und
 Invertieren des unteren Datenworts, wenn eine untere Seitenpolaritätsflagge gesetzt ist.

34. Verfahren nach Anspruch 33, bei dem der Schritt des Invertierens des unteren Datenworts einen Schritt des Lesens der unteren Seitenpolaritätsflagge aus einem Ersatzfeld umfasst.

35. Nichtflüchtige Speichervorrichtung mit mehreren Bits pro Zelle (MBC), mit:
 einem Speicher-Array, das einen elektrisch löschraren Block enthält;
 wobei der Block eine reprogrammierbare Seite enthält;
 wobei die reprogrammierbare Seite M virtuelle Seiten enthält, die sich eine gemeinsame Wortleitung teilen;
 wobei die M virtuellen Seiten jeweilige Datenfelder enthalten;
 wobei jedes der Datenfelder eine jeweilige virtuelle Zelle von einer MBC-Speicherzelle mit M Bits pro Zelle enthält;
 wobei die MBC-Speicherzelle eine Grenzwertspannung hat, die auf einen ausgewählten Pegel von N Pegeln programmierbar ist,
 wobei $N = 2^M$ ist, und
 wobei das Programmieren eines m -ten Bits der M Bits der MBC-Speicherzelle das Programmieren der MBC-Speicherzellen von einem der Zustände $1 \dots 2^{m-1}$ auf jeweils einen der Zustände $2^m \dots 2^{m-1} + 1$ enthält; und einer Steuerung zum Schreiben von Daten in das

Speicher-Array, wobei die Steuerung die Polarität steuert, indem selektiv eine Polarität von jeweiligen Datenwörtern invertiert wird, die in die erste bis $(M-1)$ -te virtuelle Seite zu programmieren sind, um eine Anzahl von zu programmierenden Bits in jeder der jeweiligen $(M-1)$ -ten virtuellen Seite zu maximieren, und selektiv eine Polarität von jeweiligen Datenwörtern invertiert wird, die in die M -te virtuelle Seite zu programmieren sind, um eine Anzahl von zu programmierenden Bits in der M -ten virtuellen Seite zu minimieren.

36. Verfahren zum Lesen von Daten in einem nichtflüchtigen Speicher mit M Bits pro Zelle, wobei das Verfahren Schritte umfasst:

Erfassen der Grenzwertspannungen von MBC-Zellen in einer Seite;
Vergleichen der Grenzwertspannungen mit $2^M - 1$ vorbestimmten Referenzspannungen;
Bereitstellen eines Datenworts basierend auf den Vergleichen; und
Invertieren des Datenworts, wenn eine Polaritätsflagge gesetzt ist.

37. System mit einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), das Mittel zum Lesen von Daten enthält, mit:

Mitteln zum Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite;
Mitteln zum Bereitstellen eines oberen Datenworts durch Vergleichen der Grenzwertspannungen mit einer vorbestimmten Spannungsreferenz; und
Mitteln zum Invertieren des oberen Datenworts, wenn eine obere Seitenpolaritätsflagge gesetzt ist.

38. System nach Anspruch 37, bei dem die Mittel zum Invertieren des oberen Datenworts Mittel zum Lesen der oberen Seitenpolaritätsflagge aus einem Ersatzfeld enthalten.

39. Speichersteuerung zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), mit:

Mitteln zum Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite;
Mitteln zum Bereitstellen eines oberen Datenworts durch Vergleichen der Grenzwertspannungen mit einer vorbestimmten Spannungsreferenz; und
Mitteln zum Invertieren des oberen Datenworts, wenn eine obere Seitenpolaritätsflagge gesetzt ist.

40. Speichersteuerung nach Anspruch 39, bei der die Mittel zum Invertieren des oberen Datenworts Mittel zum Lesen der oberen Seitenpolaritätsflagge aus einem Ersatzfeld enthalten.

41. Speichersteuerung zum Lesen von Daten in einem nichtflüchtigen Speicher mit mehreren Bits pro Zelle (MBC), mit:

Mitteln zum Erfassen von Grenzwertspannungen von MBC-Zellen in einer Seite;
Mitteln zum Bereitstellen eines unteren Datenworts durch Vergleichen der Grenzwertspannungen mit zwei vorbestimmten Spannungsreferenzen; und
Mitteln zum Invertieren des unteren Datenworts, wenn eine untere Seitenpolaritätsflagge gesetzt ist.

42. Speichersteuerung nach Anspruch 41, bei der die Mittel zum Invertieren des unteren Datenworts Mittel zum Lesen der unteren Seitenpolaritätsflagge aus einem Ersatzfeld enthalten.

Es folgen 22 Blatt Zeichnungen

Anhängende Zeichnungen

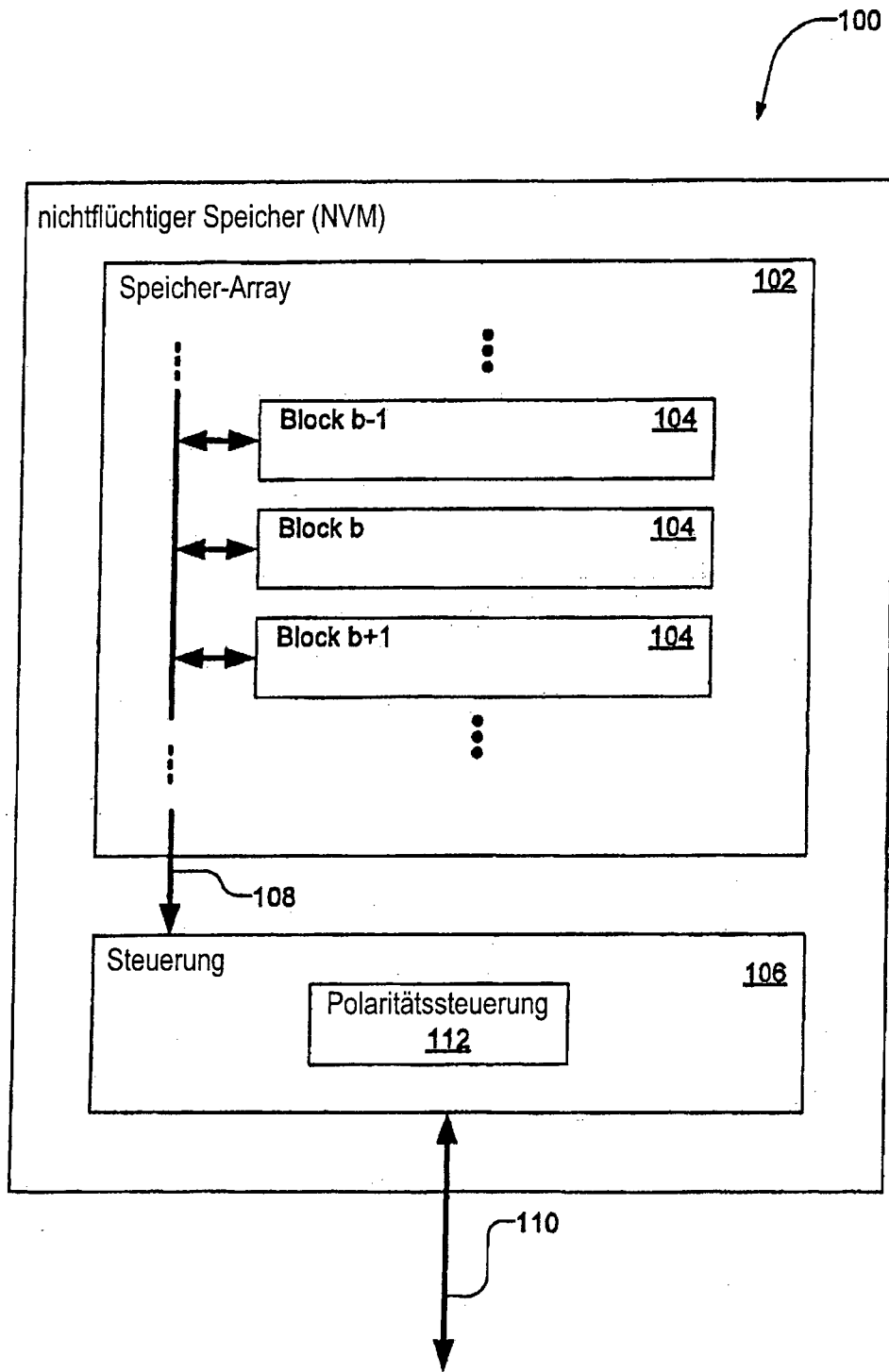


Fig. 1

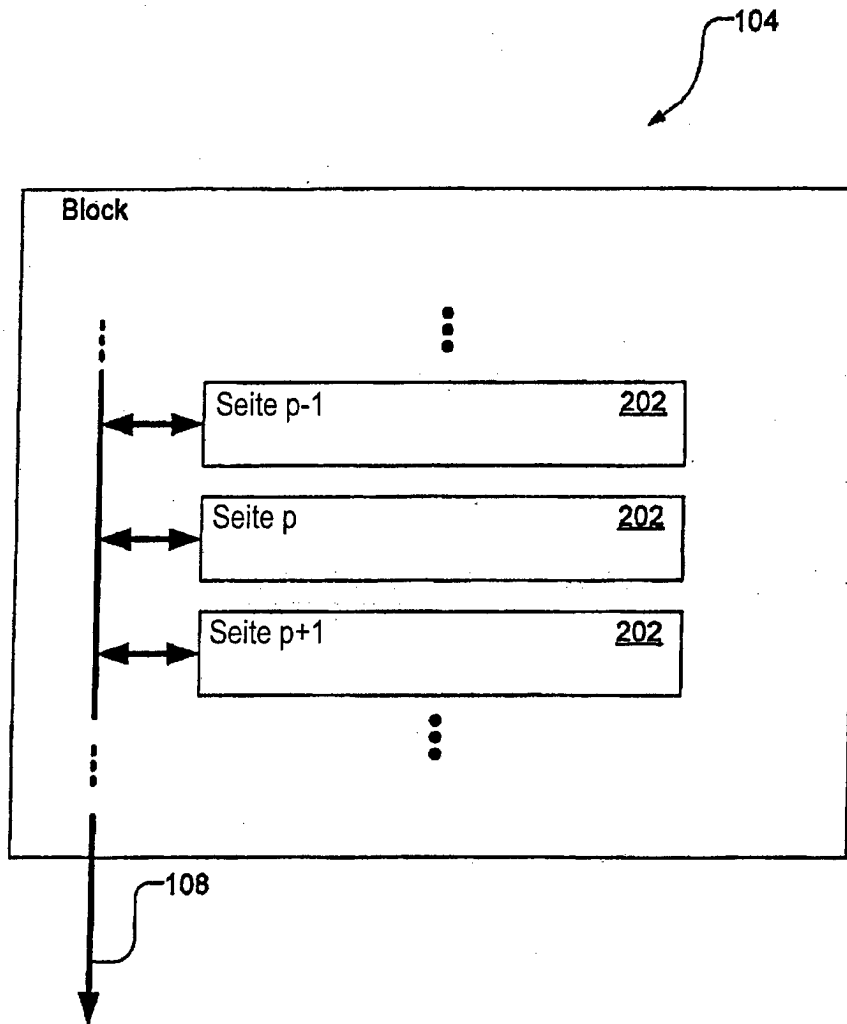


Fig. 2

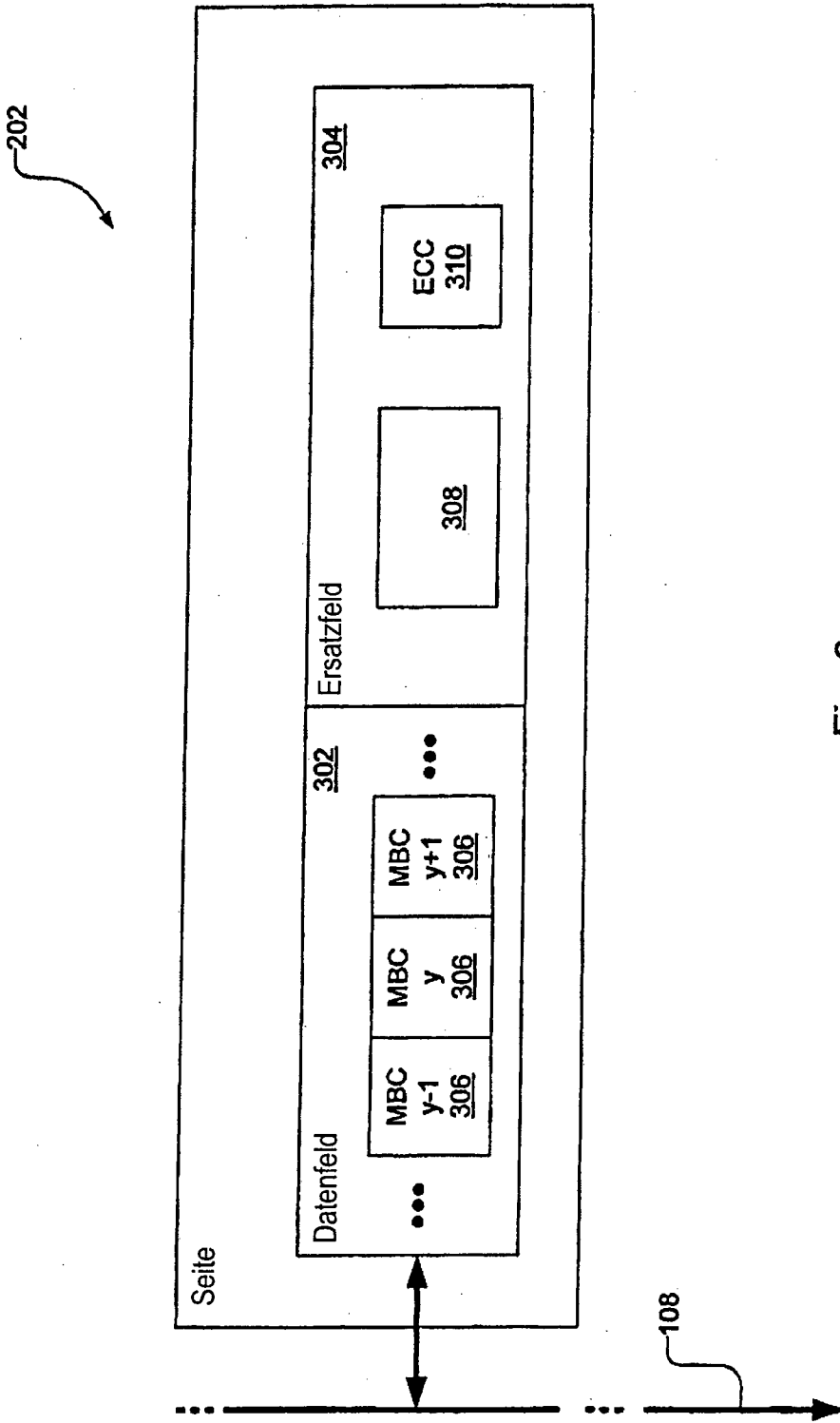


Fig. 3

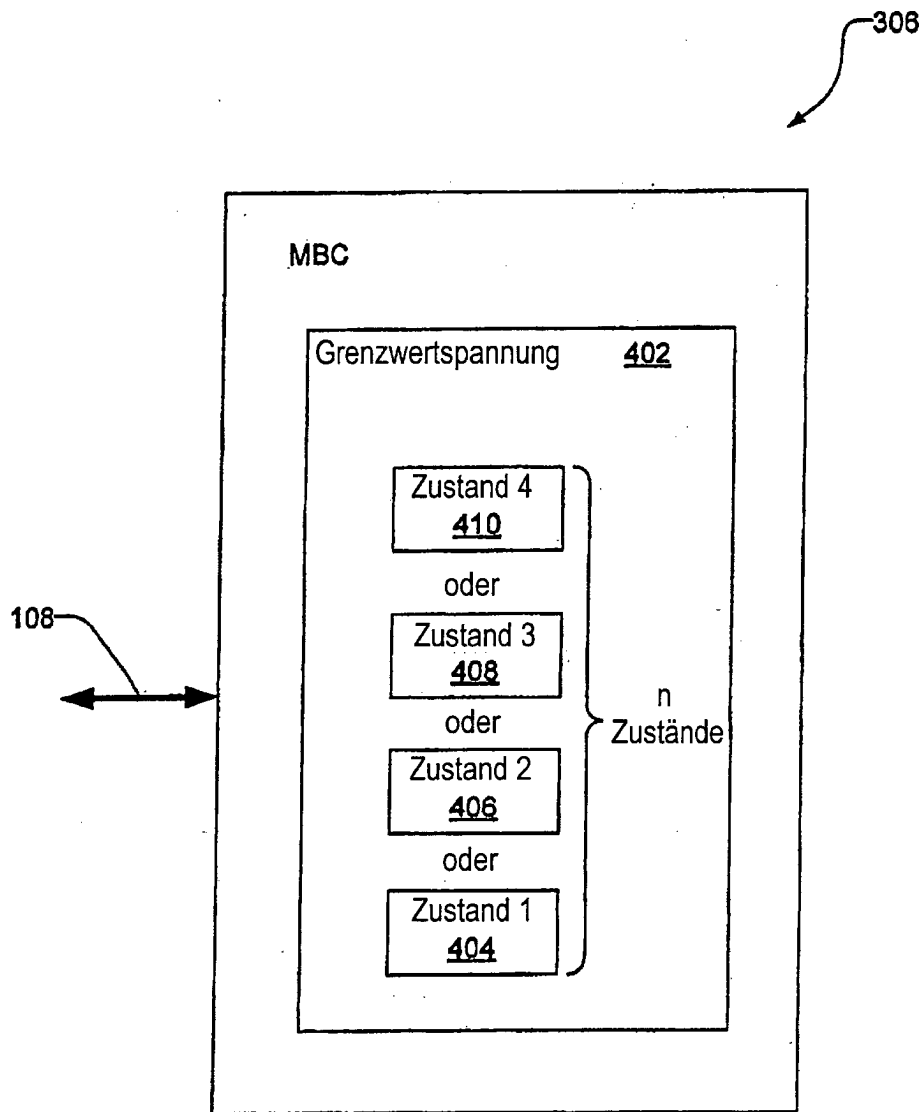


Fig. 4

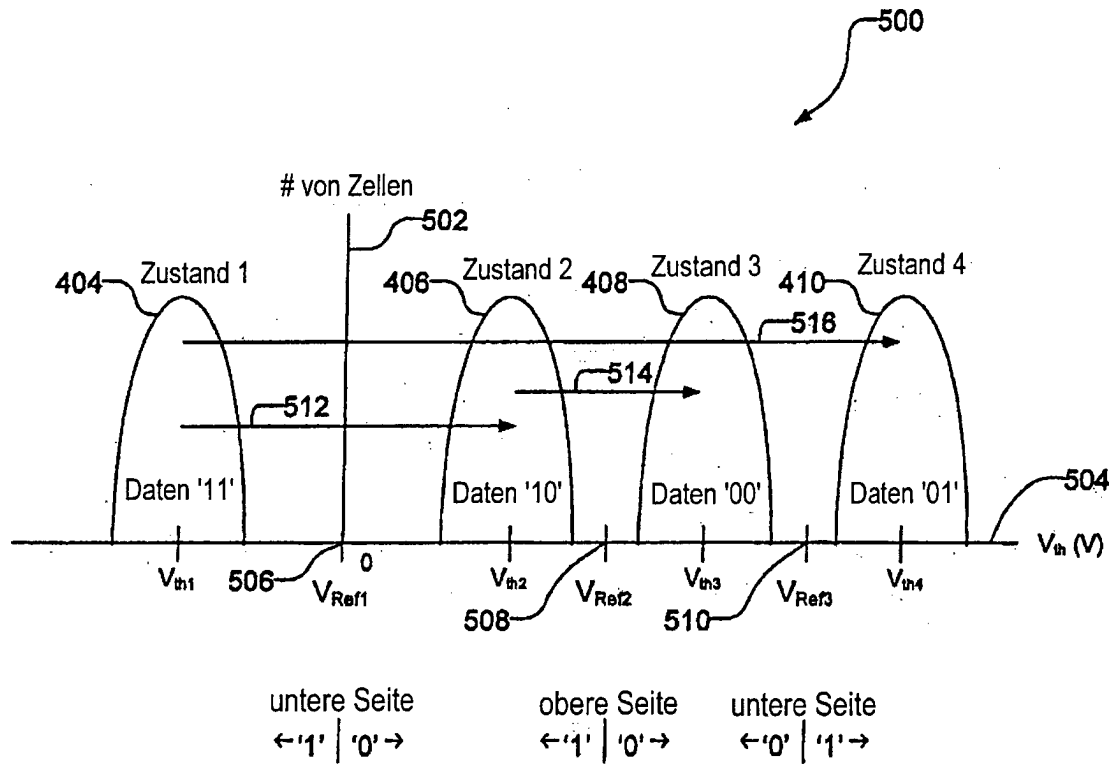


Fig. 5

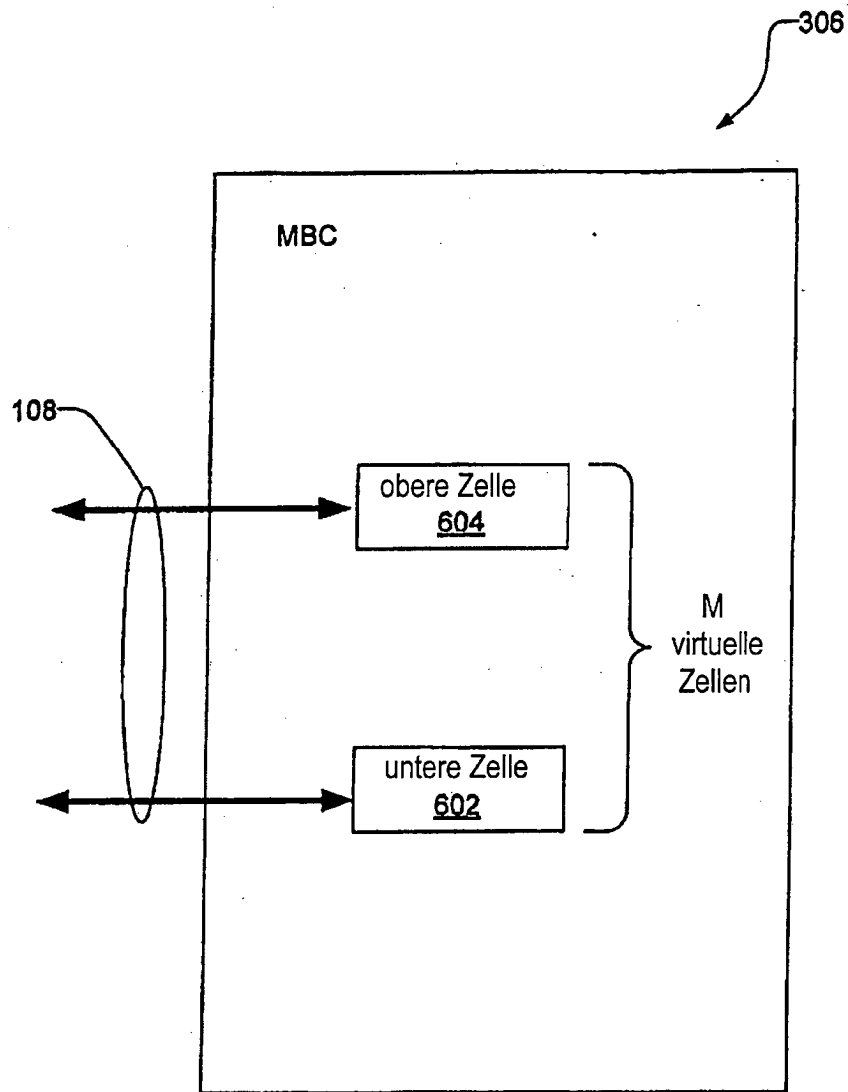


Fig. 6

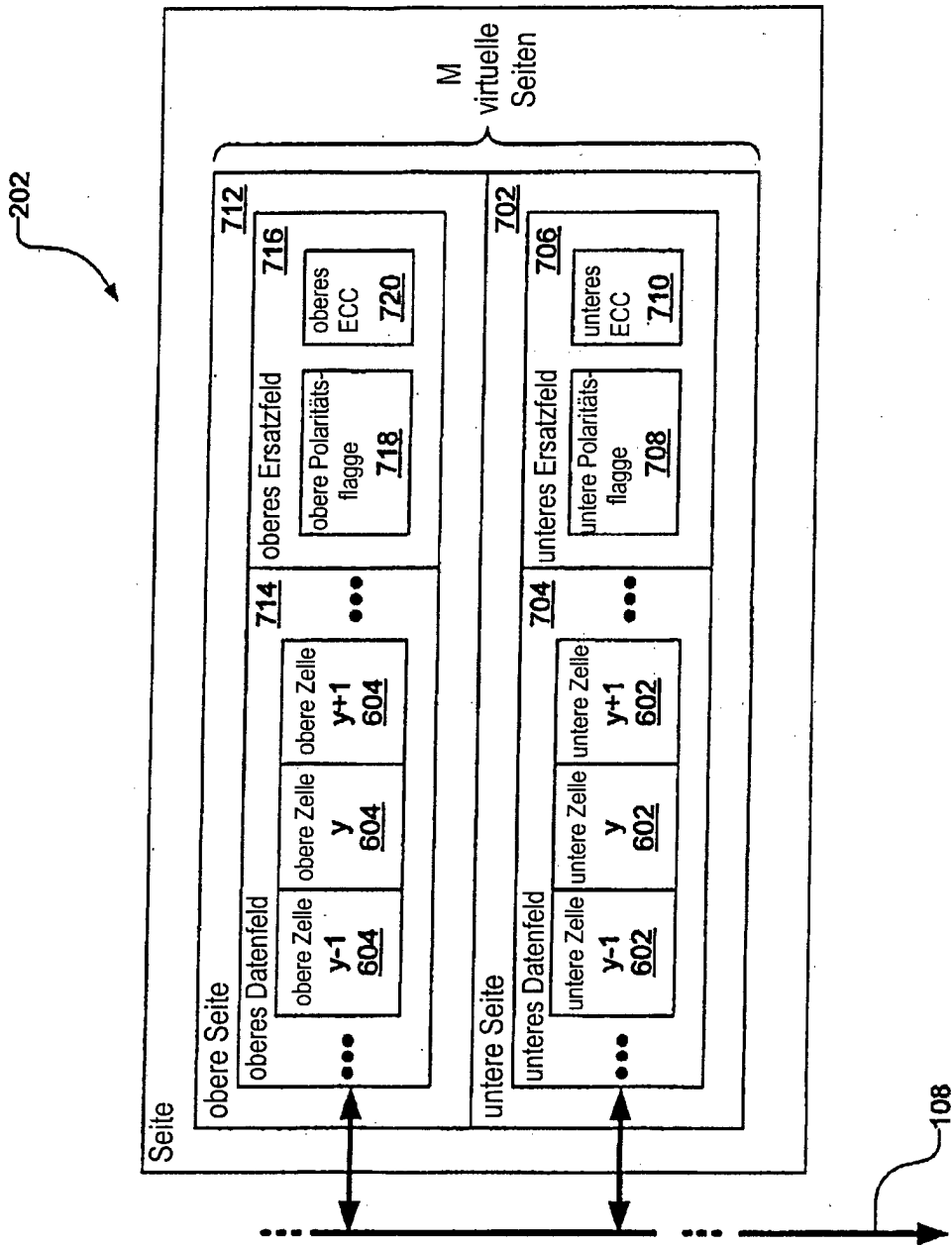


Fig. 7

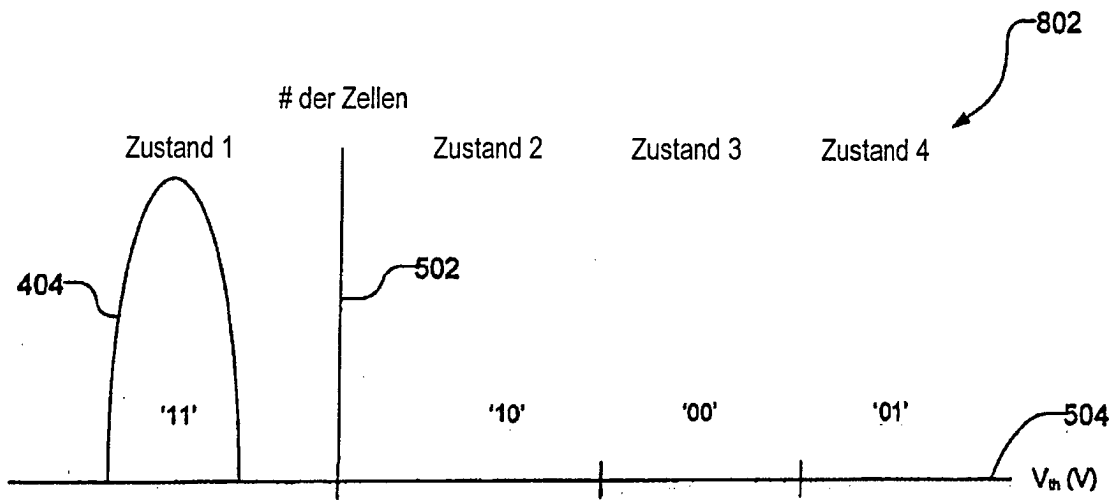


Fig. 8a

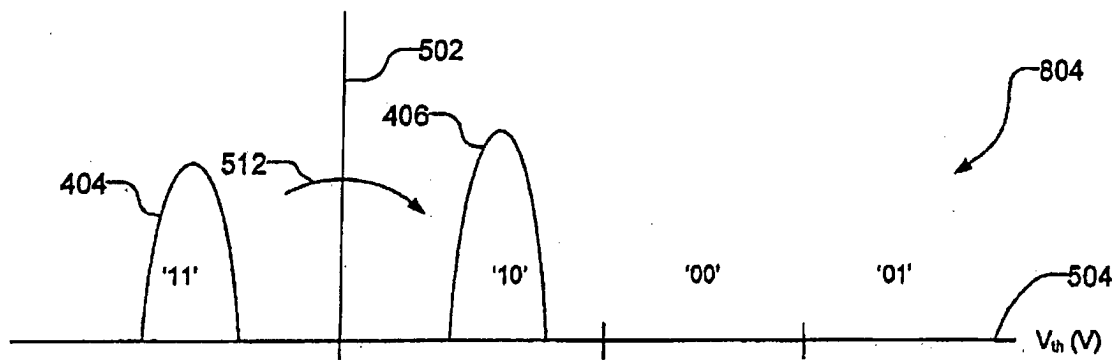


Fig. 8b

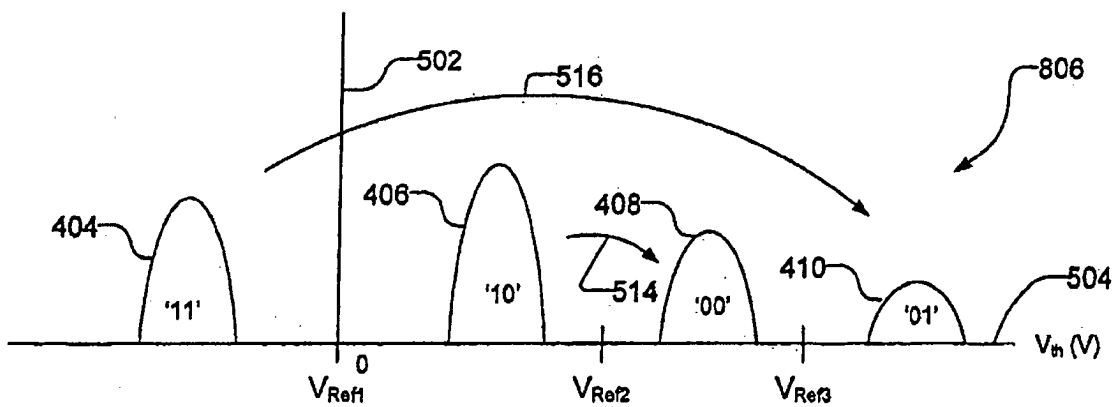


Fig. 8c

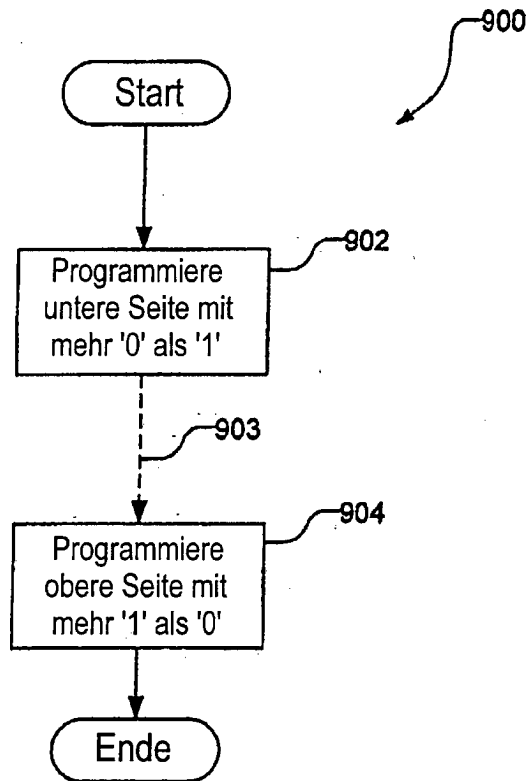


Fig. 9

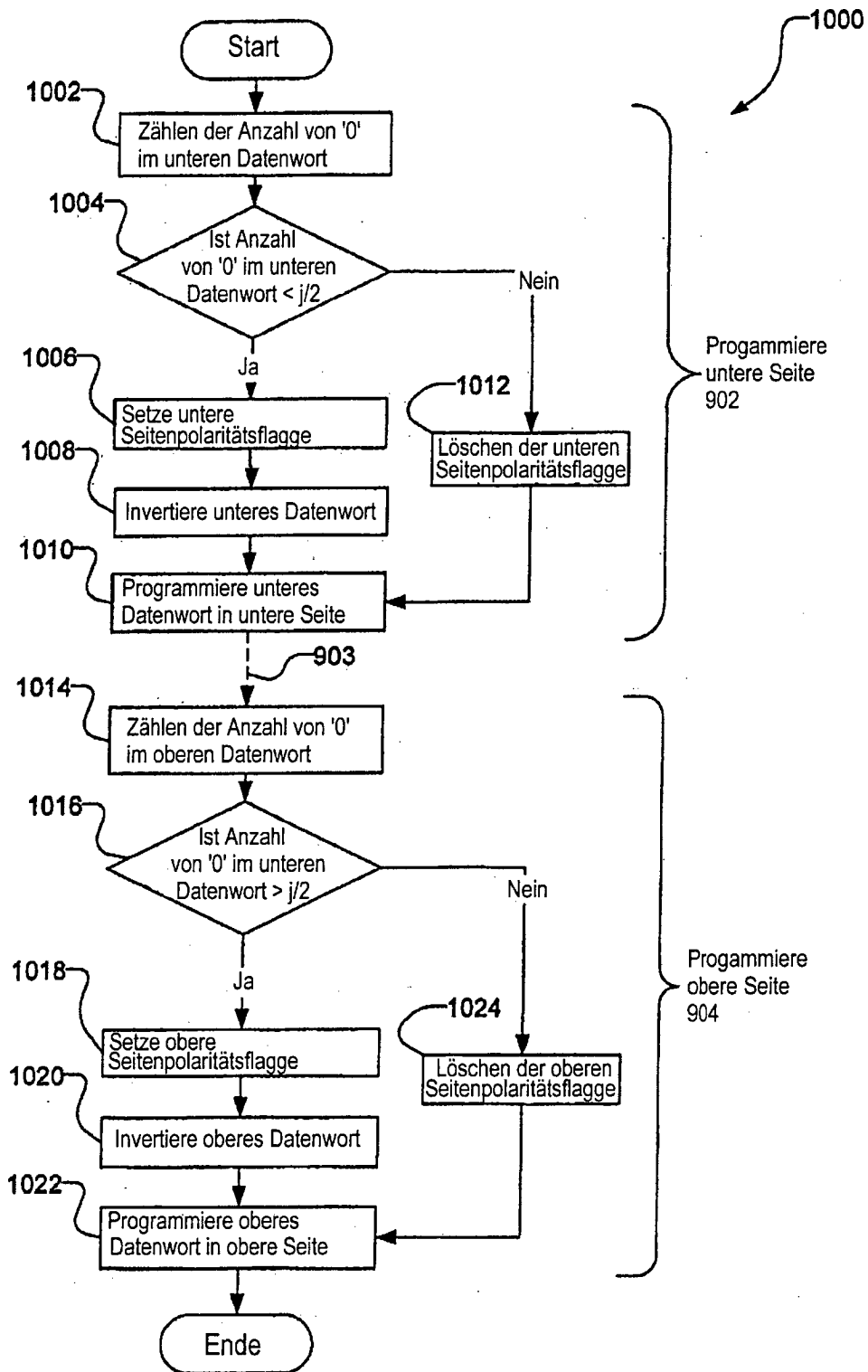


Fig. 10

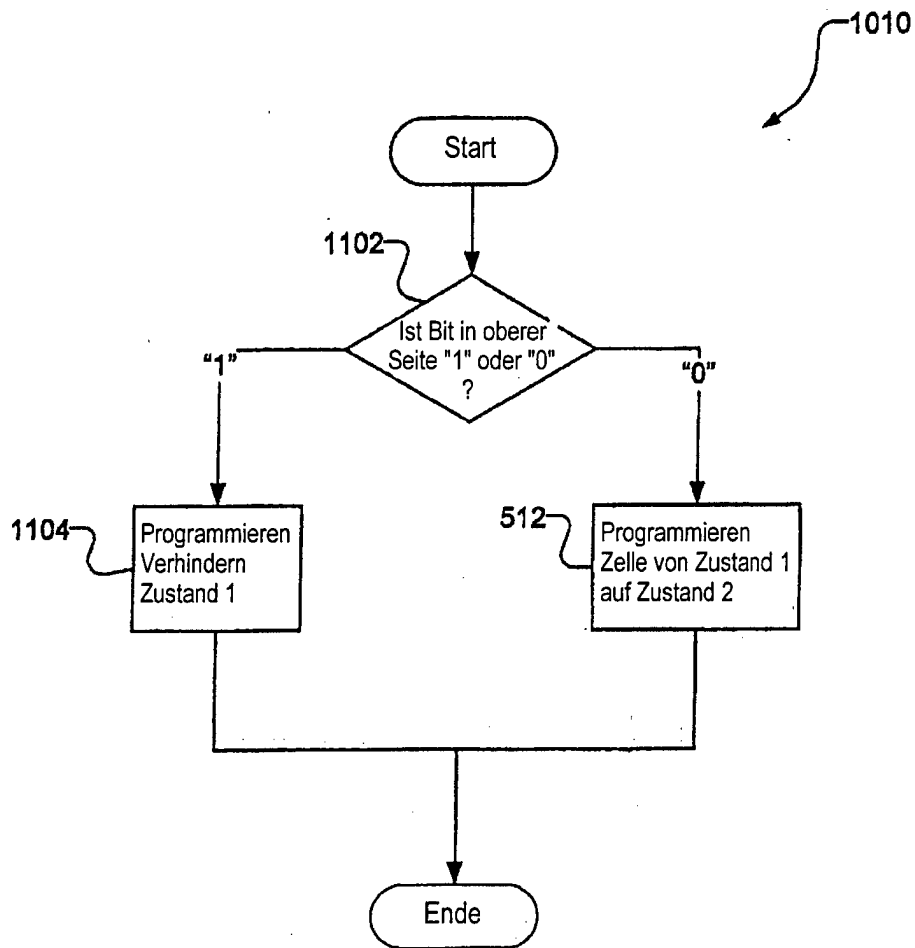


Fig. 11

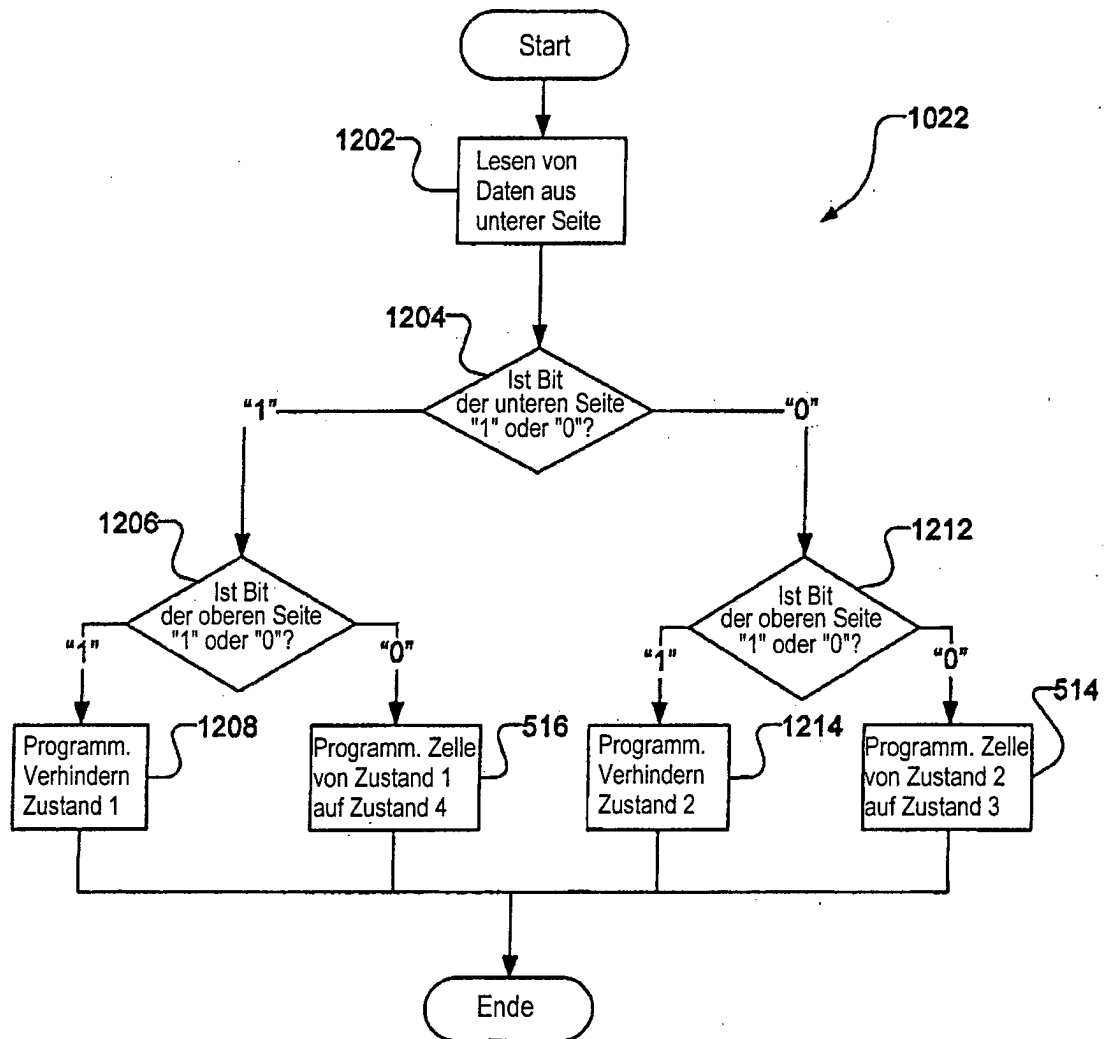


Fig. 12

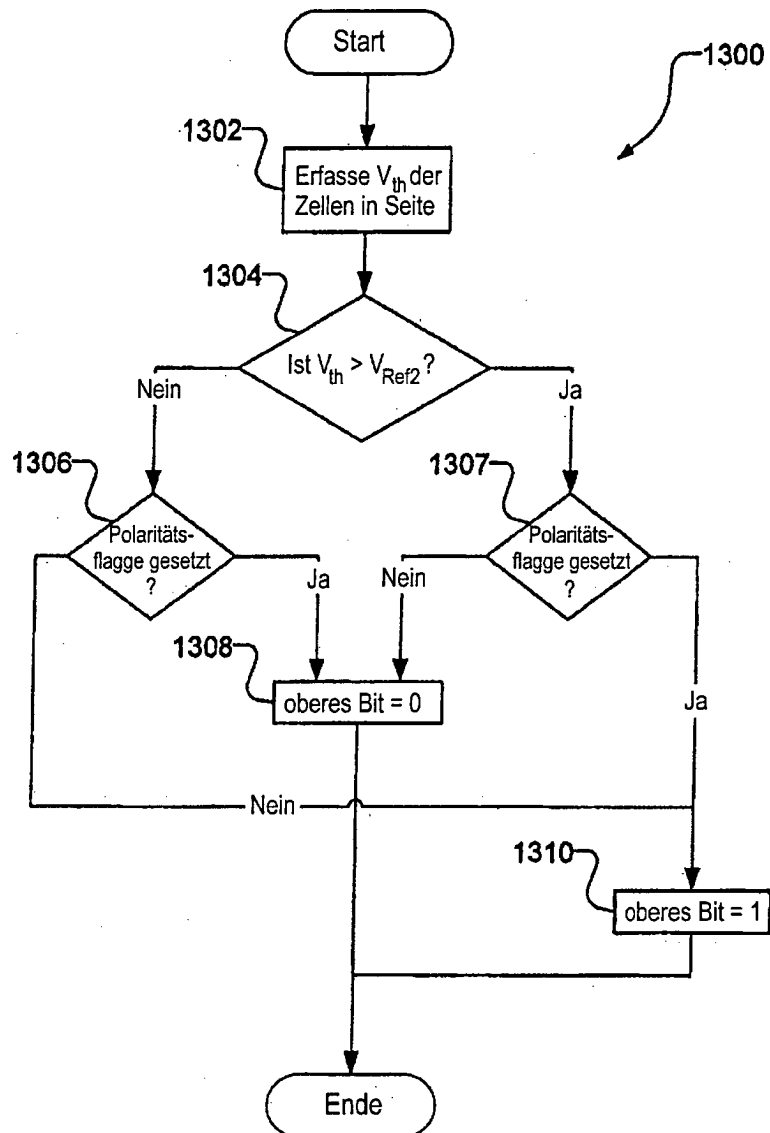


Fig. 13

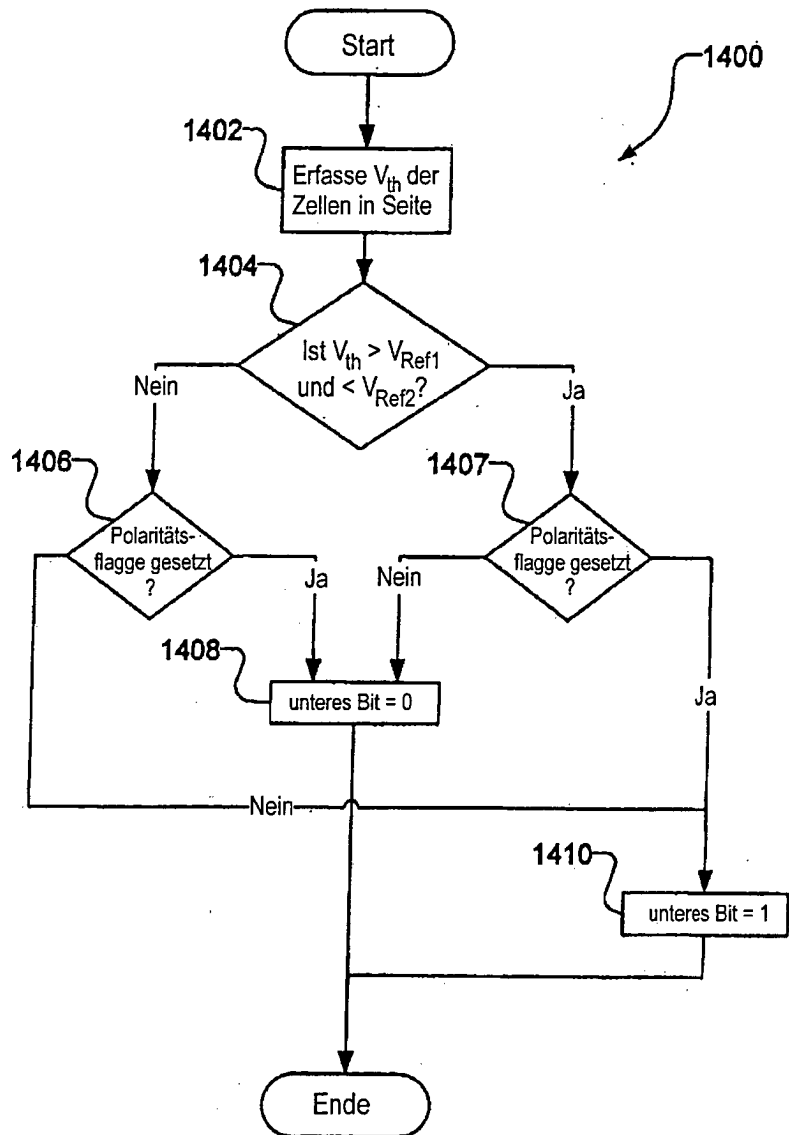


Fig. 14

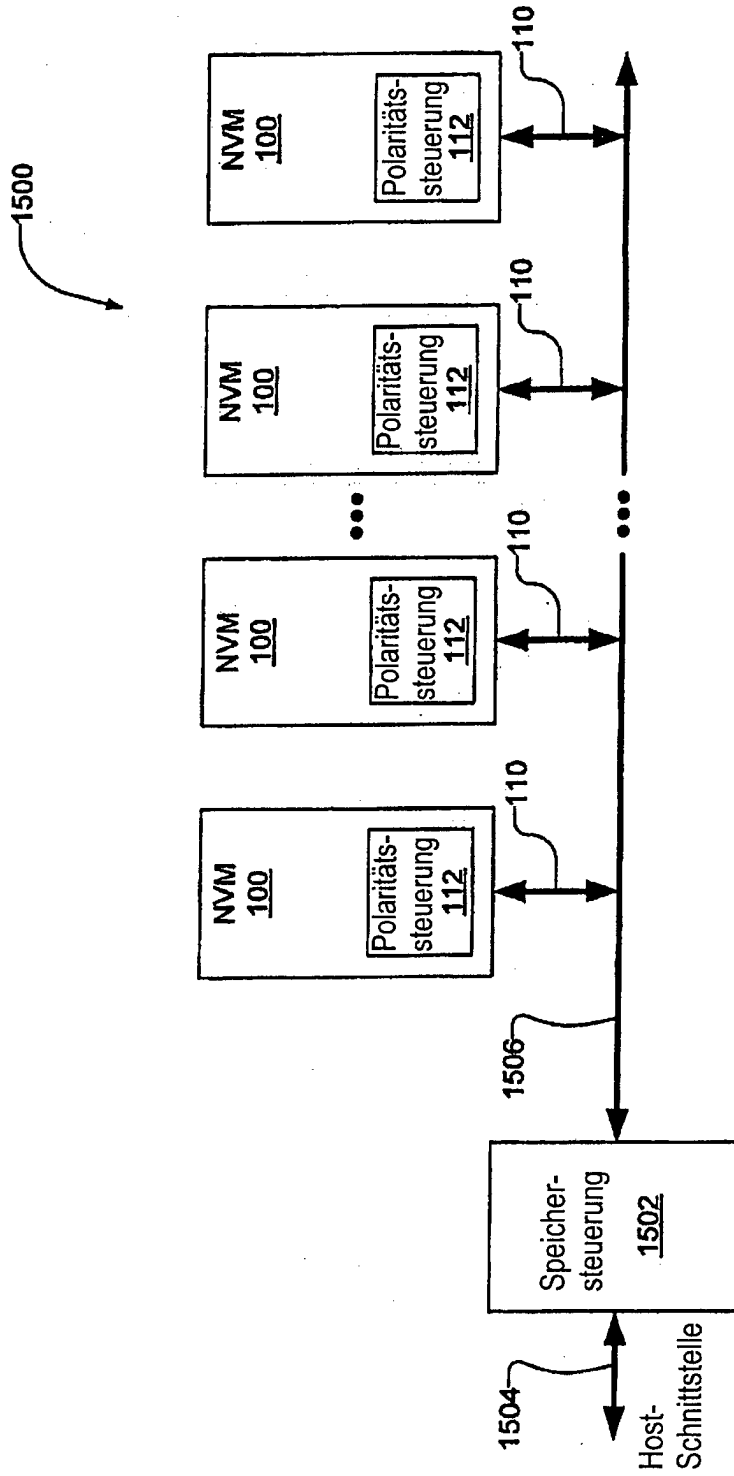


Fig. 15

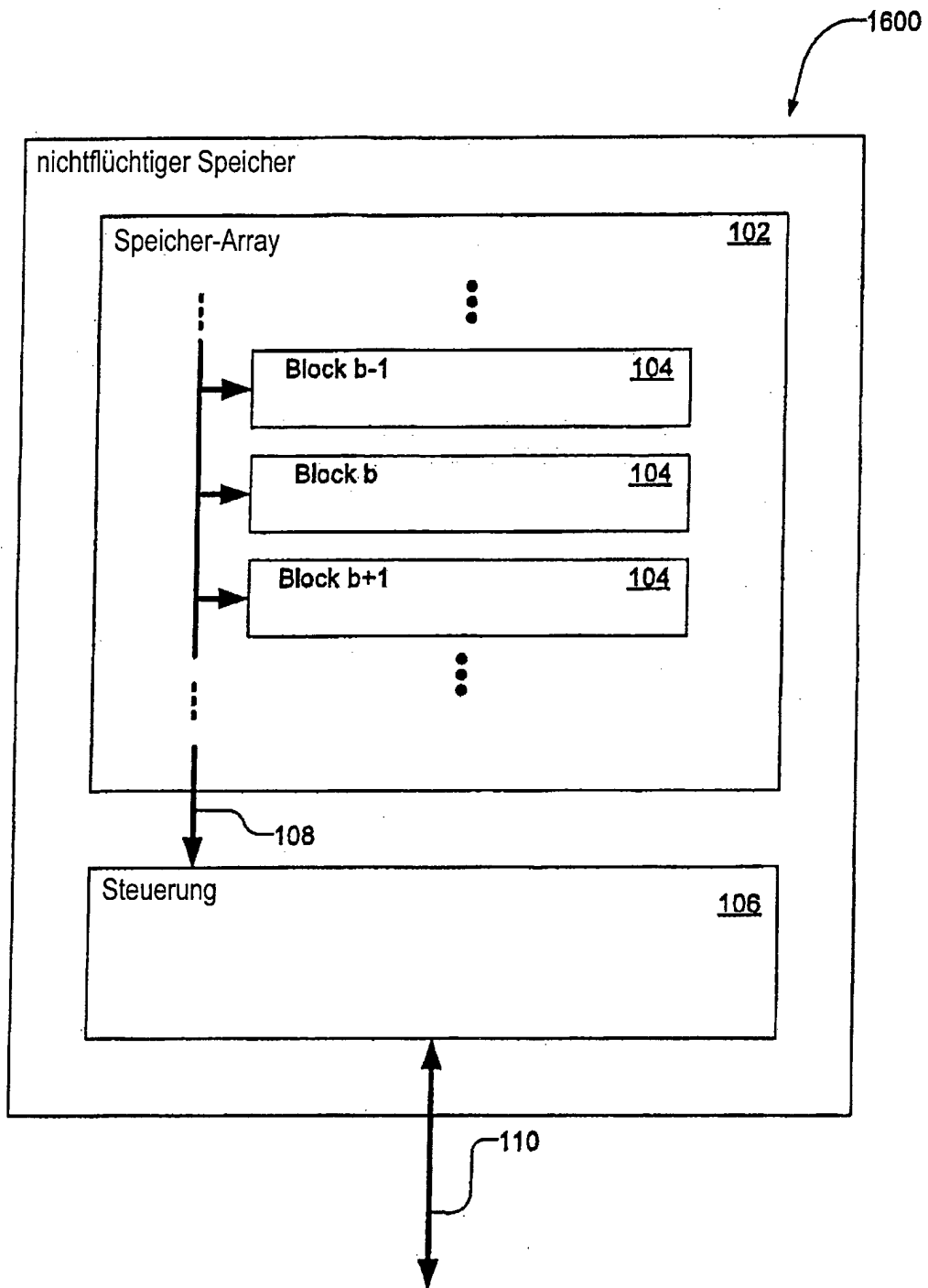


Fig. 16

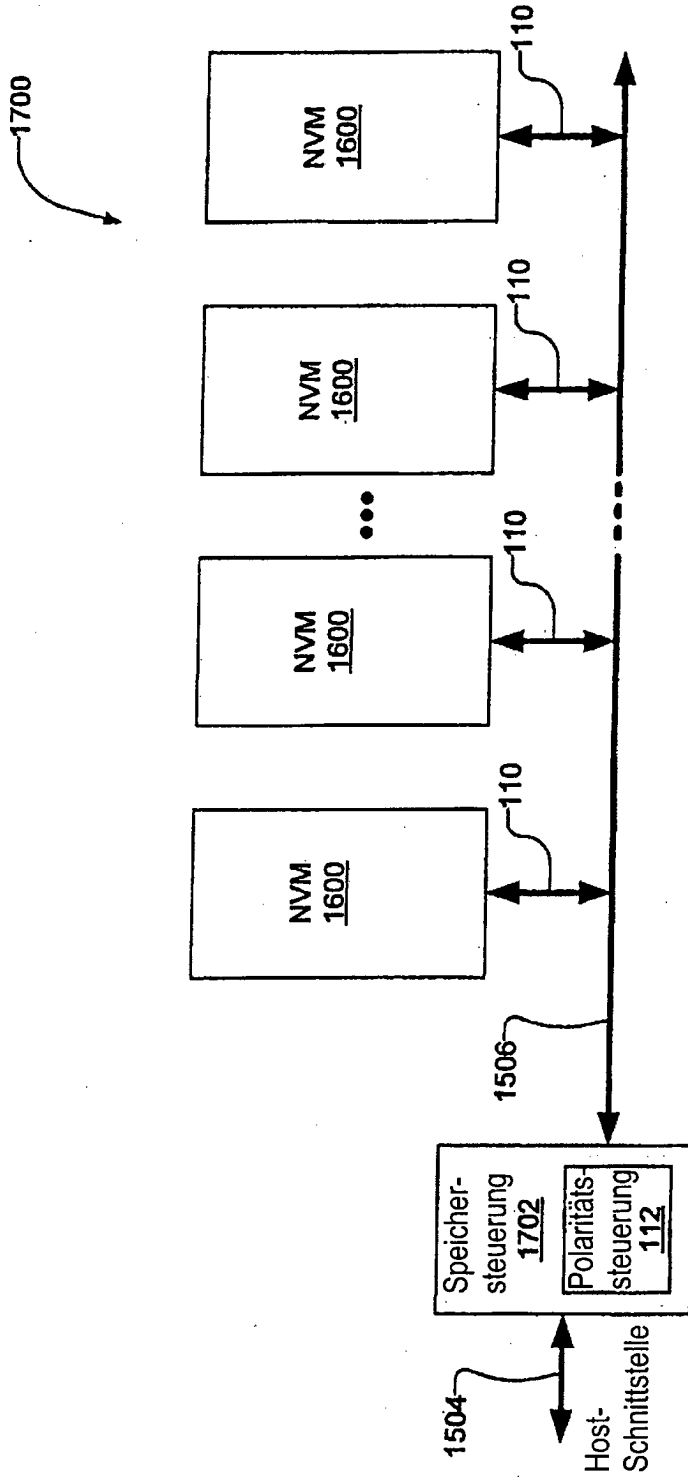


Fig. 17

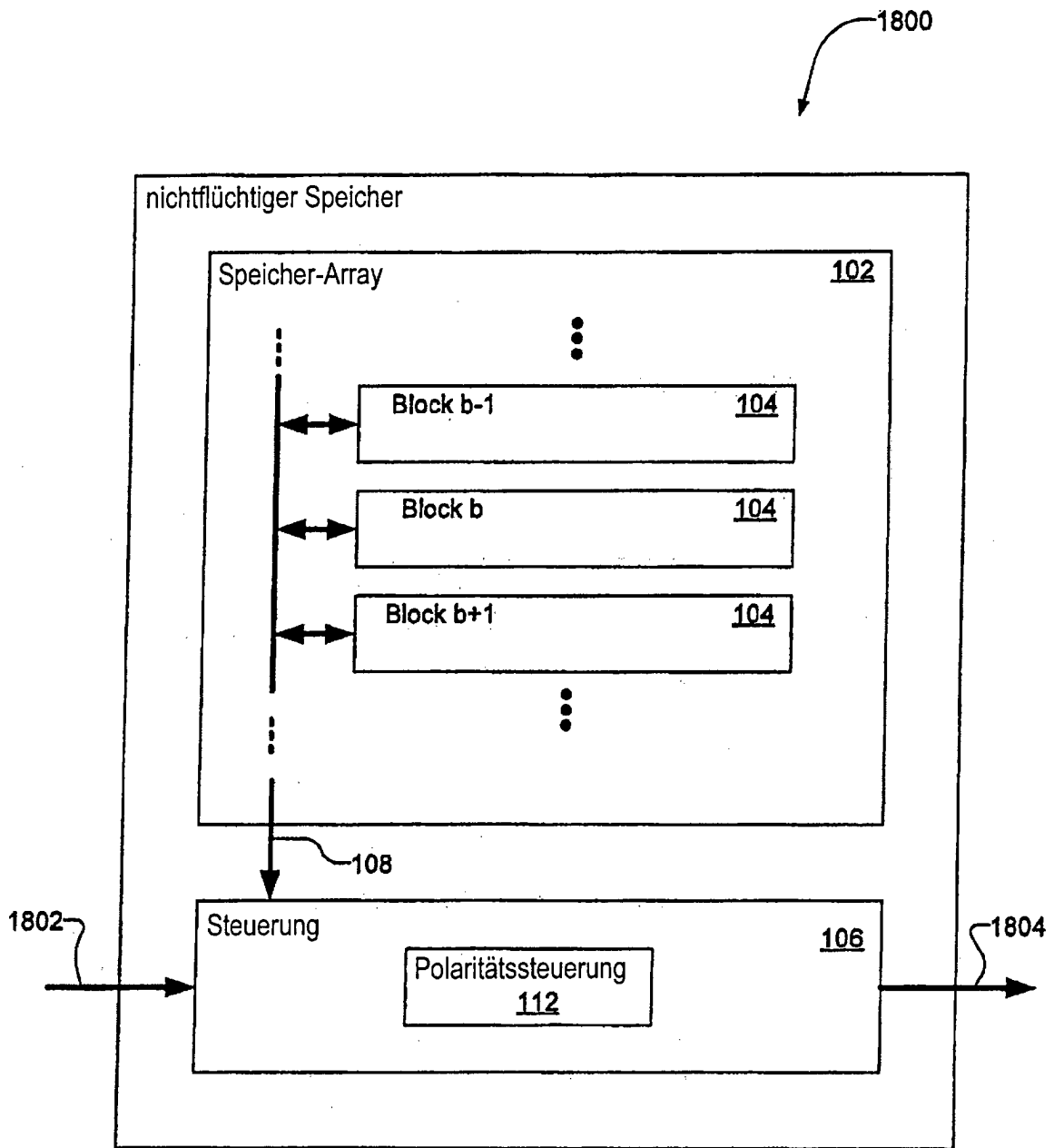


Fig. 18

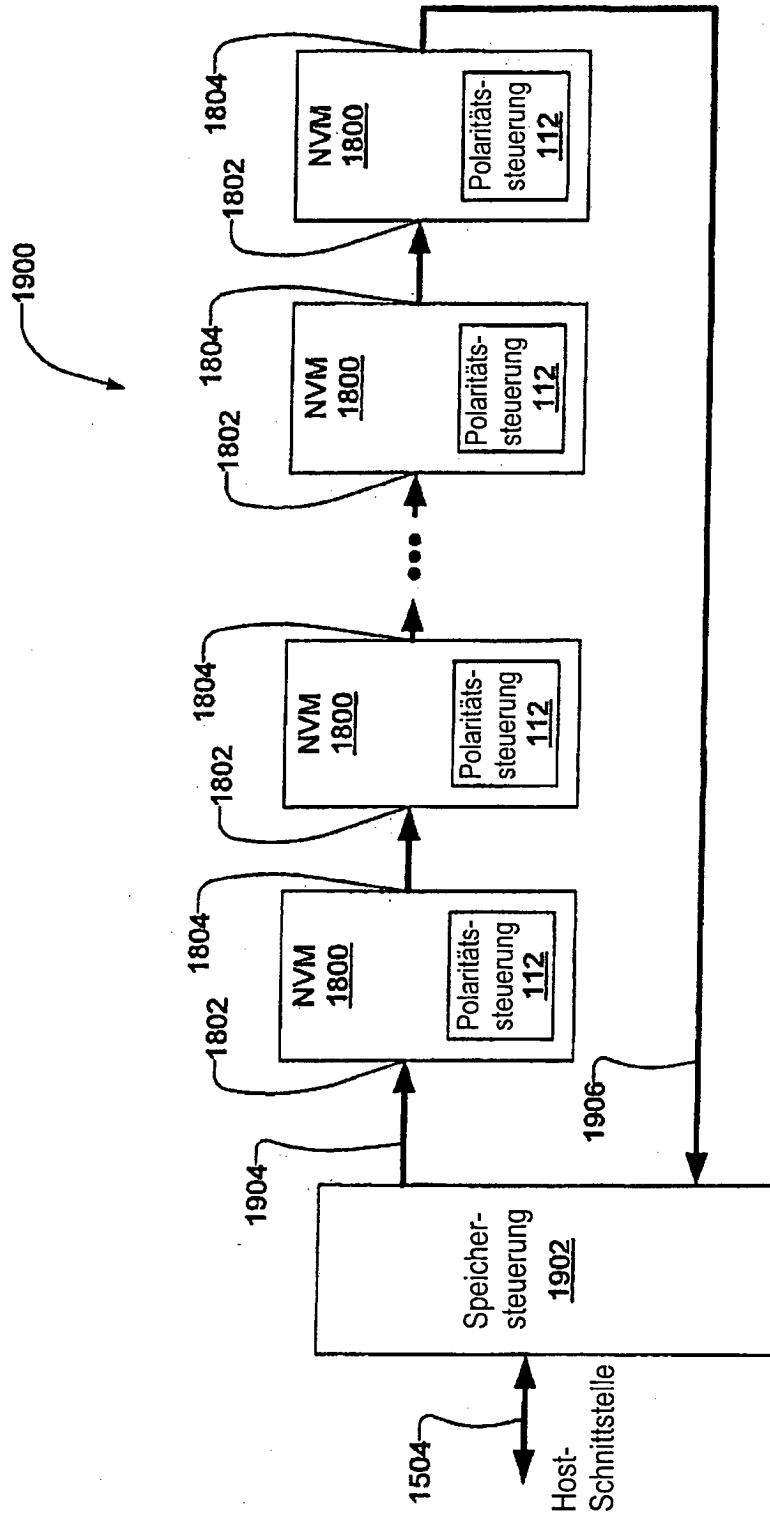


Fig. 19

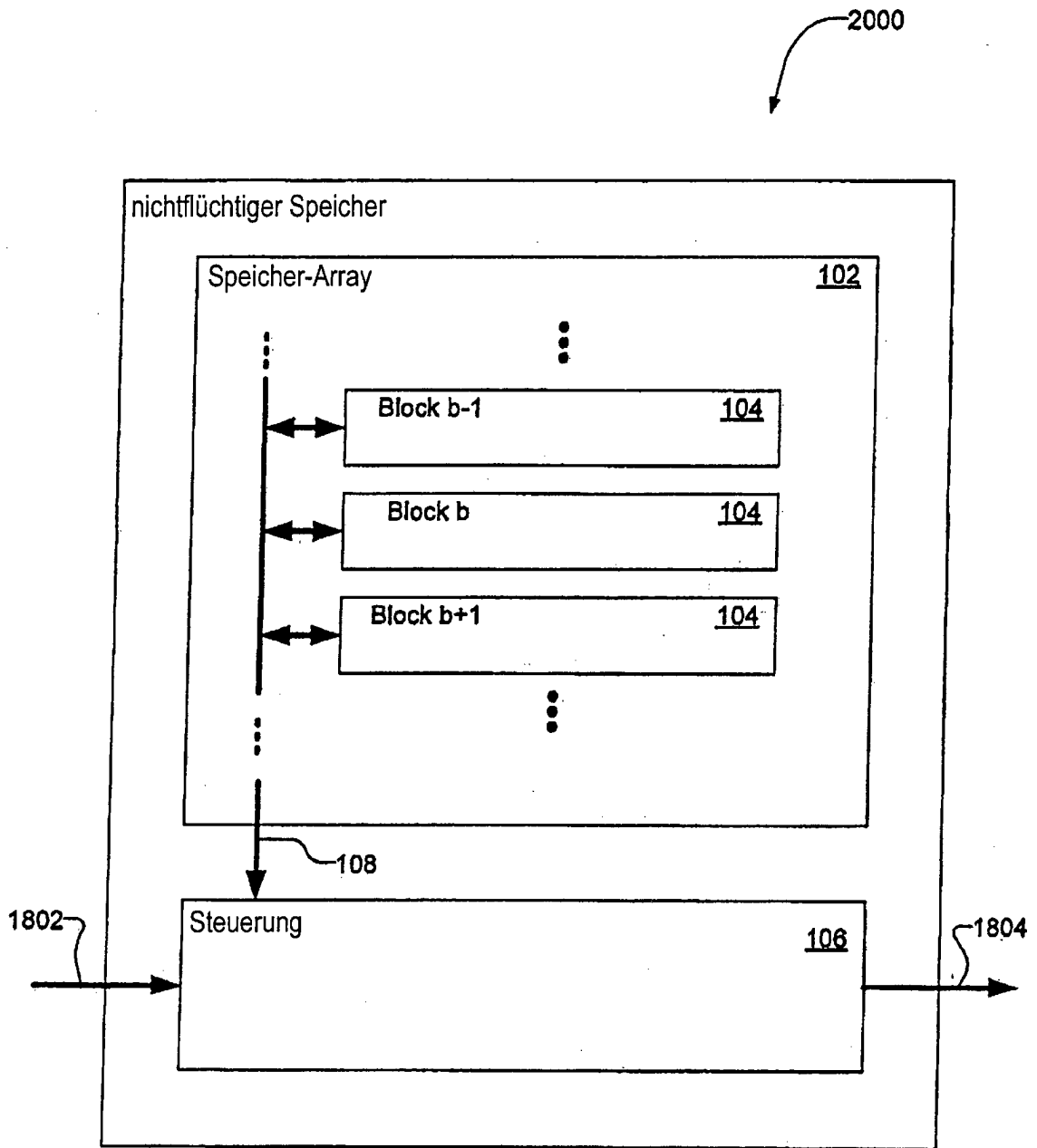


Fig. 20

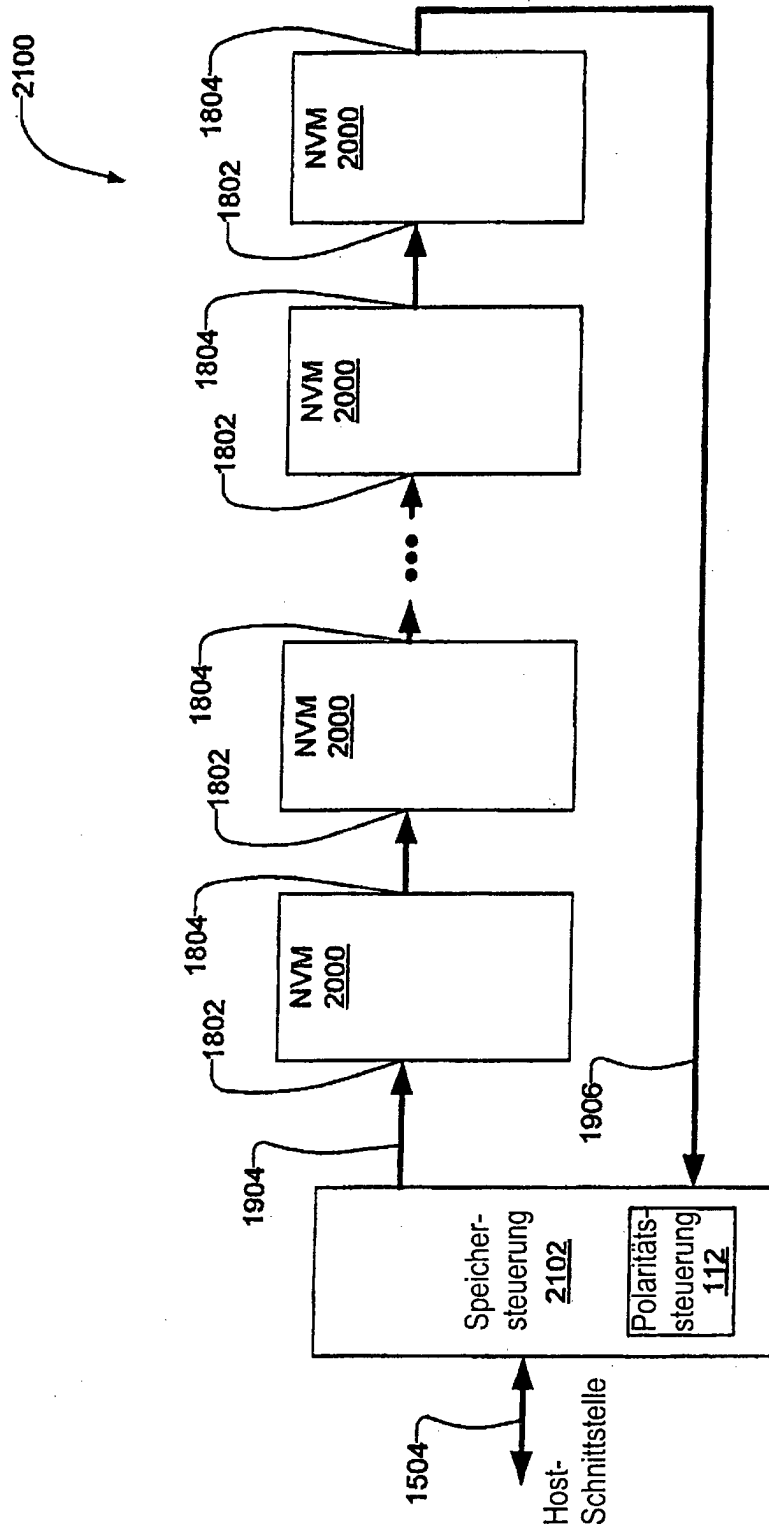


Fig. 21

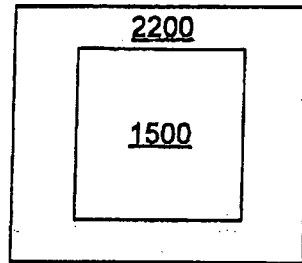


Fig. 22A

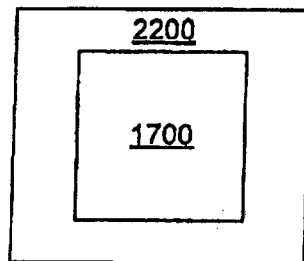


Fig. 22B

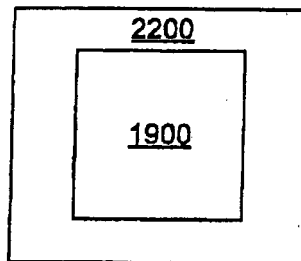


Fig. 22C

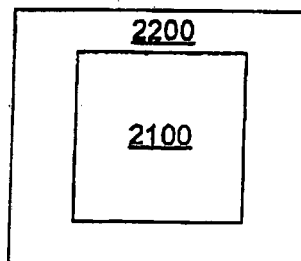


Fig. 22D