

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-226384
(P2008-226384A)

(43) 公開日 平成20年9月25日(2008.9.25)

(51) Int.Cl.	F I	テーマコード(参考)
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 Z	5 B 0 1 5
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 4 1 D	5 L 1 0 6

審査請求 未請求 請求項の数 6 O L (全 21 頁)

(21) 出願番号 特願2007-65736 (P2007-65736)
(22) 出願日 平成19年3月14日(2007.3.14)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100117385
弁理士 田中 裕人
(74) 代理人 100098431
弁理士 山中 郁生
(72) 発明者 馬淵 修次
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
Fターム(参考) 5B015 HH04 JJ11 MM06 RR01
5L106 AA02 AA05 DD36

(54) 【発明の名称】 半導体記憶装置及びその試験方法

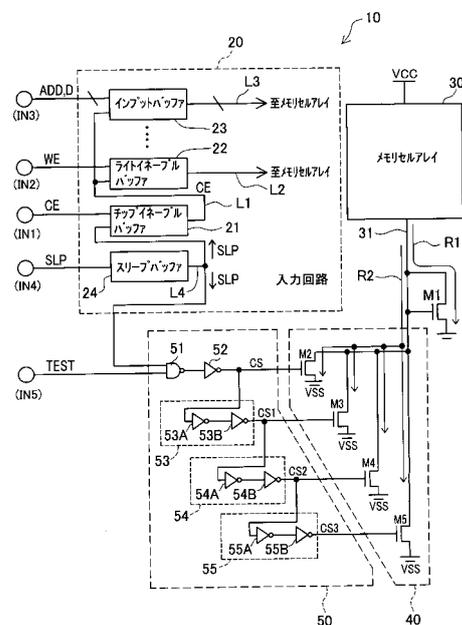
(57) 【要約】

【課題】メモリセルへの供給電圧を、通常モードにおける電源電圧よりも降圧させた状態で、通常の読み出し動作を可能として、メモリセルのデータ保持特性の試験を簡便に行うことが可能な半導体記憶装置及びその試験方法を提供する。

【解決手段】メモリセルの低電位電源とグランドとの間に設けられた電流経路 R 1 のコンダクタンスの値を調整する第 1 電流経路調整部 M 1 と、電流経路 R 2 のコンダクタンスの値を電流経路 R 1 のコンダクタンスの値よりも大きい値に調整する第 2 電流経路調整部 4 0 と、スリープモード設定信号及びテストモード設定信号に応じ、第 2 電流経路調整部 4 0 の調整能力を制限する調整能力制限部 5 0 と、を備え、テストモードにおいて、第 1 電流経路調整部 M 1 及び調整能力が制限された第 2 電流経路調整部 4 0 によって、電流経路 R 1、R 2 のコンダクタンスの値がそれぞれ調整され、メモリセルに対してアクセス動作が行われる。

【選択図】 図 1

実施形態1のSRAMの回路構成図



【特許請求の範囲】**【請求項 1】**

スリープモード及びテストモードを設定可能な半導体記憶装置において、メモリセルの低電位電源とグランドとの間に接続されて、該低電位電源と該グランドとの間に設けられた第 1 電流経路のコンダクタンスの値を調整する第 1 電流経路調整部と、前記メモリセルの低電位電源と前記グランドとの間に接続されて、前記第 1 電流経路とは異なる第 2 電流経路のコンダクタンスの値を前記第 1 電流経路のコンダクタンスの値よりも大きい値に調整する第 2 電流経路調整部と、

前記スリープモードを設定するスリープモード設定信号及び前記テストモードを設定するテストモード設定信号に応じ、前記第 2 電流経路調整部の調整能力を制限する調整能力制限部と、を備え、

前記テストモードにおいては、前記第 1 電流経路調整部及び前記調整能力が制限された前記第 2 電流経路調整部によって、前記第 1 電流経路のコンダクタンスの値及び前記第 2 電流経路のコンダクタンスの値がそれぞれ調整されると共に、前記メモリセルに対してアクセス動作が行われることを特徴とする半導体記憶装置。

【請求項 2】

前記調整能力制限部は、前記テストモード設定信号が入力されるテストモード設定信号入力端子を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記テストモード設定信号入力端子とは異なる信号入力端子に入力される第 1 入力信号が入力されるコマンドバッファ部を備え、

前記コマンドバッファ部は、前記第 1 入力信号に応じて、前記テストモード設定信号を生成することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 入力信号をデコードする第 1 デコーダと、

前記第 1 デコーダのデコード結果に応じ、前記第 1 入力信号とは異なる信号であって前記信号入力端子に入力される第 2 入力信号を格納するレジスタと、を備え、

前記第 1 デコーダによって、前記第 1 入力信号が、状態設定コマンドであることが認識されたことに依りて、前記第 2 入力信号が前記レジスタに格納され、該レジスタに格納された前記第 2 入力信号に基づいて、前記テストモードであるか否かが認識されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記メモリセルの低電位電源と前記グランドとの間に接続されて、前記第 1 電流経路及び前記第 2 電流経路とは異なる第 3 電流経路のコンダクタンスの値を調整する第 3 電流経路調整部を備え、

前記第 3 電流経路調整部は、

前記テストモード設定信号に応じて基準電圧を発生させる基準電圧発生部と、

前記基準電圧に応じ、前記第 3 電流経路のコンダクタンスの値を、前記第 1 電流経路のコンダクタンスの値よりも大きい値であって前記第 2 電流経路のコンダクタンスの値よりも小さい値に調整するコンダクタンス調整部と、

を備えることを特徴とする請求項 1 又は請求項 2 に記載の半導体記憶装置。

【請求項 6】

スリープモード及びテストモードを設定可能な半導体記憶装置の試験方法において、

メモリセルの低電位電源とグランドとの間に設けられた第 1 電流経路のコンダクタンスの値を調整する第 1 電流経路調整ステップと、

前記メモリセルの低電位電源と前記グランドとの間に設けられた前記第 1 電流経路とは異なる第 2 電流経路のコンダクタンスの値を、前記第 1 電流経路のコンダクタンスの値よりも大きい値に調整する第 2 電流経路調整ステップと、

前記スリープモードを設定するスリープモード設定信号及び前記テストモードを設定するテストモード設定信号に応じ、前記第 2 電流経路調整ステップの調整能力を制限する調

10

20

30

40

50

整能力制限ステップと、を備え、

前記テストモードにおいては、前記第1電流経路調整ステップ及び前記調整能力が制限された前記第2電流経路調整ステップによって、前記第1電流経路のコンダクタンスの値及び前記第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、前記メモリセルに対してアクセス動作が行われることを特徴とする半導体記憶装置の試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、信号入力を禁止しながら内部回路に供給される電源電圧を降圧することにより、待機時の電力消費の低減を図るいわゆるスリープモードにおけるメモリセルのデータ保持特性を簡便に試験する半導体記憶装置及びその試験方法に関する。

10

【背景技術】

【0002】

S R A M等の半導体記憶装置における省電力モードであるデータリテンションモードのテストとは、動作保証範囲内の電源電圧でデータが書き込まれたメモリセルに対して、電源電圧を降圧して所定時間維持した後、電源電圧を動作保証範囲内の電源電圧に戻してデータを読み出す試験であり、メモリセルにおけるデータの保持特性を試験するものである。

【0003】

特許文献1に開示されている半導体記憶装置では、データリテンションモードのテストにおけるテスト時間の短縮が図られている。メモリセルに供給される電源電圧を降圧させる際、メモリセルの記憶ノードの“H”電位は、ライトドライバのP M O Sトランジスタを介して電源V C Cにリークして急速に低電位に下がる。上記の半導体記憶装置では、記憶ノードの“H”電位が低電位で安定状態となるまでに要する時間を短縮して、データリテンションモードのテストにおけるテスト時間を短縮している。

20

【0004】

ここで、データリテンションモード及びスタンバイモードは、共に半導体記憶装置の待機時の電力消費を低減する動作モードであり、各々、個別に制御することができる。データリテンションモードでは、電源電圧端子に供給される電源電圧を降圧することにより、メモリセルに供給される電源電圧を降圧して電力消費の低減を図っている。また、スタンバイモードでは、イネーブル端子（C E端子）やチップセレクト端子（C S端子）により制御され、スタンバイ状態において各種信号の入力バッファ回路が信号入力の禁止状態となることにより、電力消費の低減を図っている。これらの動作モードを併用すれば、半導体記憶装置の待機時の電力消費を更に低減することができる。

30

【0005】

上記背景技術では、データリテンションモードがスタンバイモードとは別個に制御されることを前提として、降圧された電源電圧を電源電圧端子に印加してデータリテンションモード時のテストを行う場合に、メモリセルの記憶ノードの“H”電位を、速やかに降圧された電源電圧の電圧値に下げることが目的とするものである。その後の読出し動作は、半導体記憶装置に対する通常読出し制御により行われる。なお、上記の背景技術に関連するものとして、特許文献2、3に開示された技術が知られている。

40

【特許文献1】特開2004-303283号公報

【特許文献2】特開2002-32990号公報

【特許文献3】特開平4-278300号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、近年、半導体記憶装置の待機時の制御としてスリープモードが開発されている。スリープモードは、外部からの信号入力を受け付けない状態で内部回路に供給する内部電源電圧を通常使用時（通常モード）の電圧値から降圧して電力消費の低減を図る

50

動作モードであり、データリテンションモードとスタンバイモードとを同時に実行することに類似する動作モードである。降圧された内部電源電圧におけるメモリセルのデータ保持特性の試験では、スリープモードにより降圧された電源電圧が供給された状態で所定時間の経過を待ち、その後、通常モードに戻してデータを読み出すことが必要であった。

【0007】

この点、上記の背景技術では、データリテンション時のテスト時間の短縮を目的とするものの、短縮されるのは、メモリセルの記憶ノードの“H”電位が速やかに降圧された電源電圧に下がるまでの時間である。降圧された電源電圧におけるデータ保持特性の試験は、降圧された電源電圧での所定時間の経過と、通常電源電圧に復帰の後の読み出し動作による期待データとの比較による他はない。

10

【0008】

スリープモードにおいては、降圧された電源電圧がメモリセルに供給される場合のデータ保持特性の試験では、降圧された電源電圧を供給した状態で所定時間のデータ保持動作を行わせることが必要であり、この所定時間によっては、試験時間の短縮を図れないばかりか、試験時間の増大を招来するおそれがある。

【0009】

この発明は、このような状況に鑑み提案されたものであって、待機時の消費電流を低減する動作モードとしてスリープモードを備える半導体記憶装置に対して、メモリセルへの供給電圧を、通常モードにおける電源電圧よりも降圧させた状態で、通常の読み出し動作を可能として、メモリセルのデータ保持特性の試験を簡便に行うことが可能な半導体記憶装置及びその試験方法を提供することを目的とする。

20

【課題を解決するための手段】

【0010】

請求項1の発明に係る半導体記憶装置は、スリープモード及びテストモードを設定可能な半導体記憶装置において、メモリセルの低電位電源とグランドとの間に接続されて、該低電位電源と該グランドとの間に設けられた第1電流経路のコンダクタンスの値を調整する第1電流経路調整部と、前記メモリセルの低電位電源と前記グランドとの間に接続されて、前記第1電流経路とは異なる第2電流経路のコンダクタンスの値を前記第1電流経路のコンダクタンスの値よりも大きい値に調整する第2電流経路調整部と、前記スリープモードを設定するスリープモード設定信号及び前記テストモードを設定するテストモード設定信号に応じ、前記第2電流経路調整部の調整能力を制限する調整能力制限部と、を備え、前記テストモードにおいては、前記第1電流経路調整部及び前記調整能力が制限された前記第2電流経路調整部によって、前記第1電流経路のコンダクタンスの値及び前記第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、前記メモリセルに対してアクセス動作が行われることを特徴とする。

30

【0011】

請求項1の発明に係る半導体記憶装置によれば、スリープモードを設定するスリープモード設定信号及びテストモードを設定するテストモード設定信号に応じ、調整能力制限部によって、第2電流経路調整部の調整能力が制限されると、第2電流経路調整部によって、第2電流経路のコンダクタンスの値が、第1電流経路のコンダクタンスの値に近づくように調整されて、メモリセルの低電位側の電位を上昇させることができ、第2電流経路調整部の調整能力が制限される前に比べて、メモリセルの高電位側の電位と該メモリセルの低電位側の電位と差電圧の値が低下する。このため、第2電流経路調整部の調整能力が制限される前に比べて、前記差電圧に応じて定まるメモリセルへの供給電圧が低下する。そこで、請求項1の発明に係る半導体記憶装置によれば、スリープモード及びテストモードにおいては、メモリセルに、前記差電圧に応じて定まる電圧を供給することにより、メモリセルに供給する電圧を低下させることができ、半導体記憶装置が消費する電力を低減させることができる。

40

また、請求項1の発明に係る半導体記憶装置によれば、テストモードにおいては、第1電流経路調整部及び調整能力が制限された第2電流経路調整部によって、第1電流経路の

50

コンダクタンスの値及び第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、メモリセルに対してアクセス動作が行われる。そこで、請求項1の発明に係る半導体記憶装置によれば、メモリセルに供給する電圧が低下すると、メモリセルへの供給電圧が、該メモリセルの安定動作に不十分な条件の下で、メモリセルにアクセスすることができる。したがって、請求項1の発明に係る半導体記憶装置によれば、メモリセルへのアクセス結果に基づいて、製造上のプロセスばらつきなどに起因して動作余裕が少ないメモリセルを特定することができる。このため、請求項1の発明に係る半導体記憶装置によれば、動作余裕が少ないメモリセルを特定することにより、動作不良を引き起こす可能性があるメモリセルを事前に検出することができる。

【0012】

請求項6の発明に係る半導体記憶装置の試験方法は、スリープモード及びテストモードを設定可能な半導体記憶装置の試験方法において、メモリセルの低電位電源とグランドとの間に設けられた第1電流経路のコンダクタンスの値を調整する第1電流経路調整ステップと、前記メモリセルの低電位電源と前記グランドとの間に設けられた前記第1電流経路とは異なる第2電流経路のコンダクタンスの値を、前記第1電流経路のコンダクタンスの値よりも大きい値に調整する第2電流経路調整ステップと、前記スリープモードを設定するスリープモード設定信号及び前記テストモードを設定するテストモード設定信号に応じ、前記第2電流経路調整部の調整能力を制限する調整能力制限ステップと、を備え、前記テストモードにおいては、前記第1電流経路調整ステップ及び前記調整能力が制限された前記第2電流経路調整ステップによって、前記第1電流経路のコンダクタンスの値及び前記第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、前記メモリセルに対してアクセス動作が行われることを特徴とする。

【0013】

請求項6の発明に係る半導体記憶装置の試験方法によれば、スリープモードを設定するスリープモード設定信号及びテストモードを設定するテストモード設定信号に応じ、調整能力制御ステップによって、第2電流経路のコンダクタンスの値が、第1電流経路のコンダクタンスの値に近づくように調整されて、メモリセルの低電位側の電位を上昇させることができ、第2電流経路調整ステップの調整能力が制限される前に比べて、メモリセルの高電位側の電位と該メモリセルの低電位側の電位と差電圧の値が低下する。このため、第2電流経路調整ステップの調整能力が制限される前に比べて、前記差電圧に応じて定まるメモリセルへの供給電圧が低下する。そこで、請求項6の発明に係る半導体記憶装置の試験方法によれば、スリープモード及びテストモードにおいては、メモリセルに、前記差電圧に応じて定まる電圧を供給することにより、メモリセルに供給する電圧を低下させることができ、半導体記憶装置が消費する電力を低減させることができる。

また、請求項6の発明に係る半導体記憶装置の試験方法によれば、テストモードにおいては、第1電流経路調整ステップ及び調整能力が制限された第2電流経路調整ステップによって、第1電流経路のコンダクタンスの値及び第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、メモリセルに対してアクセス動作が行われる。そこで、請求項6の発明に係る半導体記憶装置の試験方法によれば、調整能力が制限された第2電流経路調整ステップによって、第2電流経路のコンダクタンスの値が、第1電流経路のコンダクタンスの値に近づくように調整され、前記差電圧が低下し、メモリセルに供給する電圧が低下すると、メモリセルへの供給電圧が、該メモリセルの安定動作に不十分な条件の下で、メモリセルにアクセスすることができる。したがって、請求項6の発明に係る半導体記憶装置の試験方法によれば、メモリセルへのアクセス結果に基づいて、製造上のプロセスばらつきなどに起因して動作余裕が少ないメモリセルを特定することができる。このため、請求項6の発明に係る半導体記憶装置の試験方法によれば、動作余裕が少ないメモリセルを特定することにより、動作不良を引き起こす可能性があるメモリセルを事前に検出することができる。

【発明の効果】

【0014】

本発明の半導体記憶装置及びその試験方法によれば、スリープモードを設定するスリープモード設定信号及びテストモードを設定するテストモード設定信号に応じ、メモリセルの低電位電源とグランドとの間に設けられた第2電流経路のコンダクタンスの値が、メモリセルの低電位電源とグランドとの間に設けられた第1電流経路のコンダクタンスの値に近づくように調整されて、メモリセルの低電位側の電位を上昇させることができ、第2電流経路のコンダクタンスの値を、1電流経路のコンダクタンスの値に近づける前に比べて、メモリセルの高電位側の電位と該メモリセルの低電位側の電位と差電圧の値が低下する。このため、第2電流経路のコンダクタンスの値を、1電流経路のコンダクタンスの値に近づける前に比べて、前記差電圧に応じて定まるメモリセルへの供給電圧が低下する。そこで、本発明の半導体記憶装置の試験方法によれば、スリープモード及びテストモードにおいて、メモリセルに、前記差電圧に応じて定まる電圧を供給することにより、メモリセルに供給する電圧を低下させることができ、半導体記憶装置が消費する電力を低減させることができる。

10

また、本発明の半導体記憶装置及びその試験方法によれば、テストモードにおいては、第1電流経路のコンダクタンスの値及び第2電流経路のコンダクタンスの値がそれぞれ調整されると共に、メモリセルに対してアクセス動作が行われる。そこで、本発明の半導体記憶装置及びその試験方法によれば、第2電流経路のコンダクタンスの値が、第1電流経路のコンダクタンスの値に近づくように調整され、前記差電圧が低下し、メモリセルに供給する電圧が低下すると、メモリセルへの供給電圧が、該メモリセルの安定動作に不十分な条件の下で、メモリセルにアクセスすることができる。したがって、本発明の半導体記憶装置及びその試験方法によれば、メモリセルへのアクセス結果に基づいて、製造上のプロセスばらつきなどに起因して動作余裕が少ないメモリセルを特定することができる。このため、本発明の半導体記憶装置及びその試験方法によれば、動作余裕が少ないメモリセルを特定することにより、動作不良を引き起こす可能性があるメモリセルを事前に検出することができる。

20

【発明を実施するための最良の形態】

【0015】

<実施形態1>

本発明の実施形態1を、図1を参照しつつ説明する。ここでは、本発明の半導体記憶装置を、スタティックランダムアクセスメモリ(SRAM)10を例に挙げて説明する。図1は、SRAM10の回路構成図である。SRAM10は、入力回路20と、メモリセルアレイ30と、N型チャンネルトランジスタM1と、スイッチング回路40と、スイッチング制御回路50とを備えている。

30

【0016】

入力回路20は、チップイネーブルバッファ21と、ライトイネーブルバッファ22と、インプットバッファ23と、スリープバッファ24とを備えている。チップイネーブルバッファ21は、第1信号入力端子(IN1)を備えている。チップイネーブルバッファ21の出力端子は、出力ラインL1に接続されている。

【0017】

ライトイネーブルバッファ22は、第1信号入力端子(IN2)を備えている。ライトイネーブルバッファ22の第2入力端子は、前記出力ラインL1に接続されている。ライトイネーブルバッファ22の出力端子は、出力ラインL2に接続されている。

40

【0018】

インプットバッファ23は、第1信号入力端子(IN3)を備えている。インプットバッファ23の第2信号入力端子は、前記出力ラインL1に接続されている。インプットバッファ23の出力端子は、出力ラインL3に接続されている。

【0019】

スリープバッファ24は、信号入力端子(IN4)を備えている。スリープバッファ24の出力端子は、出力ラインL4に接続されている。出力ラインL4は、チップイネーブルバッファ21の第2信号入力端子に接続されている。

50

【 0 0 2 0 】

メモリセルアレイ 3 0 には、図示しないライトドライバを介し、出力ライン L 2 が接続されている。さらに、メモリセルアレイ 3 0 には、図示しないローデコーダ及びカラムデコーダを介し、出力ライン L 3 が接続されている。メモリセルアレイ 3 0 は、図示しない行列状に配置された複数のメモリセルを有する。各メモリセルには、電源電位 V C C 及び接地電位 V S S が供給される。各メモリセルは、接地電位供給線 3 1 に接続されている。

【 0 0 2 1 】

N 型チャンネルトランジスタ M 1 のドレイン及びゲートは、接地電位供給線 3 1 に接続されている。N 型チャンネルトランジスタ M 1 のソースは、グラウンドに接続されている。

【 0 0 2 2 】

スイッチング回路 4 0 は、N 型チャンネルトランジスタ M 2 ~ M 5 を備えている。各 N 型チャンネルトランジスタ M 2 ~ M 5 のドレインは、接地電位供給線 3 1 に接続されている。各 N 型チャンネルトランジスタ M 2 ~ M 5 のソースは、グラウンドに接続されている。

【 0 0 2 3 】

スイッチング制御回路 5 0 は、テストモード設定信号入力端子 (I N 5) と、N A N D ゲート回路 5 1 と、インバータ 5 2 と、遅延回路 5 3 ~ 5 5 とを備えている。各遅延回路 5 3 ~ 5 5 は、2 つのインバータによって構成されている。N A N D ゲート回路 5 1 の第 1 入力には、前記出力ライン L 4 が接続されている。N A N D ゲート回路 5 1 の第 2 入力には、テストモード設定信号入力端子 (I N 5) が接続されている。N A N D ゲート回路 5 1 の出力は、インバータ 5 2 の入力に接続されている。インバータ 5 2 の出力は、スイッチング回路 4 0 が備える N 型チャンネルトランジスタ M 2 のゲートに接続されている。

【 0 0 2 4 】

遅延回路 5 3 は、インバータ 5 3 A、5 3 B を備えている。インバータ 5 2 の出力は、インバータ 5 3 A の入力に接続されている。インバータ 5 3 A の出力は、インバータ 5 3 B の入力に接続されている。インバータ 5 3 B の出力は、スイッチング回路 4 0 が備える N 型チャンネルトランジスタ M 3 のゲートに接続されている。

【 0 0 2 5 】

遅延回路 5 4 は、インバータ 5 4 A、5 4 B を備えている。インバータ 5 3 B の出力は、インバータ 5 4 A の入力に接続されている。インバータ 5 4 A の出力は、インバータ 5 4 B の入力に接続されている。インバータ 5 4 B の出力は、スイッチング回路 4 0 が備える N 型チャンネルトランジスタ M 4 のゲートに接続されている。

【 0 0 2 6 】

遅延回路 5 5 は、インバータ 5 5 A、5 5 B を備えている。インバータ 5 4 B の出力は、インバータ 5 5 A の入力に接続されている。インバータ 5 5 A の出力は、インバータ 5 5 B の入力に接続されている。インバータ 5 5 B の出力は、スイッチング回路 4 0 が備える N 型チャンネルトランジスタ M 5 のゲートに接続されている。

【 0 0 2 7 】

次に、本実施形態の S R A M 1 0 の動作を説明する。S R A M 1 0 では、通常モードと、スリープモードと、テストモードとを設定することが可能である。通常モードでは、上記メモリセルへのデータの書き込みやメモリセルからの記憶データの読み出しが行われる。スリープモードでは、各第 1 信号入力端子 (I N 1) ~ (I N 3) から入力される信号を受信しない状態で、メモリセルに対応して配置されたビット線やワード線が非選択とされ、メモリセルへのデータの記憶やメモリセルに記憶されたデータの読み出しが行われない。テストモードでは、メモリセルの動作が正常であるか否かを判断するため、通常モードよりもメモリセルに供給する電圧を低下させた状態で、メモリセルへのデータの記憶やメモリセルに記憶されたデータの読み出しが行われる。

【 0 0 2 8 】

スリープモードにおいては、S R A M 1 0 は、以下に説明するように動作する。スリープモードにおいては、信号入力端子 (I N 4) を通じ、スリープバッファ 2 4 に、ローレベルのスリープモード設定信号 S L P が入力される。スリープバッファ 2 4 は、出力ライ

10

20

30

40

50

ン L 4 を通じ、チップイネーブルバッファ 2 1 に、ローレベルのスリープモード設定信号 S L P を出力する。

【 0 0 2 9 】

チップイネーブルバッファ 2 1 の第 2 入力端子に、ローレベルのスリープモード設定信号 S L P が入力されると、チップイネーブルバッファ 2 1 は、第 1 信号入力端子 (I N 1) から入力されるチップイネーブル信号 C E を受信しないように制御される。これにより、出力ライン L 1 を通じ、ライトイネーブルバッファ 2 2 の第 2 信号入力端子及びインプットバッファ 2 3 の第 2 信号入力端子に、チップイネーブル信号 C E を送信することが禁止される。

【 0 0 3 0 】

ライトイネーブルバッファ 2 2 の第 2 信号入力端子に、チップイネーブル信号 C E が入力されなくなると、ライトイネーブルバッファ 2 2 は、ディスエーブルされる。これにより、ライトイネーブルバッファ 2 2 は、出力ライン L 2 に、第 1 信号入力端子 (I N 2) から入力されるライトイネーブル信号 W E を出力しない。したがって、出力ライン L 2 に接続されたライトドライバには、前記信号 W E が入力されず、ライトドライバによって、メモリセルにデータが書き込まれることがない。

【 0 0 3 1 】

また、インプットバッファ 2 3 の第 2 信号入力端子に、チップイネーブル信号 C E が入力されなくなると、インプットバッファ 2 3 は、ディスエーブルされる。これにより、インプットバッファ 2 3 は、出力ライン L 3 に、第 1 信号入力端子 (I N 3) から入力されるアドレス信号 A D D やデータ信号 D を出力しない。したがって、出力ライン L 3 に接続されたローデコーダやカラムデコーダには、アドレス信号 A D D が入力されず、ビット線やワード線が選択されない。

【 0 0 3 2 】

加えて、スリープモードにおいては、前記出力ライン L 4 を通じ、スイッチング制御回路 5 0 が備える N A N D ゲート回路 5 1 の第 1 入力には、ローレベルの信号 S L P が入力される。一方、スリープモードにおいては、テストモード設定信号入力端子 (I N 5) を通じ、N A N D ゲート回路 5 1 の第 2 入力には、ハイレベルのテストモード設定信号 T E S T が入力される。

【 0 0 3 3 】

N A N D ゲート回路 5 1 は、インバータ 5 2 の入力に、ハイレベルの信号を出力する。インバータ 5 2 は、N 型チャンネルトランジスタ M 2 のゲートに、ローレベルの信号 C S を出力する。これにより、N 型チャンネルトランジスタ M 2 のゲート電圧が低レベル電圧に固定され、N 型チャンネルトランジスタ M 2 がオフ状態になる。

【 0 0 3 4 】

各遅延回路 5 3 ~ 5 5 は、各 N 型チャンネルトランジスタ M 3 ~ M 5 のゲートに、各遅延回路 5 3 ~ 5 5 によって、信号 C S の周期を順次遅らせた信号 C S 1 ~ C S 3 を出力する。これによって、各 N 型チャンネルトランジスタ M 3 ~ M 5 のゲート電圧が、順次低レベル電圧に固定され、各 N 型チャンネルトランジスタ M 3 ~ M 5 は、順次オフ状態になる。

【 0 0 3 5 】

一方、スリープモードにおいては、N 型チャンネルトランジスタ M 1 のゲート電圧がスレッシュホールド電圧付近に固定され、N 型チャンネルトランジスタ M 1 が、常時オン状態に維持されている。N 型チャンネルトランジスタ M 1 がオン状態になると、メモリセルに接地電位を供給する接地電位供給線 3 1 から、N 型チャンネルトランジスタ M 1 を通じてグランドに至る電流路 R 1 が形成される。N 型チャンネルトランジスタ M 1 が常時オン状態を維持すると、電流路 R 1 のコンダクタンスの値が一定値に保たれる。なお、本実施形態では、電流路 R 1 が、本発明の第 1 電流経路に相当し、N 型チャンネルトランジスタ M 1 が、本発明の第 1 電流経路調整部に相当する。また、N 型チャンネルトランジスタ M 1 を常時オン状態に維持し、電流路 R 1 のコンダクタンスの値を一定値に保つことは、第 1 電

10

20

30

40

50

流経路調整ステップに相当する。

【0036】

本実施形態では、通常モードにおいては、NANDゲート回路51の第1入力に、ハイレベルのスリープモード設定信号SLPが入力されると共に、NANDゲート回路51の第2入力に、ハイレベルのテストモード設定信号TESTが入力される。NANDゲート回路51は、インバータ52の入力に、ローレベルの信号を出力する。その後、インバータ52は、N型チャンネルトランジスタM2のゲートに、ハイレベルの信号CSを出力する。これにより、N型チャンネルトランジスタM2のゲート電圧が高レベル電圧に固定され、N型チャンネルトランジスタM2がオン状態になる。

【0037】

さらに、通常モードにおいては、各遅延回路53～55によって、各N型チャンネルトランジスタM3～M5のゲートに、信号CSの周期を順次遅らせた信号CS1～CS3を出力する。これによって、各N型チャンネルトランジスタM3～M5のゲート電圧が、順次高レベル電圧に固定され、各N型チャンネルトランジスタM3～M5は、順次オン状態になる。

【0038】

各N型チャンネルトランジスタM2～M5がオン状態になると、接地電位供給線31から、各N型チャンネルトランジスタM2～M5を通じてグラウンドに至る電流路R2が形成される。そこで、メモリセルに接地電位VSSが供給され、各トランジスタM2～M5がオフ状態であるスリープモードに比べて、電流路R2のコンダクタンスの値が低下する。

【0039】

本実施形態では、電流路R2が、本発明の第2電流経路に相当する。また、本実施形態では、スイッチング回路40の各N型チャンネルトランジスタM2～M5がオン状態になると、電流路R2が形成され、電流路R1のコンダクタンスの値よりも、電流路R2のコンダクタンスの値が大きくなるように調整される。したがって、スイッチング回路40は、本発明の第2電流経路調整部に相当する。また、各N型チャンネルトランジスタM2～M5がオン状態にし、電流路R1のコンダクタンスの値よりも、電流路R2のコンダクタンスの値が大きくなるように調整することは、本発明の第2電流経路調整ステップに相当する。

【0040】

テストモードにおいては、SRAM10は、以下に説明するように動作する。テストモードに切り替えるため、テストモード設定信号入力端子(IN5)を通じ、ローレベルのテストモード設定信号TESTが入力される。テストモードにおいては、スリープモードを解除するため、スリープバッファ24に、ハイレベルのスリープモード設定信号SLPが入力される。スリープバッファ24は、出力ラインL4を通じ、チップイネーブルバッファ21に、ハイレベルのスリープモード設定信号SLPを出力する。

【0041】

チップイネーブルバッファ21の第2入力端子に、ハイレベルのスリープモード設定信号SLPが入力されると、チップイネーブルバッファ21は、出力ラインL1を通じ、第1信号入力端子(IN1)から入力されるチップイネーブル信号CEを、ライトイネーブルバッファ22の第2信号入力端子に出力する。

【0042】

ライトイネーブルバッファ22の第2信号入力端子に、チップイネーブル信号CEが入力されると、ライトイネーブルバッファ22は、イネーブルされる。これにより、ライトイネーブルバッファ22は、出力ラインL2に、第1信号入力端子(IN2)から入力されるライトイネーブル信号WEを出力する。

【0043】

また、インプットバッファ23の第2信号入力端子に、チップイネーブル信号CEが入力されると、インプットバッファ23は、イネーブルされる。これにより、インプットバッファ23は、出力ラインL3に、第1信号入力端子(IN3)から入力されるアドレス

10

20

30

40

50

信号 A D D やデータ信号 D を出力する。そこで、出力ライン L 3 に接続されたローデコーダやカラムデコーダには、アドレス信号 A D D が入力され、ビット線やワード線が選択される。そして、選択されたビット線及びワード線に接続されたメモリセルに対し、出力ライン L 2 に接続されたライトドライバによって、データ信号 D に対応したデータが記憶される。

【 0 0 4 4 】

加えて、テストモードにおいては、前記出力ライン L 4 を通じ、N A N D ゲート回路 5 1 の第 1 入力には、ハイレベルのスリープモード設定信号 S L P が入力される。さらに、テストモードにおいては、上述したように、N A N D ゲート回路 5 1 の第 2 入力には、ローレベルのテストモード設定信号 T E S T が入力される。

10

【 0 0 4 5 】

テストモードにおいては、S R A M 1 0 が、上述したスリープモードと同様に動作し、スイッチング回路 4 0 の各 N 型チャンネルトランジスタ M 2 ~ M 5 のゲート電圧が、順次低レベル電圧に固定され、各 N 型チャンネルトランジスタ M 2 ~ M 5 は、順次オフ状態になる。一方、テストモードにおいては、上述したスリープモードと同様に、N 型チャンネルトランジスタ M 1 が、常時オン状態に維持されている。

【 0 0 4 6 】

テストモードでは、各 N 型チャンネルトランジスタ M 2 ~ M 5 は、順次オフ状態になると、接地電位供給線 3 1 によってメモリセルに供給する電位が、接地電位 V S S よりも上昇する。本実施形態では、メモリセルに供給される電位が、N 型チャンネルトランジスタ M 1 のスレッシュド電圧によって定められる。そこで、メモリセルの電源電位 V C C と、前記スレッシュド電圧とによって定められる電位との差が小さくなる。

20

【 0 0 4 7 】

したがって、テストモードでは、通常モードに比べて、前記電源電位 V C C と、前記スレッシュド電圧によって定められる電位との差によって定められるメモリセルへの印加電圧が小さくなる。テストモードでは、通常モードに比べて、メモリセルへの印加電圧が抑えられた状態で、メモリセルに、データが記憶される。テストモードでは、ワード線及びビット線に対し、読み出し電圧を供給することにより、図示しない読出回路によって、前記ワード線及び前記ビット線に接続されたメモリセルから、記憶データを読み出す。

【 0 0 4 8 】

本実施形態では、スイッチング制御回路 5 0 が備える N A N D ゲート回路 5 1 の入力に、スリープモード設定信号 S L P 又はテストモード設定信号 T E S T が入力されると、上述したように、スイッチング制御回路 5 0 が備えるインバータ 5 2 の出力信号 C S や各遅延回路 5 3 ~ 5 5 の各出力信号 C S 1 ~ C S 3 によって、各 N 型チャンネルトランジスタ M 2 ~ M 5 のゲート電圧が低レベル電圧又は高レベル電圧に固定される。これにより、各トランジスタ M 2 ~ M 5 はオフ状態又はオン状態に制御される。スイッチング制御回路 5 0 は、各トランジスタ M 2 ~ M 5 をオフ状態又はオン状態に制御することにより、第 2 電流路 R 2 のコンダクタンスの値を可変することができるから、本発明の調整能力制限部に相当する。また、スリープモード設定信号 S L P 又はテストモード設定信号 T E S T により、各トランジスタ M 2 ~ M 5 をオフ状態又はオン状態に制御され、第 2 電流路 R 2 のコンダクタンスの値を可変することは、本発明の調整能力制限ステップに相当する。

30

40

【 0 0 4 9 】

< 実施形態 1 の効果 >

本実施形態の S R A M 1 0 では、N A N D ゲート回路 5 1 に、テストモード設定信号 T E S T やスリープモード設定信号 S L P が入力されたことに起因して、スイッチング制御回路 5 0 から、N 型チャンネルトランジスタ M 2 に、ローレベルの信号 C S が入力され、各 N 型チャンネルトランジスタ M 3 ~ M 5 のゲートに、ローレベルの信号 C S 1 ~ C S 3 がそれぞれ入力され、各トランジスタ M 2 ~ M 5 がオフ状態になると、各トランジスタ M 2 ~ M 5 がオン状態である通常モードに比べて、接地電位供給線 3 1 によって、メモリセルに供給する電位を、接地電位 V S S よりも上昇させることができる。このため、スリー

50

プモード及びテストモードでは、通常モードに比べて、メモリセルの電源電位VCCと、接地電位供給線31によって供給される電位との差によって定められるメモリセルへの印加電圧が小さくなる。そこで、本実施形態のSRAM10によれば、スリープモード及びテストモードにおいては、通常モードに比べて、メモリセルへの印加電圧が小さくなることにより、SRAM10が消費する電力を低減させることができる。

また、本実施形態のSRAM10では、テストモードにおいては、N型チャンネルトランジスタM1及び各トランジスタM2～M5が、それぞれオン状態になり、電流路R1、R2が形成された状態で、メモリセルへのデータの記憶や、メモリセルから記憶データが読み出される。そこで、テストモードにおいては、通常モードに比べ、メモリセルへの印加電圧が小さくなると、印加電圧が、メモリセルへの記憶及びメモリセルからの読み出し動作には不十分な条件の下で、メモリセルへのデータの記憶や、メモリセルから記憶データが読み出される。したがって、メモリセルへのデータの記憶結果や、メモリセルから記憶データの読み出し結果に基づいて、製造上のプロセスのばらつきに起因して、記憶動作や読み出し動作が安定しないメモリセルを特定することができる。このため、本実施形態のSRAM10では、記憶動作や読み出し動作が安定しないメモリセルを特定することにより、記憶動作の不良や読み出し動作の不良を引き起こす可能性があるメモリセルを、事前に検出することができる。

10

【0050】

また、本実施形態のSRAM10の試験方法によれば、テストモード設定信号TESTやスリープモード設定信号SLPが入力されたことに起因して、N型チャンネルトランジスタM2に、ローレベルの信号CSが入力され、各N型チャンネルトランジスタM3～M5のゲートに、ローレベルの信号CS1～CS3がそれぞれ入力され、各トランジスタM2～M5がオフ状態になると、各トランジスタM2～M5がオン状態である通常モードに比べて、接地電位供給線31によって、メモリセルに供給する電位を、接地電位VSSよりも上昇させることができる。このため、スリープモード及びテストモードでは、通常モードに比べて、メモリセルの電源電位VCCと、接地電位供給線31によって供給される電位との差によって定められるメモリセルへの印加電圧が小さくなる。そこで、本実施形態のSRAM10の試験方法によれば、スリープモード及びテストモードにおいては、通常モードに比べて、メモリセルへの印加電圧が小さくなることにより、SRAM10が消費する電力を低減させることができる。

20

30

また、本実施形態のSRAM10の試験方法では、テストモードにおいては、N型チャンネルトランジスタM1及び各トランジスタM2～M5が、それぞれオン状態になり、電流路R1、R2が形成された状態で、メモリセルへのデータの記憶や、メモリセルから記憶データが読み出される。そこで、テストモードにおいては、通常モードに比べ、メモリセルへの印加電圧が小さくなると、印加電圧が、メモリセルへの記憶及びメモリセルからの読み出し動作には不十分な条件の下で、メモリセルへのデータの記憶や、メモリセルから記憶データが読み出される。したがって、メモリセルへのデータの記憶結果や、メモリセルから記憶データの読み出し結果に基づいて、製造上のプロセスのばらつきに起因して、記憶動作や読み出し動作が安定しないメモリセルを特定することができる。このため、本実施形態のSRAM10の試験方法では、記憶動作や読み出し動作が安定しないメモリセルを特定することにより、記憶動作の不良や読み出し動作の不良を引き起こす可能性があるメモリセルを、事前に検出することができる。

40

【0051】

本実施形態では、スイッチング制御回路50が、テストモード設定信号入力端子(IN5)を備えると、各第1信号入力端子(IN1)～(IN3)や前記信号入力端子(IN4)とは区別して、テストモード設定信号入力端子(IN5)から、テストモード設定信号TESTを入力することができ、テストモードへの切替操作を容易に行うことができる。

【0052】

<実施形態2>

50

本発明の実施形態2を、図2を参照しつつ説明する。図2は、本実施形態のSRAM10Aの回路構成図である。ここでは、実施形態1と同一の構成は同一の符号を付しその説明を省略する。SRAM10Aは、実施形態1のSRAM10の入力回路20及びスイッチング制御飽きる50に代えて、入力回路20Aと、スイッチング制御回路50Aとを備えている。

【0053】

入力回路20Aは、コマンドバッファ21Aと、ライトイネーブルバッファ22と、インプットバッファ23とを備えている。コマンドバッファ21Aは、第1信号入力端子(IN1A)と、第2信号入力端子(IN2A)と、第3信号入力端子(IN3A)とを備えている。コマンドバッファ21Aの第1信号出力端子は、出力ラインL1Aに接続されている。コマンドバッファ21Aの第2信号出力端子は、出力ラインL1Bに接続されている。

10

【0054】

ライトイネーブルバッファ22の第2入力端子は、前記出力ラインL1Aに接続されている。インプットバッファ23の第2入力端子は、前記出力ラインL1Aに接続されている。

【0055】

スイッチング回路50Aは、実施形態1のスイッチング回路50のNANDゲート回路51に代えて、インバータ51Aを備えている。インバータ51Aの入力には、前記出力ラインL1Bを介し、コマンドバッファ21Aの第2信号出力端子が接続されている。インバータ51Aの出力は、インバータ52の入力に接続されている。

20

【0056】

次に、本実施形態のSRAM10Aの動作を説明する。ここでは、実施形態1と同一の動作については、その説明を省略する。SRAM10Aにおいても、実施形態1と同様に、通常モードと、スリープモードと、テストモードとを設定することが可能である。コマンドバッファ21Aの第1信号入力端子(IN1A)には、チップイネーブルコマンド信号CE1が入力される。コマンドバッファ21Aの第2信号入力端子(IN2A)には、スリープモード設定コマンド信号SLP1が入力される。コマンドバッファ21Aの第3信号入力端子(IN3A)には、各種のテストコマンド信号Test1が入力される。例えば、テストコマンド信号Test1には、SRAM10Aに基板を実装した後の結線の確認や該SRAM10Aの動作に関するスキャンテストをする信号等が含まれる。

30

【0057】

通常モードにおいては、SRAM10Aは、以下に説明するように動作する。通常モードにおいては、コマンドバッファ21Aには、第1信号入力端子(IN1A)を通じ、チップイネーブルコマンド信号CE1が入力される。

【0058】

通常モードでは、コマンドバッファ21Aは、出力ラインL1Bを通じ、インバータ51Aの入力に向けて、ハイレベルのスリープモード設定信号SLPを出力する。インバータ51Aは、インバータ52の入力に、ローレベルの信号を出力する。その後、インバータ52は、N型チャンネルトランジスタM2のゲートに、ハイレベルの信号CSを出力する。

40

【0059】

続いて、実施形態1と同様に、通常モードでは、各遅延回路53~55によって、各N型チャンネルトランジスタM3~M5のゲートに、信号CSの周期を順次遅らせたハイレベルの信号CS1~CS3を出力する。これにより、通常モードでは、実施形態1と同様に、各N型チャンネルトランジスタM2~M5は、順次オン状態になる。

【0060】

一方、通常モードにおいては、N型チャンネルトランジスタM1のゲート電圧がスレッショルド電圧付近に固定され、N型チャンネルトランジスタM1が、常時オン状態に維持されている。

50

【0061】

また、通常モードでは、コマンドバッファ21Aは、前記チップイネーブルコマンド信号CE1に対応させて、出力ラインL1Aを通じ、ライトイネーブルバッファ22の第2信号入力端子に向けて、チップイネーブル信号CEを出力する。ライトイネーブルバッファ22の第2信号入力端子に、チップイネーブル信号CEが入力されると、ライトイネーブルバッファ22は、イネーブルされる。

【0062】

加えて、通常モードでは、コマンドバッファ21Aは、出力ラインL1Aを通じ、インプットバッファ23の第2信号入力端子に向けて、チップイネーブル信号CEを出力する。インプットバッファ23の第2信号入力端子に、チップイネーブル信号CEが入力されると、インプットバッファ23は、イネーブルされる。本実施形態の通常モードにおいては、ライトイネーブルバッファ22及びインプットバッファ23がイネーブルされると、実施形態1と同様に、メモリセルにデータが記憶される。

10

【0063】

また、スリープモードにおいては、SRAM10Aは、以下に説明するように動作する。スリープモードにおいては、コマンドバッファ21Aには、第2信号入力端子(IN2A)を通じ、スリープモード設定コマンド信号SLP1が入力される。このとき、コマンドバッファ21Aでは、チップイネーブルコマンド信号CE1の入力が禁止される。

【0064】

コマンドバッファ21Aは、前記スリープモード設定コマンド信号SLP1に対応させて、出力ラインL1Bを通じ、インバータ51Aの入力に向けて、ローレベルのスリープモード設定信号SLPを出力する。インバータ51Aは、インバータ52の入力に、ハイレベルの信号を出力する。その後、インバータ52は、N型チャンネルトランジスタM2のゲートに、ローレベルの信号CSを出力する。

20

【0065】

続いて、実施形態1と同様に、スリープモードでは、各遅延回路53～55によって、各N型チャンネルトランジスタM3～M5のゲートに、信号CSの周期を順次遅らせたローレベルの信号CS1～CS3を出力する。これにより、スリープモードでは、実施形態1と同様に、各N型チャンネルトランジスタM2～M5は、順次オフ状態になる。

【0066】

さらに、スリープモードにおいては、コマンドバッファ21Aへのチップイネーブルコマンド信号CE1の入力が禁止され、ライトイネーブルバッファ22の第2信号入力端子に、チップイネーブル信号CEが入力されなくなると、ライトイネーブルバッファ22は、ディスエーブルされる。

30

【0067】

加えて、スリープモードにおいては、インプットバッファ23の第2信号入力端子に、チップイネーブル信号CEが入力されなくなると、インプットバッファ23は、ディスエーブルされる。本実施形態のスリープモードにおいては、実施形態1のスリープモードと同様に、メモリセルにデータが書き込まれることがない。

【0068】

テストモードにおいては、SRAM10Aは、以下に説明するように動作する。テストモードにおいては、コマンドバッファ21Aには、第3信号入力端子(IN3A)を通じ、ローレベルのテストコマンド信号Test1が入力される。このとき、コマンドバッファ21Aでは、第1信号入力端子(IN1A)を通じ、チップイネーブルコマンド信号CE1が入力されると共に、スリープモード設定コマンド信号SLP1の入力が禁止される。なお、ここでは、テストコマンド信号Test1は、テストモードを設定する信号である。

40

【0069】

コマンドバッファ21Aは、前記テストコマンド信号Test1をバッファリングし、出力ラインL1Bを通じ、インバータ51Aの入力に向けて、ローレベルのテスト信号T

50

e s t を出力する。インバータ 5 1 A は、インバータ 5 2 の入力に、ハイレベルの信号を出力する。その後、インバータ 5 2 は、N 型チャンネルトランジスタ M 2 のゲートに、ローレベルの信号 C S を出力する。

【 0 0 7 0 】

続いて、スリープモードと同様に、テストモードでは、各遅延回路 5 3 ~ 5 5 が、各 N 型チャンネルトランジスタ M 3 ~ M 5 のゲートに、ローレベルの信号 C S 1 ~ C S 3 をそれぞれ出力する。これにより、テストモードでは、スリープモードと同様に、各 N 型チャンネルトランジスタ M 2 ~ M 5 は、順次オフ状態になる。

【 0 0 7 1 】

また、テストモードでは、通常モードと同様に、出力ライン L 1 A を通じ、ライトイネーブルバッファ 2 2 の第 2 信号入力端子に向けて、チップイネーブル信号 C E を出力する。これにより、ライトイネーブルバッファ 2 2 は、イネーブルされる。

【 0 0 7 2 】

加えて、テストモードでは、通常モードと同様に、出力ライン L 1 A を通じ、インプットバッファ 2 3 の第 2 入力端子に向けて、チップイネーブル信号 C E を出力する。これにより、インプットバッファ 2 3 は、イネーブルされる。テストモードでは、スリープモードと同様に、ライトイネーブルバッファ 2 2 及びインプットバッファ 2 3 がイネーブルされ、メモリセルにデータが記憶される。さらに、テストモードでは、読出回路（図示せず）によって行われる読出動作に応じ、メモリセルから、記憶データを読み出す。

【 0 0 7 3 】

本実施形態では、各コマンド信号 C E 1、S L P 1、T e s t 1 が、本発明の第 1 入力信号に相当する。各信号入力端子（I N 1 A）~（I N 3 A）は、本発明の信号入力端子に相当する。コマンドバッファ 2 1 A は、本発明のコマンドバッファ部に相当する。また、本実施形態では、テスト信号 T e s t が、本発明のテストモード設定信号に相当する。

【 0 0 7 4 】

< 実施形態 2 の効果 >

本実施形態では、コマンドバッファ 2 1 A によって、第 3 信号入力端子（I N 3 A）に入力されるテストコマンド信号 T e s t 1 に対応させて、スイッチング制御回路 5 0 A が備えるインバータ 5 1 A に、テスト信号 T e s t が出力される。そこで、本実施形態の S R A M 1 0 A では、第 3 信号入力端子（I N 3 A）に入力されるテストコマンド信号 T e s t 1 に対応させて、テスト信号 T e s t を生成するため、実施形態 1 の S R A M 1 0 とは異なり、テストモード設定信号入力端子を備える必要がない。

【 0 0 7 5 】

< 実施形態 3 >

本発明の実施形態 3 を、図 3 を参照しつつ説明する。図 3 は、本実施形態の S R A M 1 0 B の回路構成図である。ここでは、実施形態 1 及び実施形態 2 と同一の構成は同一の符号を付しその説明を省略する。S R A M 1 0 B は、実施形態 2 の入力回路 2 0 A に代えて、入力回路 2 0 B を備えている。

【 0 0 7 6 】

入力回路 2 0 B は、モードレジスタセット制御部 2 1 B と、インタフェース制御部 2 2 B と、レジスタ R E G 1 と、レジスタ R E G 2 と、制御信号発生部 2 3 B とを備えている。

【 0 0 7 7 】

モードレジスタセット制御部 2 1 B は、第 1 信号入力端子（I N 1 B）と、第 2 信号入力端子（I N 2 B）と、第 3 信号入力端子（I N 3 B）と、第 4 信号入力端子（I N 4 B）と、第 5 信号入力端子（I N 5 B）とを備えている。

【 0 0 7 8 】

インタフェース制御部 2 2 B は、第 1 信号入力端子（I N 6 B）を備えている。インタフェース制御部 2 2 B の第 2 信号入力端子には、前記モードレジスタセット制御部 2 1 B の信号出力端子が接続されている。

10

20

30

40

50

【 0 0 7 9 】

レジスタ R E G 1 の信号入力端子は、インタフェース制御部 2 2 B の信号出力端子に接続されている。レジスタ R E G 1 の信号出力端子には、出力ライン L 3 A が接続されている。出力ライン L 3 A は、図示しないローデコーダ及びカラムデコーダ等を介し、メモリセルアレイ 3 0 に接続されている。レジスタ R E G 2 の信号入力端子は、インタフェース制御部 2 2 B の信号出力端子に接続されている。

【 0 0 8 0 】

制御信号発生部 2 3 B の第 1 信号入力端子は、モードレジスタセット制御部 2 1 B の信号出力端子に接続されている。制御信号発生部 2 3 B の第 2 信号入力端子は、レジスタ R E G 2 の信号出力端子に接続されている。制御信号発生部 2 3 B の信号出力端子は、出力ライン L 1 C 及び出力ライン L 1 D に接続されている。出力ライン L 1 C は、スイッチング制御回路 5 0 A が備えるインバータ 5 1 A に接続されている。出力ライン L 1 D は、図示しないローデコーダ及びカラムデコーダを介し、メモリセルアレイ 3 0 に接続されている。

10

【 0 0 8 1 】

次に、本実施形態の S R A M 1 0 B の動作を説明する。ここでは、実施形態 1 及び実施形態 2 と同一の動作については、その説明を省略する。S R A M 1 0 B においても、実施形態 1 及び実施形態 2 と同様に、通常モードと、スリープモードと、テストモードとを設定することが可能である。

【 0 0 8 2 】

モードレジスタセット制御部 2 1 B の第 1 信号入力端子 (I N 1 B) には、チップイネーブル信号 C E が入力される。モードレジスタセット制御部 2 1 B の第 2 信号入力端子 (I N 2 B) ~ 第 4 信号入力端子 (I N 4 B) には、各モード (通常モード、スリープモード、テストモード) を選択するための制御信号が入力される。第 2 信号入力端子 (I N 2 B) には、ロードアドレスストロブ信号 R A S が入力される。第 3 信号入力端子 (I N 3 B) には、カラムアドレスストロブ信号 C A S が入力される。第 4 信号入力端子 (I N 4 B) には、ライトイネーブル信号 W E が入力される。第 5 入力信号 (I N 5 B) には、クロック信号 C L K が入力される。クロック信号 C L K は、S R A M 1 0 B のマスタークロック信号である。

20

【 0 0 8 3 】

また、インタフェース制御部 2 2 B の第 1 入力端子 (I N 6 B) には、アドレス信号 A D D やデータ信号 D が入力される。

30

【 0 0 8 4 】

通常モードにおいては、S R A M 1 0 B は、以下に説明するように動作する。モードレジスタセット制御部 2 1 B は、各制御信号 C E 、 R A S 、 C A S 、 W E に応じて、通常モードを選択する信号が入力されると、インタフェース制御部 2 2 B 及び制御信号発生部 2 3 B に、通常モード制御信号 M R S 1 を出力する。

【 0 0 8 5 】

制御信号発生部 2 3 B は、第 1 信号入力端子に、前記通常モード制御信号 M R S 1 が入力されると、ローレベルの制御信号 C S 5 を生成する。制御信号発生部 2 3 B は、出力ライン L 1 C を通じ、インバータ 5 1 A の入力に向けて、ハイレベルの制御信号 C S 5 を出力する。これによって、実施形態 1 及び実施形態 2 と同様に、各 N 型チャンネルトランジスタ M 2 ~ M 5 が、順次オン状態になる。さらに、実施形態 1 及び実施形態 2 と同様に、N 型チャンネルトランジスタ M 1 は、常時オン状態に維持されている。

40

【 0 0 8 6 】

また、インタフェース制御部 2 2 B は、第 2 信号入力端子に、通常モード制御信号 M R S 1 が入力されると、レジスタ R E G 1 に、アドレス信号 A D D 及びデータ信号 D を出力する。アドレス信号 A D D 及びデータ信号 D は、R E G 1 に記憶された後に、出力ライン L 3 A を通じ、図示しないローデコーダ、カラムデコーダやライトドライバに出力される。その後、S R A M 1 0 B では、実施形態 1 及び実施形態 2 の通常モードと同様に、デー

50

タ信号 D に対応したデータが、メモリセルに記憶される。

【 0 0 8 7 】

スリープモードにおいては、S R A M 1 0 B は、以下に説明するように動作する。モードレジスタセット制御部 2 1 B は、各制御信号 C E 、 R A S 、 C A S 、 W E に応じて、インタフェース制御部 2 2 B 及び制御信号発生部 2 3 B に、スリープモード制御信号 M R S 2 を出力する。

【 0 0 8 8 】

制御信号発生部 2 3 B は、第 1 信号入力端子に、前記スリープモード制御信号 M R S 2 が入力されると、ローレベルの制御信号 C S 5 を生成する。制御信号発生部 2 3 B は、出力ライン L 1 C を通じ、インバータ 5 1 A の入力に向けて、ローレベルの制御信号 C S 5 を出力する。これによって、実施形態 1 及び実施形態 2 と同様に、各 N 型チャンネルトランジスタ M 2 ~ M 5 が、順次オフ状態になる。さらに、実施形態 1 及び実施形態 2 と同様に、N 型チャンネルトランジスタ M 1 0 は、常時オン状態に維持されている。

【 0 0 8 9 】

また、インタフェース制御部 2 2 B は、第 2 信号入力端子に、スリープモード制御信号 M R S 2 が入力されると、レジスタ R E G 1 及びレジスタ R E G 2 に、アドレス信号 A D D 及びデータ信号 D を出力することを禁止する。本実施形態のスリープモードにおいては、実施形態 1 及び実施形態 2 のスリープモードと同様に、メモリセルにデータが書き込まれることがない。

【 0 0 9 0 】

テストモードにおいては、S R A M 1 0 B は、以下に説明するように動作する。モードレジスタセット制御部 2 1 B は、各制御信号 C E 、 R A S 、 C A S 、 W E に応じて、インタフェース制御部 2 2 B 及び制御信号発生部 2 3 B に、テストモード制御信号 M R S 3 を出力する。

【 0 0 9 1 】

インタフェース制御部 2 2 B は、第 2 信号入力端子に、テストモード制御信号 M R S 3 が入力されると、レジスタ R E G 2 に、アドレス信号 A D D 及びデータ信号 D を出力する。アドレス信号 A D D 及びデータ信号 D は、レジスタ R E G 2 に記憶された後に、制御信号発生部 2 3 B の第 2 信号入力端子に向けて、出力される。

【 0 0 9 2 】

制御信号発生部 2 3 B は、第 1 信号入力端子に入力されたテストモード制御信号 M R S 3 及び第 2 信号入力端子に入力されたアドレス信号 A D D 及びデータ信号 D に応じて、ローレベルの制御信号 C S 5 を生成する。制御信号 C S 5 は、出力ライン L 1 C を通じ、インバータ 5 1 A の入力に向けて、出力される。アドレス信号 A D D 及びデータ信号 D は、出力ライン L 1 D を通じ、図示しないローデコーダ、カラムデコーダやライトドライバに出力される。

【 0 0 9 3 】

インバータ 5 1 A に、ローレベルの制御信号 C S 5 が入力されると、上述したスリープモードと同様に、各 N 型チャンネルトランジスタ M 2 ~ M 5 が、順次オフ状態になる。上述したスリープモードと同様に、N 型チャンネルトランジスタ M 1 は、常時オン状態に維持されている。

【 0 0 9 4 】

テストモードでは、各 N 型チャンネルトランジスタ M 2 ~ M 5 が、オフ状態を維持すると共に、N 型チャンネルトランジスタ M 1 が、オン状態を維持した状態で、前記データ D に対応したデータが、図示しないライトドライバによって、メモリセルに記憶される。さらに、テストモードでは、読出回路（図示せず）によって行われる読出動作に応じ、メモリセルから、記憶データを読み出す。

【 0 0 9 5 】

本実施形態では、各信号 C E 、 R A S 、 C A S 、 W E が、本発明の第 1 入力信号に相当する。各信号 A D D 、 D は、本発明の第 2 入力信号に相当する。各信号入力端子（I N 1

10

20

30

40

50

B) ~ (IN6B) は、本発明の信号入力端子に相当する。各モード制御信号MRS1 ~ MRS3は、各モード(通常モード、スリープモード、テストモード)を選択するために用いられるから、本発明の状態設定コマンドに相当する。

【0096】

また、本実施形態では、モードレジスタセット制御部21Bが、本発明の第1デコーダに相当する。レジスタREG2は、インタフェース制御部22Bの第2入力端子(IN6B)から入力されるアドレス信号ADD及びデータ信号Dを記憶するから、発明のレジスタに相当する。

【0097】

<実施形態3の効果>

本実施形態のSRAM10Bでは、各制御信号CE、RAS、CAS、WEに応じて、モードレジスタセット制御部21Bが、テストモード制御信号MRS3を、インタフェース制御部22Bの第2信号入力端子に向けて、出力している。その後、インタフェース制御部22Bは、第2信号入力端子に、テストモード制御信号MRS3が入力されると、レジスタREG2に、アドレス信号ADD及びデータ信号Dを出力する。そして、制御信号発生部23Bは、レジスタREG2に記憶されたアドレス信号ADD、データ信号D及びテストモード制御信号MRS3に応じて、ローレベルの制御信号CS5を生成する。これによって、本実施形態のSRAM10Bでは、各N型チャンネルトランジスタM2 ~ M5を、順次オフ状態にし、通常モードに比べて、メモリセルへの印加電圧が抑えられた状態で、メモリセルに、データが記憶されたり、メモリセルから、記憶データを読み出している。したがって、本実施形態のSRAM10Bでは、テストモードを選択するために、各信号入力端子(IN1B) ~ (IN6B)から入力される各制御信号RAS等やアドレス信号ADDとは別に、テストモードを選択する信号を入力する端子を設ける必要がない。

【0098】

<実施形態4>

本発明の実施形態4を、図4を参照しつつ説明する。図4は、本実施形態のSRAM10Cの要部を図示した回路構成図である。ここでは、実施形態1ないし実施形態3と同一の構成は同一の符号を付しその説明を省略する。SRAM10Cは、電圧発生回路60を備えている。電圧調整回路60は、基準電圧生成回路61と、電圧調整回路62と、N型チャンネルトランジスタM7とを備えている。

【0099】

基準電圧生成回路61は、テストモード設定信号入力端子(IN5)と、図示しない分圧回路を備えている。テストモード設定信号入力端子(IN5)は、分圧回路の入力部に接続された起動回路(図示せず。)に接続されている。また、テストモード設定信号入力端子(IN5)は、スイッチング制御回路50が備えるNANDゲート回路51の第1入力に接続されている。NANDゲート回路51の第2入力には、信号入力端子(IN4)が接続されている。信号入力端子(IN4)には、上述したスリープモード設定信号SLPが入力される。

【0100】

電圧調整回路62は、誤差増幅器ERA1を備えている。誤差増幅器ERA1の反転入力端子は、前記分圧回路の出力部に接続されている。誤差増幅器ERA1の非反転入力端子は、接地電位供給線31に接続されている。

【0101】

N型チャンネルトランジスタM7のドレインは、接地電位供給線31に接続されている。N型チャンネルトランジスタM7のゲートは、誤差増幅器ERA1の出力端子(N)に接続されている。N型チャンネルトランジスタM7のソースは、グラウンドに接続されている。

【0102】

次に、本実施形態のSRAM10Cの動作を説明する。ここでは、実施形態ないし実施形態3と同一の動作については、その説明を省略する。SRAM10Cにおいても、実施

10

20

30

40

50

形態 1 ないし実施形態 2 と同様に、通常モードと、スリープモードと、テストモードとを設定することが可能である。なお、通常モードにおいては、S R A M 1 0 C は、実施形態 1 ないし実施形態 3 と同様に動作する。

【 0 1 0 3 】

スリープモードにおいては、S R A M 1 0 C は、以下に説明するように動作する。スリープモードにおいては、信号入力端子 (I N 4) を通じ、N A N D ゲート回路 5 1 の第 2 入力に、ローレベルのスリープモード設定信号 S L P が入力される。スリープモードにおいては、テストモード設定信号入力端子 (I N 5) を通じ、N A N D ゲート回路 5 1 の第 1 入力には、ハイレベルのテストモード設定信号 T E S T が入力される。これによって、実施形態 1 ないし実施形態 3 と同様に、各 N 型チャンネルトランジスタ M 2 ~ M 5 が、順次オフ状態になる。さらに、実施形態 1 ないし実施形態 3 と同様に、N 型チャンネルトランジスタ M 1 は、常時オン状態に維持されている。

10

【 0 1 0 4 】

テストモードにおいては、S R A M 1 0 C は、以下に説明するように動作する。テストモードにおいては、テストモード設定信号入力端子 (I N 5) を通じ、基準電圧生成回路 6 1 が備える分圧回路の起動部に、ローレベルのテストモード設定信号 T E S T が入力される。

【 0 1 0 5 】

前記起動部に、ローレベルのテストモード設定信号 T E S T が入力されると、分圧回路は、電源電位 V C C を分圧し、基準電圧 V R E F を発生させる。分圧回路は、出力部を通じ、前記誤差増幅器 E R A 1 の反転入力端子に、基準電圧 V R E F を印加する。一方、誤差増幅器 E R A 1 の非反転入力端子には、接地電位供給線 3 1 によってメモリセルに供給される電位 V 1 が印加される。

20

【 0 1 0 6 】

誤差増幅器 E R A 1 は、基準電圧 V R E F と電位 V 1 とを比較し、出力端子 (N) から、N 型チャンネルトランジスタ M 7 のゲートに、誤差出力電圧 V O P を出力する。本実施形態では、誤差出力電圧 V O P によって、N 型チャンネルトランジスタ M 7 の O N 状態が制御され、電位 V 1 の値が、基準電圧 V R E F の値になるように制御される。N 型チャンネルトランジスタ M 7 が O N 状態になると、接地電位供給線 3 1 から、N 型チャンネルトランジスタ M 7 を通じてグランドに至る電流路 R 3 が形成される。

30

【 0 1 0 7 】

加えて、ローレベルのテストモード設定信号 T E S T は、テストモード設定信号入力端子 (I N 5) を通じ、N A N D ゲート回路 5 1 の第 1 入力に入力される。テストモードにおいては、信号入力端子 (I N 4) を通じ、N A N D ゲート回路 5 1 の第 2 入力に、

ハイレベルのスリープ信号 S L P が入力される。これによって、S R A M 1 0 C では、実施形態 1 の S R A M 1 0 と同様に、各型チャンネルトランジスタ M 2 ~ M 5 は、順次オフ状態になる。このため、各 N 型チャンネルトランジスタ M 2 ~ M 5 を通じてグランドに至る電流路 R 2 が形成されない。

【 0 1 0 8 】

また、S R A M 1 0 C では、実施形態 1 の S R A M 1 0 と同様に、N 型チャンネルトランジスタ M 1 がオン状態を維持し、電流路 R 1 のコンダクタンスの値が一定値に保たれる。

40

【 0 1 0 9 】

本実施形態では、N 型チャンネルトランジスタ M 7 の電流駆動能力を、N 型チャンネルトランジスタ M 1 の電流駆動能力や N 型チャンネルトランジスタ M 2 ~ M 5 からなるトランジスタ群の電流駆動能力とは異なるものに調整することにより、電流路 R 3 のコンダクタンスの値が、電流路 R 1 のコンダクタンスの値よりも大きく、電流路 R 2 のコンダクタンスの値よりも小さく設定している。

【 0 1 1 0 】

本実施形態では、上述した動作により、テストモードにおいては、電流路 R 1 及び電流

50

路 R 3 が形成される。各電流路 R 1 ~ R 3 のコンダクタンスの値を、上記のような関係に設定することにより、電流路 R 2、R 3 を除く電流路 R 1 が形成されるスリープモードに比べて、テストモードでは、電流路 R 1、R 3 を形成することにより、接地電位供給線 3 1 によってメモリセルに供給される電位が、低下する。このため、電源電位 V C C と、接地電位供給線 3 1 によってメモリセルに供給される電位との差が大きくなる。そこで、テストモードでは、スリープモードに比べて、電源電位 V C C と、接地電位供給線 3 1 によってメモリセルに供給される電位との差によって定められるメモリセルへの印加電圧が、大きくなる。このため、スリープモードに比べて、テストモードでは、メモリセルへの印加電圧を、該メモリセルの安定動作に必要な電圧に近づけることができる。

【 0 1 1 1 】

本実施形態では、電流路 R 3 が、本発明の第 3 電流経路に相当する。基準電圧生成回路 6 1 は、テストモード設定信号入力端子 (I N 5) から、分圧回路の起動部に、ローレベルのテストモード設定信号 T E S T を入力されると、分圧回路は、基準電圧 V R E F を発生させる。したがって、基準電圧発生回路 6 1 は、本発明の基準電圧発生部に相当する。

【 0 1 1 2 】

また、本実施形態では、電圧調整回路 6 2 が備える誤差増幅器 E R A 1 の誤差出力電圧 V O P が、N 型チャンネルトランジスタ M 7 のオン状態を制御し、電流路 R 3 のコンダクタンスの値を、電流路 R 1 のコンダクタンスの値よりも大きく、電流路 R 2 のコンダクタンスの値よりも小さく設定している。したがって、電圧調整回路 6 2 及び N 型チャンネルトランジスタ M 7 は、本発明のコンダクタンス調整部に相当する。本実施形態では、基準電圧発生回路 6 1、電圧調整回路 6 2、N 型チャンネルトランジスタ M 7 をそれぞれ備えた電圧発生回路 6 0 が、本発明の第 3 電流経路調整部に相当する。

【 0 1 1 3 】

< 実施形態 4 の効果 >

本実施形態の S R A M 1 0 C では、テストモード設定信号入力端子 (I N 5) から、分圧回路の起動部に、ローレベルのテストモード設定信号 T E S T を入力されると、分圧回路は、基準電圧 V R E F を発生させる。さらに、本実施形態の S R A M 1 0 C では、誤差増幅器 E R A 1 によって、接地電位供給線 3 1 によってメモリセルに供給される電位 V 1 が、基準電圧 V R E F と比較され、誤差増幅器 E R A 1 の誤差出力電圧 V O P が、N 型チャンネルトランジスタ M 7 のゲートに供給される。このため、誤差出力電圧 V O P により、N 型チャンネルトランジスタ M 7 の ON 状態が制御され、電流路 R 3 のコンダクタンスの値が、電流路 R 1 のコンダクタンスの値よりも大きく、電流路 R 2 のコンダクタンスの値よりも小さく設定される。

そこで、本実施形態の S R A M 1 0 C では、分圧回路の分圧比を調整することにより、基準電圧 V R E F の値を任意に変更すると、任意に変更した基準電圧 V R E F の値に対応させて、誤差出力電圧 V O P を変化させることができる。変化させた誤差出力電圧 V O P が N 型チャンネルトランジスタ M 7 のゲートに供給されると、該誤差出力電圧 V O P に応じて、N 型チャンネルトランジスタ M 7 の ON 状態が制御され、電流路 R 3 のコンダクタンスの値を、電流路 R 1 のコンダクタンスの値よりも大きく、電流路 R 2 のコンダクタンスの値よりも小さく設定することができる。

したがって、本実施形態の S R A M 1 0 C では、電流路 R 3 のコンダクタンスの値を、任意に調整することにより、接地電位供給線 3 1 によってメモリセルに供給される電位 V 1 が変化し、電源電位 V C C と、接地電位供給線 3 1 によってメモリセルに供給される電位 V 1 との差によって定められるメモリセルへの印加電圧が、任意に調整される。このため、メモリセルへの印加電圧が、任意に調整されると、メモリセルの動作条件を変化させることができ、任意に調整されたメモリセルへの印加電圧に応じ、テストモードの設定状態を変化させることができる。

【 0 1 1 4 】

本発明は、上述した実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において構成の一部を適宜変更して実施することができる。

10

20

30

40

50

【図面の簡単な説明】

【0115】

【図1】本発明の実施形態1のSRAMの回路構成図である。

【図2】実施形態2のSRAMの回路構成図である。

【図3】実施形態3のSRAMの回路構成図である。

【図4】実施形態4のSRAMの回路構成図である。

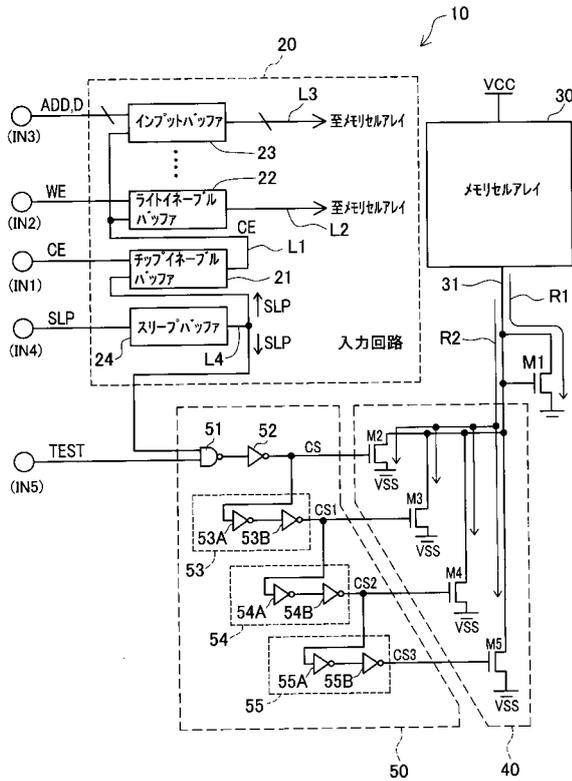
【符号の説明】

【0116】

- 10 SRAM
- 21A コマンドバッファ
- 30 メモリセルアレイ
- 40 スイッチング回路
- 50 スイッチング制御回路
- 61 基準電圧生成回路
- 62 電圧調整回路
- IN5 テストモード設定信号入力端子
- R1~R3 電流路
- SLP スリープモード設定信号
- TEST テストモード設定信号

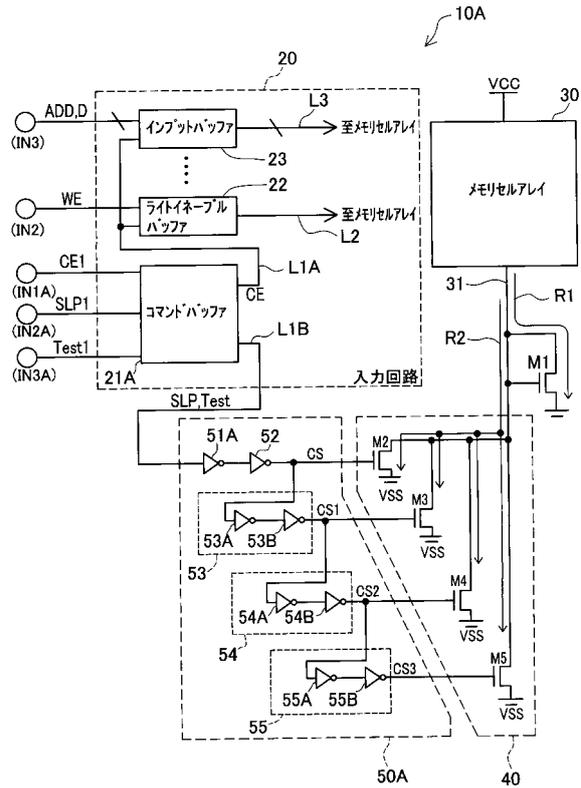
【図1】

実施形態1のSRAMの回路構成図

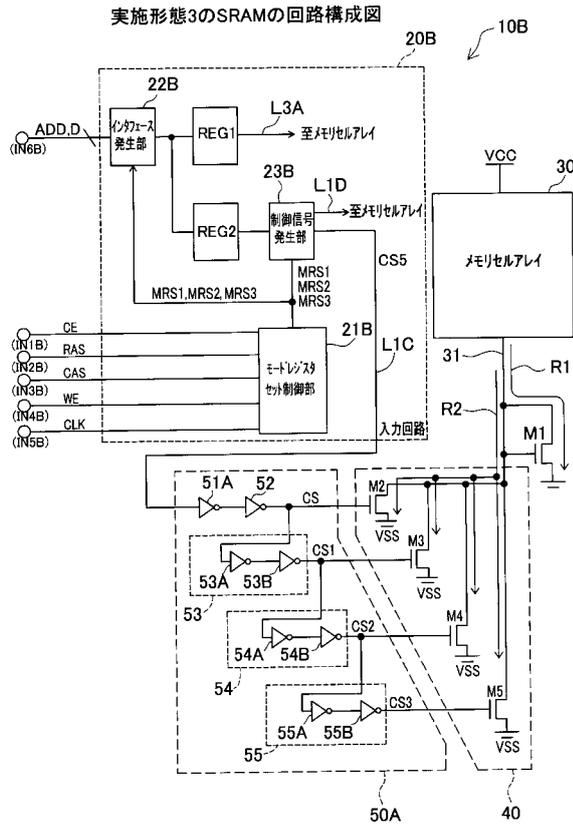


【図2】

実施形態2のSRAMの回路構成図



【 図 3 】



【 図 4 】

