

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6602274号
(P6602274)

(45) 発行日 令和1年11月6日(2019.11.6)

(24) 登録日 令和1年10月18日(2019.10.18)

(51) Int. Cl. F I
GO 1 C 19/5726 (2012.01) GO 1 C 19/5726
GO 1 C 19/5762 (2012.01) GO 1 C 19/5762
GO 1 P 15/125 (2006.01) GO 1 P 15/125 V

請求項の数 9 (全 27 頁)

(21) 出願番号	特願2016-155905 (P2016-155905)	(73) 特許権者	509186579
(22) 出願日	平成28年8月8日(2016.8.8)		日立オートモティブシステムズ株式会社
(65) 公開番号	特開2018-25414 (P2018-25414A)		茨城県ひたちなか市高場2520番地
(43) 公開日	平成30年2月15日(2018.2.15)	(74) 代理人	110001678
審査請求日	平成30年11月12日(2018.11.12)		特許業務法人藤央特許事務所
		(72) 発明者	小笠 和夫
			東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	大島 俊
			東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	都留 康隆
			茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内

最終頁に続く

(54) 【発明の名称】 慣性検出装置

(57) 【特許請求の範囲】

【請求項1】

振動体と、前記振動体を駆動する駆動制御部と、を有する慣性検出装置であって、前記駆動制御部は、前記振動体の駆動方向の変位を表す駆動検出信号を第1クロックでサンプリングし、前記サンプリングされた駆動検出信号に基づいて、1周期ごとの長さが異なるように前記第1クロックを生成し、

前記第1クロックの2以上の所定の数の周期の合計と同じ長さの周期を有する駆動信号を、前記振動体を駆動するために前記振動体に印加することを特徴とする慣性検出装置。

【請求項2】

請求項1に記載の慣性検出装置であって、前記駆動制御部は、前記第1クロックでサンプリングされた駆動検出信号を直交検波し、各周期が、前記直交検波によって得られた直交位相成分の各サンプル値の大きさに応じた長さを有する前記第1クロックを生成することを特徴とする慣性検出装置。

【請求項3】

請求項2に記載の慣性検出装置であって、前記駆動制御部は、前記第1クロックの周波数が前記振動体の固有振動数の2倍以上になるように前記第1クロックを生成することを特徴とする慣性検出装置。

【請求項4】

請求項 3 に記載の慣性検出装置であって、

前記駆動制御部は、前記第 1 クロックと同じ周期の信号を、前記振動体の変位を検出するための搬送波信号として前記振動体に印加することを特徴とする慣性検出装置。

【請求項 5】

請求項 2 に記載の慣性検出装置であって、

前記駆動制御部は、前記直交検波によって得られた前記直交位相成分および同位相成分に基づいて、前記振動体に加えられた加速度を示す出力信号を生成することを特徴とする慣性検出装置。

【請求項 6】

請求項 1 に記載の慣性検出装置であって、

前記振動体の前記駆動方向に直交する方向の変位を表す検出信号に基づいて、前記振動体に加えられた角速度を示す出力信号を生成する角速度検出部をさらに有することを特徴とする慣性検出装置。

【請求項 7】

請求項 6 に記載の慣性検出装置であって、

前記角速度検出部は、

前記駆動制御部による前記振動体の駆動制御のタイミングを示す信号に基づいて生成した第 2 クロックで前記検出信号をサンプリングし、

前記第 2 クロックでサンプリングされた駆動検出信号を直交検波し、

前記直交検波によって得られた同位相成分に基づいて、前記振動体に加えられた角速度を示す出力信号を生成し、

前記第 2 クロックの 2 以上の所定の数の周期の合計と同じ長さの周期を有するサーボ信号を、前記振動体の前記駆動方向に直交する方向の変位を打ち消すために前記振動体に印加することを特徴とする慣性検出装置。

【請求項 8】

振動体と、前記振動体を駆動する駆動制御部と、角速度検出部と、を有する慣性検出装置であって、

前記角速度検出部は、

前記駆動制御部による前記振動体の駆動制御のタイミングを示す信号に基づいて生成した第 2 クロックで、前記振動体の駆動方向に直交する方向の変位を表す検出信号をサンプリングし、

前記第 2 クロックでサンプリングされた駆動検出信号を直交検波し、

前記直交検波によって得られた同位相成分に基づいて、前記振動体に加えられた角速度を示す出力信号を生成し、

前記第 2 クロックの 2 以上の所定の数の周期の合計と同じ長さの周期を有するサーボ信号を、前記振動体の前記駆動方向に直交する方向の変位を打ち消すために前記振動体に印加することを特徴とする慣性検出装置。

【請求項 9】

振動体と、前記振動体を駆動する駆動制御部と、を有する慣性検出装置であって、

前記駆動制御部は、

前記振動体の駆動方向の変位を表す駆動検出信号を第 1 クロックでサンプリングし、

前記第 1 クロックでサンプリングされた駆動検出信号を直交検波し、

各周期が、前記直交検波によって得られた直交位相成分の各サンプル値の大きさに応じた長さを有する前記第 1 クロックを生成し、

前記第 1 クロックの 2 以上の所定の数の周期の合計と同じ長さの周期を有する駆動信号を、前記振動体を駆動するために前記振動体に印加することを特徴とする慣性検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、慣性検出技術に関する。

10

20

30

40

50

【背景技術】

【0002】

振動型慣性センサ（以下、慣性検出装置と呼ぶ場合がある）は、慣性センサの一種類であり、慣性体の振動振幅又は振動周波数の変化を利用して物体の加速度又は角速度等の物理量を検出するセンサである。振動型角速度センサは、物質が及ぼす角速度の変動、傾斜角等の物体の状態を観測可能である。振動型慣性センサは、例えば自動車等の乗り物の制御、無人飛行機又は遠隔操作ロボットの姿勢制御又は姿勢検知、音波又は地震波等の観測、老朽インフラの保守情報の取得、スマートフォンへの具備等、各種の用途に使用されている。近年では自動車の自動運転技術へのニーズが高まっており、慣性センサは自動運転システムを構成する一要素としても開発がすすめられている。

10

【0003】

慣性センサの検出原理として、容量検出型がある。容量検出型では、センサ要素の慣性体を構成する電極間の静電容量の変化に基づいて物理量が検出される。上記静電容量は搬送波と呼ばれる交流パルス信号を印加することで検出される。容量検出型の慣性センサは、MEMS（Micro Electro Mechanical Systems）構造の適用によってMEMSセンサとして小型及び低価格で実現できるため、用途が拡大している。そのセンサ要素は、シリコン等の物質が用いられ、検出回路との親和性が高いので、製造上の利点がある。

【0004】

慣性センサにおいて検出精度を向上するための方式としては、センサ要素の慣性体をサーボ制御する方式がある。このサーボ制御は、慣性体が物理量の変化に伴って慣性座標系で変位する場合に、この変位を制御するために慣性体にサーボ力を与える制御である。言い換えると、このサーボ制御は、回路部から慣性体にサーボ電圧を印加してサーボ力を与えることによって、慣性体が好適な振動状態になるようにする制御である。

20

【0005】

容量検出型及びサーボ制御方式の慣性センサに関する先行技術例としては、特許第3804242号公報（特許文献1）が挙げられる。特許文献1には、物理量検出装置として、フィードバック電圧を出力する信号処理回路、搬送波信号発生手段、等を備える旨が記載されている。

【先行技術文献】

【特許文献】

30

【0006】

【特許文献1】特許第3804242号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

振動型慣性センサの安定性を向上するには慣性体の振動状態を高精度に一定に保ち続ける必要がある。これに効果的なのはセンサ要素にQ値（Quality factor）が高いもの（以下、高Q品）を適用することである。高Q品を適用することによって振動状態が安定しやすくなり、かつ、印加した振動エネルギーの散逸を小さくすることが出来るため、低電力化にも寄与する。しかし、高Q品を適切に制御するためには、その共振周波数に正確に合わせた交流サーボ信号によってサーボ制御を行う必要があり、非常に高精度に交流サーボ電圧の周波数を制御する必要がある。

40

【0008】

一方で振動型慣性センサ要素の共振周波数はMEMSを仮定した場合、ウエハ内ばらつき、ロット間ばらつき等の様々な要因によって設計値を中心とした分布を持つことは避けられない。つまり、ある程度の幅を持った共振周波数分布に対応する制御方式が必要となる。

【0009】

また、高Q品はひとたびサーボ制御周波数が共振周波数に一致すると、その大きなゲインによって急激に振動振幅が増大する傾向がある。このため、サーボ電圧の振幅制御も、

50

周波数と同様に高精度に行う必要がある。

【0010】

よって、高Q品を適切に振動型慣性センサに適用するには、広い周波数範囲において高精度に共振周波数に合わせ、更に緻密にその電圧振幅が制御された交流サーボ信号を生成する手段が必要となる。このような交流サーボ信号を生成するためには、高精度に周波数を制御可能な電圧制御発振器と高精度にアナログ電圧を制御できるDAC（デジタル/アナログコンバータ）が必要となる。しかし、これを実現するには複雑な回路が必要となり、結果として回路面積が大きくなり、消費電流の増大及び製造コストの増大につながると思った課題があった。

【課題を解決するための手段】

【0011】

本発明のうち代表的な実施の形態は、振動体と、前記振動体を駆動する駆動制御部と、を有する慣性検出装置であって、前記駆動制御部は、前記振動体の駆動方向の変位を表す駆動検出信号を第1クロックでサンプリングし、前記サンプリングされた駆動検出信号に基づいて、1周期ごとの長さが異なるように前記第1クロックを生成し、前記第1クロックの2以上の所定の数の周期の合計と同じ長さの周期を有する駆動信号を、前記振動体を駆動するために前記振動体に印加することを特徴とする。

【発明の効果】

【0012】

本発明のうち代表的な実施の形態によれば、容量検出型及びサーボ制御方式の振動型慣性センサに対して回路規模を増大することなく高Qのセンサ要素を適用することができ、安定性が高い振動型慣性センサを低コストで提供可能となる。上記した以外の課題、構成、及び効果は、以下の実施形態の説明によって明らかにされる。

【図面の簡単な説明】

【0013】

【図1】角速度センサの制御方法を示す図である。

【図2】本発明の実施例1と比較例とにおけるセンサ要素の動作点を比較した図である。

【図3】センサ要素の共振周波数とQ値がばらつきを持つことを示した図である。

【図4】センサ要素のQ値に依存してゲイン曲線の半値幅が減少することを示した図である。

【図5】本発明の実施例1と比較例とにおけるセンサ要素の帯域内ノイズを比較した図である。

【図6】オーバーサンプリング比と規格化雑音強度と必要なDACビット数との関係を示す図である。

【図7】本発明の実施例1を適用した角速度検出装置の機能ブロック図である。

【図8】本発明の実施例1におけるクロック生成回路の構成を示す図である。

【図9】本発明の実施例1における電圧制御発振回路の構成を示す図である。

【図10】本発明の実施例1における電圧制御電流出力回路の構成を示す図である。

【図11】本発明の実施例1におけるアナログフロントエンド回路の構成を示す図である。

【図12】本発明の実施例1における遅延回路の構成を示す図である。

【図13】本発明の実施例1におけるDAC回路の構成を示す図である。

【図14】本発明の実施例1におけるDAC回路内のスイッチ回路の構成を示す図である。

【図15】本発明の実施例1におけるスイッチ回路内のスイッチ1回路の構成を示す図である。

【図16】本発明の実施例1におけるセンサ1の等価回路を示す図である。

【図17】本発明の実施例1と比較例とにおける、アナログクロックと、ADCによって変換されたアナログ信号と、直交検波後の直角位相成分および同位相成分の波形とのタイミング関係を示す図である。

10

20

30

40

50

【図18】本発明の実施例1における駆動周波数制御信号と電圧制御発振回路出力とクロック発生回路内のカウンタとアナログクロックと駆動クロックとの位相関係を示す図である。

【図19】比較例における駆動周波数制御信号と電圧制御発振回路出力とクロック発生回路内のカウンタとアナログクロックと駆動クロックとの位相関係を示す図である。

【図20】本発明の実施例1におけるアナログクロック元信号とラッチクロックとカウンタと駆動クロックと遅延制御値が3の時の遅延制御クロック元信号と遅延制御値が5の時の遅延制御クロック元信号との位相関係を示す図である。

【図21】本発明の実施例1における電圧制御発振回路出力と遅延制御クロックと振幅制御信号と遅延した振幅制御信号0から7と振幅遅延制御値が2の時の遅延振幅信号と駆動クロックとの位相関係を示す図である。

10

【図22】本発明の実施の形態1と比較例とにおける、搬送波と時刻T1におけるアナログ信号と時刻T2におけるアナログ信号との位相関係を示す図である。

【図23】本発明の実施例2を適用した角速度検出装置の機能ブロック図である。

【図24】本発明の実施例2におけるクロック生成回路の構成を示す図である。

【図25】本発明の実施例2における遅延回路の構成を示す図である。

【図26】本発明の実施例3を適用した角速度検出装置の機能ブロック図である。

【図27】本発明の実施例4を適用した加速度検出装置の機能ブロック図である。

【図28】本発明の実施例4におけるセンサを示す図である。

【図29】本発明の実施例4におけるセンサの等価回路を示す図である。

20

【図30】本発明の実施例1におけるセンサ素子と回路との接続と各接続パッドにおいて、観測される電圧の時間変化波形を示す図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一部には原則として同一符号を付し、その繰り返しの説明は省略する。

【0015】

[比較例および一般的な角速度センサの制御例]

図1を用いて比較例および一般的な角速度センサの制御例について説明する。振動型角速度センサ1 (SENSOR1) 110には電気入出力端子が全部で9種類存在し、入力端子に適切な信号を印加することによって角速度センサを制御する。

30

【0016】

駆動信号DRIVEPとDRIVEN、駆動検出信号ASIGDPとASIGDN、サーボ電圧信号SERVOPとSERVON、検出信号ASIGSPとASIGSN、並びに、搬送波CARRYの9種類が全端子である。上記は一般的な一軸の角速度センサに具備された機能端子であり、1つのセンサ要素が複数の検出軸を備えるような場合には検出軸の数に対応して端子数は増大する。

【0017】

駆動信号は、振動体の一部である駆動マス150を図1に示したX方向に一定周波数および一定振幅で制御して振動させるために用いられる。駆動検出信号ASIGDPおよびASIGDNは、駆動マス150の振動状態を静電容量変化で検出するための信号であり、これらから振動体のX方向の変位を得ることができる。搬送波CARRYは、静電容量の変化を検出するための交流信号である。後述するアナログフロントエンド109は、サンプリングホールド回路によって構成される場合、搬送波周波数の1倍または0.5倍の周波数で動作していることが多い。同期検波によって低周波雑音を除去する場合には、アナログフロントエンド109は0.5倍の周波数でサンプリングホールドすることがある。

40

【0018】

サーボ電圧信号は、振動体の一部である検出マス151が図1に示したX方向に直交す

50

る Y 方向に変位した時にその変位を打ち消す方向に静電気力を印加するために用いられる。駆動マス 150 が X 方向に一定の周波数および一定の振幅で振動している状態で角速度 RATE が印加されると、検出マス 151 が Y 方向に変位する。これを検出するのが検出信号 ASIGSP および ASIGSN を出力する検出信号端子であり、検出マス 151 の変位を打ち消すためにサーボ電圧信号を印加する端子に印加されるのがサーボ信号である。検出マス 151 の変位を容量変化で検出するのも同じ搬送波が用いられる。振動型角速度センサ 110 は本発明の実施例 1 の回路に接続して制御する角速度センサと同一種類である。

【0019】

駆動検出信号および検出信号はアナログフロントエンド 109 でデジタル信号に変換される。図 1 に示す変位 114 は、駆動マス 150 の X 方向の変位を表す電圧波形の時間変化である。検出信号 ASIGSP および ASIGSN から得られる変位 115 は、検出マス 151 の Y 方向の変位を表す電圧波形の時間変化である。変位 115 にはサーボ電圧印加前の電圧波形 118 およびサーボ電圧印加後の電圧波形 119 を含む。検出マス 151 に対するサーボ制御が正しく効いている状態では波形 119 の通り検出信号の振幅が小さくなる。これはつまり検出マス 151 の変位が小さくなっていることを示している。

【0020】

駆動マスの変位 114 に基づいて適切なフィードバック制御を施す回路ブロック 112 は、駆動制御信号 116 を生成する。図 1 には、駆動制御信号 116 の時間変化を示している。駆動制御信号 116 の位相は変位 114 と比較して 90 度進んでいる状態が望ましい。これは、駆動マス 150 の振動周波数が駆動マス 150 の機械構造で決定する共振周波数と一致した場合には、駆動信号に対して駆動マス変位が 90 度遅れるためである。共振周波数で駆動マス 150 を駆動すると、駆動のために印加したエネルギーがロスを最小にして駆動マス 150 の振動運動に変換されるため、小電力化に寄与する。駆動制御信号 116 はデジタルアナログ変換器 (DAC) 101 に入力され、駆動信号 DRIVEP および DRIVEN が生成される。以上が一般的な駆動マス 150 の制御ループである。

【0021】

検出マス 151 の変位 115 に基づいて適切なフィードバック制御を施す回路ブロック 113 は、センサ出力 SENSOROUT およびサーボ制御信号 117 を出力する。センサ出力 SENSOROUT はサーボ制御信号 117 の信号成分 VSIG121 (図 1 には VSIG121 の時間変化を示す) の振幅成分として出力される。VSIG121 の振幅は、駆動マス 150 の X 方向の変位 114 の時間微分 V と RATE との算術積に比例し、その周波数は変位 114 と同じである。VSIG121 の位相は、アナログフロントエンド 109 (ANALOG) および回路ブロック 113 (YCTRL) での遅延がゼロと仮定した場合には、変位 114 に比較して 90 度ずれる。上記回路ブロックでの遅延がゼロでない場合、上記 90 度の位相ずれに適切な遅延が回路ブロック 113 によって施される。直交位相成分 VERR120 (図 1 には VERR120 の時間変化を示す) は、変位 114 と同位相であり振幅も比例関係にある。VSIG121 と VERR120 とを加算したものがサーボ制御信号 117 であり、これが DAC 101 に入力され、SERVOP および SERVON が出力される。DAC 101 は基本的には駆動制御用のものと同種のもので良いが、構成ビット数などは一般的には異なっている。以上が検出マス 151 の制御ループである。

【0022】

振動型角速度センサの制御には以上のように駆動マス 150 の制御ループである駆動制御と検出マス 151 の制御ループである検出制御の 2 つのループが必要であり、これらを用いて高精度、高安定に行うかが角速度センサ出力の制御および安定性に影響することになる。

【0023】

図 2 ~ 図 4 を用いて、駆動制御における課題について実施例 1 と従来例を比較していか

に実施例 1 がこれを解決するかについて述べる。

10

20

30

40

50

【 0 0 2 4 】

図 2 は、センサ要素の振幅利得と駆動周波数の関係、駆動周波数制御信号と駆動信号周波数の関係を示している。一般的に二次の伝達特性を有する振動体によってセンサ要素は構成され、共振周波数 f_0 で振幅利得が最大値をとるように設計される。図 2 (A) に示す不適切な制御では駆動周波数制御値が疎である（すなわち、設定可能な駆動周波数の値のステップが大きい）ため、 f_0 に近いが f_0 とは異なる周波数で駆動制御を行うしかなく、センサ要素の振幅利得を十分に得ることができない。しかし、図 2 (B) に示す理想的な制御においては、駆動周波数制御値を十分に密に設定できる（すなわち、設定可能な駆動周波数の値のステップが十分に小さい）ため、センサ要素の振幅利得を最大限に活用できる。よって、小さな入力エネルギーで駆動振幅を大きくすることができ、低電力化に寄与する。また、制御周波数ステップが小さいため駆動周波数制御の誤差が小さくなり、安定性が向上すると共にセンサ出力の信号雑音比を向上することが出来る。つまり、駆動周波数制御においては、センサ要素の共振周波数に応じて制御ステップを十分に密にできるように制御回路を設計することが課題である。

10

【 0 0 2 5 】

図 3 は、センサ要素の共振周波数 f_0 の分布と Q 値の分布を模式的に示したものである。図 3 の左側は共振周波数 f_0 の分布であり、横軸が f_0 、縦軸がセンサ要素の個数である。図 3 の右側は Q 値の分布であり、横軸が Q 値、縦軸がセンサ要素の個数である。センサ要素の製造ばらつきによって f_0 及び Q 値は典型値 T Y P I C A L を中心とした分布を有する。この中に網掛けで示した制御可能な範囲 1 5 2 をより広範囲にすることが理想的な制御である。図 3 (A) および (B) に、それぞれ、理想的な制御および不適切な制御が行われた場合の制御可能な範囲 1 5 2 の例を示す。広範囲の f_0 および Q 値を制御できた方がセンサ要素の製造全体数からより多くの良品を得ることができ、コスト低減に寄与できる。不適切な制御では良品となるセンサ要素数が少なく、結果として良品数が少なくなりコストが増大してしまう。

20

【 0 0 2 6 】

図 2 に示した通り周波数制御誤差を小さくし、かつ、図 3 に示した通り制御可能範囲を広くする制御が理想的な制御であるが、これは互いに矛盾した要請である。つまりある一定の回路規模を想定した場合、制御誤差を小さくすると制御可能範囲が狭くならざるを得ず、制御可能範囲を広くすると制御誤差を大きくせざるを得ない。これを両立することが従来の制御方法では課題であった。

30

【 0 0 2 7 】

図 4 を用いて Q 値についてもう少し詳細に説明する。Q 値は $Q = f_0 / \Delta f$ という定義で与えられる。図 4 (B) に示すように、 f_0 は共振周波数、 Δf は共振周波数における共振エネルギーと比較してエネルギーが $1/2$ になる周波数点を 2 点取った時のそれらの差分と定義される。つまり Q 値は f_0 に比例して大きくなると言える。図 4 (A) には、ある f_0 を仮定した場合の Q 値と Δf との関係 1 5 3 を示す。Q 値が大きいセンサ要素を使うと上述した通り入力エネルギーの損失を小さくでき低電力化に寄与するが、Q 値を大きくすると Δf が小さくなることになる。例えば Q 値が 1 0 0 0 0 以上になると Δf は 1 H z よりも小さくなることになる。これは Q 値が 1 0 0 0 0 を超えるようなセンサ要素を適切に制御するには 1 H z よりも小さな誤差で（すなわちそれより小さいステップの）周波数制御を行う必要があることを意味している。このように高精度で周波数制御しつつ、 f_0 のばらつきを例えば数 k H z と仮定した時にも制御が破綻しないようにすることは回路規模の増大を招き、従来では高コスト化につながっていた。

40

【 実施例 1 】

【 0 0 2 8 】

図 5 および図 6 を用いて、実施例 1 においてどのようにして上記課題が解決されるかを説明する。これは、従来と同等の回路規模で周波数制御精度を向上しつつ制御可能範囲を広げる方法として、サンプリングレートを向上して制御誤差を低減する方法に基づいている。

50

【 0 0 2 9 】

図5は、通常サンプリングとオーバーサンプリングの雑音強度の比較について説明する図である。センサ要素のゲイン曲線500、オーバーサンプリング時の全体雑音強度501、帯域内雑音強度503、通常サンプリング時の全体雑音強度502、帯域内雑音強度504の関係を示す。オーバーサンプリング時の全体雑音強度501と通常サンプリング時の全体雑音強度502は面積が同等であるが、オーバーサンプリング時の全体雑音強度501は、サンプリング周波数が高いため、広い周波数領域に分布する。このため、オーバーサンプリング時は、通常サンプリング時と比較して、周波数あたりの雑音強度が小さくなる。周波数制御を行うに当たっては帯域内雑音強度が問題となるため、オーバーサンプリング時の帯域内雑音強度503と通常サンプリング時の帯域内雑音強度504とを比較するとオーバーサンプリング時の帯域内雑音強度503の方を小さくできる。例えばサンプリングレートを2倍にすることによって、帯域内雑音を1/2にすることができる。この原理に基づいて実施例1は周波数制御誤差を低減する。

10

【 0 0 3 0 】

図6は、制御サンプリングレート F_s を変化させた時の周波数制御ステップ数と正規化誤差の関係を示す図である。周波数制御ステップの横軸は2の累乗で示され、 $x=3$ は $2^3=8$ ステップで周波数制御を行うことを示している。また制御可能周波数範囲は一定とするため、ステップ数が大きくなると制御がより微細になることを意味している。 F_s をセンサ要素の共振周波数 f_0 の $2^1 (=2)$ 倍、 $2^2 (=4)$ 倍、 \dots と増大すると、同じ雑音強度で比較した場合、制御サンプリングレート F_s を大きくするほど必要な周波数制御ステップ数を小さくできることを示している。言い換えると、同じ雑音強度で比較した場合、制御サンプリングレート F_s を大きくするほど制御可能周波数範囲を広くすることができる。また、同じ周波数制御ステップ数および同じ制御可能周波数範囲で比較した場合、制御サンプリングレート F_s を大きくするほど雑音強度が減少する。すなわち、 F_s を f_0 よりも十分に大きくすることで雑音強度を減少できる。この方法を用いて実施例1では広い制御可能周波数範囲と詳細な周波数制御とを両立する。

20

【 0 0 3 1 】

図7～図22を用いて、本発明の実施例1の慣性検出装置について説明する。実施例1の慣性検出装置は、容量検出型及び一軸サーボ制御方式の角速度センサである。

【 0 0 3 2 】

〔 (1 - 1) 慣性センサ__機能ブロック 〕

図7は、本発明の実施例1の振動型角速度検出装置の構成を示す機能ブロック図である。

30

【 0 0 3 3 】

駆動制御回路100は、センサ110の駆動制御を行う回路である。角速度信号検出回路ブロック143は、入力された角速度に応じて検出マス151のフィードバック制御を行うと共に、角速度を示すセンサ出力SENSOROUTを演算して出力する。角速度信号検出回路ブロック143は、駆動制御回路100から検出制御信号YCTRLを受け取り、この信号で同期しながら、センサ110の検出マス変位出力ASIGSPおよびASIGSNを受けて、検出制御信号SERVOPおよびSERVONによってセンサ110の検出マスを制御し、センサ出力SENSOROUTを演算して出力する一般的な角速度出力制御ブロックである。

40

【 0 0 3 4 】

駆動制御回路100の構成を以下に詳細に説明する。センサ110からの検出マス変位信号ASIGDPおよびASIGDNはアナログ信号であり、これを適切に増幅しデジタル変換する回路がアナログフロントエンド109である。PおよびNは検出マス変位信号がアナログフロントエンド109への差動入力であることを示している。デジタル駆動マス変位信号DSIGDの入力を受けて直交検波タイミング信号CTRLK1に基づいて直交検波を行い同位相成分INPHASEと直交位相成分QUADを出力する回路ブロックが直交検波回路DEMOD(106)である。直交検波回路106は2つの乗算器10

50

2を有する。一つの乗算器102はDSIGDとCTRCLKとを乗算しINPHASEを出力し、もうひとつの乗算器102はDSIGDとCTRCLKから90度位相がずれたクロックとを乗算してQUADを出力する。

【0035】

INPHASEとQUADを入力として周波数制御信号PIDSと振幅制御信号PIDCを出力する回路がコントロール回路105である。典型的にはPID(Proportional Integral Differential)コントローラで構成され、比例成分P、積分成分Iおよび微分成分Dを演算するに当たり、それぞれの演算に必要な係数CTRLVALSがメモリ111からコントロール回路105に入力される。

【0036】

周波数制御信号PIDSはクロック生成回路CLKGEN1(104)に入力される。クロック生成回路CLKGEN1(104)は、入力された周波数制御信号PIDSと、メモリ111からの制御乗数CTRLVALSとに基づいて、遅延回路103のラッチクロックとなるCTRCLK2、駆動信号変調回路DMOD(107)の変調クロックDCLKD、およびアナログ回路用のクロックCLKAを生成する。それぞれのクロックの役割および位相関係はそれぞれの回路ブロックの動作説明で述べる。

【0037】

アナログ回路クロックCLKAはアナログドライバ108によって適切なアナログ信号に増幅され、搬送波CARRYとしてセンサ110に入力される。また、アナログ回路クロックはアナログフロントエンド109の基準クロックとなる。つまり、搬送波とアナログ回路の動作タイミングは同期していることになる。

【0038】

次に駆動振幅制御ループについて説明する。振幅制御値信号PIDCは適切な遅延を施すため遅延回路103に入力される。遅延回路103は、PIDCをCTRCLK2でラッチして、遅延情報DCTR2に基づきPIDCを遅延させ、遅延駆動振幅DAMPとして出力する。駆動信号変調回路107は、DAMPと変調クロックDCLKDを乗算する乗算器102を有し、乗算結果として駆動変調信号DRIVE0を出力する。デジタルアナログ変換回路DAC(101)は、DRIVE0を駆動信号DRIVEPおよびDRIVENに変換してセンサ110に入力する。ここでPとNは正と負を表しており、DRIVEPとDRIVENは同じ振幅を有し位相が180度ずれた(つまり互いに振幅が反転した)関係にある。

【0039】

上述した回路機能ブロックの特徴はアナログフロントエンド109の後、直交検波回路106の後、コントロール回路105の後にそれぞれサンプリングレートを落とすフィルタが存在しないことである。この構成によってアナログフロントエンド109のサンプリングレートFsを落とすことなく制御ループを構成し、図5および図6を用いて説明した通りオーバーサンプリング効果を活用して雑音強度を減じることができるのである。またオーバーサンプリングレートFsは $F_s > f_0$ であればノイズを減じる効果が得られるので、この条件を満たす範囲であればサンプリングレートを下げる目的でフィルタ回路を挿入しても実施例1の範囲に含まれる。ここで f_0 はセンサ110の共振周波数である。

【0040】

図8は、本発明の実施例1におけるクロック生成回路104の具体的構成例を示す図である。

【0041】

周波数制御信号PIDSは電圧制御発振回路VCO(122)に入力される。電圧制御発振回路122は、電圧制御発振回路制御係数VCOCTRLによって制御された周波数可変範囲を持ち、上記周波数範囲内でPIDSに応じた周波数を有するクロックCLK0を生成する。本実施例では、生成されるアナログクロックCLKAの周波数が、駆動マス150及び検出マス151を含むセンサ110の振動体の固有振動数の2倍以上となるように、電圧制御発振回路制御係数VCOCTRLが設定される。例えば、電圧制御発振回

10

20

30

40

50

路 1 2 2 が P I D S に応じて振動体の固有振動数の 1 6 倍の周波数のクロック C L K 0 を生成できるように電圧制御発振回路制御係数 V C O C T R L が設定され、クロック C L K 0 から振動体の固有振動数の 8 倍の周波数のアナログクロック C L K A が生成されてもよい (図 1 7 ~ 図 2 0 等参照) 。なお、本実施例ではアナログクロック C L K A の周期の長さが 1 周期ごとに变化するため、上記の説明におけるアナログクロック C L K A の周波数とは、例えば、ある期間に含まれる周期の数から計算される平均的な周波数であってもよい。

【 0 0 4 2 】

カウンタ回路 1 2 3 は、C L K 0 をカウントクロックとしてカウントアップ又はカウントダウンすることによって、アナログクロック元信号 C L K A 0 、変調クロック元信号 D C L K D 0 、K 倍カウントクロック C L K K 、および L 倍カウントクロック C L K L を生成する。カウンタ 1 2 4 は、遅延情報 D C T R L 1 に基づき D C L K D 0 を C L K L でラッチして遅延させたクロック C T R C L K 1 0 を生成する。

10

【 0 0 4 3 】

C L K A 0 はクロックバッファ 1 2 5 を介してアナログクロック C L K A として出力され、D C L K D 0 はクロックバッファ 1 2 5 を介して D C L K D として出力され、C L K K はクロックバッファ 1 2 5 を介して C T R C L K 2 として出力され、C T R C L K 1 0 はクロックバッファ 1 2 5 を介して C T R C L K 1 として出力される。これによって、アナログクロック C L K A の各周期は、直交位相成分 Q U A D の各サンプル値の大きさに応じた長さを有することになり、その長さは 1 周期ごとに異なることとなる (図 1 7 参照)

20

【 0 0 4 4 】

図 9 は、本発明の実施例 1 における電圧制御発振回路 1 2 2 の具体的構成例を示す図である。

【 0 0 4 5 】

電圧制御電流出力回路 1 2 6 は発振回路制御係数 V C O C T R L に基づいた基準電流 I R E F を出力する。デジタルアナログ変換回路 1 2 7 は周波数制御信号 P I D S に基づいた電圧信号 D A C 0 を生成する。I R E F と D A C 0 とに基づいてクロック C L K 0 を生成する発振回路が O S C G E N (1 2 8) である。発振回路 1 2 8 は基本的には電流と電圧でキャパシタの充電時間を調整してこれによって発振周波数を変化させる機構を持つ、一般的な発振回路である。実施例 1 ではオーバーサンプリングによって周波数ステップを大きくしても雑音強度を低くすることが出来るため、電圧制御電流出力回路 1 2 6 およびデジタルアナログ変換回路 1 2 7 の制御ステップ数を小さくしても良い。よって、電圧制御電流出力回路 1 2 6 およびデジタルアナログ変換回路 1 2 7 の回路規模を小さくでき、低コスト化に寄与する。

30

【 0 0 4 6 】

図 1 0 は、本発明の実施例 1 における電圧制御電流出力回路 1 2 6 の具体的構成例を示す図である。

【 0 0 4 7 】

電圧制御電流出力回路 1 2 6 は、V C O C T R L をデコードし 8 ビット出力を得るデコーダ 1 2 9 と、デコーダ出力によって出力電流の O N / O F F が決定される電流源 C S (1 3 0) と、を有する。デコーダ 1 2 9 は、例えば、< 0 > から < 7 > の 8 ビットのうち、< 0 > だけ O N で残りは O F F 、< 1 : 0 > が O N で残りが O F F 、または、< 2 : 0 > が O N で残りが O F F 、といった値を出力する。これによって、デコーダ 1 2 9 の出力に応じて、I R E F の大きさを C S 1 個の出力から 8 個の出力まで 8 通りに変化させることが可能となる。図 1 0 に示す電圧制御電流出力回路は 3 ビットデコーダによる 8 階調の電流出力例であるが、これは一例であり、システムによって自在にビット数を変更可能である。例えば V C O C T R L が 4 ビットであれば電流出力は 1 6 階調に、5 ビットであれば 3 2 階調に変更可能である。ただし、ビット数を増大すると回路規模が大きくなるため好ましくない。実施例 1 によればオーバーサンプリング効果によってビット数を小さくで

40

50

きるため、システムの目標性能を満たせる範囲内で最も小さなビット数にすることが望ましい。

【0048】

図11は、本発明の実施例1におけるアナログフロントエンド109の具体的構成例を示す図である。

【0049】

C/V変換回路131は、アナログ振幅信号ASIGDP及びASIGDNの入力をそれぞれ電圧信号CVDP及びCVDNに増幅し変換する回路ブロックである。C/V変換回路131はアナログクロックCLKAで同期されて動作する。良く知られた回路方式としてサンプリングホールド回路を有するスイッチトキャパシタ回路が適用されることがある。差動のC/V変換回路出力であるCVDP及びCVDNを増幅してAMPDPおよびAMPDNの差動電圧信号を出力するアンプ回路132がC/V変換回路131の後に続く。ただしアンプ回路132はC/V変換回路131では増幅率が不足する場合に挿入すれば良く、不足しない場合にはなくても良い。またアンプ回路132は差動入力を増幅して差動出力を得る完全差動アンプであることが望ましい。完全差動アンプとすることで同相雑音を低減することができ、ダイナミックレンジを広くすることが出来る。アンプ回路132もアナログクロックCLKAと同期して動作する。アンプ回路132の差動出力AMPDPおよびAMPDNをデジタル信号であるDSIGDに変換する回路がアナログデジタル変換回路ADC(133)である。ADCには型ADC、SAR型ADC、サイクリック型ADCと様々な方式が知られているが、実施例1ではどのようなADC回路を適用しても良い。またADC133もアナログクロックCLKAに同期して動作する。C/V変換回路131、アンプ回路132、ADC133の全ての回路ブロックはCLKAに同期する。各回路ブロック内でCLKAを元に独自のクロックを生成しても良いが、詳細は省略する。

【0050】

図12は、本発明の実施例1における遅延回路103の具体的構成例を示す図である。

【0051】

遅延回路103は、振幅制御信号PIDCをラッチクロックCTRCLK2のタイミングでラッチするデータラッチ回路DL(134)が8個直列に接続された構成を有する。それぞれのデータラッチ回路の出力は8ビットの遅延振幅制御信号PIDCD<7:0>となる。<0>はPIDCに対してCTRCLK2の1クロック分の遅延があり、以下、<1>では2クロック、<2>では3クロック、以下同様に、遅延量がCTRCLK2を単位として増えていく。

【0052】

PIDCD<7:0>の中から1本の信号をDCTR2によって選択する回路がMUX回路135である。これによってDCTR2で指定された遅延を有する遅延駆動振幅信号列DAMPが得られる。図12に示した例では8通りの遅延量の設定が可能であるが、これはセンサの共振周波数f0の8倍の周波数でCLKが動作している状態を仮定しているためである。言い換えるとオーバーサンプリング比が8倍に設定されていることを仮定している。データラッチ134の直列数はオーバーサンプリング比に応じて大きくする必要があり、例えば、オーバーサンプリング比が16倍の場合には16段のデータラッチ134が必要になる。

【0053】

あるいは、オーバーサンプリング比が8倍の場合に4個のデータラッチ134を直列に接続し、更にデータの極性を反転できる回路を備えるように構成することも可能である。つまり、オーバーサンプリング比の半分の数のデータラッチ134を直列化し、最後にデータの極性を反転して出力するか、または、そのままの極性で出力するかを選択する回路を設ける構成も可能である。このような構成にすることでデータラッチ回路の数を減らすことが可能となる。遅延回路をこのように構成することで、駆動振幅制御の遅延を、アナログサンプリングクロックを単位として制御できるようになり、駆動制御の精度が向上し

10

20

30

40

50

、その結果として雑音が小さく安定した角速度センサが提供できるようになるのである。

【0054】

図13は、本発明の実施例1におけるデジタルアナログ変換回路DACの具体的な構成を示す図である。

【0055】

駆動変調信号DRIVE0の入力をデコードするデコーダ137は相補の信号SELP<0:m>およびSELN<0:m>の中からそれぞれ1本をDRIVE0の値に応じて選択する。相補に選択するとは、SELP<K>とSELN<L>が選択された場合、 $K+L=m$ となるように選択することと定義する。SELPおよびSELNは電圧選択回路VSEL136に入力される。電圧選択回路VSEL136は、抵抗RES138の直列接続によって高電圧側参照電圧VREFHと低電圧側参照電圧VREFLの電圧差を分割した一つの電圧を一つのスイッチ139によって選択して出力するように構成される。VREFHおよびVREFLの値は特に電源電圧と同一にする必要はなく、センサの特性に応じて設定されることが望ましい。VSEL136の相補出力はアナログバッファ140で出力インピーダンス及び出力振幅を調整され駆動信号DRIVEPおよびDRIVENとしてセンサに出力される。駆動電圧として高い電圧が必要な場合には上記アナログバッファ140はレベル変換回路としても動作する必要がある、このように高い電圧を出力するような場合も実施例1は含むものとする。

【0056】

ここまで説明したように、駆動信号DRIVEPおよびDRIVENは直交検波回路106から出力された同位相成分INPHASEから生成されるため、その1周期の長さはアナログクロックCLKAの所定の複数の周期(本実施例では8周期)の長さの合計と同じになる。

【0057】

図14は、本発明の実施例1におけるDACに含まれるスイッチ139の具体的な構成例を示す図である。

【0058】

スイッチ139は、スイッチ(sw1)144を有する。一方のスイッチ144は、SELPおよび入力信号inがそれぞれck1およびin1として入力されると、in1をoutpとして出力するか否かをck1の値に応じて選択するスイッチである。もう一方のスイッチ144は、SELNおよび入力信号inがそれぞれck2およびin2として入力されると、in2をoutnとして出力するか否かをck2の値に応じて選択するスイッチである。

【0059】

図15は、本発明の実施例1におけるスイッチ144の具体的な構成例を示す図である。

【0060】

図15の例では、スイッチ144はP型MOSトランジスタであるPMOS141と、N型MOSトランジスタであるNMOS142とによって構成される。選択信号CK(図14のck1およびck2に相当)は、インバータによって論理が反転されPMOS141のゲートgに入力され、反転されずにNMOS142のゲートgに入力される。スイッチ144の入力(図14のin1およびin2に相当)はSWinであり、これらはPMOSおよびNMOSのソースsに入力され、スイッチ130の出力SWout(図14のoutpおよびoutnに相当)はPMOS141およびNMOS142のドレインdに接続される。つまりスイッチとしてPMOSおよびNMOSを使うことで、スイッチ144は、図13におけるVREFHからVREFLの間のあらゆるアナログ電圧レベルをCKに依存して出力するアナログスイッチとして構成される。

【0061】

図16は、本発明の実施例1におけるセンサ110の等価回路を示す図である。

【0062】

センサ 110 の等価回路は、合計 8 個の静電容量が一方の端子を搬送波 CARRY の入力端子として共有する構成である。

【0063】

駆動電圧信号 DRIVEP および DRIVEN の入力端子を含む静電容量 C_{xfp} および C_{xfn} はそれぞれ正側駆動容量及び負側駆動容量である。駆動マス 150 を駆動する静電気力は $(DRIVEP - CARRY)^2 - (DRIVEN - CARRY)^2$ に比例する。この静電気力によって駆動マス 150 は駆動される。

【0064】

駆動検出信号 ASIGDP および ASIGDN が接続される静電容量 C_{xsp} および C_{xsn} はそれぞれ正側駆動検出容量および負側駆動検出容量である。駆動マス 150 の変位は $C_{xsp} - C_{xsn}$ によって検出することができる。

10

【0065】

サーボ電圧信号 SERVOP および SERVON が接続される静電容量 C_{yfp} および C_{yfn} はそれぞれ正側サーボ容量及び負側サーボ容量である。検出マス 151 をサーボ制御する際に印加される静電気力は $(SERVOP - CARRY)^2 - (SERVON - CARRY)^2$ に比例する。

【0066】

検出信号 ASIGSP および ASIGSN が接続される静電容量 C_{ysp} および C_{ysn} はそれぞれ正側検出容量及び負側検出容量である。検出マス 151 の変位は $C_{ysp} - C_{ysn}$ によって検出することができる。

20

【0067】

[実施例 1 の動作波形]

図 17 から 22 を用いて実施の形態 1 の回路の内部動作波形を説明する。必要がある場合には比較例と対比することで実施例 1 の回路動作の特徴が明らかになる。

【0068】

図 17 は、本発明の実施例 1 および比較例における直交検波回路 106 の動作波形を模式的に示した図である。

【0069】

実施例 1 の特徴を説明するため、図 17 (A) に示す本実施例の動作波形を、図 17 (B) に示す比較例と対比する。これらの図は、それぞれの例におけるアナログクロック CLK A、ADC によってデジタル変換された駆動振幅情報 DSIGD、直交位相成分 QUAD、および、同位相成分 INPHASE の関係を示したものである。各データ点はドットで示してあり、DSIGD のデータ点のタイミングは CLK A の立ち上がりと同じである。これはアナログクロック CLK A の立ち上がりでデータをサンプリングしていることを表している。DSIGD の一周期に対してデータ点が 8 点あり、DSIGD の周期は駆動マスの共振振動周期であることから明らかなように、図 17 はオーバーサンプリング比が 8 倍の場合の波形例を示す。通常の直交検波を行う際には式 (1) に示す通り、 \cos (コサイン) 成分には直流成分と 2 倍波成分、 \sin (サイン) 成分には 2 倍波成分 (2) が出現する。

30

【0070】

【数 1】

$$\left. \begin{aligned} \sin \alpha \cdot \sin \alpha &= \frac{1}{2} (\sin(\alpha + \alpha) + \sin(\alpha - \alpha)) = \frac{1}{2} \sin 2\alpha \\ \sin \alpha \cdot \cos \alpha &= \frac{1}{2} (\cos(\alpha - \alpha) - \cos(\alpha + \alpha)) = \frac{1}{2} (1 - \cos 2\alpha) \end{aligned} \right\} \dots (1)$$

40

【0071】

実施例 1 ではサインの 2 倍波成分である QUAD とコサインの 2 倍波成分である INP

50

H A S Eをそれぞれフィルタせずオーバーサンプリング比8倍のまま制御を行う。この結果、周波数制御値がデータ点毎に違う値を取り得るため、実施の形態1では各サンプリング点の時間間隔、つまり、アナログクロックC L K Aの周期が1クロック毎に異なることになる。一方、比較例ではQ U A D信号およびI N P H A S E信号において、共に2倍波成分をフィルタで除去するため共振周期の間に1点だけ制御点が存在することとなる。よって少なくとも共振周期1周期の間にC L K Aのクロック周期が変化することがない。実施例1と比較例の最も大きな違いはQ U A D及びI N P H A S Eのデータ点の数であり、その結果として実施例1ではアナログサンプリングの間隔が共振周期1周期の中であっても変化することである。図7に示す通りC L K Aをアナログバッファによって所望の電圧振幅にした信号が搬送波C A R R Yであるため、搬送波の時間波形においても上記のC L K Aと同様の特徴が観測されることになる。

10

【0072】

図18は、実施例1におけるクロック発生回路C L K G E Nの動作波形を示す図である。

【0073】

カウンタC O U N T 0は、カウントアップタイプのカウンタとして構成されており、C L K 0の立ち上がりエッジでカウントアップ動作を行う。ここでは3ビットカウンタ(0~7までのカウント)の例を示した。カウンタのビット数は設計に依存して変更されても良い。アナログクロック元信号C L K A 0はC L K 0の2倍波(すなわちその1周期がC L K 0の2周期に相当する信号)であり、駆動クロック元信号であるD C L K D 0はC L K 0の16倍波である。図17によれば直交位相成分Q U A DのデータはC L K Aの立ち上がりで更新されるため、周波数制御信号P I D SもまたC L K Aの元信号であるC L K A 0の立ち上がりで更新される。P I D Sに応じてC L K 0の発振周波数は変化し、これに応じてカウントアップのタイミングも変化していく。言い換えるとカウントアップの時間間隔が変化していくことになる。これによってC L K D 0のある1周期の時間は、図18に示す通り $0.5 * T 0 3 + 2 * (T 1 0 + T 1 1 + T 1 2) + 1.5 * T 1 3$ で表される。

20

【0074】

図19は、従来のクロック発生回路の動作波形を示す図である。これは、図18に示す実施例1の動作波形と対比するための比較例である。

30

【0075】

図19に示す比較例では、P I D Sの更新がD C L K D 0の1周期に一回だけ行われるため、カウンタのカウントアップタイミングはD C L K D 0の1周期の間に変化することではなく、よって、D C L K D 0のある1周期の時間は $0.5 * T 0 + 7.5 * T 1$ で表現される。

【0076】

D C L K D 0の1周期の時間を表現するとき、実施例1では5種類の時間T 0 3、T 1 0、T 1 1、T 1 2およびT 1 3の和で表現するのに対して、比較例では2種類の時間T 0 + T 1で表現することになるため、比較例では実施例1と比較して表現できる時間の階調が疎になる。つまり、駆動制御をするに当たり比較例では周波数制御の階調が疎になり、センサの共振周波数との誤差が大きくなることを意味する。実施例1と比較例ではカウンタのビット数は全く同じであるから、実施例1では回路規模を増大することなく制御の方法の工夫で雑音を低減していることを示している。

40

【0077】

図20は、クロック発生回路C L K G E Nにおける遅延クロックC T R C L K 1 0の生成方法を波形に基づいて説明する図である。

【0078】

C T R C L K 1 0は駆動クロック元信号D C L K D 0を遅延量制御乗数D C T R L 1に基づいて遅延させて生成されるクロックである。C L K A 0の8倍波がD C L K D 0になっていることから明らかなように、図20にはオーバーサンプリング比が8倍の例を示す

50

。よって遅延量はCLKA0の1クロックを単位として0から7まで設定可能である必要がある。このため、実施例1は、遅延情報を、CLKA0をカウントアップクロックとする3ビットカウンタCOUNT1によって生成し、COUNT1の値がDCTRL1と一致したタイミングでラッチクロックCLKLの立ち上がりエッジでDCLKD0をラッチする構成とする。これによって直交検波の遅延量設定をオーバーサンプリング比8倍ならば0～7の全ての値に設定可能となり、直交検波のタイミング精度向上に寄与する。オーバーサンプリング比は設計によって変化するため、例えば16倍であれば、クロック発生回路CLKGENも遅延量を0～15までの全ての値を設定可能となるように設計する必要がある。

【0079】

図21は、図7における遅延回路103の動作波形例を示す図である。

【0080】

振幅制御信号PIDCの値は、図17に示した通り、INPHASEにおいて2倍波成分を除去せずに制御に使うためCLKA0の立ち上がりエッジで更新される。これをデータラッチ列のラッチクロックTRCLK2の立ち上がりエッジでそれぞれのデータラッチにラッチし、その出力がPIDCD<0>～<7>である。例えば遅延設定値DCTRL2=2の場合、PIDCD<2>がMUXによって選択されるため、図21に示す通りPIDCと比較してCLKA0の3クロック分遅延したデータが遅延回路103の出力DAMPとして出力される。図20と同様にDCLKD0がCLKA0の8倍波になっていることから、図21に示すのはオーバーサンプリング比8倍の例である。よって、遅延設定が0～7まで存在することで、きめ細かな遅延設定が可能となっている。これによって駆動振幅制御の安定性が向上し、センサ出力の安定化に寄与する。

【0081】

図22は、実施例1においてオーバーサンプリングが可能となっている理由を比較例と対比することで示している。

【0082】

通常、角速度センサの駆動マス150は電源OFF時には静止している。よって電源ONの後、駆動制御回路100は、駆動マス150を静止状態から共振状態に制御することになる。共振状態に到達する前の段階では共振周波数よりも駆動マス150の振動周波数が大きかったり小さかったりする可能性がある。図22(A)に示す比較例ではCARRYの周波数が常に一定であるため、時刻T1における振動と時刻T2における振動で駆動マス150の振動状態が異なると、オーバーサンプリング比が異なってしまう。比較例におけるオーバーサンプリング比は、時刻T1において11倍、時刻T2において8倍である。時刻によってオーバーサンプリング比が変化すると、制御誤差が一定にならないため安定な制御が出来ず、結果としてセンサ出力が不安定になったり雑音強度が増大したりする。

【0083】

一方、図22(B)に示す実施例1では、駆動マス150の振動状態に応じてCARRYの周波数も変動するため、時刻T1でもT2でもオーバーサンプリング比は8倍で一定のままである。このため、常に制御誤差を一定に保ち続けられ、結果として安定な制御が可能となる。言い換えると、実施例1は図7に示す構成からも明らかなようにセンサを制御ループに含んだPLL(Phase Locked Loop)と同等の構成になっている。このため、センサ要素の共振周波数が変わっても、センサの電源ONから徐々に駆動マスの振動状態が変化するような状況でも、回路で設定したオーバーサンプリング比を維持することが可能である点が比較例と大きく異なる。また、これによってオーバーサンプリングによる雑音の低減を基本原理とした制御ループが構成できるのである。

【0084】

図30は、実施例1における制御回路からセンサ要素に印加される電気信号を示す模式図である。

【0085】

10

20

30

40

50

一番の特徴は搬送波CARRYの周期が駆動電圧DRIVEP及びDRIVENの1周期の間に変化し続けていることである。またサーボ電圧SERVOP及びSERVONの出力もCARRYの変化と同じタイミングで値が変化するように出力される。一方で駆動マス変位検出信号であるASIGDP及びASIGDN、検出マス変位検出信号であるASIGSPおよびASIGSNはC/V変換回路に入力されるため、C/V変換回路におけるオペアンプの仮想接地の効果で一定レベルから変化しない波形となって観測される。

【実施例2】

【0086】

図23から図25を用いて実施例2について説明する。以下に説明する相違点を除き、実施例2のシステムの各部は、図1～図22および図30に示された実施例1の同一の符号を付された各部と同一の機能を有するため、それらの説明は省略する。

10

【0087】

図23は、本発明の実施例2の振動型角速度検出装置の構成を示す機能ブロック図である。

【0088】

実施例1では駆動マス150の制御にオーバーサンプリングの考え方を導入したが、実施例2では検出マス151の制御ループに同様の考え方を適用している点が、実施例1との相違点である。角速度検出回路ブロック200は、実施例1における駆動制御回路100と比較して遅延回路203がエラー成分ERRと信号成分SIGの2入力を受けて遅延エラー成分ERRDおよび遅延信号成分SIGDの2信号を出力する点が実施例1の駆動制御回路100と異なる。更にERRDおよびSIGDを変調クロックDCLKDによって変調する変調回路SMOD202の構成も実施例1の駆動信号変調回路DMOD102と異なる。また、駆動マス150の制御と異なり、検出マス151の制御ではエラー成分と信号成分をそれぞれ打ち消すようにサーボ信号を印加する必要があるため、エラー成分と信号成分を加算する加算器SUM201が存在する。また駆動マス変位検出信号ASIGDP及びASIGDNを受けて駆動電圧DRIVEP及びDRIVENを生成する一般的な駆動制御回路(DRVCTRL2)205が駆動制御タイミング信号XCTRLを角速度検出回路200に出力するため、これを受けて各種クロックを生成するクロック生成回路204も実施例1とは異なる。また、実施例2の角速度検出回路ブロック200は、角速度信号を出力するために信号成分SIGに対して必要な演算を施す回路ブロックLOGIC206を備える。

20

30

【0089】

図24は、本発明の実施例2のクロック生成回路204の具体的な構成を示す図である。

【0090】

図8に示したクロック生成回路104と比較してVCOが無い点だけが異なり、他は同じ構成を有する。クロック生成回路204では駆動制御タイミング信号XCTRLがカウンタのカウントクロックになるためにVCOが不要となっている。駆動制御タイミング信号XCTRLは、一般的な駆動制御回路205によって生成された、駆動マス150を駆動する制御のタイミングを示す信号であり、例えば、図19に示すCLK0と同様の信号であってもよい。

40

【0091】

図25は、本発明の実施例2の遅延回路203の具体的な構成を示す図である。

【0092】

遅延回路203は、2系統の入出力を必要とするため、内部に図12に示した遅延回路103を2つ備えた構成となっている。

【0093】

センサから検出されるY方向の変位信号は振動体の駆動周波数で変調されているため、角速度を得るためにはその駆動周波数に正確に合わせた同期検波を行う必要がある。本実施例によれば、駆動周波数に正確に合わせた同期検波を行って角速度を求めることができ

50

る。

【実施例 3】

【0094】

図 26 を用いて実施例 3 について説明する。以下に説明する相違点を除き、実施例 3 のシステムの各部は、図 1 ~ 図 25 および図 30 に示された実施例 1 および 2 の同一の符号を付された各部と同一の機能を有するため、それらの説明は省略する。

【0095】

図 26 は、本発明の実施例 3 の振動型角速度検出装置の構成を示すブロック図である。

【0096】

実施例 1 では駆動マス 150 の制御のみでオーバーサンプリングが行われ検出マス 151 の制御は従来通りの方法であった。一方、実施例 2 では検出マス 151 の制御のみでオーバーサンプリングが行われ、駆動マス 150 の制御は従来通りの方法であった。これらに対して実施例 3 の装置は駆動マス 150 の制御と検出マス 151 の制御の両方でオーバーサンプリングを行う角速度センサコントローラ 300 を備える。角速度センサコントローラ 300 は、図 7 に示した駆動制御回路 100 と図 23 に示した角速度検出回路 200 の両方を備える。

【0097】

なお、本実施例の駆動制御タイミング信号 X C T R L は、実施例 1 と同様の駆動制御回路 100 によって生成された、駆動マス 150 を駆動する制御のタイミングを示す信号であり、例えば、図 18 に示す C L K 0 と同様の信号であってもよい。

【0098】

本実施例によれば、実施例 1 の駆動制御回路が使用された場合にも、駆動周波数に正確に合わせた同期検波を行って角速度を求めることができる。

【実施例 4】

【0099】

図 27 から 29 を用いて実施の形態 4 について説明する。以下に説明する相違点を除き、実施例 4 のシステムの各部は、図 1 ~ 図 26 および図 30 に示された実施例 1 から 3 の同一の符号を付された各部と同一の機能を有するため、それらの説明は省略する。

【0100】

実施例 1 ~ 3 では、本発明が適用される振動型慣性センサの一例として角速度センサを示したが、実施例 4 では、振動型慣性センサの別の一例として加速度センサを示す。

【0101】

図 27 は、本発明の実施例 4 の振動型加速度検出装置の構成を示す機能ブロック図である。

【0102】

図 27 に示す実施例 4 の加速度検出装置は、図 7 に示した実施例 1 と比較して角速度検出回路 143 が無く、制御対象のセンサが共振周波数変化型加速度センサ 400 になっている点異なる。センサ 400 は、一定振動状態に検出マス 401 (図 28 参照) を保った状態に対して加速度が印加されると共振周波数が変化するため、これを検出加速度として出力する加速度センサである。制御回路 411 の構成は、振幅制御信号 P I D C と周波数制御信号 P I D S とを入力として加速度情報を演算して出力する回路ブロック 410 が追加されている点異なるほかは、図 7 に示した角速度センサの駆動マス制御ループと同じである。

【0103】

図 28 は、本発明の実施例 4 の振動型加速度センサのセンサ要素の一例を示す図である。

【0104】

実施例 4 のセンサ 400 は容量検出型であるから搬送波 C A R R Y が必要であり、これは検出マス 401 に入力される。

【0105】

10

20

30

40

50

図29は、図28に示すセンサ400の等価回路を示す図である。

【0106】

センサ400の等価回路は、合計4個の静電容量が一方の端子を搬送波CARRYの入力端子として共有する構成である。駆動電圧信号DRIVEPおよびDRIVENの入力端子を含む静電容量 C_{xp} および C_{xn} はそれぞれ正側駆動容量及び負側駆動容量である。検出マス401を駆動する静電気力は $(DRIVEP - CARRY)^2 - (DRIVEN - CARRY)^2$ に比例する。この静電気力によって検出マス401は一定の振動状態を保つように駆動される。ASIGDPおよびASIGDNが接続される静電容量 C_{sp} および C_{sn} はそれぞれ正側検出容量および負側検出容量である。検出マス401の変位は $C_{sp} - C_{sn}$ によって検出することができる。

10

【0107】

上記の実施例4によれば、慣性検出装置が加速度検出装置である場合にも回路規模を増大することなく高Qのセンサ要素を適用することが可能になる。

【0108】

なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明のより良い理解のために詳細に説明したのであり、必ずしも説明の全ての構成を備えるものに限定されものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。また、制御線及び情報線は説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線及び情報線を示しているとは限らない。

20

【符号の説明】

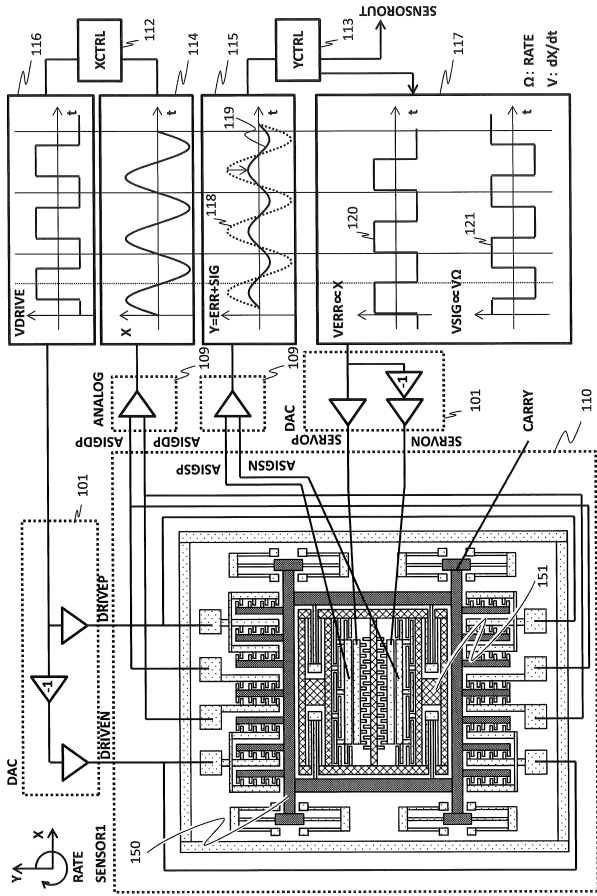
【0109】

- 100 駆動制御回路(DRVCTRL1)
- 101 デジタルアナログ変換回路(DAC)
- 102 乗算器
- 103 遅延回路(DELAY1)
- 104 クロック生成回路(CLKGEN1)
- 105 コントロール回路(CTRL)
- 106 直交検波回路(DEMOD)
- 107 駆動信号変調回路(DMOD)
- 108 アナログドライバ
- 109 アナログフロントエンド(ANALOG)
- 110 振動型角速度センサ(SENSOR1)
- 111 メモリ(MEM)
- 143 角速度信号検出回路(SIGCTRL1)
- 150 駆動マス
- 151 検出マス
- 200 角速度検出回路ブロック(SIGCTRL2)
- 201 加算器(SUM)
- 202 変調回路(SMOD)
- 203 遅延回路(DELAY2)
- 204 クロック生成回路(CLKGEN2)
- 205 駆動制御回路(DRVCTRL2)
- 206 回路ブロック(LOGIC)
- 400 センサ(SENSOR2)
- 410 回路ブロック(LOGIC)
- 411 制御回路(DRVCTRL1)

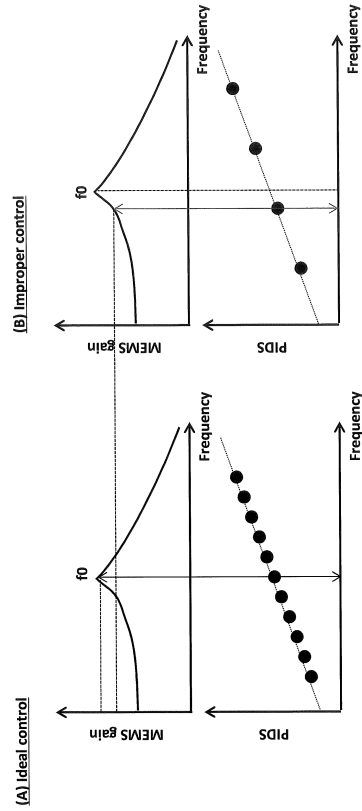
30

40

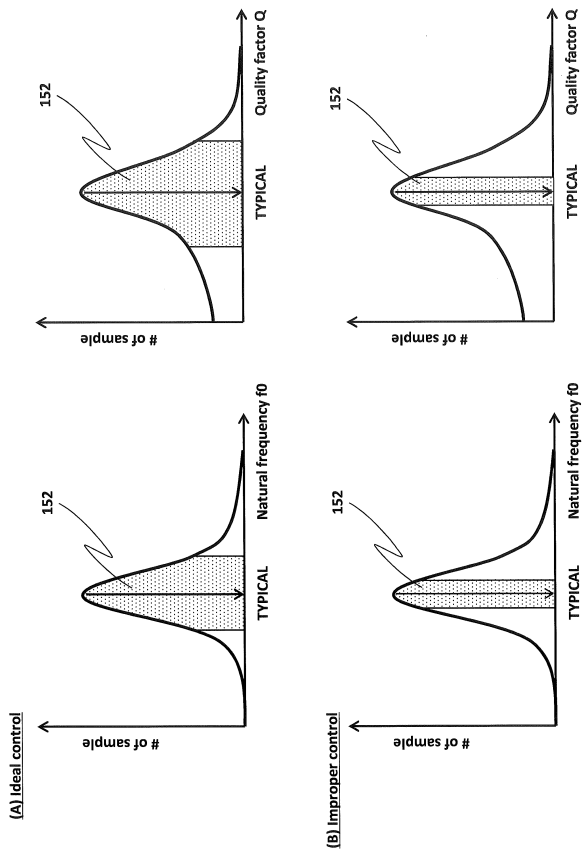
【 1 】



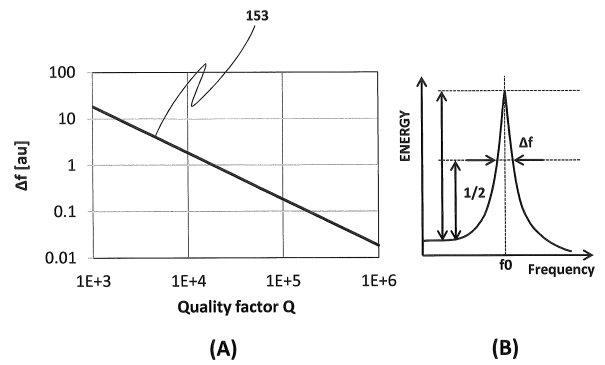
【 2 】



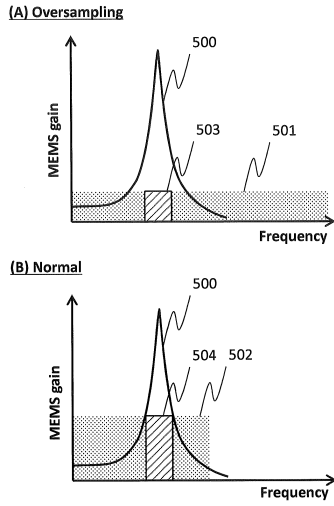
【 3 】



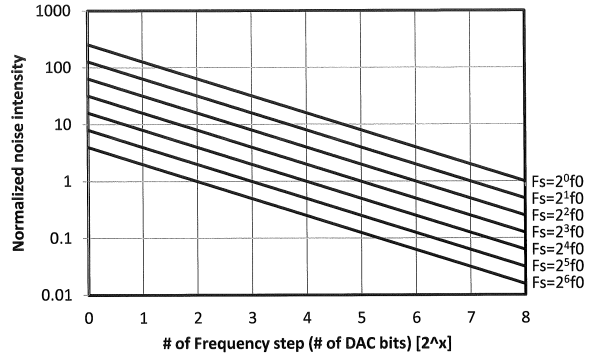
【 4 】



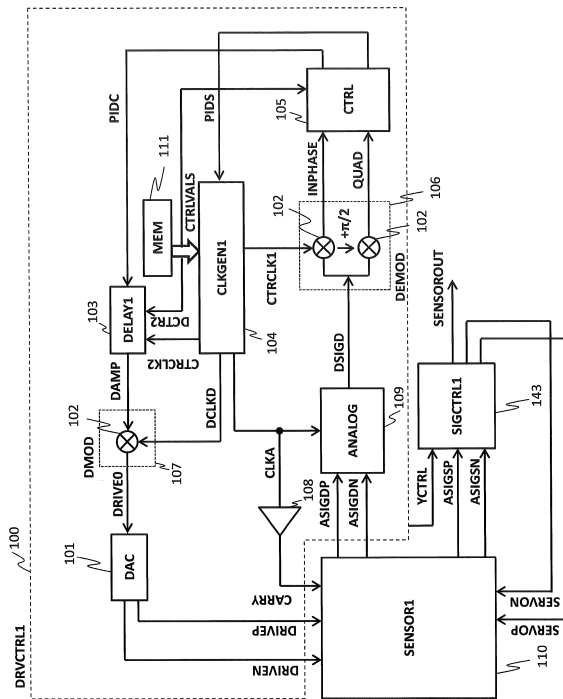
【 5 】



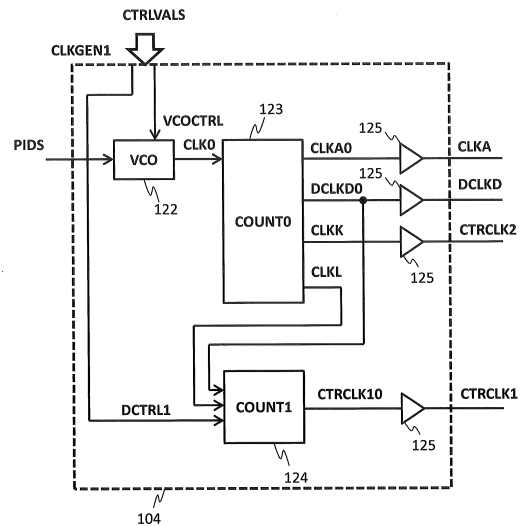
【 6 】



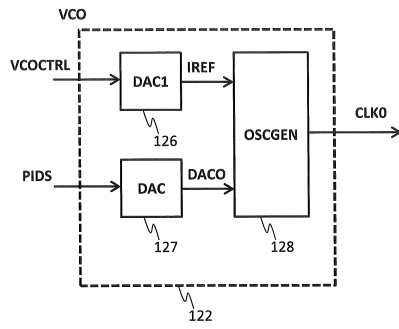
【 7 】



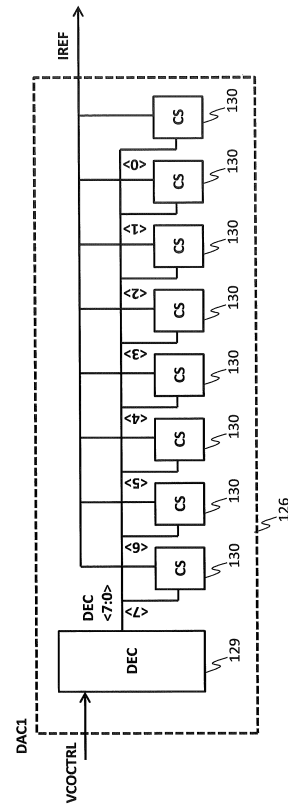
【 8 】



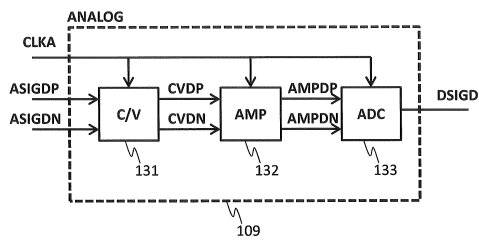
【 9 】



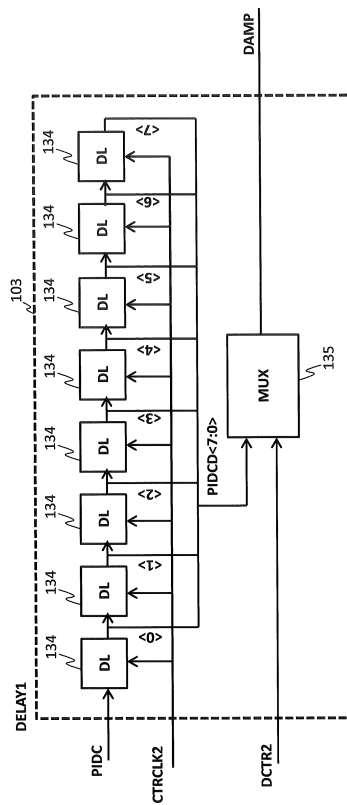
【 10 】



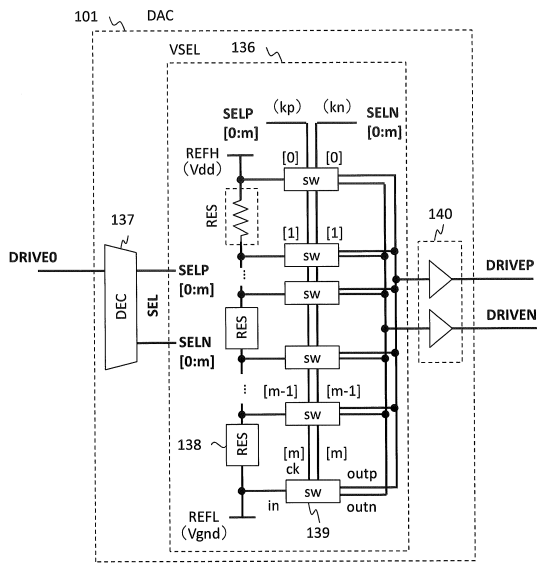
【 11 】



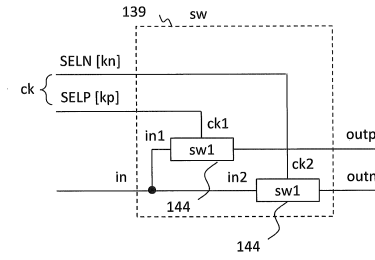
【 12 】



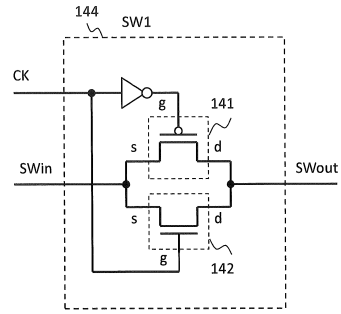
【 13 】



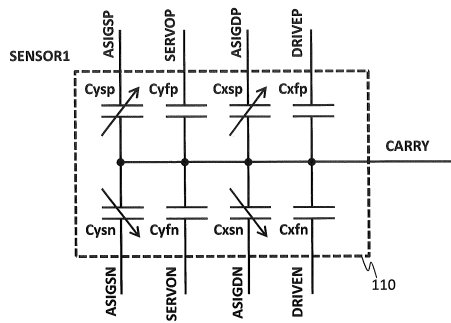
【 14 】



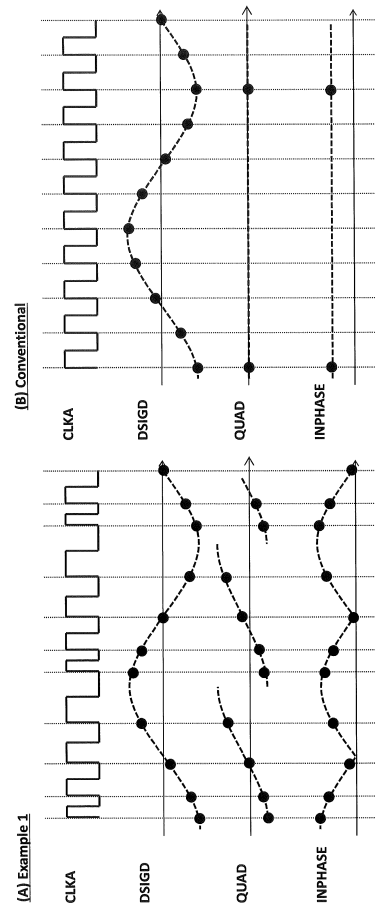
【 15 】



【 16 】

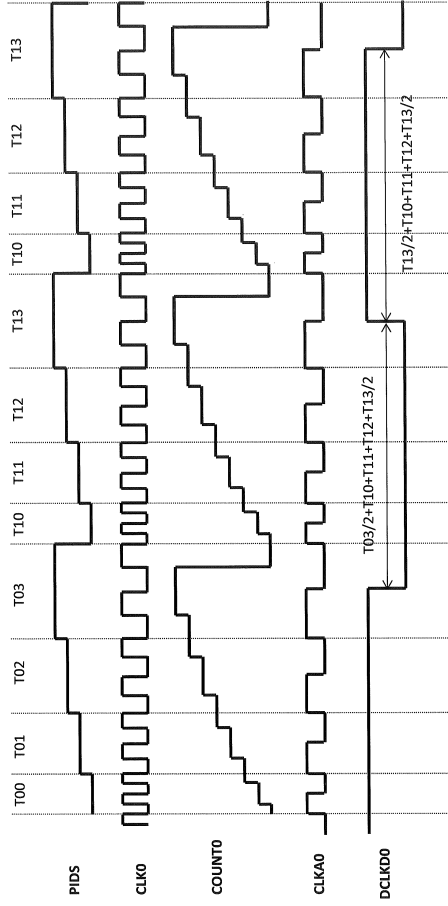


【 17 】

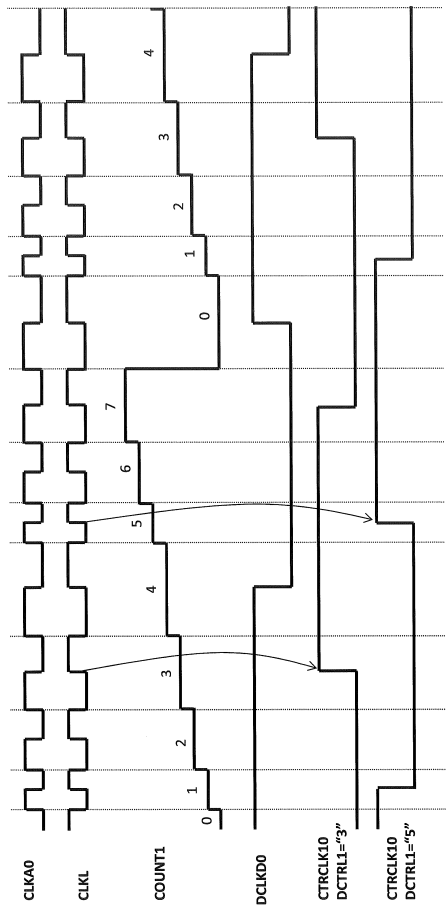


【 18 】

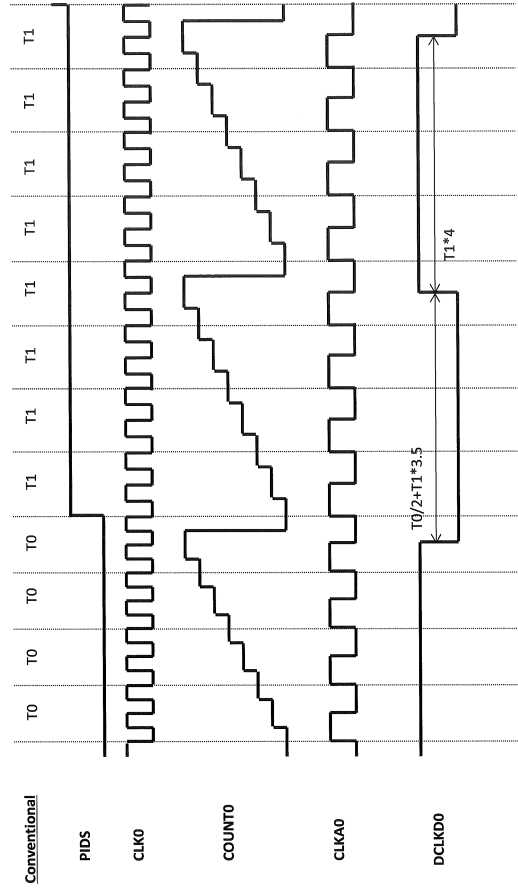
Example 1



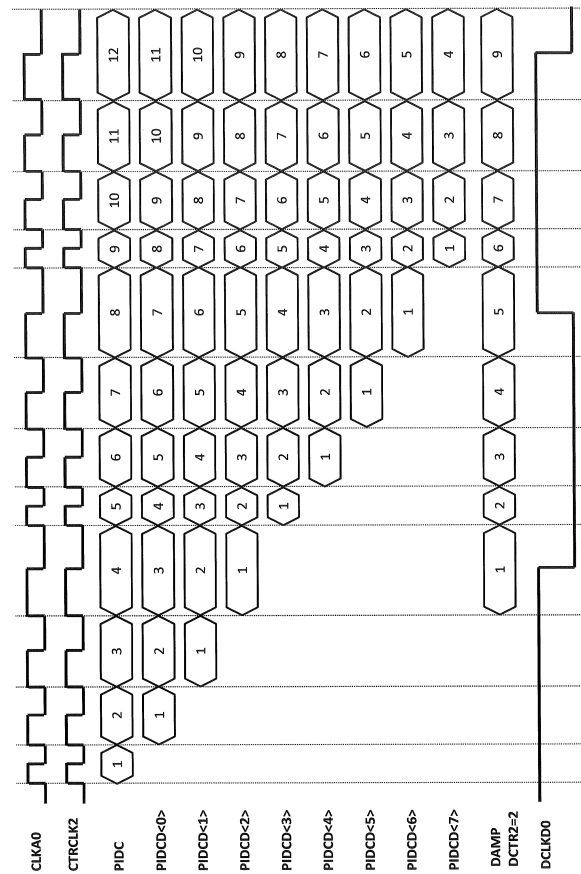
【 20 】



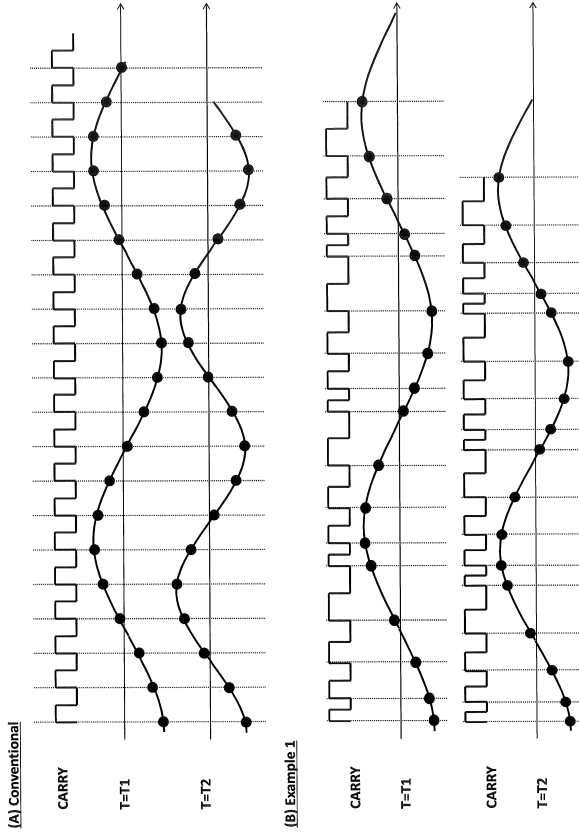
【 19 】



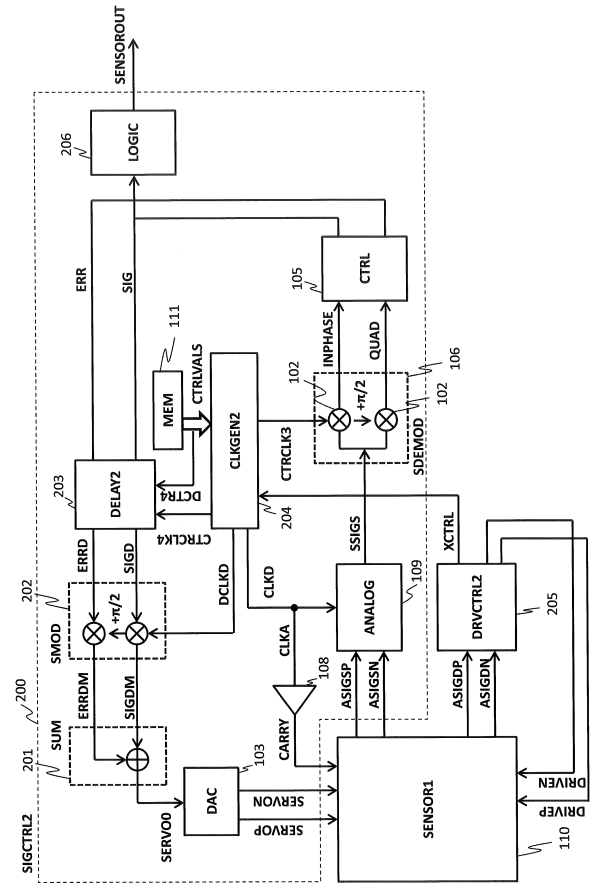
【 21 】



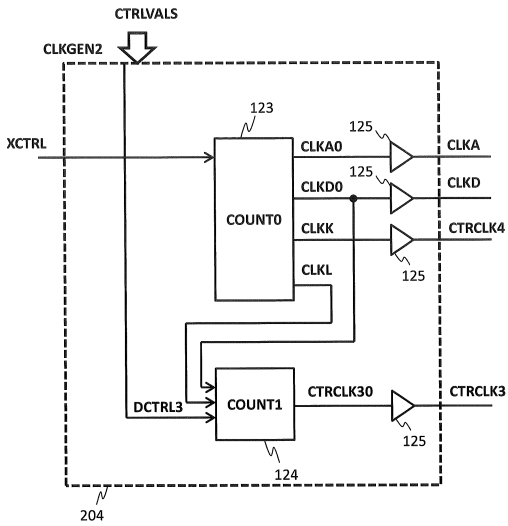
【 2 2 】



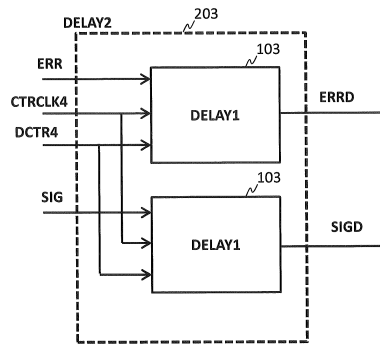
【 2 3 】



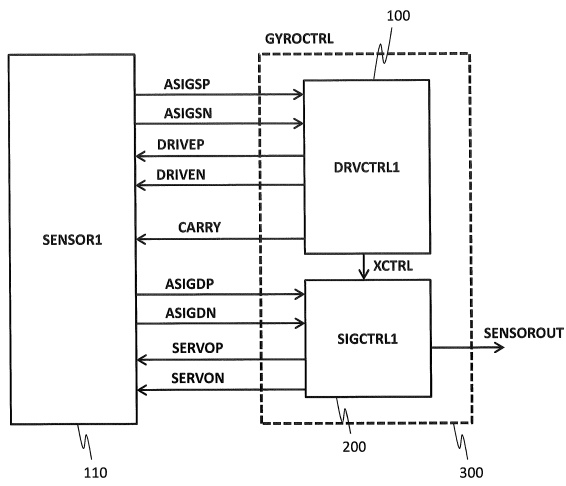
【 2 4 】



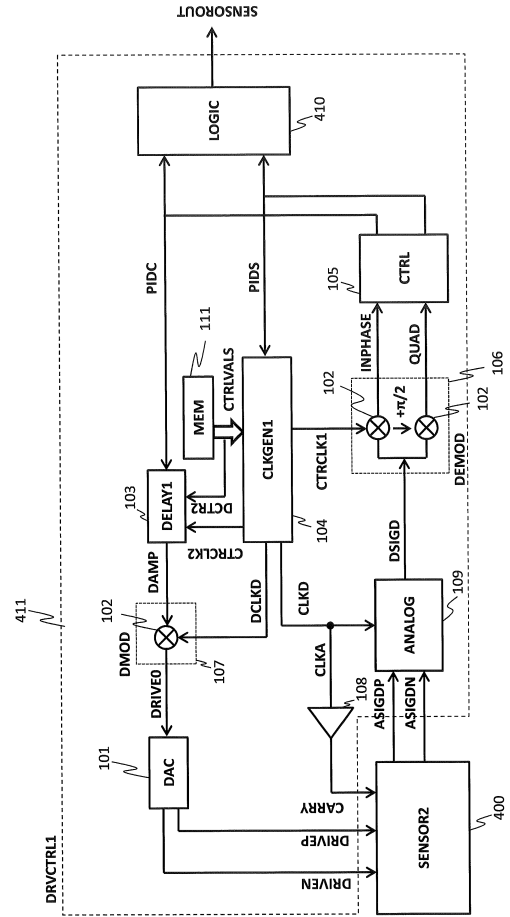
【 2 5 】



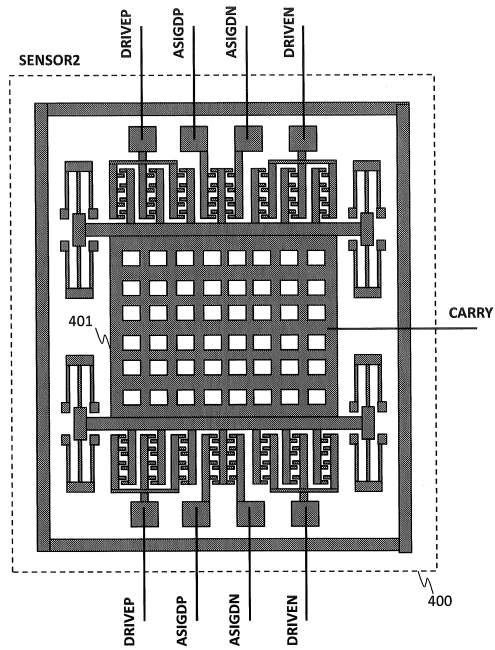
【 26 】



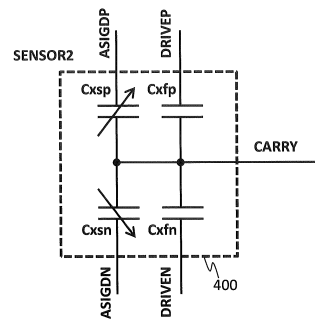
【 27 】



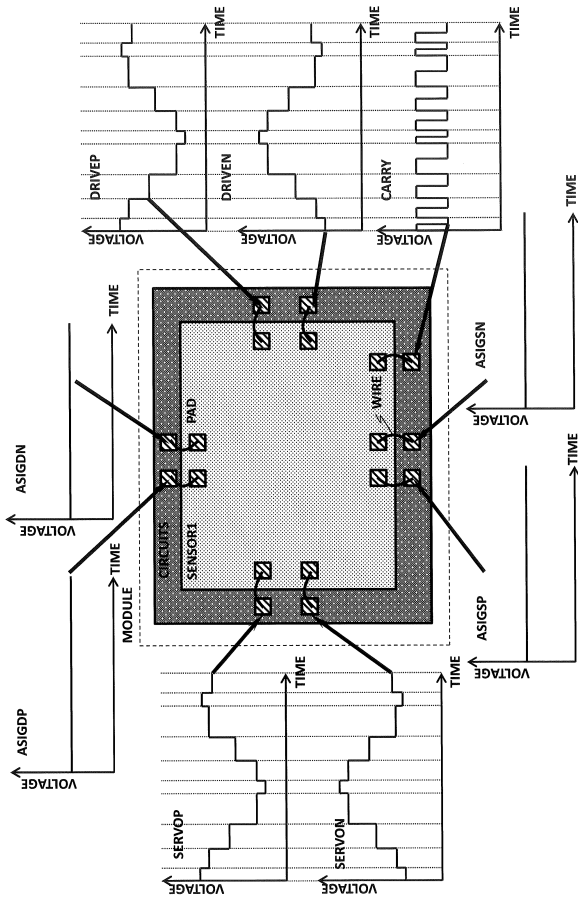
【 28 】



【 29 】



【 30 】



フロントページの続き

(72)発明者 中村 敏明
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 齋藤 卓司

(56)参考文献 特開2011-064515(JP,A)
特開2010-185714(JP,A)
特開2010-151669(JP,A)
特開2015-056692(JP,A)
米国特許出願公開第2015/0176992(US,A1)
米国特許出願公開第2013/0239680(US,A1)

(58)調査した分野(Int.Cl., DB名)
G01C 19/5726
G01C 19/5762
G01P 15/125