

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5181466号
(P5181466)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月25日(2013.1.25)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 P
HO 1 L 29/78 (2006.01)	HO 1 L 21/28	3 O 1 S
HO 1 L 21/28 (2006.01)	HO 1 L 29/50	M
HO 1 L 29/417 (2006.01)	HO 1 L 27/08	1 O 2 B
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 O 2 D

請求項の数 3 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2006-309828 (P2006-309828)	(73) 特許権者	000002185
(22) 出願日	平成18年11月16日(2006.11.16)		ソニー株式会社
(65) 公開番号	特開2008-124407 (P2008-124407A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年5月29日(2008.5.29)	(74) 代理人	100080160
審査請求日	平成21年9月3日(2009.9.3)		弁理士 松尾 憲一郎
		(72) 発明者	佐藤 尚之
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	長岡 弘二郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	新山 卓
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【特許請求の範囲】

【請求項1】

シリコン基板の上にゲート絶縁膜を介してゲート電極を形成する第1工程と、
前記ゲート絶縁膜及び前記ゲート電極の側壁に、第1サイドウォールを形成する第2工程と、

前記第1サイドウォールをマスクにしたエッチングにより、前記シリコン基板の表面層を掘り下げる第3工程と、

掘り下げられた前記シリコン基板の表面に、シリコンゲルマニウム層からなる第1の層をエピタキシャル成長させる第4工程と、

前記第1の層上に、当該第1の層よりもゲルマニウム濃度の低いシリコンゲルマニウム層またはシリコン層からなる第2の層を形成する第5工程と、

前記第1サイドウォールを除去することで、前記ゲート電極を露出させる第6工程と、
前記ゲート電極の両側の前記シリコン基板の上に、エクステンション領域を形成する第7工程と、

前記エクステンション領域上、且つ、前記ゲート絶縁膜及び前記ゲート電極の両側に、前記第1サイドウォールより膜厚が厚い第2サイドウォールを形成する第8工程と、

前記第2の層の少なくとも表面側をシリサイド化して、シリサイド層を形成する第9工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項2】

請求項 1 記載の半導体装置の製造方法において、

前記第 4 工程と前記第 5 工程の間に、前記第 1 の層上に、当該第 1 の層よりもゲルマニウム濃度が高いシリコンゲルマニウム層またはゲルマニウム層からなる中間層を形成する工程を行い、

前記第 5 工程では、前記中間層上に、前記第 2 の層を形成することを特徴とする半導体装置の製造方法。

【請求項 3】

シリコン基板上にゲート絶縁膜を介してゲート電極が設けられた半導体装置において、
前記ゲート電極の側壁に形成された第 1 サイドウォールをマスクにしたエッチングにより前記ゲート電極の両側の前記シリコン基板が掘り下げられた領域に、シリコンゲルマニウム層からなる第 1 の層と、当該第 1 の層よりもゲルマニウム濃度の低いシリコンゲルマニウム層またはシリコン層からなる第 2 の層とがこの順に積層されており、

前記第 1 サイドウォールが除去された後の前記ゲート電極の両側の前記シリコン基板上に、エクステンション領域が形成され、

前記エクステンション領域上、且つ、前記ゲート絶縁膜及び前記ゲート電極の両側に、前記第 1 サイドウォールより膜厚が厚い第 2 サイドウォールが形成され、

前記第 2 の層の少なくとも表面側にシリサイド層が設けられている

ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関するものであって、特に、MOS (Metal Oxide Semiconductor) 型電界効果トランジスタに関するものである。

【背景技術】

【0002】

近年、トランジスタ性能向上の為、チャネル領域へストレスを印加し、ドレイン電流を増大させる検討が行われている。ストレス印加の手法としては、ゲート電極形成後に高い応力を持った膜を形成し、チャネル領域にストレスを印加する方法が報告されている。また、PチャネルMOS型電界効果トランジスタ(PMOSFET)のソース・ドレイン領域をエッチングし、その部分にシリコンゲルマニウム(SiGe)層をエピタキシャル成長させ、チャネル領域にストレスを印加する方法も報告されている(例えば、特許文献1参照)。このSiGe層を用いたチャネル領域へのストレス印加は、SiGe層がチャネル領域に近く、SiGe層の体積が多いほど効果的である。

【0003】

ここで、上述したPMOSFETの製造方法について、図6～図7を用いて説明する。まず、図6(a)に示すように、シリコン基板11の表面側に素子分離領域(図示省略)を形成する。次に、シリコン基板11上に、酸化シリコンからなるゲート絶縁膜12を介して、ポリシリコンからなるゲート電極13をパターン形成する。この際、シリコン基板11上に、ゲート絶縁膜12とゲート電極13を構成する各材料膜、および窒化シリコン膜からなるハードマスク14を積層成膜し、これらの積層膜をパターンエッチングする。

【0004】

次いで、図6(b)に示すように、ゲート絶縁膜12、ゲート電極13およびハードマスク14を覆う状態で、シリコン基板11上に、シリコン窒化膜15'を形成する。その後、図6(c)に示すように、ドライエッチング法により、このシリコン窒化膜15'(前記図6(b)参照)をエッチバックすることで、ゲート絶縁膜12、ゲート電極13およびハードマスク14の両脇にサイドウォール15を形成する。

【0005】

続いて、図6(d)に示すように、上記ハードマスク14とサイドウォール15をマスクにして、シリコン基板11をエッチングによって掘り下げる、いわゆるリセスエッチングを行うことで、リセス領域16を形成する。その後、希フッ酸を用いた洗浄処理により

10

20

30

40

50

、シリコン基板 11 表面の自然酸化膜を除去する。

【0006】

次いで、図 7 (e) に示すように、リセス領域 16、すなわち、掘り下げられたシリコン基板 11 の表面に、シリコンゲルマニウム (SiGe) 層 17 をエピタキシャル成長させる。これにより、一定濃度の Ge を含有させた SiGe 層 17 が形成される。その後、イオン注入法により、SiGe 層 17 に p 型不純物を導入し、活性化アニールを行う。これにより、この SiGe 層 17 がソース・ドレイン領域となり、シリコン基板 11 におけるソース・ドレイン領域に挟まれたゲート電極 13 直下の領域がチャンネル領域 Ch となる。

【0007】

次に、図 7 (f) に示すように、ホット燐酸を用いたウェットエッチングにより、ハードマスク 14 (前記図 7 (e) 参照) を除去し、ゲート電極 13 の表面を露出させるとともに、SiGe 層 17 の表面の自然酸化膜を除去する。この除去工程により、サイドウォール 15 の上部も除去される。

【0008】

続いて、図 7 (g) に示すように、ゲート電極 13 を覆う状態で、SiGe 層 17 上を含めたシリコン基板 11 上に、ニッケル膜等の高融点金属膜を成膜する。その後、熱処理を行うことで、ゲート電極 13 の表面側および SiGe 層 17 の表面側をシリサイド化して、ニッケルシリサイドからなるシリサイド層 S を形成する。これにより、ソース・ドレイン領域の表面側を低抵抗化し、コンタクト抵抗を低減する。

【0009】

以上のようにして、SiGe 層 17 によるチャンネル領域 Ch へのストレス印加により、チャンネル領域 Ch を歪ませることで、十分なキャリア移動度を有する PMOSFET を得ることができる。

【0010】

【特許文献 1】特表 2002 - 530864 号公報 (特に、図 4 および段落番号 0030 参照)

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、上述したような半導体装置の製造方法では、SiGe 層 17 によるチャンネル領域 Ch へのストレス印加により、キャリア移動度の向上は図れるものの、SiGe 層 17 の表面側をシリサイド化する際に、高融点金属とシリコン (Si) との反応速度がゲルマニウム (Ge) との反応速度と比較して速いため、シリサイド化が局所的に進行してしまう。これにより、反応が不安定になり易く、シリサイド層 S を均一な膜状に形成することは難しい。このため、ソース・ドレイン領域の低抵抗化が図れないという問題がある。また、高融点金属のシリコンへの拡散係数は高いため、局所的に反応が開始された場合には、シリサイド層 S がシリコン基板 11 まで異常成長してしまう。このため、リーク電流が増大してしまう、という問題もある。

【0012】

したがって、本発明は、チャンネル領域に応力を印加しつつ、シリサイド層を膜状に形成するとともに、シリサイド層の異常成長が抑制された半導体装置の製造方法および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上述したような目的を達成するために、本発明における半導体装置の製造方法は、次のような工程を順次行うことを特徴としている。まず、第 1 工程では、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程を行う。次に、第 2 工程では、ゲート絶縁膜及びゲート電極の側壁に、第 1 サイドウォールを形成する工程を行う。次いで、第 3 工程では、第 1 サイドウォールをマスクにしたエッチングにより、シリコン基板の表面層を

10

20

30

40

50

掘り下げる工程を行う。次いで、第4工程では、掘り下げられたシリコン基板の表面に、シリコンゲルマニウム（SiGe）層からなる第1の層をエピタキシャル成長させる工程を行う。続いて、第5工程では、第1の層上に、第1の層よりもゲルマニウム濃度が低いSiGe層またはシリコン（Si）層からなる第2の層を形成する工程を行う。続いて、第6工程では、第1サイドウォールを除去することで、ゲート電極を露出させる工程を行う。続いて、第7工程では、ゲート電極の両側のシリコン基板上に、エクステンション領域を形成する工程を行う。続いて、第8工程では、エクステンション領域上、且つ、ゲート絶縁膜及びゲート電極の両側に、第1サイドウォールより膜厚が厚い第2サイドウォールを形成する工程を行う。その後の第9工程では、前記第2の層の少なくとも表面側をシリサイド化して、シリサイド層を形成する。

10

【0014】

このような半導体装置の製造方法によれば、掘り下げられたシリコン基板の領域にSiGe層からなる第1の層をエピタキシャル成長させることで、チャンネル領域に応力が印加されるため、キャリア移動度の向上が可能となる。また、第1の層上に、第1の層よりもゲルマニウム（Ge）濃度が低いSiGe層またはSi層からなる第2の層が形成されるため、シリサイド化の局所的な進行が抑制される。これにより、シリサイド化反応を安定させて、均一な膜状のシリサイド層を形成することが可能となるため、コンタクト抵抗の低抵抗化が図れる。さらに、第1の層は第2の層よりもゲルマニウム濃度が高いため、シリサイド化反応を抑制するストッパーとして機能する。これにより、シリサイド層がシリコン基板まで異常成長することが防止され、リーク電流が抑制される。

20

【0015】

また、本発明の半導体装置は、シリコン基板上にゲート絶縁膜を介してゲート電極が設けられた半導体装置において、前記ゲート電極の側壁に形成された第1サイドウォールをマスクにしたエッチングにより前記ゲート電極の両側の前記シリコン基板が掘り下げられた領域に、SiGe層からなる第1の層と、当該第1の層よりもGe濃度の低いSiGe層またはSi層からなる第2の層とがこの順に積層されており、前記第1サイドウォールが除去された後の前記ゲート電極の両側の前記シリコン基板上に、エクステンション領域が形成され、前記エクステンション領域上、且つ、前記ゲート絶縁膜及び前記ゲート電極の両側に、前記第1サイドウォールより膜厚が厚い第2サイドウォールが形成され、第2の層の少なくとも表面側にシリサイド層が設けられていることを特徴としている。

30

【0016】

このような半導体装置は、上述した製造方法により製造されるものであり、SiGe層からなる第1の層によりチャンネル領域に応力が印加されることで、キャリア移動度が向上する。また、第1の層上に配置された第1の層よりもGe濃度の低いSiGe層またはSi層からなる第2の層にシリサイド層が設けられていることから、コンタクト抵抗の低抵抗化を図ることができる。

【発明の効果】

【0017】

以上、説明したように、本発明における半導体装置の製造方法および半導体装置によれば、キャリア移動度を向上させつつ、コンタクト抵抗の低抵抗化を図ることができ、リーク電流を抑制することができる。したがって、トランジスタの特性を向上させることができる。

40

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。各実施形態においては、半導体装置の構成を製造工程順に説明する。

【0019】

（第1実施形態）

本発明の半導体装置の製造方法に係る実施の形態の一例として、CMOS（Complementary Metal Oxide Semiconductor）FETにおけるPMOSFETの製造方法について、図

50

1 ~ 図3の製造工程断面図を用いて説明する。なお、背景技術で説明したものと同様の構成には、同一の番号を付して説明する。

【0020】

まず、図1(a)に示すように、単結晶シリコンからなるP型のシリコン基板11を用意し、その表面側に素子分離領域(図示省略)を形成する。この際、例えば、シリコン基板11の表面側に溝を形成し、この溝内に例えば酸化シリコン膜からなる絶縁膜を埋め込んだSTI(shallow trench isolation)構造の素子分離領域を形成する。

【0021】

次に、素子分離領域で分離されたシリコン基板11上に、例えばシリコン窒化膜からなるゲート絶縁膜12を介して、例えばポリシリコンからなるゲート電極13をパターン形成する。この際、シリコン基板11上に、ゲート絶縁膜12とゲート電極13を構成する各材料膜、および例えば窒化シリコン膜からなるハードマスク14を積層成膜し、これらの積層膜をパターンエッチングする。

【0022】

ここで、上記ゲート絶縁膜12の構成材料としては、シリコン窒化膜に限定されず、シリコン酸化膜でもよく、ハフニウムやアルミニウムを含む金属酸化膜であってもよい。また、ゲート電極13としては、ポリシリコンに限定されるものではなく、金属材料を含有してもよい。

【0023】

次いで、図1(b)に示すように、ゲート絶縁膜12、ゲート電極13、およびハードマスク14を覆う状態で、シリコン基板11上に、例えばシリコン窒化膜15'を成膜する。続いて、図1(c)に示すように、例えばドライエッチング法により、シリコン窒化膜15'(前記図1(b)参照)をエッチバックすることにより、ゲート絶縁膜12、ゲート電極13、およびハードマスク14の側壁に、絶縁性のサイドウォール15を形成する。ここでは、このサイドウォール15が、例えばシリコン窒化膜で構成されることとするが、シリコン窒化膜以外でもよく、シリコン酸化膜、シリコン窒化膜またはこれらの積層構造で構成されていてもよい。

【0024】

次に、図1(d)に示すように、シリコン基板11の表面を掘り下げるリセスエッチングを行う。この場合には、ゲート電極13上のハードマスク14およびサイドウォール15をマスクにしたエッチングにより、シリコン基板11の表面層を掘り下げるリセスエッチングを行うことで、50~60nm程度の深さのリセス領域16を形成する。このリセスエッチングにおいては、等方性のエッチングを行うことにより、サイドウォール15の下方にまでリセス領域16が広げられるようにする。例えば、サイドウォール15下のシリコン基板11は25nm程度エッチングされている。ただし、本発明においては、サイドウォール15下に、後述するようにSiGe層を形成するスペースが存在していればよく、サイドウォール15の幅およびシリコンエッチング量については規定されるものではない。その後、希フッ酸を用いた洗浄処理により、シリコン基板11表面の自然酸化膜を除去する。

【0025】

このエッチング条件の一例としては、エッチングガスにテトラフルオロカーボン(CF₄)と酸素(O₂)を用い、ガス流量をCF₄/O₂=40/10(ml/min)、処理圧力を2.7Pa、ソースパワーを500W、バイアスパワーを50Wに設定して行う。ただし、上記ガス流量は、標準状態における体積流量を示すものとし、これ以降に示すガス流量についても同様であることとする。

【0026】

なお、ここでは、サイドウォール15が設けられた状態で、リセスエッチングを行う例について説明するが、サイドウォール15を設けずに、リセスエッチングを行う場合であっても、本発明は適用可能である。

【0027】

10

20

30

40

50

また、本実施形態においては、PMOSFETの製造方法を中心に説明するため、詳細な記載は省略するが、NMOSFETを形成する場合には、上記エッチング工程の前に、ハードマスク14およびサイドウォール15を覆う状態で、シリコン基板11上に、NMOSFET領域を保護するためのシリコン酸化膜を形成し、PMOSFET領域のシリコン酸化膜のみを除去した後に、上記エッチング工程を行えばよい。

【0028】

次いで、図2(e)に示すように、リセス領域16の表面、すなわち掘り下げられたシリコン基板11の表面に、SiGe層からなる第1の層21をエピタキシャル成長させる。これにより、ゲート電極13下のシリコン基板11に設けられるチャンネル領域に圧縮応力が印加される。ここで、第1の層21のGe濃度の範囲を、10atm%以上20atm%以下とすることで、チャンネル領域に効率よく応力を印加することができ、キャリア移動度が向上する。また、第1の層21の膜厚は特に限定されるものではないが、ゲート電極13直下のシリコン基板11に設けられるチャンネル領域にさらに効率よく応力を印加するために、シリコン基板11の表面と同程度の高さで設けられることが好ましい。ここでは、第1の層21がシリコン基板11の表面と同程度の高さで設けられることとする。また、第1の層21は、後述するように第1の層21上に形成される第2の層よりも、Ge濃度が高いことから、このGe濃度の差により、第2の層にシリサイド層を形成する際の、シリサイド化反応のストッパー層として機能する。

10

【0029】

上記第1の層21の成膜条件としては、成膜ガスとして、ジクロロシラン(Dichlorosilane(DCS))、水素(H₂)により1.5vol%に希釈された水素化ゲルマニウム(GeH₄)、塩化水素(HCl)を用い、ガス流量をDCS/GeH₄/HCl=50/70/25(ml/min)とる。また、処理温度を550~850、処理圧力を1.3kPa~5.3kPaに設定する。

20

【0030】

次に、図2(f)に示すように、第1の層21上に、第1の層21よりもGe濃度の低いSiGe層またはSi層からなる第2の層22を形成する。この第2の層22には、後述するようにシリサイド層を形成するため、Ge濃度は低い方が好ましい。具体的には、第1の層21よりも少なくとも1atm%以上はGe濃度が低いことが好ましく、Si層であることがさらに好ましい。ここでは、第2の層22として、例えばSi層をエピタキシャル成長させる。ここで、上記第1の層21は、シリコン基板11の表面に到達する状態で設けられていることから、第2の層22はシリコン基板11の表面から盛り上がった状態で、例えば20nmの膜厚で形成される。

30

【0031】

この第2の層22の成膜条件としては、成膜ガスとしてDCSを用い、ガス流量を100~200(ml/min)、処理温度を550、処理圧力を1.3kPaに設定して行う。

【0032】

なお、ここでは、上記Si層をエピタキシャル成長させることとしたが、この層には上述したようにシリサイド層が形成されるため、エピタキシャル成長以外で成膜し、ポリシリコンを形成してもよい。

40

【0033】

その後、ハードマスク14、サイドウォール15をマスクとし、PMOSFET領域では、例えば2keVのエネルギー、 $3 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入を行うことにより、上記第1の層21および第2の層22に例えばボロン(B)からなるp型不純物を導入する。一方、NMOSFET領域では、例えば8keVのエネルギー、 $1 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入を行うことにより、シリコン基板11に例えばリン(P)からなるn型不純物を導入する。

【0034】

次に、図2(g)に示すように、例えばホット燐酸等の薬液を用いた洗浄処理により、

50

ハードマスク 14 (前記図 2 (f) 参照) およびサイドウォール 15 (前記図 2 (f) 参照) を除去することで、ゲート電極 13 を露出する。その後、例えば 1050 程度で活性化アニールを行う。

【0035】

次いで、図 2 (h) に示すように、ゲート電極 13 をマスクとし、PMOSFET 領域では、例えば 1.5 keV のエネルギー、 $1.5 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入を行うことにより、シリコン基板 11、第 1 の層 21 および第 2 の層 22 に例えば BF_2 からなる p 型不純物を導入する。これにより、ゲート電極 13 の両側のシリコン基板 11 にエクステンション領域 E を形成する。一方、NMOSFET 領域では、例えば 1.5 keV のエネルギー、 $1 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入を行うことにより、シリ

10

【0036】

続いて、図 3 (i) に示すように、ゲート電極 13 を覆う状態で、第 2 の層 22 上に、例えばシリコン窒化膜を成膜した後、エッチバックにより、ゲート電極 13、ゲート絶縁膜 12 の両側にサイドウォール 18 を形成する。このサイドウォール 18 は、後工程で行うシリサイド化の際に成膜する高融点金属のチャンネル領域への拡散を防止するため、図 1 (c) を用いて説明したサイドウォール 15 よりも膜厚を厚く形成する。なお、ここでは、サイドウォール 18 をシリコン窒化膜で形成することとしたが、シリコン窒化膜以外にも、シリコン酸窒化膜、シリコン酸化膜またはこれらの積層膜を用いてもよい。

【0037】

20

次いで、図 3 (j) に示すように、ゲート電極 13 および第 2 の層 22 (前記図 3 (i) 参照) の表面の自然酸化膜を除去した後、例えばスパッタリング法により、サイドウォール 18 が設けられたゲート電極 13 を覆う状態で、第 2 の層 22 上を含むシリコン基板 11 上に、例えばニッケルからなる高融点金属膜 (図示省略) を形成する。その後、ニッケルシリサイド層が形成される 250 ~ 400 までシリコン基板 11 を加熱する。これにより、ゲート電極 13 および第 2 の層 22 の表面側がシリサイド化され、第 2 の層 22 およびゲート電極 13 の表面側に、ニッケルシリサイドからなるシリサイド層 S が形成される。ここでは、第 2 の層 22 全体がシリサイド化されることとする。この際、第 2 の層 22 は、第 1 の層 21 と比較して Ge 濃度が低いため、第 2 の層 22 に均一な膜状のシリサイド層 S が形成される。また、この際、第 1 の層 21 は、第 2 の層 22 よりも Ge 濃

30

【0038】

その後、混酸 (硫酸、過酸化水素混合液) により、素子分離領域 (図示省略) 上およびサイドウォール 18 上に残存する未反応のニッケル膜を選択的に除去した後、シリサイド層 S の膜質改善のため、再び 450 ~ 650 で加熱する。なお、ここでは、シリサイド層 S として、ニッケルシリサイドを形成することとしたが、本発明はこれに限定されず、ニッケルプラチナシリサイド、コバルトシリサイド、チタンシリサイドからなるシリサイド層 S を形成してもよい。

【0039】

40

以上のようにして、ゲート電極 13 直下のシリコン基板 11 をチャンネル領域 Ch とする PMOSFET が製造される。

【0040】

このような半導体装置の製造方法およびこれにより得られる半導体装置によれば、掘り下げられたシリコン基板 11 のリセス領域 16 に SiGe 層からなる第 1 の層 21 をエピタキシャル成長させることで、チャンネル領域 Ch に圧縮応力が印加されるため、キャリア移動度の向上が可能となる。また、第 1 の層 21 上に、第 1 の層 21 よりも Ge 濃度が低い SiGe 層または Si 層からなる第 2 の層 22 が形成されるため、シリサイド化の局所的な進行が抑制される。これにより、シリサイド化反応を安定させて、膜状のシリサイド層 S を形成することが可能となるため、コンタクト抵抗の低抵抗化が図れる。さらに、第

50

1の層21は第2の層22よりもGe濃度が高いため、シリサイド化反応を抑制するストッパーとして機能する。これにより、シリサイド層Sがシリコン基板11まで異常成長することが防止され、リーク電流が抑制される。以上のことから、トランジスタの特性を向上させることができる。

【0041】

(第2実施形態)

次に、本発明の第2実施形態にかかる半導体装置の製造方法について、図4～図5を用いて説明する。なお、シリコン基板11の表面を掘り下げて、リセス領域16を形成するまでの工程は、図1(a)～(d)を用いて説明した工程と同様に行うこととする。

【0042】

まず、図4(a)に示すように、第1実施形態と同様に、リセス領域16の表面、すなわち掘り下げられたシリコン基板11の表面に、SiGe層からなる第1の層21をエピタキシャル成長させる。ここでは、10atm%以上20atm%以下の濃度範囲のGeが含まれるように、第1の層21を形成する。これにより、ゲート電極13下のシリコン基板11に設けられるチャンネル領域に圧縮応力が印加される。ここでは、第1実施形態と同様に、第1の層21がシリコン基板11の表面と同程度の高さで設けられることとする。なお、成膜条件は、第1実施形態と同一条件で行うこととする。

【0043】

次に、図4(b)に示すように、第1の層21上に、第1の層21よりもGe濃度の高いSiGe層またはGe層からなる中間層23を形成する。この中間層23は、後工程で、中間層23の上層に形成する第2の層にシリサイド層を形成する際に、シリサイド化反応のストッパーとして機能するものである。このため、Ge濃度は高い方が好ましく、Ge層であればさらに好ましい。ここでは、中間層23として、Ge層を例えば1nm程度の膜厚で形成することとする。

【0044】

この場合の成膜条件の一例としては、成膜ガスとして、H₂により1.5vol%に希釈されたGeH₄を用い、ガス流量を100ml/min、処理温度を700、処理圧力を1.3kPaに設定する。ただし、この場合のGe層は、第1の層21上にエピタキシャル成長されずに、第1の層21の表面に吸着した状態で形成される。

【0045】

なお、ここでは、中間層23として、Ge層を形成することとするが、第1の層21よりもGe濃度が高いSiGe層であってもよい。この場合には、Ge濃度が20atm%よりも高くなるように、SiGe層からなる中間層23を形成する。

【0046】

次に、中間層23上に、上記第1の層21よりもGe濃度の低いSiGe層またはSi層からなる第2の層22を形成する。ここでは、第2の層22として、第1実施形態と同様に、同一の成膜条件で、Si層を形成することとする。この場合には、Si層が上記Ge層上に形成されるため、エピタキシャル成長ではなく、上記Ge層上に吸着した状態で形成される。

【0047】

この後の工程は、第1実施形態で図2(g)～図3(j)を用いて説明した工程と同様に行う。すなわち、ハードマスク14、サイドウォール15をマスクとし、第2の層22、中間層23、第1の層21にp型不純物を導入する。

【0048】

次いで、図4(c)に示すように、ハードマスク14(前記図4(b)参照)およびサイドウォール15(前記図4(b)参照)を除去することで、ゲート電極13を露出する。その後、図4(d)に示すように、例えば1050程度で活性化アニールを行う。続いて、ゲート電極13をマスクとし、イオン注入を行うことにより、エクステンション領域Eを形成する。

【0049】

10

20

30

40

50

次に、図5(e)に示すように、ゲート電極13、ゲート絶縁膜12の両側にサイドウォール18を形成する。

【0050】

続いて、図5(f)に示すように、ゲート電極13および第2の層22(前記図5(e)参照)の表面の自然酸化膜を除去した後、サイドウォール18が設けられたゲート電極13を覆う状態で、第2の層22上を含むシリコン基板11上に、ニッケル膜(図示省略)を形成する。その後、熱処理を行うことで、第2の層22およびゲート電極13の表面側に、ニッケルシリサイドからなるシリサイド層Sを形成する。この際、第2の層22は、第1の層21と比較してGe濃度が低いため、第2の層22に均一な膜状のシリサイド層Sが形成される。また、この際、中間層23は、第2の層22よりもGe濃度が顕著に

10

【0051】

その後、混酸により、素子分離領域(図示省略)上およびサイドウォール15上に残存する未反応の高融点金属膜を選択的に除去した後、再び450 ~ 650 で加熱する。

【0052】

以上のようにして、ゲート電極13直下のシリコン基板11をチャンネル領域ChとするPMOSFETが製造される。

【0053】

このような半導体装置の製造方法およびこれによって得られる半導体装置であっても、掘り下げられたシリコン基板11のリセス領域16にSiGe層からなる第1の層21をエピタキシャル成長させることで、チャンネル領域Chに圧縮応力が印加されるため、キャリア移動度の向上が可能となる。また、中間層23上に、第1の層21よりもGe濃度が低いSiGe層またはSi層からなる第2の層22が形成されるため、シリサイド化の局所的な進行が抑制される。これにより、シリサイド化反応を安定させて、膜状のシリサイド層Sを形成することが可能となるため、コンタクト抵抗の低抵抗化が図れる。

20

【0054】

また、さらに、中間層23は第1の層21よりもGe濃度が高いため、シリサイド化反応を抑制するストッパーとして機能する。特に、本実施形態によれば、中間層23がGe層で形成されることで、シリサイド層Sがシリコン基板11まで異常成長することが確実に防止され、リーク電流が抑制される。

30

【0055】

以上のことから、トランジスタの特性を向上させることができる。

【0056】

(変形例1)

なお、上記第2実施形態においては、中間層23として、Ge層を成膜したが、このGe層をイオン注入法により形成してもよい。この場合には、図4(b)を用いて説明した工程において、例えば2.5keVのエネルギー、 5×10^{14} atoms/cm²の条件で、Geのイオン注入を行う。これにより、第1の層21の表面から5nm程度の深さまでが、Geの高濃度領域となり、中間層23が形成される。また、上記イオン注入の後、例えば

40

【0057】

このような半導体装置の製造方法およびこれにより得られる半導体装置であっても、リセス領域16の表面に、SiGe層からなる第1の層21と、第1の層21よりGe濃度の高い中間層23と、第1の層21よりGe濃度の低い第2の層22が形成されていることから、第2実施形態と同様の効果を奏する。

【図面の簡単な説明】

【0058】

【図1】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その1)である。

50

【図2】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その2)である。

【図3】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その2)である

【図4】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図(その1)である。

【図5】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図(その2)である。

【図6】従来の半導体装置の製造方法を説明するための製造工程断面図(その1)である。

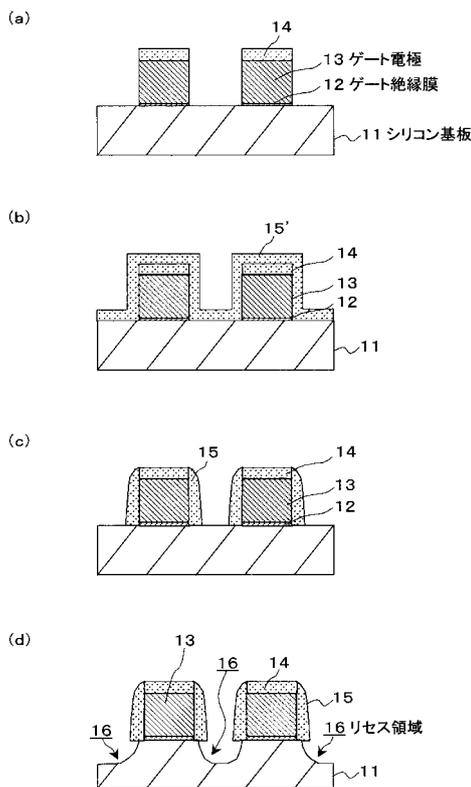
【図7】従来の半導体装置の製造方法を説明するための製造工程断面図(その2)である。

【符号の説明】

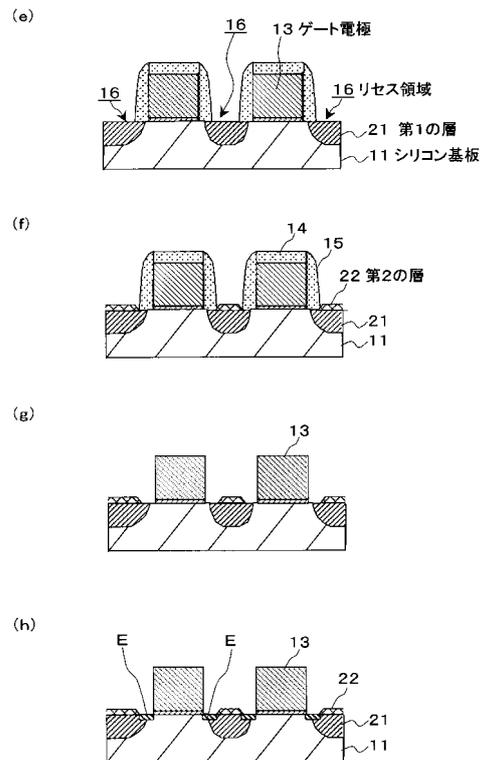
【0059】

11...シリコン基板、12...ゲート絶縁膜、13...ゲート電極、21...第1の層、22...第2の層、23...中間層、S...シリサイド層

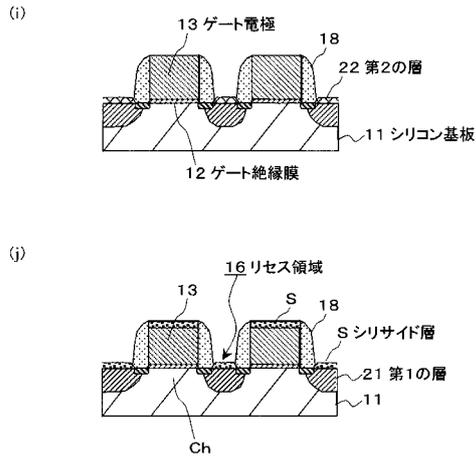
【図1】



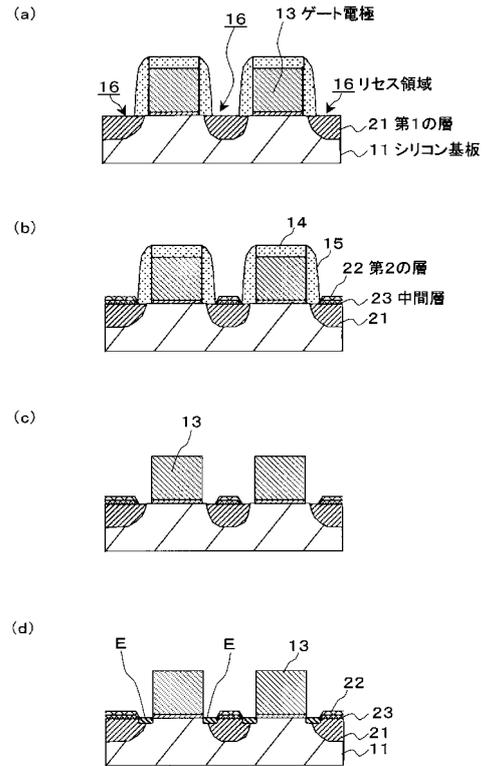
【図2】



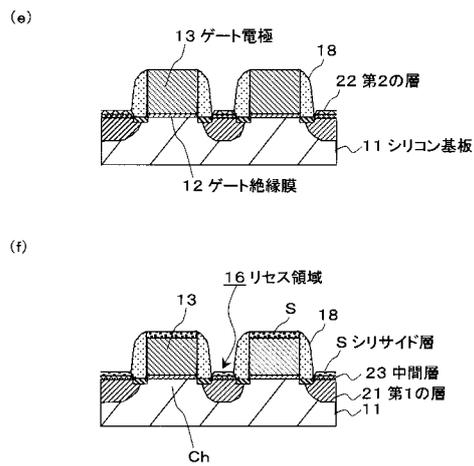
【図3】



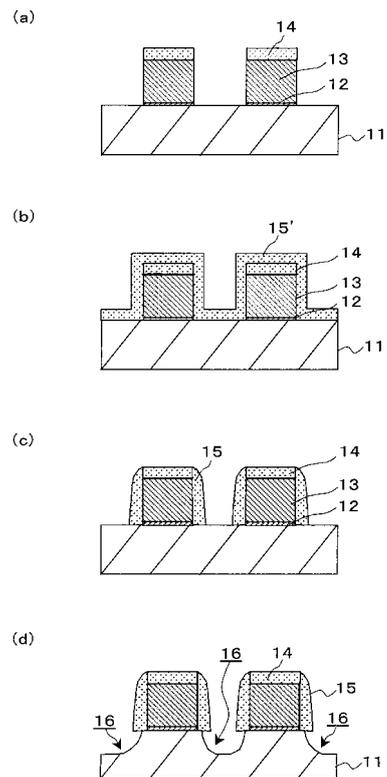
【図4】



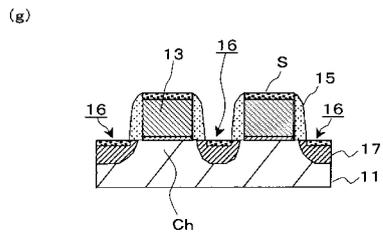
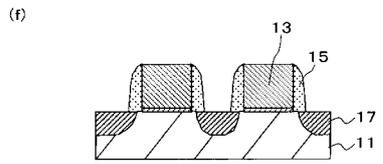
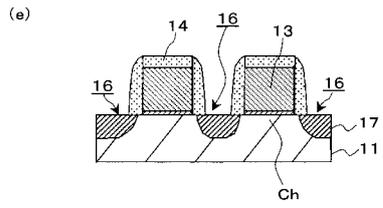
【図5】



【図6】



【 図 7 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 27/088 (2006.01) H 0 1 L 27/08 3 2 1 E
H 0 1 L 21/8238 (2006.01) H 0 1 L 27/08 3 2 1 F
H 0 1 L 27/092 (2006.01)

審査官 棚田 一也

(56) 参考文献 国際公開第 2 0 0 5 / 1 1 2 5 7 7 (W O , A 1)

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8