



(10) **DE 10 2004 014 744 B4** 2013.02.07

(12) **Patentschrift**

(21) Aktenzeichen: **10 2004 014 744.2**  
(22) Anmeldetag: **25.03.2004**  
(43) Offenlegungstag: **28.10.2004**  
(45) Veröffentlichungstag  
der Patenterteilung: **07.02.2013**

(51) Int Cl.: **H01L 23/62 (2012.01)**  
**H01L 27/092 (2012.01)**  
**H01L 21/76 (2012.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2003/087822**      **27.03.2003**    **JP**

(73) Patentinhaber:  
**Mitsubishi Denki K.K., Tokyo, JP**

(74) Vertreter:  
**Meissner, Bolte & Partner GbR, 80538, München, DE**

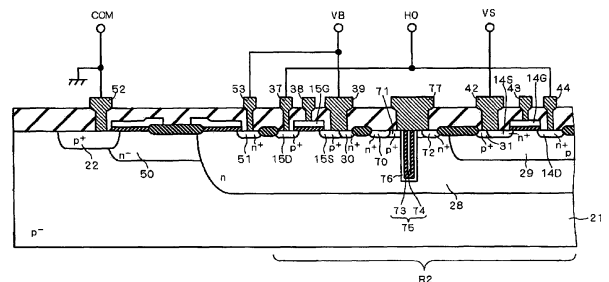
(72) Erfinder:  
**Hatade, Kazunari, Tokyo/Tokio, JP; Akiyama, Hajime, Tokyo/Tokio, JP; Shimizu, Kazuhiro, Tokyo/Tokio, JP**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

<b>DE</b>	<b>103 22 742</b>	<b>A1</b>
<b>US</b>	<b>6 329 694</b>	<b>B1</b>
<b>US</b>	<b>6 465 283</b>	<b>B1</b>
<b>US</b>	<b>2002 / 0 195 659</b>	<b>A1</b>
<b>US</b>	<b>4 922 317</b>	<b>A</b>
<b>EP</b>	<b>0 382 865</b>	<b>A1</b>
<b>JP</b>	<b>2002 252 333</b>	<b>A</b>

(54) Bezeichnung: **Halbleiterbaugruppe mit einem Graben zum Treiben eines Schaltselement und Vermeiden eines Latch-up Durchbruchs**

(57) Hauptanspruch: Halbleiterbaugruppe zum Treiben eines Schaltlements (Q1), das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe folgendes aufweist:  
– einen ersten Anschluß (VS), der mit der ersten Elektrode verbindbar ist;  
– einen zweiten Anschluß (VB), der mit der ersten Elektrode durch ein kapazitives Element (C1) verbindbar ist;  
– ein Halbleitersubstrat (21), das einen ersten Leitfähigkeitstyp hat;  
– einen ersten Störstellenbereich (28), der in einer Hauptoberfläche des Halbleitersubstrats (21) gebildet ist und einen zweiten Leitfähigkeitstyp hat;  
– einen zweiten Störstellenbereich (29), der in einer Hauptoberfläche des ersten Störstellenbereichs (28) gebildet ist und den ersten Leitfähigkeitstyp hat;  
– einen ersten Transistor (14), der einen Source-/Drainbereich (14S) vom zweiten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (14S) des ersten Transistors (14) in einer Hauptoberfläche des zweiten Störstellenbereichs (29) gebildet und mit dem ersten Anschluß (VS) verbunden ist;  
– einen zweiten Transistor (15), der...



## Beschreibung

**[0001]** Die Erfindung betrifft Halbleiterbaugruppen zum Treiben eines Schaltelements. Derartige Halbleitergruppen sind beispielsweise geeignet als Treibereinrichtung zum Treiben von Leistungsgeräten, wie etwa Wechselrichtern bzw. Invertern.

**[0002]** Aus dem Stand der Technik, beispielsweise aus der Druckschrift JP 2002-252333 A, ist eine Halbleiterbaugruppe bekannt, welche einen Widerstand aufweist, um einen Strom durch eine parasitäre Diode zu unterdrücken. Des Weiteren ist aus der Druckschrift DE 103 22 742 A1 eine MOS-Struktur mit Hochspannungsfestigkeit bekannt, welche unter Verwendung eines Bootstrap-Schaltungssystems den Betrieb eines parasitären Transistors verhindert. Darüber hinaus kann, wie in der Druckschrift US 6 465 283 B1 offenbart ist, durch Ionen-Implantation ein Latch-up-Effekt verhindert werden. Um eine Fehlfunktion oder eine Zerstörung eines Halbleiterbauteils aufgrund eines Latch-up-Effekts zu verhindern, sind aus den Druckschriften US 2002/0195659 A1 und EP 0 382 865 A1 Halbleiterbaugruppen bekannt, welche eine elektrisch isolierende Grabentrennstruktur aufweisen. Zudem ist aus der Druckschrift US 4 922 317 A ein Halbleiterbauelement bekannt, welches zur Vermeidung eines Latch-up Effekts eine Schottky-Sperrschicht aufweist.

**[0003]** Ein Leistungsgerät weist einen ersten und einen zweiten N-Kanal-Bipolartransistor mit isolierter Steuerelektrode bzw. N-Kanal-IGBTs, die in Reihe geschaltet sind, und eine Leistungsgerät-Treibereinrichtung auf. Die Kollektorelektrode des ersten IGBT ist mit einer Hauptenergieversorgung verbunden, und die Emittierelektrode des zweiten IGBT ist mit Erdpotential verbunden. Die Emittierelektrode des ersten IGBT und die Kollektorelektrode des zweiten IGBT sind mit einer Last verbunden. Freilaufdioden sind antiparallel jeweils mit dem ersten und dem zweiten IGBT verbunden, um den ersten und den zweiten IGBT vor der durch die Last bedingten Gegen-EMK zu schützen.

**[0004]** Die Leistungsgerät-Treibereinrichtung weist einen hochspannungsseitigen Treiberbereich zur Steuerung des ersten IGBT und einen niederspannungsseitigen Treiberbereich zur Steuerung des zweiten IGBT auf. Die Leistungsgerät-Treibereinrichtung besitzt einen VS-Anschluss, der mit der Emittierelektrode des ersten IGBT verbunden ist, einen VB-Anschluss, der mit der Emittierelektrode des ersten IGBT durch einen Kondensator verbunden ist, einen HO-Anschluss, der mit der Steuerelektrode des ersten IGBT verbunden ist, einen COM-Anschluss, der mit der Emittierelektrode des zweiten IGBT verbunden ist, einen VCC-Anschluss, der mit der Emittierelektrode des zweiten IGBT durch einen Kondensator verbunden ist, einen LO-Anschluss, der mit der Steu-

erelektrode des zweiten IGBT verbunden ist, und einen GND-Anschluss.

**[0005]** VS bezeichnet eine hochspannungsseitige Floating-Offsetspannung, die als Bezugspotential für den hochspannungsseitigen Treiberbereich dient. VB ist eine hochspannungsseitige Floating-Absolutversorgungsspannung, die als Energieversorgung für den hochspannungsseitigen Treiberbereich dient und von einer hochspannungsseitigen Floating-Energieversorgung zugeführt wird. HO ist ein hochspannungsseitiges Treibersignal, das von dem hochspannungsseitigen Treiberbereich ausgegeben wird. COM ist eine gemeinsame Masse.

**[0006]** VCC ist eine niederspannungsseitige festgelegte Versorgungsspannung, die als Energieversorgung für den niederspannungsseitigen Treiberbereich dient und von einer niederspannungsseitigen Energieversorgung mit festgelegter Energiezuführung geliefert wird. LO ist ein niederspannungsseitiges Treibersignal, das von dem niederspannungsseitigen Treiberbereich ausgegeben wird. GND ist ein Massepotential.

**[0007]** Es wird nun die herkömmliche Leistungsgerät-Treibereinrichtung, und zwar speziell der hochspannungsseitige Treiberbereich, beschrieben.

**[0008]** Der hochspannungsseitige Treiberbereich weist einen CMOS-Schaltkreis mit PMOS- und NMOS-Transistoren auf. Die Source-Elektrode des PMOS-Transistors ist mit dem VB-Anschluss verbunden, die Source-Elektrode des NMOS-Transistors ist mit dem VS-Anschluss verbunden, und die jeweiligen Drain-Elektroden des PMOS- und des NMOS-Transistors sind mit dem HO-Anschluss verbunden.

**[0009]** Als nächstes wird die Struktur der herkömmlichen Halbleiterbaugruppe mit dem CMOS-Schaltkreis beschrieben. Die Halbleiterbaugruppe hat ein p<sup>-</sup>-leitendes Siliciumsubstrat, einen in der oberen Oberfläche des p<sup>-</sup>-leitenden Siliciumsubstrats gebildeten n-leitenden Störstellenbereich, eine in der oberen Oberfläche des n-leitenden Störstellenbereichs gebildete p-leitende Mulde, n-leitende Source- und Drainbereiche des NMOS-Transistors, die in der oberen Oberfläche der p-leitenden Mulde gebildet sind, p-leitende Source- und Drainbereiche des PMOS-Transistors, die in der oberen Oberfläche des n-leitenden Störstellenbereichs gebildet sind, und einen p<sup>+</sup>-leitenden Trennbereich, der in der oberen Oberfläche des p<sup>-</sup>-leitenden Siliciumsubstrats und in Kontakt mit dem n-leitenden Störstellenbereich gebildet ist.

**[0010]** Ein Kanalbildungsbereich ist zwischen den Source- und Drainbereichen des NMOS-Transistors definiert, und eine Gateelektrode des NMOS-Transistors befindet sich auf dem Kanalbildungsbereich mit einer zwischen beiden angeordneten Gateisolier-

schicht. Ebenso ist zwischen den Source- und Drainbereichen des PMOS-Transistors ein Kanalbildungsbereich definiert, und eine Gateelektrode des PMOS-Transistors befindet sich auf dem Kanalbildungsbereich mit einer zwischen beiden angeordneten Gateisolierschicht.

**[0011]** Der Sourcebereich des NMOS-Transistors ist mit dem VS-Anschluss verbunden, und der Sourcebereich des PMOS-Transistors ist mit dem VB-Anschluss verbunden. Die Drainbereiche des NMOS- und des PMOS-Transistors sind gemeinsam mit dem HO-Anschluss verbunden.

**[0012]** Techniken in Bezug auf Halbleiterbaugruppen, die CMOS-Schaltkreise haben, sind beschrieben in der JP 11-68 053 A, der JP 62-120 063 A, der JP 60-74 560 A und der JP 5-152 523 A.

**[0013]** Bei dem herkömmlichen Leistungsgerät und der Leistungsgerät-Treibereinrichtung kann sich während regenerativer Perioden (d. h. Perioden, in denen Freilaufdioden infolge der Gegen-EMK von der Last einschalten) die hochspannungsseitige Floating-Offsetspannung VS zu einer negativen Spannung ändern, die niedriger als die gemeinsame Masse COM ist.

**[0014]** Die negative Änderung der hochspannungsseitigen Floating-Offsetspannung VS wird durch den Kondensator zu der hochspannungsseitigen Floating-Absolutversorgungsspannung VB übertragen, und dann erfährt auch das Potential der hochspannungsseitigen Floating-Absolutversorgungsspannung VB eine negative Änderung.

**[0015]** Die negative Änderung der hochspannungsseitigen Floating-Absolutversorgungsspannung VB wird zu dem n-leitenden Störstellenbereich übertragen. Dadurch erfolgt ein Einschalten von parasitären Dioden zwischen dem p<sup>+</sup>-leitenden Trennbereich und dem n-leitenden Störstellenbereich und von parasitären Dioden zwischen dem p<sup>-</sup>-leitenden Siliciumsubstrat und dem n-leitenden Störstellenbereich, die normalerweise in Sperrichtung vorgespannt sind, was dazu führt, dass Strom in den n-leitenden Störstellenbereich fließt.

**[0016]** Bei der herkömmlichen Halbleiterbaugruppe kann dann der Strom, der aufgrund des Einschaltens der parasitären Dioden in den n-leitenden Störstellenbereich fließt, dazu führen, dass der hochspannungsseitige Treibersignalausgang HO logisch invertiert wird (Fehlfunktion), oder kann bewirken, dass ein parasitärer Thyristor in den Sperrzustand gelangt, so dass ein Überstrom zu dem CMOS-Schaltkreis fließt, so dass der Schaltkreis oder Teile beschädigt werden können (Latch-up-Durchbruch: Einzelheiten sind aus der eigenen JP 2002-252 333 A zu ersehen).

**[0017]** Aufgabe der Erfindung ist die Angabe einer Halbleiterbaugruppe, die imstande ist, eine Funktionsstörung und einen Latch-up-Durchbruch zu vermeiden, die aus einer negativen Änderung einer Floating-Offsetspannung resultieren.

**[0018]** Die Aufgabe wird durch den im unabhängigen Patentanspruch 1 definierten Gegenstand gelöst.

**[0019]** Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

**[0020]** Die Erfindung betrifft eine Halbleiterbaugruppe zum Treiben eines Schaltelements mit einer ersten Elektrode, einer zweiten Elektrode und einer Steuerelektrode. Gemäß der Erfindung weist die Halbleiterbaugruppe folgendes auf: einen ersten Anschluss, einen zweiten Anschluss, ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp, einen ersten Störstellenbereich von einem zweiten Leitfähigkeitstyp, einen zweiten Störstellenbereich vom ersten Leitfähigkeitstyp, einen ersten Transistor, einen zweiten Transistor, einen dritten Störstellenbereich vom ersten Leitfähigkeitstyp, einen Graben, einen vierten Störstellenbereich vom ersten Leitfähigkeitstyp, einen fünften Störstellenbereich vom zweiten Leitfähigkeitstyp und eine Floating-Elektrode.

**[0021]** Der erste Anschluss ist mit der ersten Elektrode verbunden. Der zweite Anschluss ist mit der ersten Elektrode durch ein kapazitives Element verbunden. Der erste Störstellenbereich ist in einer Hauptoberfläche des Halbleitersubstrats gebildet. Der zweite Störstellenbereich ist in einer Hauptoberfläche des ersten Störstellenbereichs gebildet.

**[0022]** Der erste Transistor hat einen Source-/Drainbereich vom zweiten Leitfähigkeitstyp, der in einer Hauptoberfläche des zweiten Störstellenbereichs gebildet und mit dem ersten Anschluss verbunden ist. Der zweite Transistor hat einen Source-/Drainbereich vom ersten Leitfähigkeitstyp, der in der Hauptoberfläche des ersten Störstellenbereichs gebildet und mit dem zweiten Anschluss verbunden ist.

**[0023]** Der dritte Störstellenbereich ist in der Hauptoberfläche des ersten Störstellenbereichs gebildet. Der Graben ist in der Hauptoberfläche des ersten Störstellenbereichs gebildet und erstreckt sich durch den dritten Störstellenbereich hindurch. Der vierte Störstellenbereich ist in dem ersten Störstellenbereich in einem Bereich gebildet, der Wandoberflächen des Grabens definiert.

**[0024]** Der fünfte Störstellenbereich ist in der Hauptoberfläche des ersten Störstellenbereichs gebildet und in Kontakt mit dem dritten Störstellenbereich. Die Floating-Elektrode ist in der Hauptoberfläche des ersten Störstellenbereichs gebildet und in Kontakt mit dem dritten bis fünften Störstellenbereich.

[0025] Somit ist es möglich, einen Latch-up-Durchbruch zu vermeiden, der aus einer negativen Änderung der Floating-Offsetspannung resultiert.

[0026] Die Erfindung wird nachstehend, anhand der Beschreibung von Ausführungsbeispielen unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Diese zeigen in:

[0027] **Fig. 1** eine schematische Darstellung zur Erläuterung der Struktur eines Leistungsgeräts und einer Leistungsgerät-Treibereinrichtung;

[0028] **Fig. 2** ein Schaltbild, das einen Hauptteil des hochspannungsseitigen Treiberbereichs zeigt;

[0029] **Fig. 3** eine schematische Ansicht des Layouts an einer Hochspannunginsel in der Leistungsgerät-Treibereinrichtung;

[0030] **Fig. 4** und **Fig. 5** Querschnitte, die die Struktur einer Halbleiterbaugruppe gemäß einer ersten nicht erfindungsgemäßen Ausgestaltung zeigen;

[0031] **Fig. 6** und **Fig. 7** Draufsichten von oben, die schematische Beispiele für das Layout des n<sup>+</sup>-leitenden Störstellenbereichs und des p<sup>+</sup>-leitenden Störstellenbereichs zeigen;

[0032] **Fig. 8** eine Querschnittsansicht zur Erläuterung von Effekten der Halbleiterbaugruppe gemäß der ersten nicht erfindungsgemäßen Ausgestaltung;

[0033] **Fig. 9** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer zweiten nicht erfindungsgemäßen Ausgestaltung zeigt;

[0034] **Fig. 10** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer dritten nicht erfindungsgemäßen Ausgestaltung zeigt;

[0035] **Fig. 11** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer vierten nicht erfindungsgemäßen Ausgestaltung zeigt;

[0036] **Fig. 12** eine Draufsicht von oben, die schematisch das Layout des p<sup>+</sup>-leitenden Störstellenbereichs und des p<sup>+</sup>-leitenden Störstellenbereichs zeigt;

[0037] **Fig. 13** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer fünften nicht erfindungsgemäßen Ausgestaltung zeigt;

[0038] **Fig. 14** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer sechsten nicht erfindungsgemäßen Ausgestaltung zeigt;

[0039] **Fig. 15** eine Querschnittsansicht, die die Struktur einer erfindungsgemäßen Halbleiterbaugruppe zeigt; und

[0040] **Fig. 16** eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer neunten nicht erfindungsgemäßen Ausgestaltung der Erfindung zeigt.

Erste nicht erfindungsgemäße Ausgestaltung

[0041] **Fig. 1** zeigt schematisch die Konfiguration eines Leistungsgeräts und einer Leistungsgerät-Treibereinrichtung. N-Kanal-IGBTs Q1 und Q2 als Leistungsschaltenelemente schalten eine Hochspannung HV oder eine Hauptenergieversorgung. Eine Last ist an einen Knotenpunkt N30 angeschlossen. Freilaufdioden D1 und D2 schützen die IGBTs Q1 und Q2 vor der Gegen-EMK infolge der mit dem Knoten N30 verbundenen Last.

[0042] Eine Leistungsgerät-Treibereinrichtung **100** treibt die IGBTs Q1 und Q2. Die Leistungsgerät-Treibereinrichtung **100** ist gemäß einem hochspannungsseitigen Steuereingang HIN zur Steuerung des IGBT Q1 und gemäß einem niederspannungsseitigen Steuereingang LIN zur Steuerung des IGBT Q2 wirksam. Die Leistungsgerät-Treibereinrichtung **100** umfasst einen hochspannungsseitigen Treiberbereich **101** zum Treiben des IGBT Q1, einen niederspannungsseitigen Treiberbereich **102** zum Treiben des IGBT Q2 und einen Steuereingangsverarbeitungsbereich **103**.

[0043] Wenn nun beispielsweise die IGBTs Q1 und Q2 gleichzeitig einschalten, fließt ein Durchgangsstrom in den IGBTs Q1 und Q2, und dann fließt kein Strom zu der Last, was ein unerwünschter Zustand ist. Der Steuereingangsverarbeitungsbereich **103**, der die Steuereingangssignale HIN und LIN empfängt, steuert den hochspannungsseitigen Treiberbereich **101** und den niederspannungsseitigen Treiberbereich **102**, um beispielsweise einen solchen unerwünschten Zustand zu verhindern.

[0044] Ferner hat die Leistungsgerät-Treibereinrichtung **100** einen VS-Anschluss, der mit der Emittierelektrode des IGBT Q1 verbunden ist, einen VB-Anschluss, der mit der Emittierelektrode des IGBT Q1 durch einen Kondensator C1 verbunden ist, einen HO-Anschluss, der mit der Steuerelektrode des IGBT Q1 verbunden ist, einen COM-Anschluss, der mit der Emittierelektrode des IGBT Q2 verbunden ist, einen VCC-Anschluss, der mit der Emittierelektrode des IGBT Q2 durch einen Kondensator C2 verbunden ist, einen LO-Anschluss, der mit der Steuerelektrode des IGBT Q2 verbunden ist, und einen GND-Anschluss.

[0045] VS bezeichnet eine hochspannungsseitige Floating-Offsetspannung, die als Bezugspotential

für den hochspannungsseitigen Treiberbereich **101** dient. VB ist eine hochspannungsseitige Floating-Absolutversorgungsspannung, die als Energieversorgung für den hochspannungsseitigen Treiberbereich **101** dient und von einer nicht gezeigten hochspannungsseitigen Floating-Energieversorgung zugeführt wird. HO ist ein hochspannungsseitiges Treibersignal, das von dem hochspannungsseitigen Treiberbereich **101** ausgegeben wird.

**[0046]** COM ist gemeinsame Masse. VCC ist eine niederspannungsseitige festgelegte Versorgungsspannung, die als Energieversorgung für den niederspannungsseitigen Treiberbereich **102** dient und von einer nicht gezeigten niederspannungsseitigen fest vorgegebenen Energieversorgung zugeführt wird. LO ist ein niederspannungsseitiges Treibersignal, das von dem niederspannungsseitigen Treiberbereich **102** ausgegeben wird. GND ist ein Massepotential.

**[0047]** Die Kondensatoren C1 und C2 sind vorgesehen, um zu bewirken, dass die dem hochspannungsseitigen Treiberbereich **101** und dem niederspannungsseitigen Treiberbereich **102** zugeführten Versorgungsspannungen Potentialänderungen folgen, die durch den Betrieb der Leistungseinrichtung verursacht sind.

**[0048]** Bei dieser Konfiguration wird die Hauptenergieversorgung von der Leistungseinrichtung auf der Basis der Steuereingangssignale HIN und LIN geschaltet.

**[0049]** Da der hochspannungsseitige Treiberbereich **101** in Bezug auf das Massepotential GND der Schaltung in einem potentialfreien Zustand wirksam ist, hat die Konfiguration eine Pegelumsetzerschaltung zum Übertragen des Treibersignals zu der hochspannungsseitigen Schaltung.

**[0050]** **Fig. 2** ist ein Schaltbild, das den Hauptteil des hochspannungsseitigen Treiberbereichs **101** in der Leistungsgerät-Treibereinrichtung **100** zeigt. Ein MOS-Element **11** mit hoher Durchbruchspannung, ein Schaltelement, dient als die oben genannte Pegelumsetzerschaltung. Ein CMOS-Schaltkreis (nachstehend als CMOS bezeichnet) **12**, eine Schaltkomponente für die hochspannungsseitige Treibersignalausgabe, umfasst einen PMOS-Transistor (nachstehend PMOS) **15** und einen NMOS-Transistor (nachstehend NMOS) **14**; der CMOS-Schaltkreis **12** gibt das hochspannungsseitige Treibersignal HO aus. Ein Pegelumsetzerwiderstand **13** zur Einstellung des Gatepotentials für den CMOS-Schaltkreis **12** dient als Pull-up-Widerstand.

**[0051]** Der MOS **11** mit hoher Durchbruchspannung schaltet den CMOS-Schaltkreis **12** entsprechend dem hochspannungsseitigen Steuereingangssignal HIN. Der CMOS-Schaltkreis **12** schaltet die Span-

nung zwischen der hochspannungsseitigen Floating-Absolutversorgungsspannung VB und der hochspannungsseitigen Floating-Offsetspannung VS um und gibt ein Treibersignal an den hochspannungsseitigen Signalausgang HO aus, so dass das hochspannungsseitige Schaltelement der externen Leistungseinrichtung angetrieben wird.

**[0052]** In der folgenden Beschreibung werden der CMOS-Schaltkreis **12** und der Pegelumsetzerwiderstand **13** gemeinsam als eine hochspannungsseitige Treiberschaltung bezeichnet.

**[0053]** **Fig. 3** ist eine schematische Ansicht des Layouts einer Hochspannunginsel in der Leistungsgerät-Treibereinrichtung **100**. Die hochspannungsseitige Treiberschaltung, die den CMOS-Schaltkreis **12** und den Pegelumsetzerwiderstand **13** aufweist, ist innerhalb eines Bereichs R2 gebildet, der als Hochspannunginsel bezeichnet wird, wobei der MOS **11** mit hoher Durchbruchspannung in einem Bereich R1 gebildet ist. Aluminiumleitungen **16** und **17** für das Massepotential GND umgeben sie und schirmen sie ab.

**[0054]** Die **Fig. 4** und **Fig. 5** sind Querschnittsansichten, die die Struktur der Halbleiterbaugruppe einer ersten nicht erfindungsgemäßen Ausgestaltung zeigen und Querschnitte entlang den Linien IV-IV bzw. V-V von **Fig. 3** sind. In **Fig. 4** sind in der oberen Oberfläche eines p<sup>-</sup>-leitenden Siliciumsubstrats **21** ein p<sup>+</sup>-leitender Trennbereich **22**, ein n<sup>-</sup>-leitender Störstellenbereich **23** und n<sup>-</sup>-leitende Störstellenbereiche **24** und **28** gebildet. Eine p<sup>-</sup>-leitende Mulde **29** ist in der oberen Oberfläche des n<sup>-</sup>-leitenden Störstellenbereichs **28** gebildet.

**[0055]** Der p<sup>+</sup>-leitende Trennbereich **22** erreicht das p<sup>-</sup>-leitende Siliciumsubstrat **21**. Eine Elektrode **34** liegt auf dem p<sup>+</sup>-leitenden Trennbereich **22**, und das Potential an dem p<sup>-</sup>-leitenden Siliciumsubstrat **21** ist das niedrigste in der Schaltung (GND- oder COM-Potential). Eine p<sup>-</sup>-leitende Mulde **25** ist unter einem n<sup>+</sup>-leitenden Sourcebereich **11S** des MOS **11** mit hoher Durchbruchspannung gebildet; die p<sup>-</sup>-leitende Mulde **25** verläuft unter der Gateelektrode **11G** mit einer dazwischen angeordneten Gateisolierschicht und bildet den Kanalbereich des MOS **11** mit hoher Durchbruchspannung.

**[0056]** In der p<sup>-</sup>-leitenden Mulde **25** sind ein p<sup>+</sup>-leitender Störstellenbereich **26** und der n<sup>+</sup>-leitende Sourcebereich S11 in Kontakt mit der Sourceelektrode **35**. Ferner ist ein n<sup>+</sup>-leitender Drainbereich **11D** in Kontakt mit der Drainelektrode **36** des MOS **11** mit hoher Durchbruchspannung gebildet.

**[0057]** Die Drainelektrode **36** des MOS **11** mit hoher Durchbruchspannung ist mit den Gateelektroden **15G** und **14G** des PMOS **15** und NMOS **14**

des CMOS-Schaltkreises **12** verbunden und ferner mit der Sourceelektrode **39** des PMOS **15** und der hochspannungsseitigen Floating-Absolutversorgungsspannung VB durch den Pegelumsetzerwiderstand **13** verbunden.

**[0058]** In dem n-leitenden Störstellenbereich **28**, wo der CMOS-Schaltkreis **12** gebildet ist, sind ein p<sup>+</sup>-leitender Sourcebereich **15S** und ein n<sup>+</sup>-leitender Störstellenbereich **30** in Kontakt mit der Sourceelektrode **39** des PMOS **15** gebildet, und ein p<sup>+</sup>-leitender Drainbereich **15D** ist in Kontakt mit der Drainelektrode **37** gebildet. An der oberen Oberfläche des n-leitenden Störstellenbereichs **28** ist die Gateelektrode **15G** des PMOS **15** mit einer dazwischen angeordneten Gateisolierschicht gebildet. Eine Elektrode **38** liegt auf der Gateelektrode **15G**.

**[0059]** Der NMOS **14** ist innerhalb der p-leitenden Mulde **29** gebildet, wobei ein n<sup>+</sup>-leitender Drainbereich **14D** in Kontakt mit der Drainelektrode **44** des NMOS **14** gebildet ist und ein n<sup>+</sup>-leitender Sourcebereich **14S** und ein p<sup>+</sup>-leitender Störstellenbereich **31** in Kontakt mit der Sourceelektrode **42** sind. An der oberen Oberfläche der p-leitenden Mulde **29** liegt die Gateelektrode **14G** des NMOS **14** mit einer dazwischen angeordneten Gateisolierschicht. Eine Elektrode **43** liegt auf der Gateelektrode **14G**.

**[0060]** In der oberen Oberfläche des n-leitenden Störstellenbereichs **28** ist ein p<sup>+</sup>-leitender Störstellenbereich **33** zwischen dem NMOS **14** und dem PMOS **15** und in Kontakt mit der p-leitenden Mulde **29** gebildet. Eine Elektrode **41** liegt auf dem p<sup>+</sup>-leitenden Störstellenbereich **33**, und die Elektrode **41** ist mit der hochspannungsseitigen Floating-Offsetspannung VS verbunden. Der p<sup>+</sup>-leitende Störstellenbereich **33** hat eine höhere Störstellenkonzentration als die p-leitende Mulde **29**, und der p<sup>+</sup>-leitende Störstellenbereich **33** ist flacher als die p-leitende Mulde **29**.

**[0061]** Zwischen dem p<sup>+</sup>-leitenden Störstellenbereich **33** und dem PMOS **15** ist in der oberen Oberfläche des n-leitenden Störstellenbereichs **28** ein n<sup>+</sup>-leitender Störstellenbereich **32** gebildet. Eine Elektrode **40** liegt auf dem n<sup>+</sup>-leitenden Störstellenbereich **32**, und die Elektrode **40** ist mit der hochspannungsseitigen Floating-Absolutversorgungsspannung VB verbunden.

**[0062]** Gemäß **Fig. 5** sind in der oberen Oberfläche des p<sup>-</sup>-leitenden Siliciumsubstrats **21** der p<sup>+</sup>-leitende Trennbereich **22**, ein n<sup>-</sup>-leitender Störstellenbereich **50** und der n-leitende Störstellenbereich **28** vorhanden. Eine Elektrode **52** liegt auf dem p<sup>+</sup>-leitenden Trennbereich **22**. Ein n<sup>+</sup>-leitender Störstellenbereich **51** ist in der oberen Oberfläche des n-leitenden Störstellenbereichs **28** gebildet, und eine Elektrode **53** ist auf dem n<sup>+</sup>-leitenden Störstellenbereich **51** gebildet. Die Elektrode **53** ist mit der hochspannungssei-

tigen Floating-Absolutversorgungsspannung VB verbunden.

**[0063]** Wie **Fig. 5** zeigt, bilden der p<sup>+</sup>-leitende Sourcebereich **15S**, der n-leitende Störstellenbereich **28**, die p-leitende Mulde **29** und der n<sup>+</sup>-leitende Sourcebereich **14S** einen parasitären Lateralthyristor. Der parasitäre Thyristor besteht aus einem pnp-leitenden parasitären Bipolartransistor PBP1 und einem npn-leitenden parasitären Bipolartransistor PBP2.

**[0064]** Die **Fig. 6** und **Fig. 7** sind Draufsichten, die schematisch Beispiele für das Layout des n<sup>+</sup>-leitenden Störstellenbereichs **32** und des p<sup>+</sup>-leitenden Störstellenbereichs **33** zeigen. Der p<sup>+</sup>-leitende Trennbereich **22** ist gebildet, um die Bereiche R1 und R2 quadratisch zu umgeben, wie **Fig. 3** zeigt. Bei dem Beispiel von **Fig. 6** sind der n<sup>+</sup>-leitende Störstellenbereich **32** und der p<sup>+</sup>-leitende Störstellenbereich **33** zwischen gegenüberliegenden oder einander zugewandten Seiten des NMOS **14** und des PMOS **15** gebildet.

**[0065]** Bei dem Beispiel gemäß **Fig. 7** umgibt der p<sup>+</sup>-leitende Störstellenbereich **33** die p-leitende Mulde **29**, und der n<sup>+</sup>-leitende Störstellenbereich **32** umgibt die p-leitende Mulde **29** zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29**. Das Beispiel gemäß **Fig. 6** ermöglicht die Verwendung einer kleineren Chipgröße als das Beispiel von **Fig. 7**.

**[0066]** Im Fall des Leistungsgeräts und der Leistungsgerät-Treibereinrichtung gemäß der ersten nicht erfindungsgemäßen Ausgestaltung sei angenommen, dass während einer regenerativen Periode die hochspannungsseitige Floating-Offsetspannung VS sich zu einer negativen Spannung geändert hat, die niedriger als die gemeinsame Masse COM ist. In diesem Fall wird die negative Änderung der hochspannungsseitigen Floating-Offsetspannung VS durch den in **Fig. 1** gezeigten Kondensator C1 zu der hochspannungsseitigen Floating-Absolutversorgungsspannung VB übertragen, was zu einer negativen Potentialänderung der hochspannungsseitigen Floating-Absolutversorgungsspannung VB führt.

**[0067]** Unter Bezugnahme auf die **Fig. 4** und **Fig. 5** wird die negative Änderung der hochspannungsseitigen Floating-Absolutversorgungsspannung VB zu den n<sup>-</sup>-leitenden Störstellenbereichen **23** und **50** und den n-leitenden Störstellenbereichen **24** und **28** übertragen. Infolgedessen schalten die normalerweise in Sperrichtung vorgespannten parasitären Dioden PD1 bis PD4 ein, so dass Strom in den n<sup>-</sup>-leitenden Störstellenbereich **23** und die n-leitenden Störstellenbereiche **24** und **28** fließt.

**[0068]** Bei der Halbleiterbaugruppe gemäß der ersten nicht erfindungsgemäßen Ausgestaltung werden jedoch Elektronen, die dem Basisstrom des parasi-

tären Bipolartransistors PBP1 entsprechen, von dem n<sup>+</sup>-leitenden Störstellenbereich **32** absorbiert, der auf einem höheren Potential als die hochspannungsseitige Floating-Offsetspannung VS ist. Der Basisstrom des parasitären Bipolartransistors PBP1 wird somit unterdrückt, und der parasitäre Thyristor schaltet nicht ein, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** vermieden werden kann.

**[0069]** Ferner werden Löcher, die dem Basisstrom des parasitären Bipolartransistors PBP2 entsprechen, von dem p<sup>+</sup>-leitenden Störstellenbereich **33** absorbiert, der auf einem niedrigeren Potential als die hochspannungsseitige Floating-Absolutversorgungsspannung VB ist. Der Basisstrom des parasitären Bipolartransistors PBP2 wird daher unterdrückt, und der parasitäre Thyristor schaltet nicht ein, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** vermieden werden kann. Dabei wird der Löcherstrom, der von dem p<sup>+</sup>-leitenden Trennbereich **22** in den n<sup>-</sup>-leitenden Störstellenbereich **50** fließt, von dem p<sup>+</sup>-leitenden Störstellenbereich **33** absorbiert, bevor er die p-leitende Mulde **29** erreicht.

**[0070]** Ferner wird der Löcherstrom, der in den n-leitenden Störstellenbereich **28** von dem p<sup>-</sup>-leitenden Siliciumsubstrat **21** unmittelbar unter der p-leitenden Mulde **29** fließt, von Elektronen angezogen, die von den n<sup>+</sup>-leitenden Störstellenbereichen **30**, **32** in den n-leitenden Störstellenbereich **28** injiziert werden, und wird von dem p<sup>+</sup>-leitenden Störstellenbereich **33** absorbiert, anstatt in die p-leitende Mulde **29** zu fließen.

**[0071]** Wie [Fig. 5](#) zeigt, ist der p<sup>+</sup>-leitende Störstellenbereich **33** flacher als die p-leitende Mulde **29** ausgebildet. Daher ist die elektrische Feldstärke des Krümmungsbereichs des p<sup>+</sup>-leitenden Störstellenbereichs **33** höher als die elektrische Feldstärke des Krümmungsbereichs der p-leitenden Mulde **29**. Das ermöglicht es dem p<sup>+</sup>-leitenden Störstellenbereich **33**, einen größeren Löcherstrom zu absorbieren, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch wirksamer vermieden werden kann.

**[0072]** Wie bereits erwähnt, ist die Störstellenkonzentration des p<sup>+</sup>-leitenden Störstellenbereichs **33** höher als die Störstellenkonzentration der p-leitenden Mulde **29**. Daher ist die elektrische Feldstärke des Krümmungsbereichs des p<sup>+</sup>-leitenden Störstellenbereichs **33** höher als die elektrische Feldstärke des Krümmungsbereichs der p-leitenden Mulde **29**.

**[0073]** Ferner wird durch die Erhöhung der Störstellenkonzentration des p<sup>+</sup>-leitenden Störstellenbereichs **33** der Schichtwiderstand in dem p<sup>+</sup>-leitenden Störstellenbereich **33** und der Kontaktwiderstand zwischen dem p<sup>+</sup>-leitenden Störstellenbereich **33** und der Elektrode **41** verringert. Das ermöglicht es dem

p<sup>+</sup>-leitenden Störstellenbereich **33**, einen größeren Löcherstrom zu absorbieren, was einen Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch wirksamer verhindert.

**[0074]** Wie [Fig. 5](#) zeigt, ist der p<sup>+</sup>-leitende Störstellenbereich **33** in Kontakt mit der p-leitenden Mulde **29** gebildet, die der Basisschicht des parasitären Bipolartransistors PBP2 entspricht. Somit kann die Chipgröße kleiner sein als dann, wenn zwischen dem p<sup>+</sup>-leitenden Störstellenbereich **33** und der p-leitenden Mulde **29** ein Zwischenraum vorhanden ist; da außerdem der Widerstandswert der Basisschicht des parasitären Bipolartransistors PBP2 verringert ist, kann der p<sup>+</sup>-leitende Störstellenbereich **33** einen größeren Löcherstrom absorbieren, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch wirksamer vermieden wird.

**[0075]** Der größte Teil des Stroms, der wegen der negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS in den n-leitenden Störstellenbereich **28** fließt, ist der Strom, der von dem p<sup>+</sup>-leitenden Trennbereich **22** durch den n<sup>-</sup>-leitenden Störstellenbereich **50** in den n-leitenden Störstellenbereich **28** fließt.

**[0076]** Somit wird insbesondere dann, wenn der p<sup>+</sup>-leitende Trennbereich **22** so gebildet ist, dass er die Bereiche R1 und R2 umgibt, die Ausbildung des p<sup>+</sup>-leitenden Störstellenbereichs **33** und des n<sup>+</sup>-leitenden Störstellenbereichs **32** so, dass sie die n-leitende Mulde **29** umgeben, ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch effektiver vermieden.

**[0077]** Die Ausbildung sowohl des n<sup>+</sup>-leitenden Störstellenbereichs **32** als auch des p<sup>+</sup>-leitenden Störstellenbereichs **33** ist zwar am effektivsten, aber die Ausbildung nur eines dieser Bereiche ist ebenfalls wirksam.

#### Zweite nicht erfindungsgemäße Ausgestaltung

**[0078]** [Fig. 9](#) ist eine Querschnittsansicht, die die Struktur einer Halbleiterbaugruppe gemäß einer zweiten nicht erfindungsgemäßen Ausgestaltung zeigt; [Fig. 9](#) hängt mit [Fig. 5](#) zusammen. Dabei sind der n<sup>+</sup>-leitende Störstellenbereich **32** und die Elektrode **40** von [Fig. 5](#) durch einen p<sup>+</sup>-leitenden Störstellenbereich **55** und eine Elektrode **56** ersetzt.

**[0079]** Die Elektrode **56** ist mit der hochspannungsseitigen Floating-Absolutversorgungsspannung VB verbunden. Die Störstellenkonzentration des p<sup>+</sup>-leitenden Störstellenbereichs **55** ist höher als die Störstellenkonzentration der p-leitenden Mulde **29**, und der p<sup>+</sup>-leitende Störstellenbereich **55** ist flacher als die p-leitende Mulde **29**.

**[0080]** Wie bei dem Beispiel in [Fig. 6](#) ist der p<sup>+</sup>-leitende Störstellenbereich **55** zwischen den gegenüberliegenden Seiten des NMOS **14** und des PMOS **15** gebildet. Alternativ ist wie bei dem Beispiel in [Fig. 7](#) der p<sup>+</sup>-leitende Störstellenbereich **55** zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** gebildet und umgibt die p-leitende Mulde **29**.

**[0081]** Bei einer negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS werden die hochspannungsseitige Floating-Offsetspannung VS und die hochspannungsseitige Floating-Absolutversorgungsspannung VB niedriger als das Potential des p<sup>-</sup>-leitenden Siliciumsubstrats **21** und des p<sup>+</sup>-leitenden Trennbereichs **22**.

**[0082]** Auch wenn also die parasitären Dioden PD1 bis PD4 einschalten und ein Strom in den n-leitenden Störstellenbereich **28** fließt, werden Löcher, die dem Basisstrom des parasitären Bipolartransistors PBP2 gemäß [Fig. 5](#) entsprechen, von den p<sup>+</sup>-leitenden Störstellenbereichen **55** und **33** absorbiert. Der Basisstrom des parasitären Bipolartransistors PBP2 wird daher unterdrückt, und der parasitäre Thyristor schaltet nicht ein, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** vermieden wird.

**[0083]** Da ferner der p<sup>+</sup>-leitende Störstellenbereich **55** den n<sup>+</sup>-leitenden Störstellenbereich **32** ersetzt, werden dann, wenn die parasitären Dioden PD1 bis PD4 gemäß den [Fig. 4](#) und [Fig. 5](#) aufgrund einer negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS einschalten, keine Elektronen von dem p<sup>+</sup>-leitenden Störstellenbereich **55** in den n-leitenden Störstellenbereich **28** injiziert.

**[0084]** Dadurch wird die Zuführung von Löchern von dem p<sup>-</sup>-leitenden Siliciumsubstrat **21** und dem p<sup>+</sup>-leitenden Trennbereich **22** verringert, so dass wiederum der in den n-leitenden Störstellenbereich **28** fließende Löcherstrom verringert wird, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch wirksamer verhindert werden kann.

**[0085]** Es ist zwar am wirkungsvollsten, wenn sowohl der p<sup>+</sup>-leitende Störstellenbereich **55** als auch der p<sup>+</sup>-leitende Störstellenbereich **33** gebildet sind, aber die Bildung nur eines davon ist ebenfalls wirkungsvoll.

Dritte nicht erfindungsgemäße Ausgestaltung

**[0086]** [Fig. 10](#) ist eine Querschnittsansicht der Struktur einer Halbleiterbaugruppe gemäß einer dritten nicht erfindungsgemäßen Ausgestaltung; [Fig. 10](#) hängt mit [Fig. 5](#) zusammen. Der n<sup>+</sup>-leitende Störstellenbereich **32** und die Elektrode **40**, die in [Fig. 5](#) gezeigt sind, sind durch einen p<sup>+</sup>-leitenden Störstellenbereich **57** und eine Elektrode **58** ersetzt.

**[0087]** Die Elektrode **58** ist mit der hochspannungsseitigen Floating-Offsetspannung VS verbunden. Die Störstellenkonzentration des p<sup>+</sup>-leitenden Störstellenbereichs **57** ist höher als die Störstellenkonzentration der p-leitenden Mulde **29**, und der p<sup>+</sup>-leitende Störstellenbereich **57** ist flacher als die p-leitende Mulde **29**.

**[0088]** Wie bei dem Beispiel in [Fig. 6](#) ist der p<sup>+</sup>-leitende Störstellenbereich **57** zwischen den gegenüberliegenden Seiten des NMOS **14** und des PMOS **15** gebildet. Alternativ ist wie bei dem Beispiel in [Fig. 7](#) der p<sup>+</sup>-leitende Störstellenbereich **57** zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** gebildet und umgibt die p-leitende Mulde **29**.

**[0089]** Bei einer negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS werden die hochspannungsseitige Floating-Offsetspannung VS und die hochspannungsseitige Floating-Absolutversorgungsspannung VB niedriger als das Potential des p<sup>-</sup>-leitenden Siliciumsubstrats **21** und des p<sup>+</sup>-leitenden Trennbereichs **22**.

**[0090]** Auch wenn die parasitären Dioden PD1 bis PD4 einschalten und Strom in den n-leitenden Störstellenbereich **28** fließt, werden dann Löcher, die dem Basisstrom des parasitären Bipolartransistors PBP2 von [Fig. 5](#) entsprechen, von den p<sup>+</sup>-leitenden Störstellenbereichen **57** und **33** absorbiert. Der Basisstrom des parasitären Bipolartransistors PBP2 wird somit unterdrückt, und der parasitäre Thyristor schaltet nicht ein, so dass ein Latch-up-Durchbruch der CMOS-Schaltung **12** vermieden wird.

**[0091]** Da ferner die beiden p<sup>+</sup>-leitenden Störstellenbereiche **57** und **33** mit der hochspannungsseitigen Floating-Offsetspannung VS verbunden sind und gleiches Potential haben, ist der pnp-leitende parasitäre Bipolartransistor, der von dem p<sup>+</sup>-leitenden Störstellenbereich **57**, dem n-leitenden Störstellenbereich **28** und dem p<sup>+</sup>-leitenden Störstellenbereich **33** gebildet ist, nicht wirksam. Somit kann eine Fehlfunktion des hochspannungsseitigen Treiberbereichs **101**, die aus der Operation dieses parasitären Bipolartransistors resultieren würde, vermieden werden.

**[0092]** Es ist zwar am wirkungsvollsten, wenn sowohl der p<sup>+</sup>-leitende Störstellenbereich **57** als auch der p<sup>+</sup>-leitende Störstellenbereich **33** gebildet sind, aber die Bildung von nur einem davon ist ebenfalls wirkungsvoll.

Vierte nicht erfindungsgemäße Ausgestaltung

**[0093]** [Fig. 11](#) ist eine Querschnittsansicht der Struktur einer Halbleiterbaugruppe gemäß einer vierten nicht erfindungsgemäßen Ausgestaltung; [Fig. 11](#) hängt mit [Fig. 5](#) zusammen. Der n<sup>+</sup>-leitende Störstellenbereich **32** und die Elektrode **40** von [Fig. 5](#)



sind durch einen p<sup>+</sup>-leitenden Störstellenbereich **59** und eine Elektrode **60** ersetzt. Die Elektrode **60** ist mit der hochspannungsseitigen Floating-Absolutversorgungsspannung VB verbunden. Der p<sup>+</sup>-leitende Störstellenbereich **59** ist zwischen dem p<sup>+</sup>-leitenden Drainbereich **15D** und dem n<sup>+</sup>-leitenden Störstellenbereich **51** gebildet.

**[0094]** [Fig. 12](#) ist eine Draufsicht, die schematisch das Layout des p<sup>+</sup>-leitenden Störstellenbereichs **59** und des p<sup>+</sup>-leitenden Störstellenbereichs **33** zeigt. Der p<sup>+</sup>-leitende Trennbereich **22** ist gebildet, um die Bereiche R1 und R2 quadratisch zu umgeben, wie [Fig. 3](#) zeigt.

**[0095]** Wie [Fig. 12](#) zeigt, ist der p<sup>+</sup>-leitende Störstellenbereich **33** gebildet, um die p-leitende Mulde **29** zu umgeben, und der p<sup>+</sup>-leitende Störstellenbereich **59** ist zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** und dem PMOS **15** gebildet und verläuft parallel zu dem p<sup>+</sup>-leitenden Trennbereich **22**, so dass er die p-leitende Mulde **29** und den PMOS **15** umgibt.

**[0096]** Wie bereits erwähnt, ist der größte Teil des Stroms, der aufgrund der negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS in den n-leitenden Störstellenbereich **28** fließt, der Strom, der von dem p<sup>+</sup>-leitenden Trennbereich **22** durch den n<sup>-</sup>-leitenden Störstellenbereich **50** in den n-leitenden Störstellenbereich **28** fließt.

**[0097]** Wenn also, wie [Fig. 12](#) zeigt, der p<sup>+</sup>-leitende Störstellenbereich **59** parallel zu dem p<sup>+</sup>-leitenden Trennbereich **22** gebildet ist, kann der p<sup>+</sup>-leitende Störstellenbereich **59** Löcher wirksam absorbieren, die dem Basisstrom des parasitären Bipolartransistors PBP2 entsprechen, bevor diese in die p-leitende Mulde **29** fließen. Der Basisstrom des parasitären Bipolartransistors PBP2 wird somit unterdrückt, und der parasitäre Thyristor schaltet nicht ein, so dass ein Latch-up-Durchbruch der CMOS-Schaltung **12** wirksam vermieden wird.

**[0098]** Es ist zwar am wirkungsvollsten, wenn sowohl der p<sup>+</sup>-leitende Störstellenbereich **59** als auch der p<sup>+</sup>-leitende Störstellenbereich **33** gebildet sind, aber die Bildung von nur einem davon ist ebenfalls wirkungsvoll.

#### Fünfte nicht erfindungsgemäße Ausgestaltung

**[0099]** [Fig. 13](#) ist eine Querschnittsansicht der Struktur einer Halbleiterbaugruppe gemäß einer fünften nicht erfindungsgemäßen Ausgestaltung; [Fig. 13](#) hängt mit [Fig. 9](#) zusammen. Ein Graben **63** ist in der oberen Oberfläche des n-leitenden Störstellenbereichs **28** gebildet und verläuft durch den p<sup>+</sup>-leitenden Störstellenbereich **55**; die Innenseite des Grabens **63** ist mit einer Siliciumoxidschicht **61** und Poly-

silicium **62** ausgefüllt. Ferner ist ein p<sup>+</sup>-leitender Störstellenbereich **64** in demjenigen Bereich des n-leitenden Störstellenbereichs **28** gebildet, der Wandoberflächen des Grabens **63** definiert. Der p<sup>+</sup>-leitende Störstellenbereich **64** ist in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **55** und der Elektrode **56**.

**[0100]** Wie bei dem Beispiel in [Fig. 6](#) sind die p<sup>+</sup>-leitenden Störstellenbereiche **55** und **64** zwischen den gegenüberliegenden Seiten des NMOS **14** und PMOS **15** gebildet. Alternativ sind wie bei dem Beispiel in [Fig. 7](#) die p<sup>+</sup>-leitenden Störstellenbereiche **55** und **64** zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** gebildet und umgeben die p-leitende Mulde **29**.

**[0101]** Im Vergleich mit der in [Fig. 9](#) gezeigten Struktur wird durch das Bilden des p<sup>+</sup>-leitenden Störstellenbereichs **64** an den Wandoberflächen des Grabens **63** und in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **55** die effektive Fläche des p<sup>+</sup>-leitenden Störstellenbereichs **55** vergrößert. Ferner ist die elektrische Feldstärke am Grund des Grabens **63** höher als die elektrische Feldstärke am Krümmungsbereich der p-leitenden Mulde **29**.

**[0102]** Gegenüber der in [Fig. 9](#) gezeigten Struktur können also die p<sup>+</sup>-leitenden Störstellenbereiche **55** und **64** einen größeren Anteil des Löcherstroms absorbieren, der in den n-leitenden Störstellenbereich **28** fließt. Somit ist es möglich, einen Latch-up-Durchbruch des CMOS-Schaltkreises **12** noch wirkungsvoller zu vermeiden.

**[0103]** Da ferner die Bildung des p<sup>+</sup>-leitenden Störstellenbereichs **64** den Wirkungsgrad der Löcherstromabsorption steigert, kann die Fläche des p<sup>+</sup>-leitenden Störstellenbereichs **55** kleiner als bei der Struktur von [Fig. 9](#) sein, so dass ein kleinerer Chip verwendet werden kann.

**[0104]** Bei dem Beispiel von [Fig. 13](#) ist der Graben **63** tiefer als die p-leitende Mulde **29**. Die tiefere Ausbildung des Grabens **63** vergrößert die Fläche des p<sup>+</sup>-leitenden Störstellenbereichs **64**, so dass der Wirkungsgrad der Löcherstromabsorption gesteigert wird.

**[0105]** Wenn jedoch der Graben **63** tiefer als 20 µm ist, wird die Durchbruchspannung verringert (die Spannung, bei der ein Durchbruch des pn-Übergangs auftritt, wenn eine Spannung in GND-Richtung angelegt wird und VB und VS kurzgeschlossen sind). Wenn es also notwendig ist, der Durchbruchspannungscharakteristik zu genügen, kann eine Verringerung der Durchbruchspannung dadurch vermieden werden, dass die Tiefe des Grabens **63** mit 20 µm oder weniger vorgegeben wird.

[0106] Es ist zwar am effektivsten, sowohl die p<sup>+</sup>-leitenden Störstellenbereiche **55**, **64** als auch den p<sup>+</sup>-leitenden Störstellenbereich **33** auszubilden, aber die Bildung von nur einem davon ist ebenfalls wirksam. Obwohl die Elektrode **56** in der Struktur von [Fig. 13](#) mit der hochspannungsseitigen Floating-Absolutversorgungsspannung VB verbunden ist, kann die Elektrode **56** auch mit der hochspannungsseitigen Floating-Offsetspannung VS verbunden sein.

#### Sechste nicht erfindungsgemäße Ausgestaltung

[0107] [Fig. 14](#) ist eine Querschnittsansicht der Struktur einer Halbleiterbaugruppe gemäß einer sechsten nicht erfindungsgemäßen Ausgestaltung; [Fig. 14](#) hängt mit [Fig. 5](#) zusammen. Ein n<sup>+</sup>-leitender Störstellenbereich **66** ist in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **33** gebildet, und ein p<sup>+</sup>-leitender Störstellenbereich **65** ist in Kontakt mit dem n<sup>+</sup>-leitenden Störstellenbereich **32** gebildet. Der p<sup>+</sup>-leitende Störstellenbereich **33** und der n<sup>+</sup>-leitende Störstellenbereich **66** sind in der p-leitenden Mulde **29** gebildet.

[0108] Der p<sup>+</sup>-leitende Störstellenbereich **33** und der n<sup>+</sup>-leitende Störstellenbereich **66** sind in Kontakt mit einer Elektrode **68**, und die Elektrode **68** ist mit der hochspannungsseitigen Floating-Offsetspannung VS verbunden. Der n<sup>+</sup>-leitende Störstellenbereich **32** und der p<sup>+</sup>-leitende Störstellenbereich **65** sind in Kontakt mit einer Elektrode **67**, und die Elektrode **67** ist mit der hochspannungsseitigen Floating-Absolutversorgungsspannung VB verbunden.

[0109] Wie bei dem Beispiel in [Fig. 6](#) sind der p<sup>+</sup>-leitende Störstellenbereich **33** und der n<sup>+</sup>-leitende Störstellenbereich **66** sowie der n<sup>+</sup>-leitende Störstellenbereich **32** und der p<sup>+</sup>-leitende Störstellenbereich **65** zwischen den gegenüberliegenden Seiten des NMOS **14** und des PMOS **15** gebildet. Alternativ sind wie bei dem Beispiel in [Fig. 7](#) der p<sup>+</sup>-leitende Störstellenbereich **33** und der n<sup>+</sup>-leitende Störstellenbereich **66** entlang dem Außenrand der p-leitenden Mulde **29** gebildet, und der n<sup>+</sup>-leitende Störstellenbereich **32** und der p<sup>+</sup>-leitende Störstellenbereich **65** sind zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** gebildet und umgeben die p-leitende Mulde **29**.

[0110] In dem p<sup>+</sup>-leitenden Störstellenbereich **33**, der mit dem n<sup>+</sup>-leitenden Störstellenbereich **66** in Kontakt ist, können von dem p<sup>+</sup>-leitenden Störstellenbereich **33** absorbierte Löcher sofort mit Elektronen in dem n<sup>+</sup>-leitenden Störstellenbereich **66** rekombiniert werden und verschwinden. Ebenso können in dem n<sup>+</sup>-leitenden Störstellenbereich **32**, der mit dem p<sup>+</sup>-leitenden Störstellenbereich **65** in Kontakt ist, von dem n<sup>+</sup>-leitenden Störstellenbereich **32** absorbierte Elektronen sofort mit Löchern in dem p<sup>+</sup>-leitenden Störstellenbereich rekombiniert werden und verschwinden.

[0111] Somit ist der Wirkungsgrad der Lochabsorption durch den p<sup>+</sup>-leitenden Störstellenbereich **33** und der Wirkungsgrad der Elektronenabsorption durch den n<sup>+</sup>-leitenden Störstellenbereich **32** gegenüber der in [Fig. 5](#) gezeigten Struktur verbessert.

[0112] Die vorstehende Beschreibung zeigt die Anwendung der sechsten nicht erfindungsgemäßen Ausgestaltung auf die erste nicht erfindungsgemäße Ausgestaltung, aber die sechste nicht erfindungsgemäße Ausgestaltung ist auch bei allen anderen nicht erfindungsgemäßen Ausgestaltungen und der erfindungsgemäßen Halbleiterbaugruppe anwendbar.

#### Erfindungsgemäße Halbleiterbaugruppe

[0113] [Fig. 15](#) ist eine Querschnittsansicht der Struktur einer erfindungsgemäßen Halbleiterbaugruppe; [Fig. 15](#) hängt mit [Fig. 5](#) zusammen. Zwischen dem NMOS **14** und dem PMOS **15** ist ein p<sup>+</sup>-leitender Störstellenbereich **72** in der oberen Oberfläche des n-leitenden Störstellenbereichs **28** gebildet. Zwischen dem p<sup>+</sup>-leitenden Störstellenbereich **71** und dem NMOS **14** ist ein n<sup>+</sup>-leitender Störstellenbereich **72** in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **71** gebildet. Zwischen dem p<sup>+</sup>-leitenden Störstellenbereich **71** und dem PMOS **15** ist ein n<sup>+</sup>-leitender Störstellenbereich **70** in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **71** gebildet.

[0114] Ein Graben **75** ist in der oberen Oberfläche des n-leitenden Störstellenbereichs **28** gebildet und erstreckt sich durch den p<sup>+</sup>-leitenden Störstellenbereich **71**; die Innenseite des Grabens **75** ist mit einer Siliciumoxidschicht **73** und einem Polysilicium **74** ausgefüllt. Ferner ist ein p<sup>+</sup>-leitender Störstellenbereich **76** in dem Bereich des n-leitenden Störstellenbereichs **28** gebildet, der Wandoberflächen des Grabens **75** bildet. Der p<sup>+</sup>-leitende Störstellenbereich **76** ist in Kontakt mit dem p<sup>+</sup>-leitenden Störstellenbereich **71**.

[0115] An der oberen Oberfläche des n-leitenden Störstellenbereichs **28** befindet sich eine Floating-Elektrode **77** in Kontakt mit den p<sup>+</sup>-leitenden Störstellenbereichen **71** und **76**. In dem Beispiel von [Fig. 15](#) ist die Floating-Elektrode **77** in Kontakt mit dem n<sup>+</sup>-leitenden Störstellenbereich **72**, ohne mit dem n<sup>+</sup>-leitenden Störstellenbereich **70** in Kontakt zu sein.

[0116] Es ist aber zu beachten, dass die Floating-Elektrode **77** mit dem n<sup>+</sup>-leitenden Störstellenbereich **70** in Kontakt sein kann, ohne mit dem n<sup>+</sup>-leitenden Störstellenbereich **72** in Kontakt zu sein, oder dass sie mit beiden n<sup>+</sup>-leitenden Störstellenbereichen **70** und **72** in Kontakt sein kann.

[0117] Wie bei dem Beispiel in [Fig. 6](#) sind die p<sup>+</sup>-leitenden Störstellenbereiche **71** und **76** und n<sup>+</sup>-leitenden Störstellenbereiche **70** und **72** zwischen den ge-

genüberliegenden Seiten des NMOS **14** und PMOS **15** gebildet. Alternativ sind wie bei dem Beispiel in [Fig. 7](#) die p<sup>+</sup>-leitenden Störstellenbereiche **71** und **76** und die n<sup>+</sup>-leitenden Störstellenbereiche **70** und **72** zwischen dem p<sup>+</sup>-leitenden Trennbereich **22** und der p-leitenden Mulde **29** gebildet und umgeben die p-leitende Mulde **29**.

**[0118]** Wenn die p<sup>+</sup>-leitenden Störstellenbereiche **71** und **76** und die n<sup>+</sup>-leitenden Störstellenbereiche **70** und **72** mit der Floating-Elektrode **77** verbunden sind, wird durch den PN-Kurzschlusseffekt das Potential der p<sup>+</sup>-leitenden Störstellenbereiche **71** und **76** verringert, so dass sie im Umkreis vorhandene Löcher absorbieren, und das Potential der n<sup>+</sup>-leitenden Störstellenbereiche **70** und **72** wird erhöht, so dass sie im Umkreis befindliche Elektroden absorbieren. Dann findet eine Rekombination von Löchern und Elektronen und deren Vernichtung durch Metallkurzschluss statt, der eine unendlich große Rekombinationsrate hat.

**[0119]** Somit werden Löcher und Elektronen, die aufgrund einer negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS in den n-leitenden Störstellenbereich **28** geflossen sind, von den p<sup>+</sup>-leitenden Störstellenbereichen **71** und **76** bzw. den n<sup>+</sup>-leitenden Störstellenbereichen **70** und **72** absorbiert und werden vernichtet, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** vermieden wird.

**[0120]** Durch die Bildung des p<sup>+</sup>-leitenden Störstellenbereichs **76**, der mit dem p<sup>+</sup>-leitenden Störstellenbereich **71** in Kontakt ist, an den Wandoberflächen des Grabens **75** wird ferner die wirksame Fläche des p<sup>+</sup>-leitenden Störstellenbereichs **71** vergrößert. Die elektrische Feldstärke am Grund des Grabens **75** ist außerdem höher als die elektrische Feldstärke am Krümmungsbereich der p-leitenden Mulde **29**. Somit können die p<sup>+</sup>-leitenden Störstellenbereiche **71** und **76** mehr von dem Löcherstrom absorbieren, der in den n-leitenden Störstellenbereich **28** fließt. Es ist dadurch möglich, einen Latch-up-Durchbruch des CMOS-Schaltkreises **12** wirksamer zu vermeiden.

**[0121]** Es kann zwar einer der n<sup>+</sup>-leitenden Störstellenbereiche **70** und **72** weggelassen werden, aber die Bildung von beiden Bereichen ist effektiver.

**[0122]** Bei dem Beispiel in [Fig. 15](#) ist der Graben **75** tiefer als die p-leitende Mulde **29**. Die tiefere Ausbildung des Grabens **75** vergrößert die Fläche des p<sup>+</sup>-leitenden Störstellenbereichs **76** und erhöht dadurch den Wirkungsgrad der Löcherstromabsorption.

**[0123]** Wenn aber der Graben **75** tiefer als 20 µm ist, wird die Durchbruchspannung verringert. Wenn es also erforderlich ist, der Durchbruchspannungscharakteristik zu genügen, kann die Verringerung der Durchbruchspannung dadurch vermieden werden, dass die Tiefe des Grabens **75** mit 20 µm oder weniger vorgegeben wird.

teristik zu genügen, kann die Verringerung der Durchbruchspannung dadurch vermieden werden, dass die Tiefe des Grabens **75** mit 20 µm oder weniger vorgegeben wird.

#### Siebente nicht erfindungsgemäße Ausgestaltung

**[0124]** Bei den Halbleiterbaugruppen der ersten bis sechsten nicht erfindungsgemäßen Ausgestaltungen werden Energieniveaus, die als bewusst gesteuerte Rekombinationszentren dienen, eingebaut und genutzt, um eine Rekombination und das Verschwinden von angesammelten Ladungsträgern zu bewirken. Beispielsweise werden Kristalldefekte in der gesamten Tiefenrichtung des p<sup>-</sup>-leitenden Siliciumsubstrats **21** durch Elektronenstrahl-Bestrahlung und Tempern, Platindiffusion oder Golddiffusion eingebaut, und die Kristalldefekte werden als Vernichter der Trägerlebensdauer genutzt.

**[0125]** Bei der Halbleiterbaugruppe der siebenten nicht erfindungsgemäßen Ausgestaltung wird die Trägerlebensdauer der parasitären Dioden PD1 bis PD4, die in den [Fig. 4](#) und [Fig. 5](#) zu sehen sind, verkürzt. Dadurch wird die Trägermenge, die sich in den parasitären Dioden PD1 bis PD4 ansammelt, verringert, so dass der Strom in Durchlassrichtung verringert und der Sperrverzögerungsstrom der parasitären Dioden PD1 bis PD4 unterdrückt wird. Dadurch wird die Toleranz gegenüber einer Störfunktion, die durch negative Änderungen der hochspannungsseitigen Floating-Offsetspannung VS verursacht wird, vergrößert.

**[0126]** Durch die Bildung von Vernichtern der Trägerlebensdauer wird ferner der Löcherstrom verringert, der aufgrund der negativen Änderung der hochspannungsseitigen Floating-Offsetspannung VS in den n-leitenden Störstellenbereich **28** fließt, so dass ein Latch-up-Durchbruch des CMOS-Schaltkreises **12** vermieden wird.

#### Achte nicht erfindungsgemäße Ausgestaltung

**[0127]** Die siebente nicht erfindungsgemäße Ausgestaltung bildet Kristalldefekte durch Elektronenstrahlbestrahlung, Platin- oder Golddiffusion. Da diese Methode jedoch Kristalldefekte durch die gesamte Tiefenrichtung des p<sup>-</sup>-leitenden Siliciumsubstrats **21** bildet, kann sich der Kriechstrom von NMOS **14** und PMOS **15** erhöhen. Da ferner die Bestrahlung mit Elektronenstrahl positive Ladungen in den Gateoxidschichten des MOS **11**, NMOS **14** und PMOS **15** mit hoher Durchbruchspannung induziert, können sich die Charakteristiken der Gate-Source-Schwelenspannung ändern.

**[0128]** Bei den Halbleiterbaugruppen der ersten bis sechsten nicht erfindungsgemäßen Ausgestaltung und der erfindungsgemäßen Halbleiterbaugruppe bil-

det daher die achte nicht erfindungsgemäßen Ausgestaltung Kristalldefekte in einer gegebenen Tiefe in dem p<sup>-</sup>-leitenden Siliciumsubstrat **21** (in einer Position, die tiefer als die Kanalbereiche des MOS **11**, NMOS **14** und PMOS **15** mit hoher Durchbruchspannung sind) durch Heliumbestrahlung und Tempern oder Protonenbestrahlung und Tempern und nutzt die Kristalldefekte als Vernichter der Trägerlebensdauer.

**[0129]** Heliumbestrahlung und Protonenbestrahlung induzieren intensiv Kristalldefekte im Umkreis des Bereichs der Ionen (der Tiefe, bis zu der Ionen in Silicium eindringen). Es ist somit möglich, die Trägerlebensdauer in der Tiefenrichtung des p<sup>-</sup>-leitenden Siliciumsubstrats **21** lokal zu steuern.

**[0130]** Die Halbleiterbaugruppe gemäß der achten nicht erfindungsgemäßen Ausgestaltung ist zusätzlich zu den durch die siebente nicht erfindungsgemäße Ausgestaltung erzielten Effekten wirksam, um eine Zunahme des Kriechstroms und die Änderung der Schwellenspannung zu vermeiden.

#### Neunte nicht erfindungsgemäße Ausgestaltung

**[0131]** [Fig. 16](#) ist eine Querschnittsansicht der Struktur einer Halbleiterbaugruppe gemäß einer neunten nicht erfindungsgemäßen Ausgestaltung; [Fig. 16](#) hängt mit [Fig. 5](#) zusammen. Die erste bis achte nicht erfindungsgemäße Ausgestaltung beschreiben die Struktur des hochspannungsseitigen Treiberbereichs **101**, die erste bis achte nicht erfindungsgemäße Ausgestaltung können jedoch auch bei dem niederspannungsseitigen Treiberbereich **102** angewandt werden, wie [Fig. 16](#) zeigt.

**[0132]** In dem niederspannungsseitigen Treiberbereich **102** ist von dem p<sup>+</sup>-leitenden Sourcebereich **15S**, dem n-leitenden Störstellenbereich **28**, der p-leitenden Mulde **29** und dem n<sup>+</sup>-leitenden Sourcebereich **14S** ein parasitärer Thyristor gebildet. Wenn eine die VCC-Spannung überschreitende Stoßspannung an den Ausgangsanschluss LO angelegt wird, fließen Löcher in den n-leitenden Störstellenbereich **28** aus dem p<sup>+</sup>-leitenden Drainbereich **15D**, der mit dem Ausgangsanschluss LO verbunden ist, wobei dieser Löcherstrom in die p-leitende Mulde **29** fließt. Dann wird der parasitäre Bipolartransistor, der von dem n-leitenden Störstellenbereich **28**, der p-leitenden Mulde **29** und dem n<sup>+</sup>-leitenden Sourcebereich **14S** gebildet ist, aktiv und bewirkt eventuell ein Latch-up des parasitären Thyristors.

**[0133]** Wenn jedoch die erste bis achte nicht erfindungsgemäße Ausgestaltung verwendet wird, wenn also beispielsweise die p<sup>+</sup>-leitenden Störstellenbereiche **33**, **55**, **64** gebildet sind, wie [Fig. 16](#) zeigt, dann absorbieren die p<sup>+</sup>-leitenden Störstellenbereiche **55** und **64** den Löcherstrom, der aus dem p<sup>+</sup>-leitenden

Drainbereich **15D** in den n-leitenden Störstellenbereich **28** fließt, bevor er in die p-leitende Mulde **29** fließt, und der p<sup>+</sup>-leitende Störstellenbereich **33** absorbiert den Löcherstrom, der in die p-leitende Mulde **29** fließt. Somit kann ein Latch-up des parasitären Thyristors vermieden werden.

#### Patentansprüche

1. Halbleiterbaugruppe zum Treiben eines Schaltelements (Q1), das eine erste Elektrode, eine zweite Elektrode und eine Steuerelektrode hat, wobei die Halbleiterbaugruppe folgendes aufweist:

- einen ersten Anschluß (VS), der mit der ersten Elektrode verbindbar ist;
- einen zweiten Anschluß (VB), der mit der ersten Elektrode durch ein kapazitives Element (C1) verbindbar ist;
- ein Halbleitersubstrat (**21**), das einen ersten Leitfähigkeitstyp hat;
- einen ersten Störstellenbereich (**28**), der in einer Hauptoberfläche des Halbleitersubstrats (**21**) gebildet ist und einen zweiten Leitfähigkeitstyp hat;
- einen zweiten Störstellenbereich (**29**), der in einer Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet ist und den ersten Leitfähigkeitstyp hat;
- einen ersten Transistor (**14**), der einen Source-/Drainbereich (**14S**) vom zweiten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (**14S**) des ersten Transistors (**14**) in einer Hauptoberfläche des zweiten Störstellenbereichs (**29**) gebildet und mit dem ersten Anschluß (VS) verbunden ist;
- einen zweiten Transistor (**15**), der einen Source-/Drainbereich (**15S**) vom ersten Leitfähigkeitstyp hat, wobei der Source-/Drainbereich (**15S**) des zweiten Transistors (**15**) in der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet und mit dem zweiten Anschluß (VB) verbunden ist;
- einen dritten Störstellenbereich (**71**), der in der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet ist und den ersten Leitfähigkeitstyp hat;
- einen Graben (**75**), der in der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet ist und sich durch den dritten Störstellenbereich (**71**) hindurch erstreckt;
- einen vierten Störstellenbereich (**76**), der den ersten Leitfähigkeitstyp hat und in dem ersten Störstellenbereich (**28**) in einem Abschnitt, der Wandoberflächen des Grabens (**75**) bildet, gebildet ist;
- einen fünften Störstellenbereich (**72**), der den zweiten Leitfähigkeitstyp hat und in der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet und in Kontakt mit dem dritten Störstellenbereich (**71**) ist; und
- eine Floating-Elektrode (**77**), die an der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet und in Kontakt mit den dritten bis fünften Störstellenbereichen (**71**, **76**, **72**) ist,

wobei der dritte bis fünfte Störstellenbereich (**71**, **76**, **72**) jeweils zwischen dem ersten und zweiten Transistor (**14**, **15**) angeordnet sind.

2. Halbleiterbaugruppe nach Anspruch 1, welche ferner einen Trennbereich (**22**) aufweist, der den ersten Leitfähigkeitstyp hat und in der Hauptoberfläche des Halbleitersubstrats (**21**) gebildet ist wobei die dritten bis fünften Störstellenbereiche (**71**, **76**, **72**) zwischen dem Trennbereich (**22**) und dem zweiten Störstellenbereich (**29**) gebildet sind und den zweiten Störstellenbereich (**29**) umgeben.

3. Halbleiterbaugruppe nach Anspruch 1, welche ferner einen sechsten Störstellenbereich (**70**) aufweist, der in der Hauptoberfläche des ersten Störstellenbereichs (**28**) gebildet ist und den zweiten Leitfähigkeitstyp hat, wobei der sechste Störstellenbereich (**70**) mit dem dritten Störstellenbereich (**71**) an einer Seite in Kontakt ist, die dem fünften Störstellenbereich (**72**) gegenüberliegt.

4. Halbleiterbaugruppe nach Anspruch 3, welche ferner einen Trennbereich (**22**) aufweist, der den ersten Leitfähigkeitstyp hat und in der Hauptoberfläche des Halbleitersubstrats (**21**) gebildet ist, wobei die dritten bis sechsten Störstellenbereiche (**71**, **76**, **72**) zwischen dem Trennbereich (**22**) und dem zweiten Störstellenbereich (**29**) gebildet sind und den zweiten Störstellenbereich (**29**) umgeben.

5. Halbleiterbaugruppe nach einem der Ansprüche 1 bis 4, wobei der Graben (**75**) tiefer als der zweite Störstellenbereich (**29**) ist.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

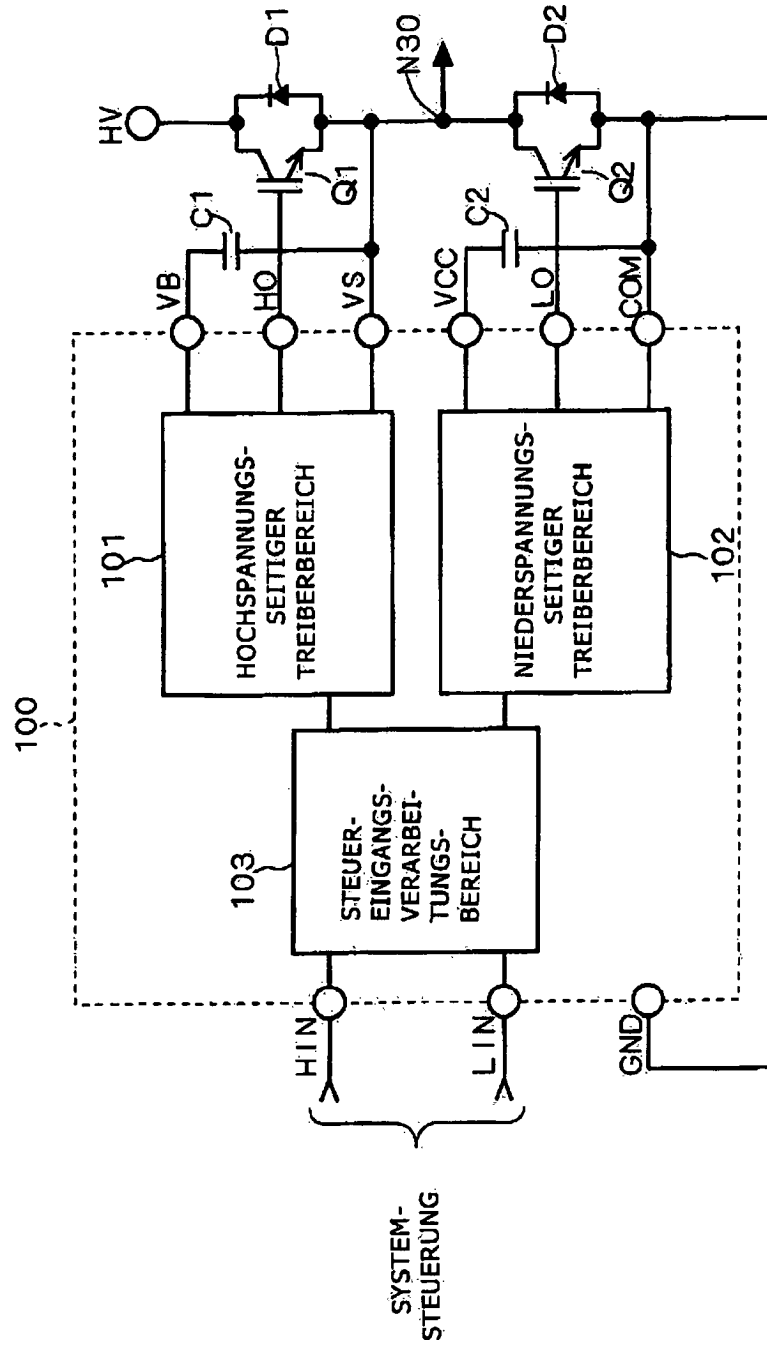


FIG. 2

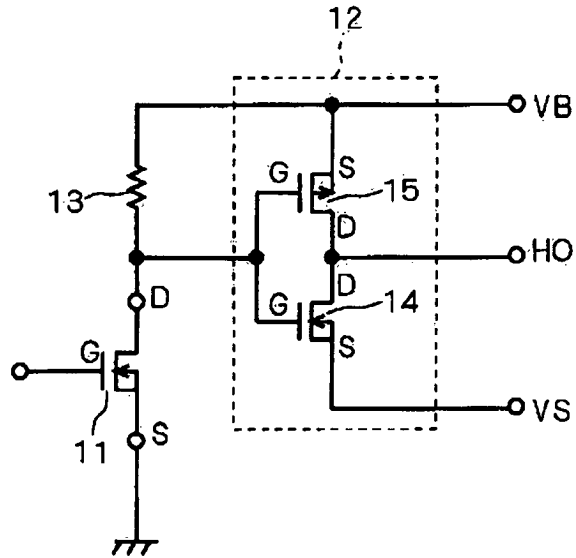


FIG. 3

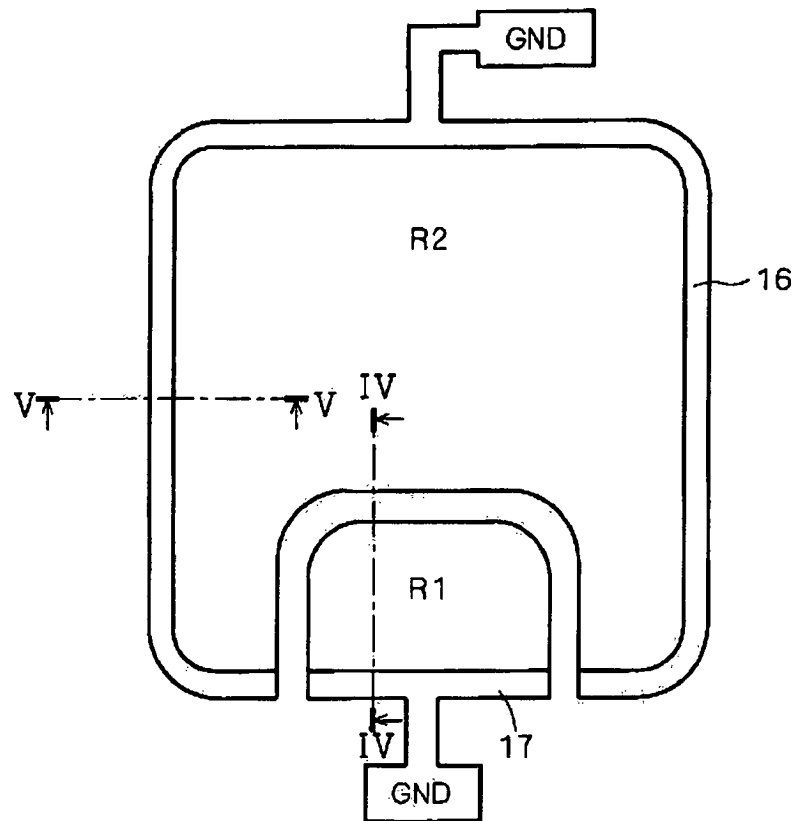


FIG. 4  
(nicht erfindungsgemäß)

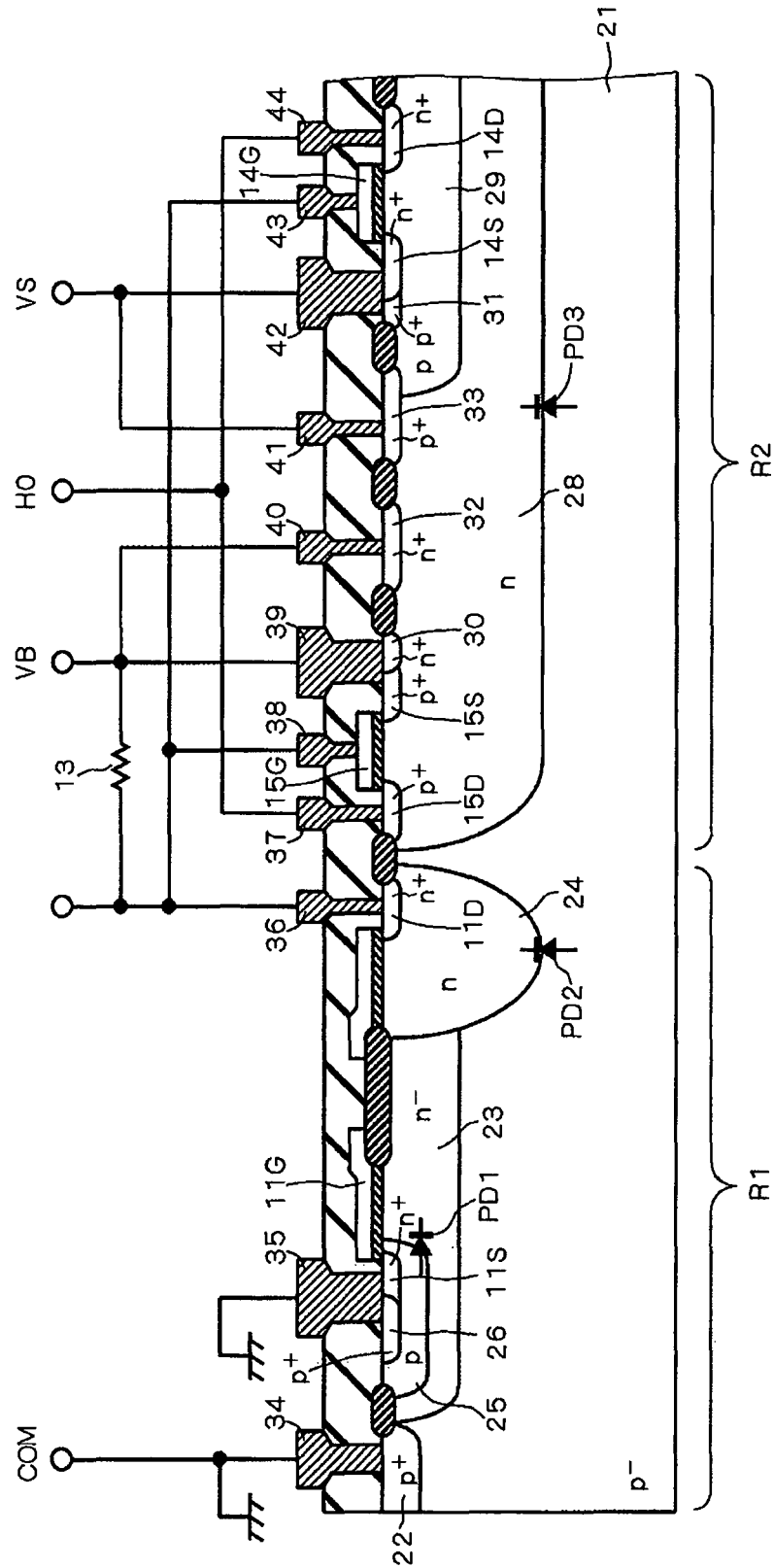




FIG. 5  
(nicht erfindungsgemäß)

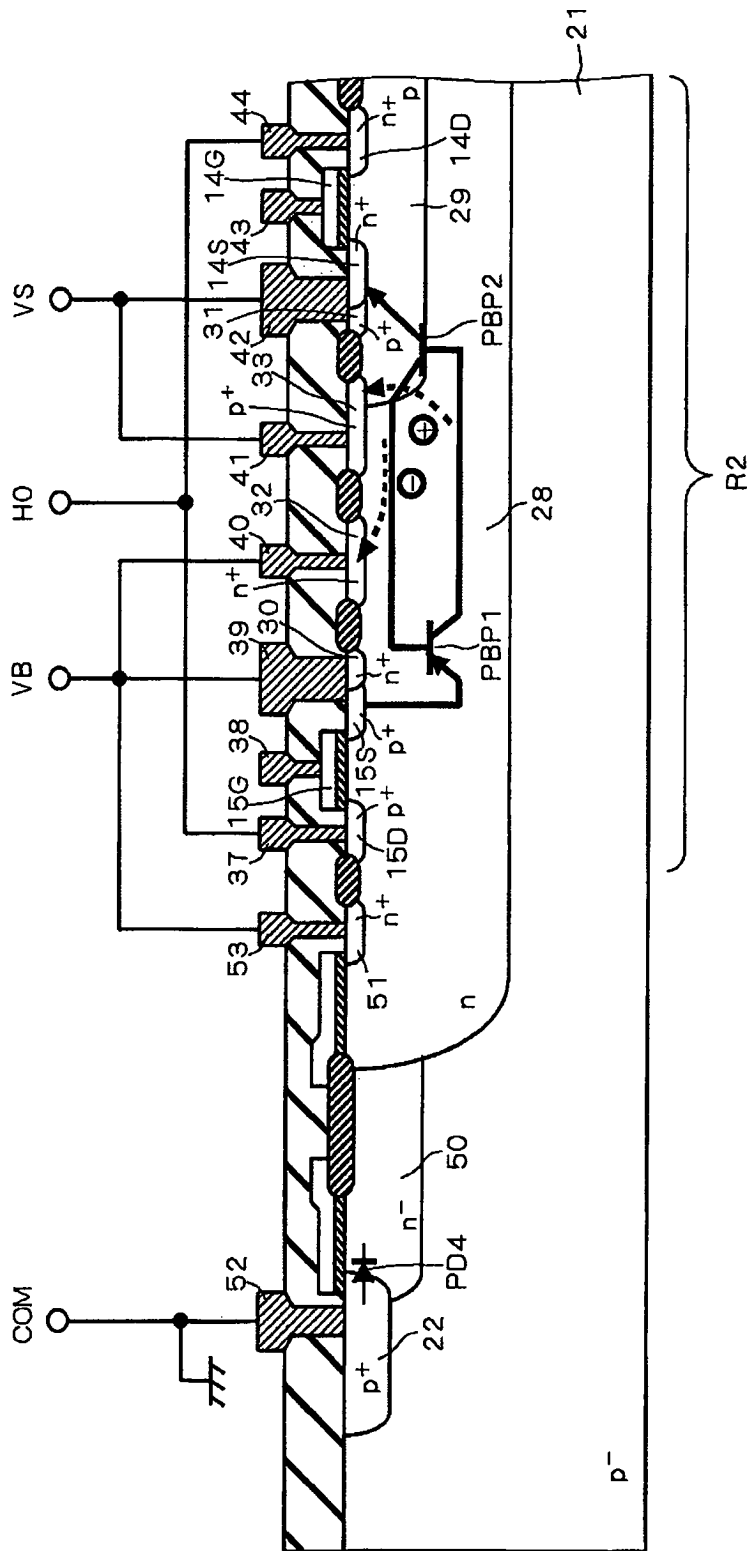


FIG. 6

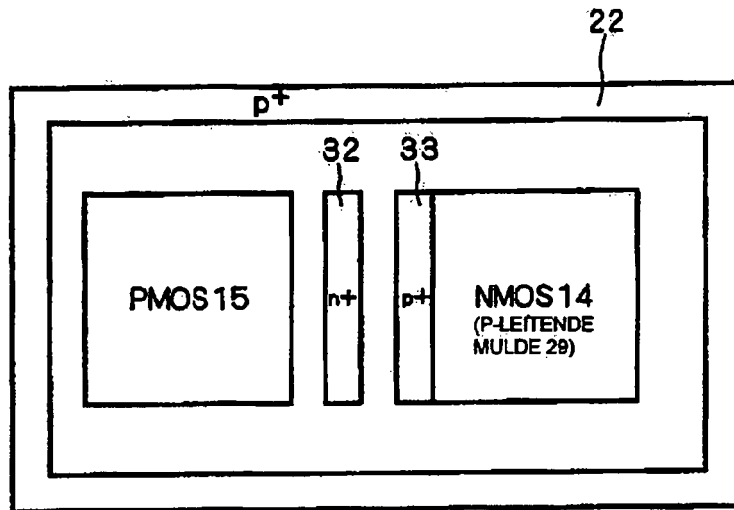


FIG. 7

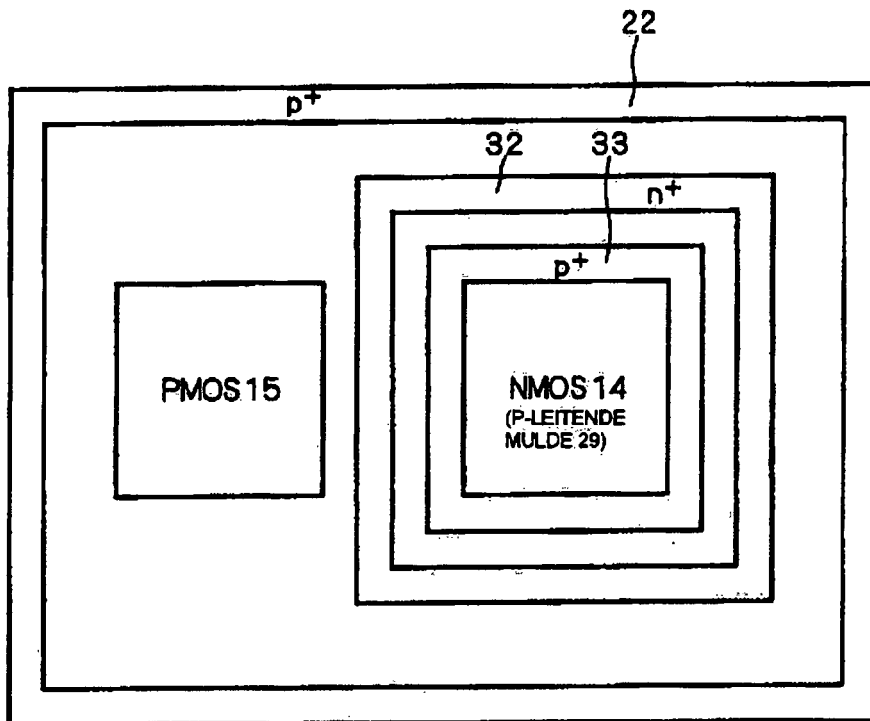
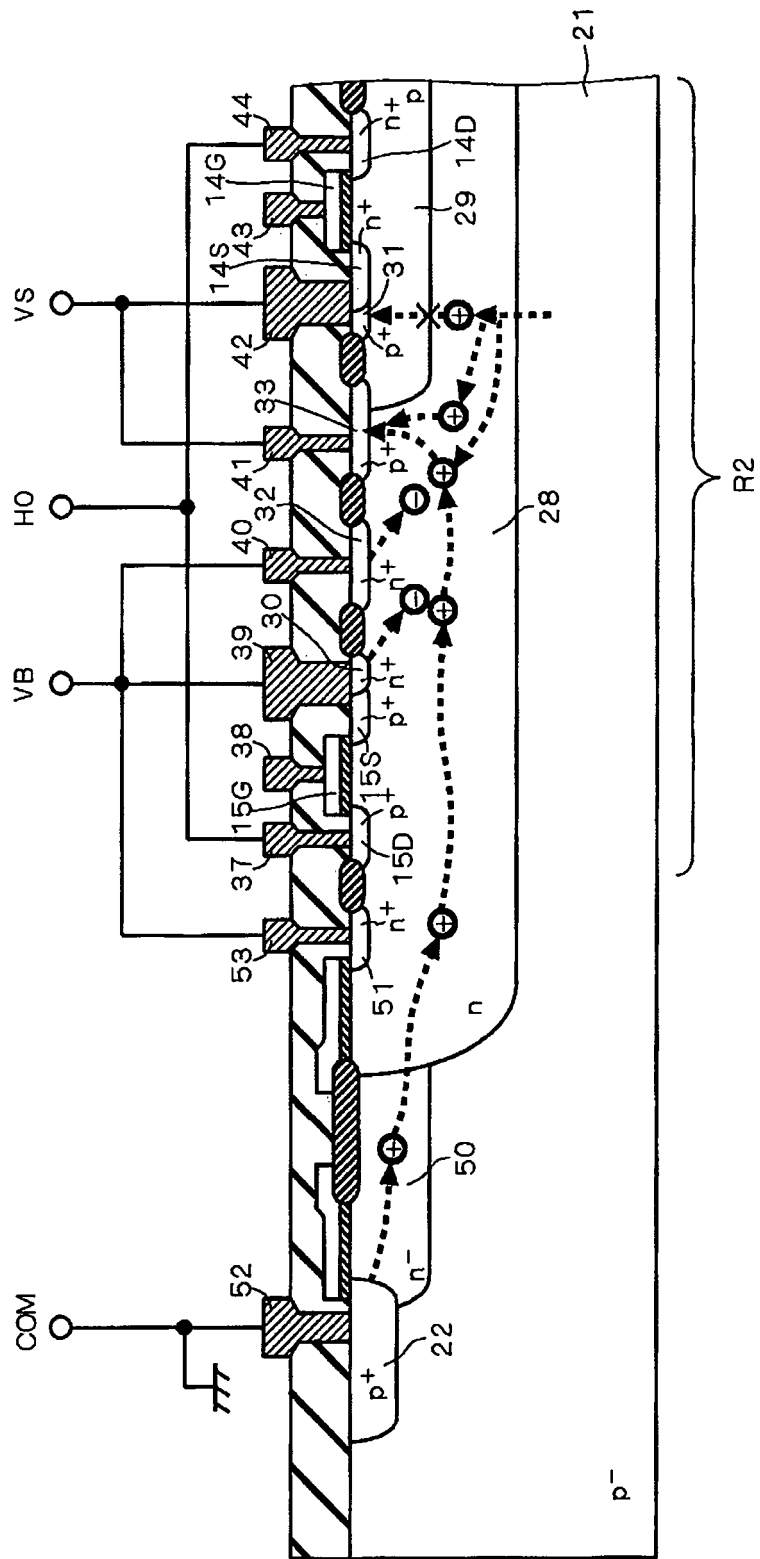


FIG. 8  
(nicht erfindungsgemäß)



F I G . 9  
(nicht erfindungsgemäß)

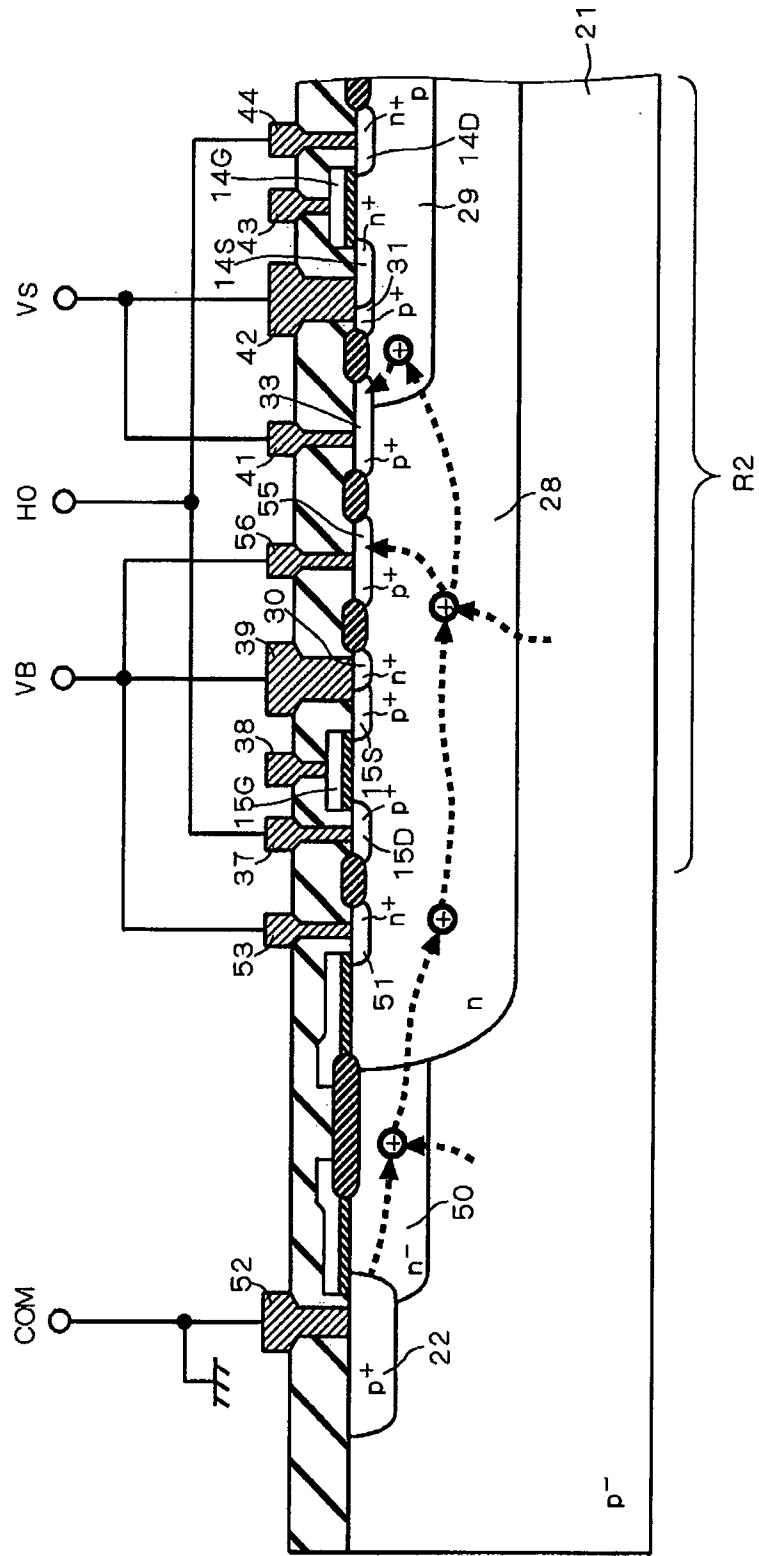


FIG. 10  
(nicht erfindungsgemäß)

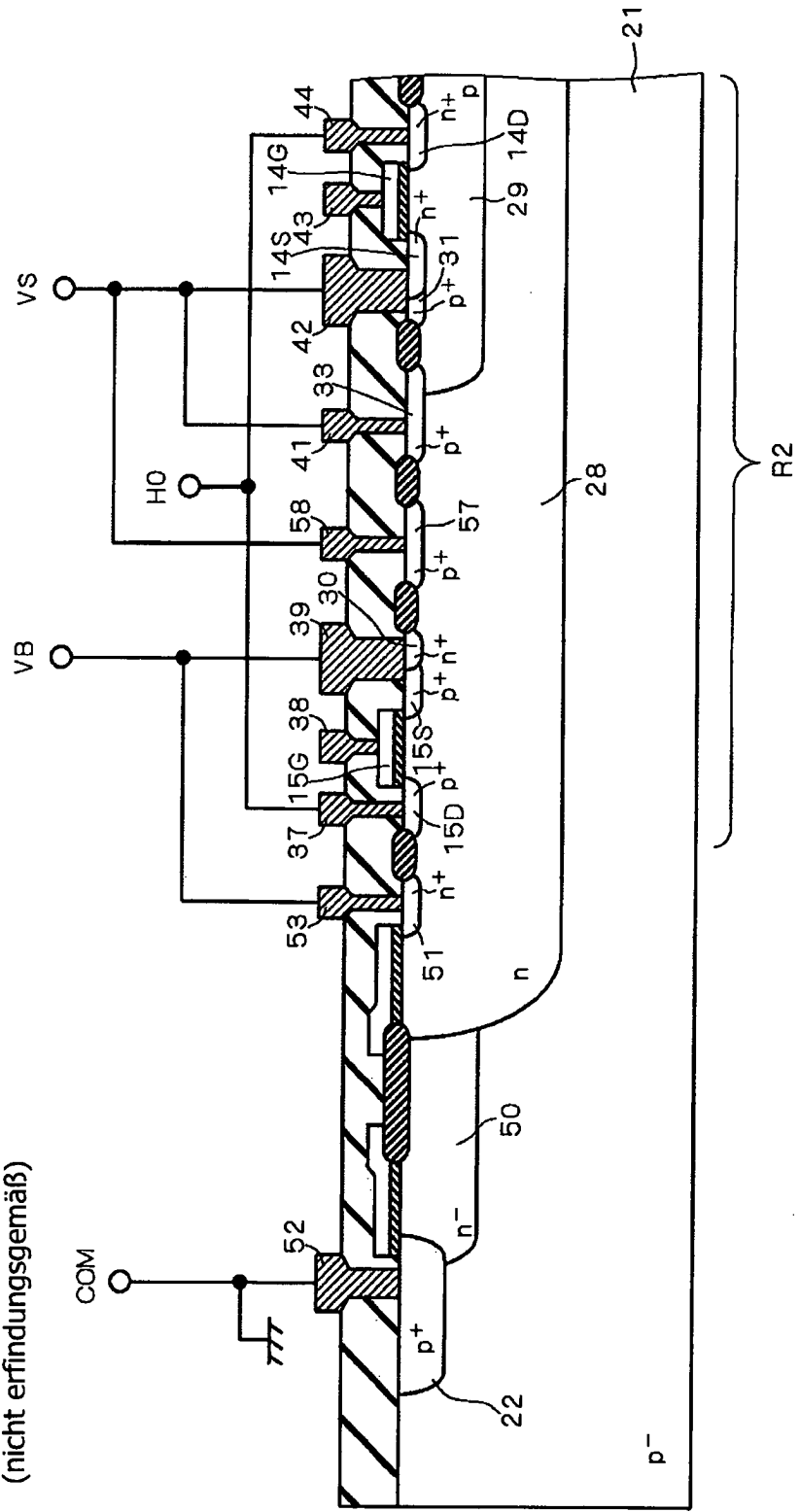


FIG. 11  
(nicht erfindungsgemäß)

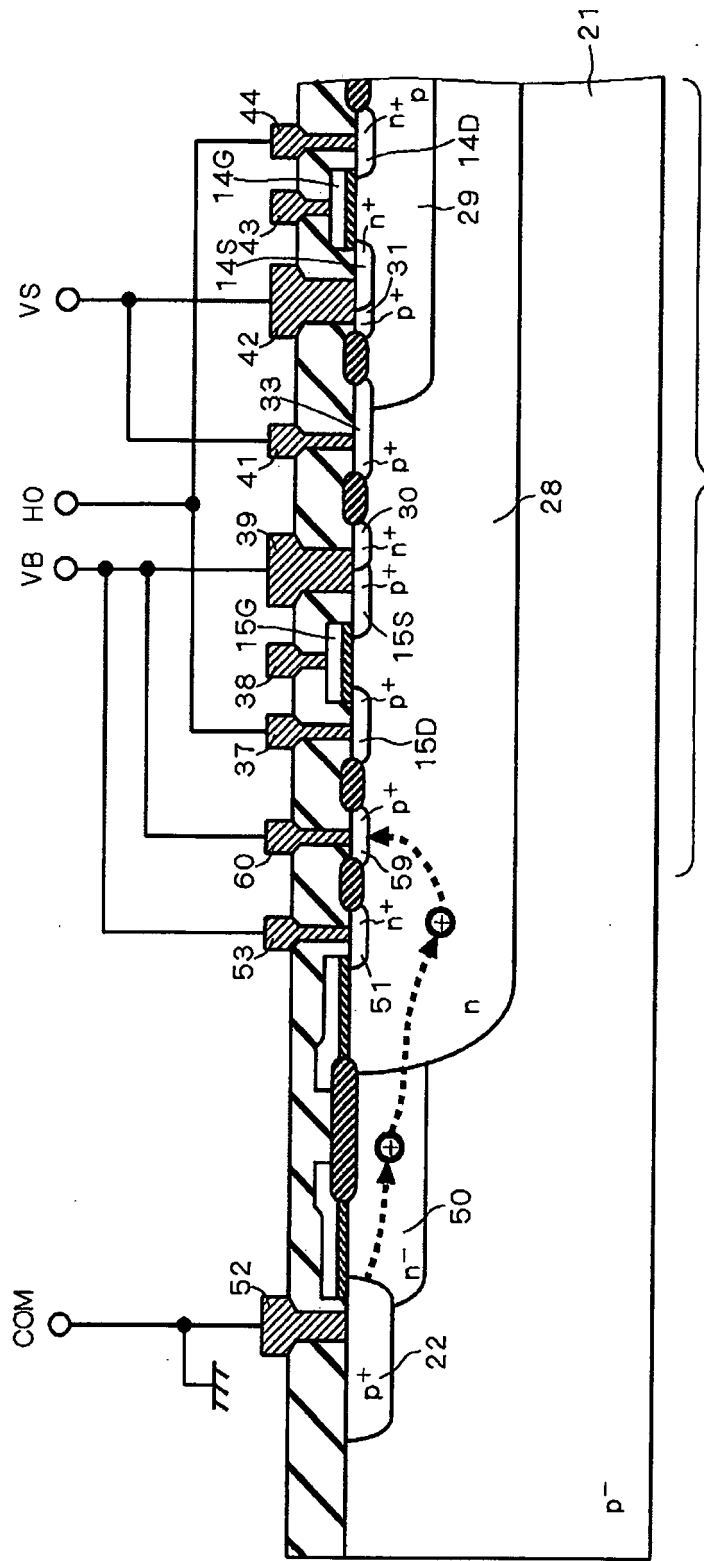


FIG. 12  
(nicht erfindungsgemäß)

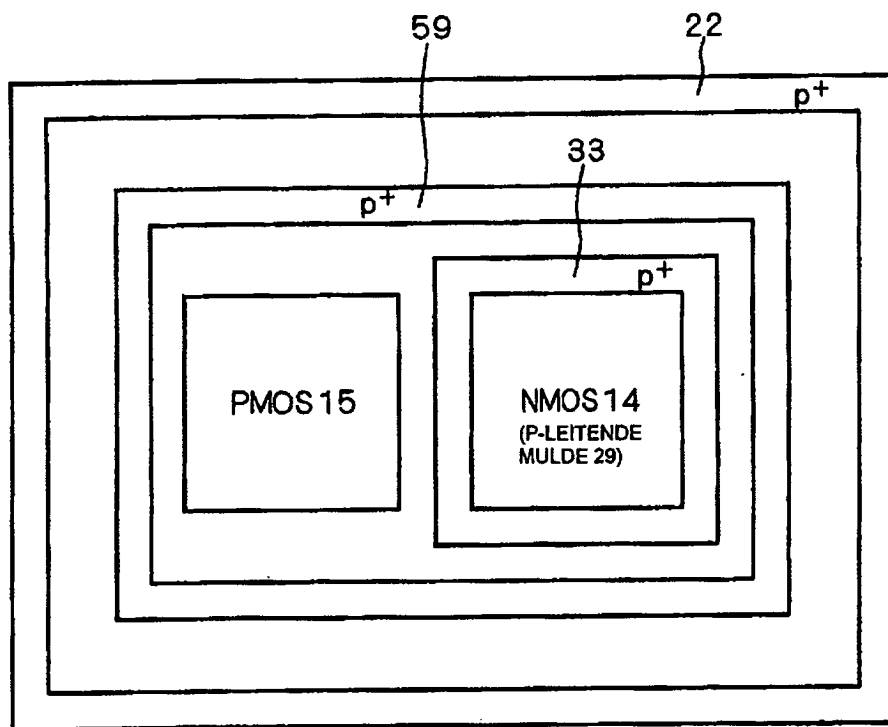


FIG. 13  
(nicht erfindungsgemäß)

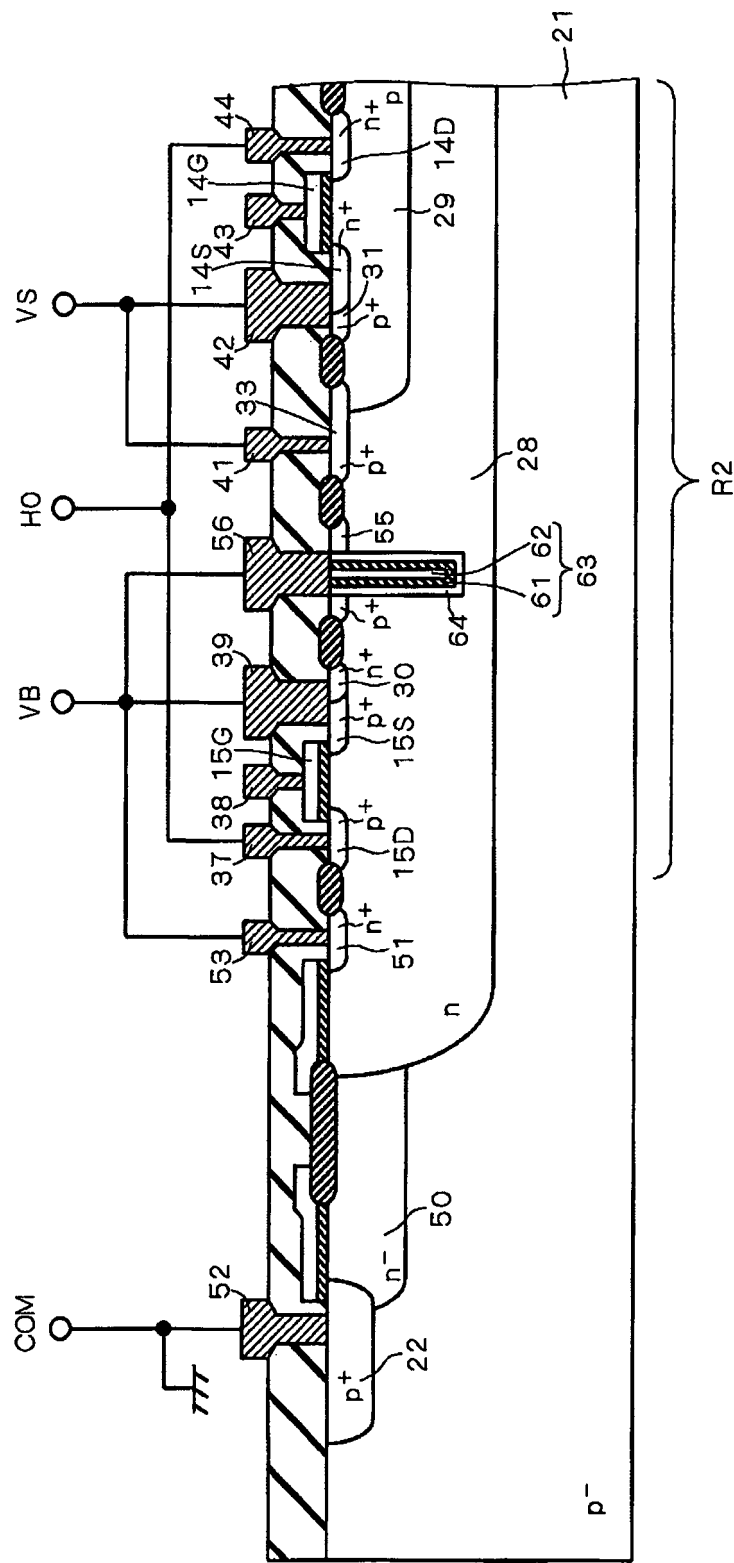




FIG. 14  
(nicht erfindungsgemäß)

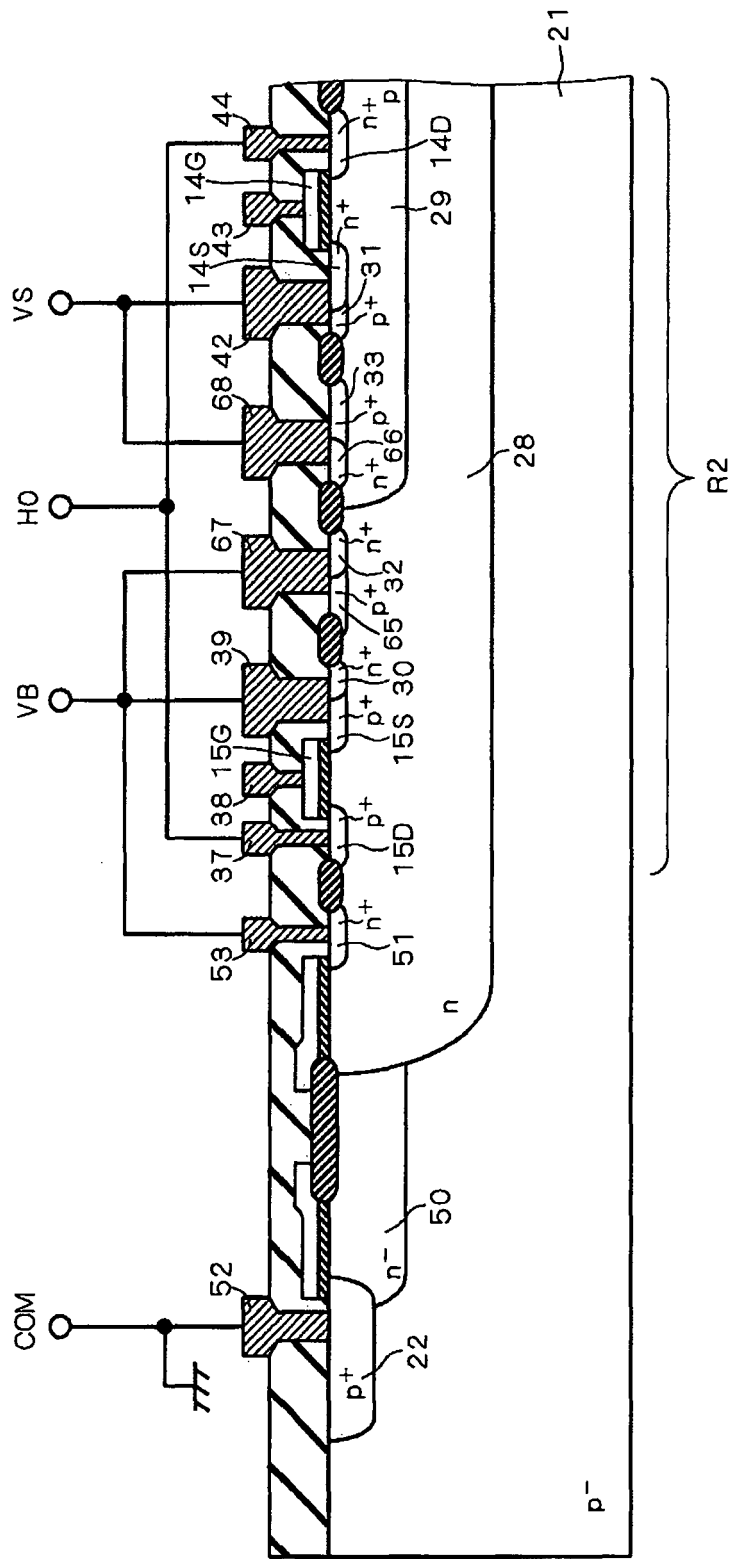


FIG. 15

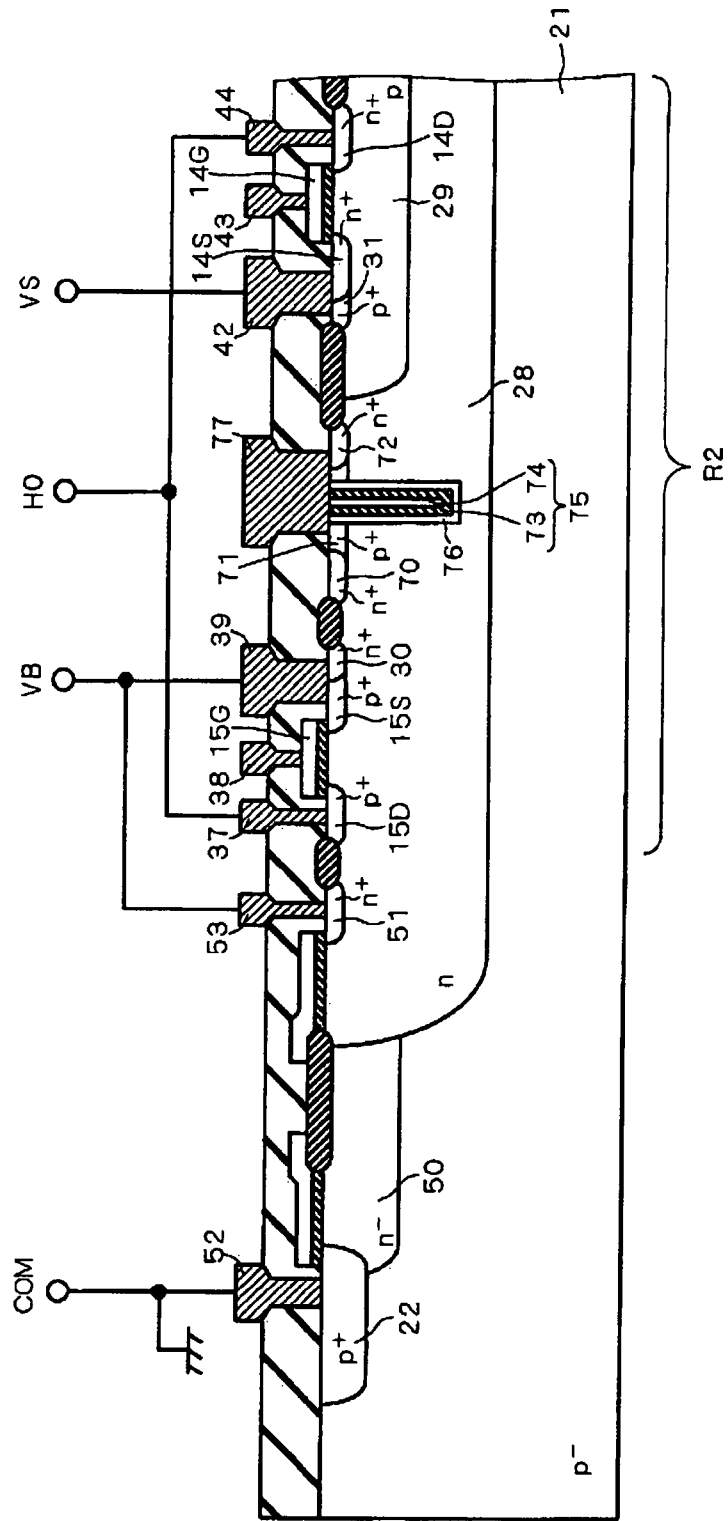


FIG. 16  
(nicht erfindungsgemäß)

