



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2013-0054430  
(43) 공개일자 2013년05월24일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/> <b>H01L 33/48</b> (2010.01) <b>H01L 33/38</b> (2010.01)<br/> <b>H01L 33/54</b> (2010.01) <b>H01L 33/62</b> (2010.01)</p> <p>(21) 출원번호 10-2013-7009233</p> <p>(22) 출원일자(국제) 2011년08월22일<br/>         심사청구일자 2013년04월11일</p> <p>(85) 번역문제출일자 2013년04월11일</p> <p>(86) 국제출원번호 PCT/EP2011/064377</p> <p>(87) 국제공개번호 WO 2012/034826<br/>         국제공개일자 2012년03월22일</p> <p>(30) 우선권주장<br/>         10 2010 045 403.6 2010년09월15일 독일(DE)</p> | <p>(71) 출원인<br/> <b>오스람 옵토 세미컨덕터스 게엠베하</b><br/>         독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)</p> <p>(72) 발명자<br/> <b>마이드너 칼</b><br/>         독일 뮌헨 81245 자우저베그 6</p> <p><b>람첸 요한</b><br/>         독일 알트도르프 84032 에글세어 베그 5<br/>         (뒷면에 계속)</p> <p>(74) 대리인<br/> <b>신정건, 김태홍</b></p> |
|---|--|

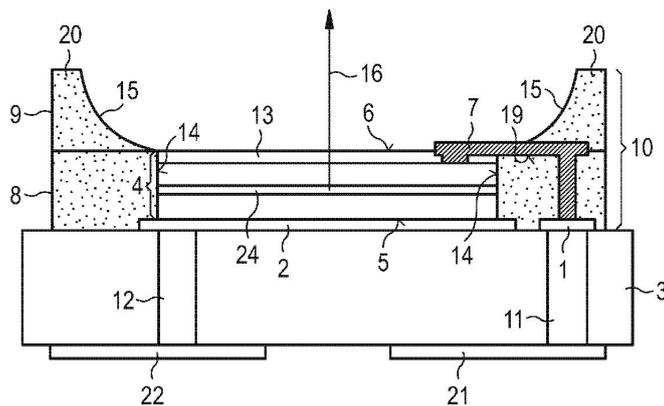
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **광전 소자 및 그 제조 방법**

**(57) 요약**

제1 연결 영역(1)과 제2 연결 영역(2)을 구비한 캐리어(3) 및 복사를 방출하는 반도체 칩(4)을 포함하되, 반도체 칩(4)이 베이스 면(5) 및 그 베이스 면의 맞은편에 있는 복사 출사 면(6)을 구비하고, 베이스 면(5)에 의해 캐리어(3) 상에 배치되는 광전 소자가 제공된다. 또한, 광전 소자는 반도체 칩(4)의 측면들(14)에 접하는 하부 하우징부(8) 및 반도체 칩(4)으로부터 방출되는 복사(16)에 대한 반사판(15)을 형성하는 상부 하우징부(9)를 구비한 하우징(10)을 포함한다. 반도체 칩(4)의 복사 출사 면(6)으로부터 하부 하우징부(8)와 상부 하우징부(9) 사이의 경계면(19)의 일부를 거쳐 하부 하우징부(8)를 관통해서 캐리어(3) 상의 제1 연결 영역(1)까지 전기 연결 층(7)이 안내된다. 또한, 광전 소자를 제조하는 바람직한 방법이 제공된다.

**대표도 - 도1**



(72) 발명자

**칼텐마커 악셀**

독일 93098 민트라칭 임 양거 13

**베그라이터 발터**

독일 니텐도르프 93152 마리엔스트라세 15

**마크만 번드**

독일 93059 레겐스버그 퀘니셰 스트라세 11

**특허청구의 범위**

**청구항 1**

- 제1 연결 영역(1)과 제2 연결 영역(2)을 구비한 캐리어(3),
- 복사를 방출하는 반도체 칩(4)으로서, 베이스 면(5) 및 그 베이스 면의 맞은편에 있는 복사 출사 면(6)을 구비하되, 반도체 칩(4)이 베이스 면(5)에 의해 캐리어(3) 상에 배치되는 반도체 칩(4),
- 캐리어(3) 상에 배치되고 반도체 칩(4)의 측면들(14)에 접하는 하부 하우징부(8) 및 하부 하우징부(8) 상에 배치되고 반도체 칩(4)으로부터 방출되는 복사(16)에 대한 반사판(15)을 형성하는 상부 하우징부(9)를 구비한 하우징(10), 및
- 반도체 칩(4)의 복사 출사 면(6)으로부터 하부 하우징부(8)와 상부 하우징부(9) 사이의 경계면(19)의 일부를 거쳐 하부 하우징부(8)를 관통해서 캐리어(3) 상의 제1 연결 영역(1)까지 안내되는 전기 연결 층(7)을 포함하는 것을 특징으로 하는 광전 소자.

**청구항 2**

제 1 항에 있어서, 반도체 칩(4)은 베이스 면(5)에서 캐리어(3)의 제2 연결 영역(2) 상에 조립되는 것을 특징으로 하는 광전 소자.

**청구항 3**

선행 항들 중의 어느 한 항에 있어서, 하부 하우징부(8) 및/또는 상부 하우징부(9)는 모재를 포함하고, 모재에는 모재의 반사율을 증진하는 입자들(20)이 매립되는 것을 특징으로 하는 광전 소자.

**청구항 4**

제 3 항에 있어서, 입자들은  $TiO_2$  입자들(20)인 것을 특징으로 하는 광전 소자.

**청구항 5**

제 3 항 또는 제 4 항에 있어서, 하부 하우징부(8) 및/또는 상부 하우징부(9) 중의 입자들의 중량비는 5% 내지 50%인 것을 특징으로 하는 광전 소자.

**청구항 6**

제 3 항 내지 제 5 항 중의 어느 한 항에 있어서, 하부 하우징부(8) 및 상부 하우징부(9)는 동일한 모재를 포함하는 것을 특징으로 하는 광전 소자.

**청구항 7**

제 3 항 내지 제 6 항 중의 어느 한 항에 있어서, 모재는 실리콘인 것을 특징으로 하는 광전 소자.

**청구항 8**

선행 항들 중의 어느 한 항에 있어서, 반사판(15)은 적어도 부분적으로 반도체 칩(4)의 복사 출사 면(6)에 접하는 것을 특징으로 하는 광전 소자.

**청구항 9**

선행 항들 중의 어느 한 항에 있어서, 반도체 칩(4)은 그 복사 출사 면(6)에 발광 변환 층(13)을 포함하는 것을 특징으로 하는 광전 소자.

**청구항 10**

제 9 항에 있어서, 발광 변환 층(13)은 반도체 칩(4)의 반도체 층 시퀀스(28)로부터 측방 방향으로 돌출하지 않는 것을 특징으로 하는 광전 소자.

**청구항 11**

제 9 항 또는 제 10 항에 있어서, 발광 변환 층(13)의 표면은 하부 하우징부(8)와 상부 하우징부(9) 사이의 경계면(19)과 동일한 높이로 배치되고, 발광 변환 층(13)의 표면의 일부 상에 전기 전도 층(7)의 일부가 배치되는 것을 특징으로 하는 광전 소자.

**청구항 12**

선행 항들 중의 어느 한 항에 있어서, 캐리어(3)는 반도체 칩(4)의 반대쪽을 향한 배면에 제1 전기 배면 접점(21) 및 제2 전기 배면 접점(22)을 포함하되, 제1 전기 배면 접점(21)은 캐리어(3)를 통해 연장되는 적어도 하나의 제1 관통 접속부(11)에 의해 제1 연결 영역(1)과 도전 연결되고, 제2 전기 배면 접점(22)은 캐리어(3)를 통해 연장되는 적어도 하나의 제2 관통 접속부(12)에 의해 제2 연결 영역(2)과 도전 연결되는 것을 특징으로 하는 광전 소자.

**청구항 13**

광전 소자를 제조하는 방법으로서,

- 제1 연결 영역(1)과 제2 연결 영역(2)을 구비한 캐리어(3)를 준비하는 단계,
- 캐리어(3)의 제2 연결 영역(2) 상에 복사를 방출하는 반도체 칩(4)을 조립하는 단계,
- 반도체 칩(4) 상에 발광 변환 층(13)을 부착하는 단계,
- 반도체 칩(4)의 측면들과 접하는 하부 하우징부(8)를 캐리어(3) 상에 부착하는 단계,
- 발광 변환 층(13)에 개구부(26)를 생성하는 단계,
- 하부 하우징부(8)의 표면으로부터 캐리어(3) 상의 제1 연결 영역(1)까지 연장되는 또 다른 개구부(27)를 하부 하우징부(8)에 생성하는 단계,
- 개구부들(26, 27)을 전기 전도 재료로 채우는 단계,
- 발광 변환 층(13)의 개구부(26)와 하부 하우징부(8)의 개구부(27)에 들어있는 전기 전도 재료들을 서로 연결하는 전기 전도 층(7)을 부착하는 단계, 및
- 하부 하우징부(8) 상에 상부 하우징부(9)를 부착하는 단계를 포함하는 것을 특징으로 하는 제조 방법.

**청구항 14**

제 13 항에 있어서, 하부 하우징부(8) 및/또는 상부 하우징부(9)를 디스펜싱(dispensing), 스크린 인쇄(screen printing), 압축 몰딩(compression molding)에 의해 제작하는 것을 특징으로 하는 제조 방법.

**청구항 15**

제 13 항 또는 제 14 항에 있어서, 사전 제작된 플레이트로서의 발광 변환 층(13)을 반도체 칩(4) 상에 접착하는 것을 특징으로 하는 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 광전 소자(optoelectronic component) 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 본 특허 출원은 독일 특허 출원 10 2010 045 403.6의 우선권을 주장하는바, 이로써 그 개시 내용이 본원에 참조로 포함된다.

[0003] 간행물 WO 00/65664로부터, 복사 방출 반도체 칩이 그 베이스 면에서 캐리어의 연결 영역 상에 조립되고 맞은편 복사 출사 면에 연결 접점을 구비하며, 연결 접점이 본딩 와이어에 의해 캐리어의 또 다른 연결 영역과 연결되는 광전 소자가 공지되어 있다. 반도체 칩과 본딩 와이어는 하우징의 리세스 내에 배치되는데, 하우징의 반사

측벽들이 반도체 칩으로부터 방출되는 복사에 대한 반사판을 형성한다. 반도체 칩과 본딩 와이어는 반도체 칩으로부터 방출되는 복사의 파장 변환을 위한 발광 변환 물질을 함유하는 투명 인캡슐레이션 내에 매립된다. 또한, 투명 인캡슐레이션 재료 상에는 방출되는 복사의 빔 형성을 위한 역할을 하는 렌즈가 부착된다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 과제는 콤팩트한 구조 형태, 개선된 복사 효율, 및 비교적 간단한 제조 방법을 특징으로 하는 광전 소자를 제공하는 것이다. 또한, 그러한 광전 소자를 제조하는 바람직한 방법을 제공하고자 한다.

**과제의 해결 수단**

[0005] 그러한 과제들은 독립 청구항들의 특징들을 갖는 광전 소자 및 제조 방법에 의해 해결된다. 본 발명의 바람직한 구성들 및 부가의 구성들은 종속 청구항들의 주제들이다.

[0006] 일 실시 형태에 따라, 광전 소자는 제1 연결 영역과 제2 연결 영역을 구비한 캐리어를 포함한다. 또한, 광전 소자는 복사를 방출하는 반도체 칩을 포함하고, 그 반도체 칩은 베이스 면 및 그 베이스 면의 맞은편에 있는 복사 출사 면을 구비하는데, 반도체 칩은 베이스 면에 의해 캐리어 상에 배치된다.

[0007] 또한, 광전 소자는 캐리어 상에 배치되고 반도체 칩의 측면들에 접하는 하부 하우징부 및 하부 하우징부 상에 배치되고 반도체 칩으로부터 방출되는 복사에 대한 반사판을 형성하는 상부 하우징부를 구비한 하우징을 포함하는 것이 바람직하다.

[0008] 반도체 칩의 복사 출사 면으로부터 하부 하우징부와 상부 하우징부 사이의 경계면의 일부를 거쳐 하부 하우징부를 관통해서 캐리어 상의 제1 연결 영역까지 전기 연결 층이 안내된다.

[0009] 그와 같이 구성된 광전 소자는 특히 구조 형태가 콤팩트한 것을 특징으로 한다. 특히, 하부 하우징부가 반도체 칩의 측면들에 직접 접한다. 그것은 특히 반도체 칩이 통상적인 바와 같이 반도체 칩의 복사 출사 면으로부터 캐리어 상의 연결 영역까지 안내되는 본딩 와이어에 의해 접촉되는 것이 아님으로써 가능하게 된다. 그 대신에, 반도체 칩의 접촉은 반도체 칩의 복사 출사 면으로부터 반도체 칩의 측면들에 접하는 하부 하우징부의 경계면들을 거쳐 반도체 칩의 측방 방향으로 전기 연결 층이 뺄어나가는 방식으로 이뤄지는 것이 바람직하다. 이어서, 전기 연결 층은 반도체 칩으로부터 간격을 두고서 하부 하우징부를 관통해서 캐리어 상의 제1 연결 영역까지 연장된다. 즉, 복사를 방출하는 반도체 칩이 특히 와이어 없이 접촉되게 된다.

[0010] 특히, 반도체 칩이 베이스 면에서 캐리어의 제2 연결 영역 상에 조립됨으로써, 반도체 칩의 제2 연결 접점이 구현될 수 있다.

[0011] 바람직한 일 구성에 있어서, 하부 하우징부 및/또는 상부 하우징부는 모재를 포함하고, 그 모재에는 모재의 반사율을 증진하는 입자들이 매립된다.

[0012] 하부 하우징부 및/또는 상부 하우징부의 모재는 실리콘인 것이 바람직하다. 특히, 하부 하우징부와 상부 하우징부는 동일한 모재, 예컨대 실리콘을 포함할 수 있다.

[0013] 입자들은  $TiO_2$  입자들인 것이 바람직하다.  $TiO_2$  입자들을 하부 하우징부와 상부 하우징부의 모재에 매립함으로써, 바람직하게도  $TiO_2$  입자들이 매립되지 않은 하우징 재료에 비해 모재의 반사율이 증진되는데, 왜냐하면  $TiO_2$  입자들이 비교적 높은 굴절률, 특히 실리콘보다 높은 굴절률을 갖기 때문이다. 또한, 복사가 입자들에서 산란되어 하부 하우징부 및/또는 상부 하우징부의 재료 중의 입자들의 중량비가 충분히 큰 경우에 복사의 상당한 부분이 입사 방향으로 도로 산란된다.

[0014] 하부 하우징부 및/또는 상부 하우징부 중의 입자들의 중량비는 5% 내지 50%인 것이 바람직하다. 반사율을 증진하는 입자들, 특히  $TiO_2$  입자들의 그러한 농도에서 반사율의 증진을 관찰할 수 있는 것으로 판명되었다.

[0015] 매립된 입자들에 의해 하우징 재료의 반사율을 증진하는 것은 하부 하우징부의 경우에 반도체 칩으로부터 측방 방향으로의 원하지 않는 복사 디커플링이 반도체 칩의 측면들에 접하는 하부 하우징부의 반사 하우징 재료에 의해 방지된다고 하는 장점을 갖는다. 즉, 반도체 칩으로부터 측방 방향으로 방출되는 복사가 하부 하우징부에 의해 적어도 부분적으로 반도체 칩으로 도로 반사되어 그 복사 부분이 특히 반도체 칩 내에서의 하나 이상의 또

다른 반사들 후에 반도체 칩의 복사 출사 면으로 전향되게 된다.

- [0016] 상부 하우징부의 경우, 상부 하우징부가 반도체 칩으로부터 방출되는 복사에 대한 반사판을 형성하기 때문에, 도체에 매립된 입자들에 의해 반사율을 증진하는 것이 바람직하다.
- [0017] 그러한 반사판은 적어도 부분적으로 반도체 칩의 복사 출사 면에 접하는 것이 바람직하다. 그것은 특히 하부 하우징부가 반도체 칩의 복사 출사 면과 동일 평면으로 연결될 정도의 높이를 갖도록 하는 방식으로 구현될 수 있다. 즉, 반사판을 형성하는 상부 하우징부의 베이스 면이 반도체 칩의 복사 출사 면의 높이로 배치되는 것이 바람직하다. 그와 같이 하여, 반도체 칩으로부터 방출되는 복사의 양호한 빔 형성이 달성되는 것으로 판명되었다.
- [0018] 일 구성에 있어서, 반도체 칩은 그 복사 출사 면에 발광 변환 층을 포함한다. 그러한 발광 변환 층에 의해, 복사 방출 반도체 칩으로부터 방출되는 복사의 적어도 일부가 더 긴 파장 쪽으로 변환된다. 그와 같이 하여, 예컨대 그 활성 영역이 자외선 광 또는 청색 광을 방출하는 복사 방출 반도체 칩에 의해 혼합색 광 또는 백색 광이 생성될 수 있다. 특히, 발광 변환 층에 의해 청색 광이 더 긴 파장의 광, 특히 예컨대 황색과 같은 보색 (complementary color)의 광으로 변환되고, 그에 따라 활성 영역으로부터 방출되는 청색 광이 보색으로 변환된 부분과 중첩되어 백색 광을 생성할 수 있게 된다. 발광 변환 층은 발광 변환 물질이 매립된 매트릭스 재료를 포함한다. 그러한 매트릭스 재료는 예컨대 실리콘과 같은 중합체 또는 세라믹일 수 있다. 적절한 발광 변환 물질들은 예컨대 간행물 WO 97/50132로부터 공지되어 있는바, 이로써 그와 관련된 그 개시 내용이 본원에 참조로 포함된다.
- [0019] 반도체 칩의 반도체 층 시퀀스가 발광 변환 층으로부터 측방 방향으로 돌출하지 않는 것이 바람직하다. 발광 변환 층은 반도체 칩의 반도체 층 시퀀스와 동일한 베이스 면을 갖고, 그에 따라 반도체 칩의 반도체 층 시퀀스 상에 동일 평면으로 배치되는 것이 바람직하다.
- [0020] 발광 변환 층은 예컨대 반도체 층 시퀀스 상에 접촉되는 미리 제작된 플레이트인 것이 바람직하다.
- [0021] 바람직한 일 구성에 있어서, 발광 변환 층의 일 표면이 하부 하우징부와 상부 하우징부 사이의 경계면과 동일한 높이로 배치되고, 발광 변환 층의 그 표면의 일부 상에 도전 층이 배치된다. 따라서 하부 하우징부와 상부 하우징부 사이의 경계면의 일부와 발광 변환 층의 일부가 도전 층에 대한 캐리어로서의 기능을 한다는 이점이 있다.
- [0022] 바람직한 일 구성에 있어서, 상부 하우징부에 반사판을 형성하는, 상부 하우징부에 있는 리세스가 투명 인캡슐레이션으로 채워진다. 투명 인캡슐레이션은 특히 반도체 칩을 습기 및/또는 기계적 손상으로부터 보호하는 역할을 한다.
- [0023] 바람직한 일 구성에 있어서, 투명 인캡슐레이션은 평탄한 표면을 갖는다. 투명 인캡슐레이션은 특히 상부 하우징부의 표면과 동일 평면으로 체결되어 상부 하우징부를 평탄화할 수 있다.
- [0024] 대안적인 바람직한 일 구성에 있어서, 투명 인캡슐레이션은 렌즈로서 형성된다. 그것은 반도체 칩의 반대쪽을 향한 투명 인캡슐레이션의 표면이 만곡된다는 것을, 예컨대 볼록하게 만곡된다는 것을 의미한다. 그러한 렌즈에 의해, 바람직하게도 반도체 칩으로부터 방출되는 복사의 빔 형성이 달성될 수 있다. 그와 같이 하여, 빔 형성 요소가 하우징에 통합된다고 하는 이점이 있다.
- [0025] 바람직한 일 구성에 있어서, 캐리어는 반도체 칩의 반대쪽을 향한 배면에 제1 전기 배면 접점 및 제2 전기 배면 접점을 포함한다. 이때, 제1 전기 배면 접점은 반도체 칩 쪽을 향한 캐리어의 측면 상의 제1 연결 영역과 도전 연결되고, 제2 전기 배면 접점은 반도체 칩 쪽을 향한 캐리어의 측면 상의 제2 연결 영역과 도전 연결된다. 그와 같이 하여, 바람직하게도 광전 소자가 캐리어의 배면으로부터 접촉될 수 있는 것이 달성된다. 즉, 광전 소자가 바람직하게는 캐리어의 전기 배면 접점들에서 회로 기판 상에 납땜될 수 있는 표면 조립 가능한 소자가 된다.
- [0026] 제1 전기 배면 접점은 캐리어를 통해 연장되는 적어도 하나의 제1 관통 접속부(through-connection)에 의해 제1 연결 영역과 도전 연결되는 것이 바람직하다. 그에 상응하게, 제2 전기 배면 접점은 캐리어를 통해 연장되는 적어도 하나의 제2 관통 접속부에 의해 제2 연결 영역과 도전 연결된다. 반도체 칩 쪽을 향한 캐리어의 측면 상의 연결 영역들을 관통 접속부들에 의해 배면 접점들과 연결하는 것은 예컨대 캐리어의 정면과 배면 상의 연결 영역들 사이의 연결을 캐리어의 측면들을 거쳐 안내되는 연결 층들에 의해 구현하는 경우보다 광전 소자가 더 콤팩트하게 된다고 하는 이점을 갖는다. 특히, 그러한 구성에서는, 캐리어의 측면들이 전도적으로 되지 않

으므로, 다수의 광전 소자들이 단락의 위험 없이 조밀하게 서로 나란히 배치될 수 있다. 특히, 캐리어가 예컨대 세라믹과 같은 전기 절연 재료 또는 도핑되지 않은 반도체 재료로 형성될 수 있다.

[0027] 광전 소자를 제조하는 방법의 일 구성에 있어서, 제1 연결 영역과 제2 연결 영역을 구비한 캐리어를 준비한다. 그 다음으로, 캐리어의 제2 연결 영역 상에 복사 방출 반도체 칩을 조립한다. 후속 단계에서는, 반도체 칩 상에 발광 변환 층을 부착한다. 또한, 반도체 칩의 측면들과 접하는 하부 하우징부를 캐리어 상에 부착한다. 이어서, 반도체 칩의 표면의 일부를 노출하기 위해, 발광 변환 층에 개구부를 생성한다. 하부 하우징부의 표면으로부터 캐리어 상의 제1 연결 영역까지 연장되는 또 다른 개구부를 하부 하우징부에 생성한다. 개구부들을 전기 전도 재료로 채우고 나서, 발광 변환 층의 개구부와 하부 하우징부의 개구부에 들어있는 전기 전도 재료들을 서로 연결하는 전기 전도 층을 부착한다. 이때, 전기 전도 층을 발광 변환 층의 영역과 하부 하우징부의 표면의 영역 상에 부착하는데, 따라서 그 영역들이 바람직하게도 전기 전도 층의 전기 절연 캐리어로서의 기능을 하게 된다. 발광 변환 층과 하부 하우징부의 표면들은 동일한 높이로 배치되어 서로 동일 평면으로 연결되는 것이 바람직하다. 전기 전도 층을 부착하기 전에 전기 절연 층을 부착하여야 할 필요가 없는 이점이 있다. 그와 같이 하여, 반도체 칩을 캐리어의 표면 상의 제1 전기 연결 영역과 도전 연결하는 전기 연결 층을 제작한다. 그 다음으로, 하부 하우징부 상에 상부 하우징부를 부착한다.

[0028] 그리하여 하부 하우징부와 상부 하우징부로 형성된 하우징을 통해 캐리어로 안내되는 접점이 매우 효율적으로 생성되게 된다. 따라서 본 방법에 의해 제조된 광전 소자는 적은 제조 비용을 특징으로 하는 이점이 있다.

[0029] 본 발명에 따른 방법의 바람직한 일 구성에 있어서, 하부 하우징부 및/또는 상부 하우징부를 디스펜싱(dispensing), 스크린 인쇄(screen printing), 또는 압축 몰딩(compression molding)에 의해 제작한다.

[0030] 바람직한 일 구성에 있어서, 발광 변환 층을 사전 제작된 플레이트로서 반도체 칩 상에 부착한다.

[0031] 본 발명에 따른 방법의 또 다른 바람직한 구성들이 광전 소자의 설명으로부터 명확히 드러날 것이고, 반대로 본 발명에 따른 광전 소자의 또 다른 바람직한 구성들이 그 방법으로부터 명확히 드러날 것이다.

**도면의 간단한 설명**

[0032] 이하, 본 발명을 도 1 내지 도 4와 관련하여 실시예들에 의거해서 더욱 상세히 설명하기로 한다. 첨부 도면들 중에서,

도 1은 제1 실시예에 따른 광전 소자의 횡단면도를 개략적으로 나타낸 도면이고,

도 2는 제2 실시예에 따른 광전 소자의 횡단면도를 개략적으로 나타낸 도면이며,

도 3은 제3 실시예에 따른 광전 소자의 횡단면도를 개략적으로 나타낸 도면이고,

도 4A 내지 도 4E는 광전 소자를 제조하는 방법의 일 실시예를 중간 단계들에 의거하여 개략적으로 각각 나타낸 도면들이다.

첨부 도면들에서, 동일하거나 동일하게 작용하는 구성 요소들은 각각 동일한 도면 부호들을 갖는다. 도시된 구성 요소들과 그 구성 요소들의 상호 크기 비율은 축척에 맞는 것으로 보아서는 안 된다.

**발명을 실시하기 위한 구체적인 내용**

[0033] 도 1에 횡단면도로 개략적으로 도시된 광전 소자는 그 베이스 면(5)에서 캐리어(3) 상에 조립된 반도체 칩(4)을 포함한다. 반도체 칩(4)은 활성 층(24)을 포함하고, 그 활성 층(24)으로부터 전자기 복사(16)가 방출된다. 특히, 반도체 칩(4)은 LED 칩일 수 있다.

[0034] 복사 방출 반도체 칩(4)의 활성 층(24)은 특히 자외선 복사 및/또는 청색 복사를 방출하는데 적합할 수 있다.

[0035] 반도체 칩(4)은 질화물-화합물 반도체 재료를 기반으로 하는 것이 바람직하다. 본 맥락에서, "질화물-화합물 반도체 재료를 기반으로 한다"는 것은 반도체 층 시퀀스 또는 그것의 적어도 하나의 층이 III족-질화물-화합물 반도체 재료, 바람직하게는  $In_xAl_yGa_{1-x-y}N$ 을 포함하되, 여기서  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ , 및  $x + y \leq 1$ 이라는 것을 의미한다. 이때, 그러한 재료는 반드시 상기 식에 따른 수학적으로 정확한 조성을 가져야 하는 것은 아니다. 오히려, 그 재료는  $In_xAl_yGa_{1-x-y}N$  재료의 특징적인 물리 특성들을 실질적으로 변경하지 않는 하나 이상의 도펀트들 및 추가 성분들을 포함할 수 있다. 그러나 간단히 하기 위해, 상기 식은 비록 그들이 부분적으로 소량의 또 다른 물질들로 대체될 수 있음에도 불구하고 결정 격자의 필수 t 성분들(In, Al, Ga, N)만을 포함하고 있

다.

- [0036] 복사 방출 반도체 칩(4)은 복사 출사 면(6)에 발광 변환 층(13)을 포함하는 것이 바람직하다. 발광 변환 층(13)은 활성 영역(24)으로부터 방출되는 복사의 적어도 일부를 더 긴 파장 쪽으로 변환하는 발광 변환 물질을 함유한다. 따라서 특히, 광전 소자로부터 방출되는 복사(16)는 활성 층(24)으로부터 방출되는 복사와 발광 변환 층(13)에서 생성되는 변환된 복사의 혼합 광일 수 있다. 광전 소자로부터 방출되는 복사(16)는 예컨대 백색 광일 수 있다.
- [0037] 특히, 발광 변환 층(13)은 예컨대 반도체 칩(4)의 반도체 층 시퀀스 상에 접촉되는 사전 제작된 플레이트일 수 있다. 예컨대, 발광 변환 층(13)은 발광 변환 물질이 매립된 중합체, 예컨대 실리콘일 수 있다. 그 경우, 발광 변환 층은 예컨대 압축 몰딩 방법으로 제작될 수 있다. 반도체 칩(4)의 반도체 층 시퀀스는 발광변환 층(13)으로부터 측방 방향으로 돌출하지 않는 것이 바람직하다. 발광 변환 층(13)과 반도체 칩(4)의 반도체 층 시퀀스는 동일한 베이스 면을 구비하는 것이 바람직하는데, 발광 변환 층(13)은 반도체 칩(4)의 반도체 층 시퀀스 상에 동일 평면으로 배치되는 것이 바람직하다.
- [0038] 반도체 칩(4)은 하부 하우징부(8)와 상부 하우징부(9)를 포함하는 하우징(10) 내에 매립된다. 하부 하우징부(8)는 반도체 칩(4)의 측면들(14)에 직접 접하는 것이 바람직하다. 특히, 반도체 칩(4)과 하부 하우징부(8) 사이에 개재 공간이 존재하지 않는다. 그것은 특히 반도체 칩(4)의 전기 접촉을 위해 반도체 칩(4)의 복사 출사 면(6)으로부터 하우징과 반도체 칩(4) 사이를 통해 캐리어 상의 연결 영역까지 안내되어야 하는 본딩 와이어를 사용하지 않음으로써 가능하게 된다. 그 대신에, 전기 접촉은 반도체 칩(4)의 복사 출사 면(6)으로부터 하부 하우징부(8)와 상부 하우징부(9) 사이의 경계면(19)의 일부를 거쳐 하부 하우징부(8)를 관통해서 캐리어(3) 상의 제1 연결 영역(1)까지 전기 연결 층(7)이 안내됨으로써 이뤄지게 된다. 즉, 전기 연결 층(7)이 적어도 부분적으로 하우징(10)을 통해 안내되고, 그럼으로써 매우 콤팩트한 광전 소자가 얻어질 수 있다.
- [0039] 반도체 칩(4)이 그 베이스 면(5)으로써 캐리어(3)의 제2 연결 영역(2) 상에 조립됨으로써, 반도체 칩(4)의 제2 전기 접점이 구현될 수 있다. 그러나 대안적으로, 제2 전기 접점을 반도체 칩(4)의 상면에 배치하고, 제2 전기 접점을 제1 접점과 같이 하우징(10)을 통해 안내되는 또 다른 전기 연결 층에 의해 제2 연결 영역(2)과 연결하는 것도 또한 가능하다.
- [0040] 캐리어의 제1 연결 영역(1)은 캐리어(3)를 통해 연장되는 제1 관통 접속부(11)에 의해 복사 방출 반도체 칩(4)의 맞은편의 캐리어(3)의 배면에 있는 제1 배면 접점(21)과 연결되는 것이 바람직하다. 그에 상응하게, 제2 연결 영역(2)은 제2 관통 접속부(12)에 의해 제2 배면 접점(22)과 연결된다. 광전 소자는 배면 접점들(21, 22)에서 예컨대 납땜 연결에 의해 회로 기판 상에 조립될 수 있다. 즉, 광전 소자가 표면 조립 가능하다고 하는 이점이 있다.
- [0041] 반도체 칩(4) 쪽을 향한 캐리어(3)의 측면 상의 연결 영역들(1, 2)을 관통 접속부들(11, 12)에 의해 배면 접점들(21, 22)과 연결하는 것은 캐리어(3)의 측면들을 둘러 연결 층들을 안내하여야 할 필요가 없다고 하는 이점을 갖는다. 그것은 바람직하게도 광전 소자가 매우 콤팩트하게 구현될 수 있도록 하는데 기여한다.
- [0042] 상부 하우징부(9)는 반도체 칩(4)으로부터 방출되는 복사(16)에 대한 반사판(15)을 형성한다. 그러한 반사판(15)은 적어도 부분적으로 반도체 칩(4)의 복사 출사 면에 접하는 것이 바람직하다. 복사 출사 면(6)은 반도체 칩(4)의 반도체 층 시퀀스의 표면일 수 있거나, 발광 변환 층(13)이 반도체 칩(4) 상에 배치되는 경우에는 발광 변환 층(13)의 표면일 수 있다. 반사판(15)이 반도체 칩(4)의 복사 출사 면(6)에 직접 접함으로써, 방출되는 복사(16)의 양호한 빔 형성이 달성되게 된다.
- [0043] 하부 하우징부(8)와 상부 하우징부(9)는 각각 하우징 재료의 반사율을 증진하는 입자들(20)을 함유하는 것이 바람직하다. 그러한 입자들(20)은 특히 TiO<sub>2</sub> 입자들일 수 있다. 하부 하우징부 및/또는 상부 하우징부(8, 9) 중의 입자들의 중량비는 5% 내지 50%인 것이 바람직하다. 상부 하우징부(9)의 경우에는, 상부 하우징부(9)가 방출되는 복사(16)에 대한 반사판(15)을 형성하기 때문에, 높은 반사율이 바람직하다. 특히, 반사판(15)을 형성하는 상부 하우징부(9)의 경계면들에 반사율 증진 코팅을 하는 것을 생략하는 것이 가능하다. 그와 같이 하여, 광전 소자의 제조 비용을 감소시키는 이점이 있다.
- [0044] 하부 하우징부(8)와 상부 하우징부(9)는 반사율 증진 입자들(20)이 매립된 모재를 포함하는 것이 바람직하다. 하부 하우징부(8)와 상부 하우징부(9)는 동일한 모재를 포함하는 것이 바람직하다. 특히, 하부 하우징부(8)와 상부 하우징부(9)는 각각 실리콘을 포함할 수 있다. 하부 하우징부(8)와 상부 하우징부(9)가 동일한 모재를 포

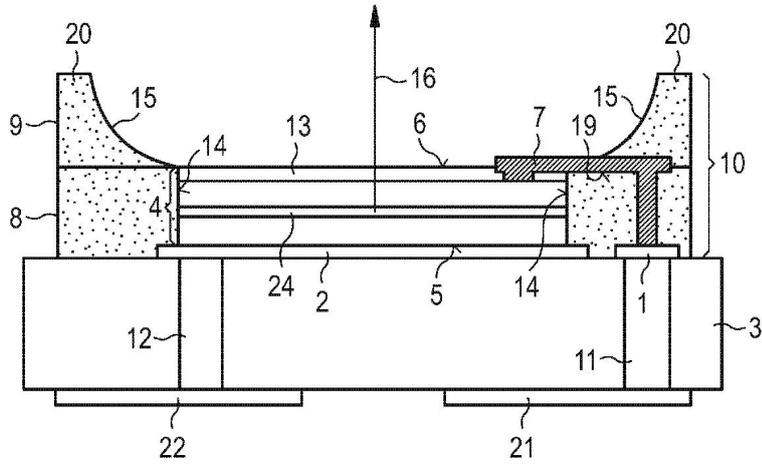
함함으로써, 특히 상부 하우징부(9)가 하부 하우징부(8) 상에 양호하게 달라붙는 것이 달성될 수 있다.

- [0045] 도 2에 횡단면도로 개략적으로 도시된 광전 소자의 제2 실시예는 반사판(15)을 형성하는, 상부 하우징부(9)에 있는 리세스(25)가 투명 인캡슐레이션(17)으로 채워진다는 점에서 도 1에 도시된 광전 소자와 상이하다. 리세스(25)는 인캡슐레이션(17)이 상부 하우징부(9)의 표면에 동일 평면으로 연결되어 광전 소자가 평탄한 표면(23)을 갖도록 투명 인캡슐레이션(17)으로 채워지는 것이 바람직하다. 투명 인캡슐레이션(17)은 특히 반도체 칩(4)을 예컨대 습기, 오물, 또는 기계적 손상과 같은 외부 영향들로부터 보호하는 역할을 한다.
- [0046] 도 2에 도시된 실시예는 그 밖의 점에 있어서는 전술한 제1 실시예와 일치한다.
- [0047] 도 3에 횡단면도로 개략적으로 도시된 광전 소자의 제3 실시예는 상부 하우징부(9)의 리세스(25) 내에 채워진 투명 인캡슐레이션(17)이 평탄한 표면을 갖는 것이 아니라, 렌즈(18)로서 형성된다는 점에서 도 2에 도시된 광전 소자와 상이하다. 그것은 인캡슐레이션(17)이 광전 소자를 오물 또는 기계적 손상으로부터 보호하는 기능을 할 뿐만 아니라, 방출되는 복사(16)에 대한 빔 형성 요소로서의 기능도 동시에 한다고 하는 이점을 갖는다.
- [0048] 도 3에 도시된 실시예는 그 밖의 점에 있어서는 전술한 제2 실시예와 일치한다.
- [0049] 이하, 도 4A 내지 도 4E에 의거해서, 광전 소자를 제조하는 방법의 일 실시예를 설명하기로 한다.
- [0050] 도 4A에 도시된 중간 단계에서는, 제1 연결 영역(1)과 제2 연결 영역(2)을 구비한 캐리어(3)를 준비한다. 연결 영역들(1, 2)은 각각 관통 접속부(11, 12)에 의해 캐리어(3)의 배면 점점들(21, 22)과 연결된다. 캐리어(3)의 제2 연결 영역(2) 상에 복사 방출 반도체 칩(4)을 조립한다. 예컨대, 반도체 칩(4)을 그 베이스 면(5)에서 캐리어(3)의 제2 연결 영역(2) 상에 납땜할 수 있다.
- [0051] 반도체 칩(4)은 반도체 층 시퀀스(28)를 포함하고, 그 반도체 층 시퀀스(28) 상에 발광 변환 층(13)을 부착한다. 발광 변환 층(13)은 반도체 칩(4)의 반도체 층 시퀀스(28) 상에 접촉되는 사전 제작된 플레이트인 것이 바람직하다.
- [0052] 도 4B에 도시된 중간 단계에서는, 캐리어(3) 상에 하부 하우징부(8)를 부착하는데, 하부 하우징부(8)는 반도체 칩(4)의 측면들(14)에 접하여 반도체 칩(4)을 완전히 에워싸는 것이 바람직하다. 하부 하우징부(8)는 반사율을 증진하는, 바람직하게는 TiO<sub>2</sub>로 이뤄진 입자들(20)이 매립된 실리콘을 포함하는 것이 바람직하다. 특히, 디스펜싱, 스크린 인쇄, 또는 압축 몰딩에 의해 하부 하우징부(8)를 생성할 수 있다.
- [0053] 도 4C에 도시된 중간 단계에서는, 발광 변환 층(13)에 개구부(26)를 생성한다. 그 개구부(26)는 반도체 칩(4)의 반도체 층 시퀀스를 전기 연결 층과 접촉시킬 수 있도록 하기 위해 마련되는 것이다. 또한, 하부 하우징부(8)에 또 다른 개구부(27)를 생성한다. 그 개구부(27)는 하부 하우징부(8)의 표면으로부터 하부 하우징부(8)를 관통해서 캐리어(3) 상의 제1 연결 영역(1)까지 연장된다.
- [0054] 도 4D에 도시된 중간 단계에서는, 발광 변환 층(13)과 하부 하우징부(8)에 있는 앞서 제작된 개구부들을 각각 전기 전도 재료로 채운다. 또한, 발광 변환 층(13)의 표면 및 하부 하우징부(8)의 표면의 부분 영역 상에 전기 전도 층을 부착하는데, 그 전기 전도 층은 발광 변환 층(13)의 개구부(26)와 하부 하우징부(8)의 개구부(27)에 들어있는 전기 전도 재료를 서로 연결한다. 그와 같이 하여, 반도체 칩(4)을 캐리어(3)의 표면 상의 제1 전기 연결 영역(1)과 전기적으로 연결하는 전기 연결 층(7)이 제작된다.
- [0055] 도 4E에 도시된 중간 단계에서는, 하부 하우징부(8) 상에 상부 하우징부(9)를 배치한다. 상부 하우징부(9)는 반도체 칩(4)으로부터 방출되는 복사(16)에 대한 반사판(15)을 광전 소자에 형성하는 리세스(25)를 포함한다. 하부 하우징부(8)와 마찬가지로, 디스펜싱, 스크린 인쇄, 또는 압축 몰딩에 의해 상부 하우징부(9)를 생성할 수 있다. 상부 하우징부(9)는 하부 하우징부(8)와 동일한 재료, 바람직하게는 TiO<sub>2</sub>로 이뤄진 입자들이 매립된 실리콘을 포함하는 것이 바람직하다. 하부 하우징부(8)와 상부 하우징부(9)는 함께 반도체 칩(4)용 하우징(10)을 형성한다. 그와 같이 제조된 광전 소자는 도 1에 도시된 광전 소자에 해당한다. 본 발명에 따른 방법의 또 다른 바람직한 구성들이 광전 소자의 실시예들의 설명으로부터 명확히 드러날 것이고, 반대로 본 발명에 따른 광전 소자의 또 다른 바람직한 구성들이 그 방법으로부터 명확히 드러날 것이다.
- [0056] 또 다른 방법 단계에서는, 리세스(25)를 예컨대 디스펜싱에 의해 인캡슐레이션(17)으로 채울 수 있다. 인캡슐레이션(17)은 도 2에 도시된 실시예에서와 같이 평탄한 인캡슐레이션으로서 구성되거나, 도 3에 도시된 바와 같이 렌즈(18)로서 형성될 수 있다.
- [0057] 본 발명은 실시예들에 의거한 설명으로 인해 그들에 한정되는 것이 아니다. 오히려, 본 발명은 임의의 새로운

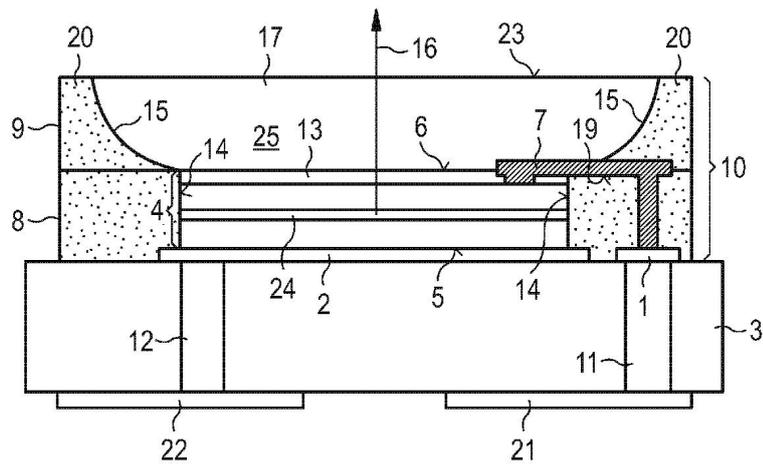
특징 및 특징들의 임의의 조합을 설혹 그 특징 또는 조합이 특허 청구 범위 또는 실시예들에 명시적으로 기재되어 있지 않더라도 포함하는 것으로, 특히 그것은 특허 청구 범위의 특징들의 임의의 조합을 포함한다.

도면

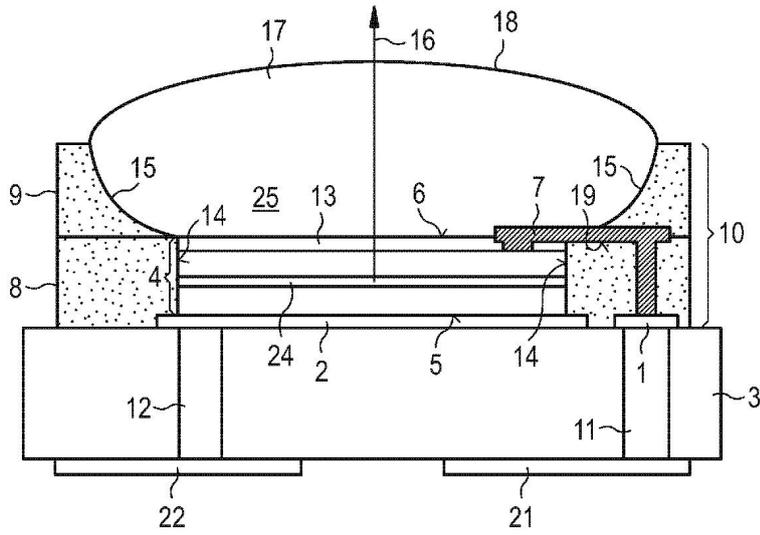
도면1



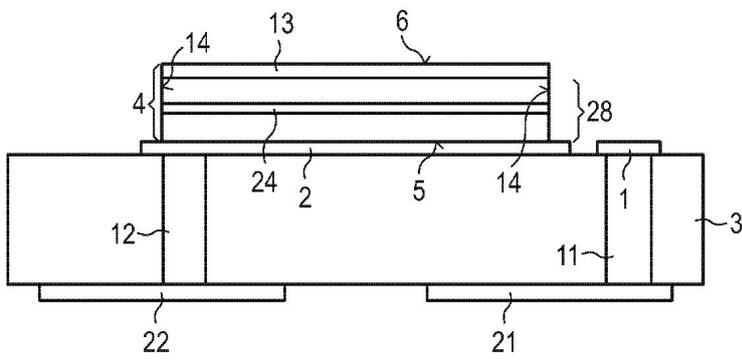
도면2



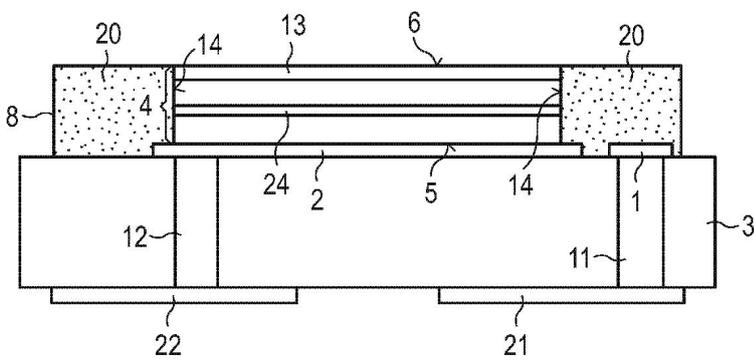
도면3



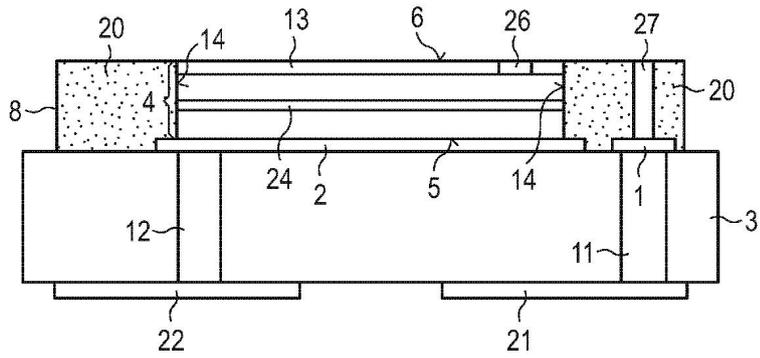
도면4a



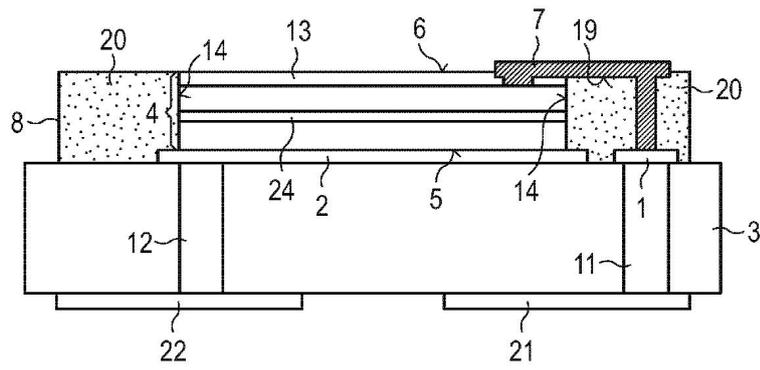
도면4b



도면4c



도면4d



도면4e

