

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5167816号
(P5167816)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int. Cl. F I
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 X
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 Y

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2007-540867 (P2007-540867)	(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(86) (22) 出願日	平成17年10月21日(2005.10.21)	(74) 代理人	100091340 弁理士 高橋 敬四郎
(86) 国際出願番号	PCT/JP2005/019388	(74) 代理人	100105887 弁理士 来山 幹雄
(87) 国際公開番号	W02007/046150	(72) 発明者	三村 ▲高▼志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(87) 国際公開日	平成19年4月26日(2007.4.26)	審査官	松嶋 秀忠
審査請求日	平成20年2月7日(2008.2.7)		

最終頁に続く

(54) 【発明の名称】 フィン型半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

支持基板の上に、厚さ方向が該支持基板の表面と平行な姿勢で配置され、半導体材料で形成されたフィン状のコア部材、該コア部材とは異なる半導体材料からなり、該コア部材の2つの側面を覆う第1の半導体膜、及び該第1の半導体膜とは異なる半導体材料で形成されており、該第1の半導体膜の側面を覆う第2の半導体膜を含むチャンネル構造体と、

前記チャンネル構造体の一部の領域の両側に配置され、前記第2の半導体膜の側面にショットキ接触するか、または前記第2の半導体膜の側面にゲート絶縁膜を介して対向するゲート電極と、

前記チャンネル構造体のうち、前記ゲート電極に挟まれた領域の両側に形成されたソース及びドレイン領域と、

前記ゲート電極の両側の前記チャンネル構造体の表面上に形成され、圧縮応力または引張応力が内在するストレッサと、

を含み、

前記ゲート電極で挟まれた領域の、前記コア部材ならびに前記第1および第2の半導体膜が、相互の格子定数の相違に起因する歪を有し、

前記ストレッサが、前記コア部材および前記第2の半導体膜の歪を助長し、前記第1の半導体膜の歪を緩和し、

前記コア部材の歪を有する部分の伝導帯下端のエネルギー準位が、前記第1の半導体膜の伝導帯下端のエネルギー準位よりも低く、

10

20

前記第 1 の半導体膜の価電子帯上端のエネルギー準位が、前記第 2 の半導体膜の価電子帯上端のエネルギー準位よりも高いフィン型半導体装置。

【請求項 2】

前記コア部材が Si または Si Ge で形成され、前記第 1 の半導体膜が Si Ge で形成されており、該第 1 の半導体膜の Ge の組成比が該コア部材の Ge の組成比よりも大きい請求項 1 に記載のフィン型半導体装置。

【請求項 3】

さらに、

前記支持基板の上に、厚さ方向が該支持基板の表面に平行になる姿勢で配置され、前記コア部材と同一の半導体材料で形成されたフィン状のベース部材と、

前記ベース部材の両側の前記支持基板の表面上に配置され、前記ベース部材の側面に接する絶縁部材と

を有し、前記チャネル構造体が、前記ベース部材の上面の上に、両者の厚さ方向が相互に平行になる姿勢で配置され、前記コア部材が、前記ベース部材よりも薄い請求項 1 に記載のフィン型半導体装置。

【請求項 4】

支持基板の表面上に、厚さ方向が該支持基板の表面と平行になる姿勢で配置された半導体材料からなるフィン状部材を有する下地構造体を準備する工程と、

前記下地構造体の上に、前記フィン状部材を埋め込むように絶縁膜を形成する工程と、

前記フィン状部材の上端である上部表面及び上部側面の一部分が現れるように、前記絶縁膜に凹部を形成する工程と、

前記凹部に現れた前記フィン状部材の一部分の表層部を除去することにより、該フィン状部材の上端の一部分を薄くしたコア部材を形成する工程と、

前記コア部材の上面及び側面を含む表面上に、該コア部材とは異なる半導体材料で形成された第 1 の半導体膜を形成する工程と、

前記第 1 の半導体膜の上面及び側面を含む表面上に、前記第 1 の半導体膜とは異なる材料で形成された第 2 の半導体膜を形成する工程と、

前記コア部材、前記第 1 の半導体膜、前記第 2 の半導体膜を含むチャネル構造体の一部分の両側にゲート電極を形成する工程と

を有し、

前記コア部材には前記第 1 の半導体膜から歪みが印加されており、

前記コア部材の歪を有する部分の伝導帯下端のエネルギー準位が、前記第 1 の半導体膜の伝導帯下端のエネルギー準位よりも低く、

前記第 1 の半導体膜の価電子帯上端のエネルギー準位が、前記第 2 の半導体膜の価電子帯上端のエネルギー準位よりも高いフィン型半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フィン型半導体装置及びその製造方法に関し、特にフィン状部分を挟むようにゲート電極を配したフィン型半導体装置及びその製造方法に関する。

【背景技術】

【0002】

下記非特許文献 1 及び 2 に、フィン型 MOSFET が開示されている。フィン型 MOSFET においては、基板面からほぼ垂直方向に突出したフィン型の半導体部分をチャネルとして用い、その両側にゲート電極が配置される。チャネルの電位がその両側から制御されるため、ショートチャネル効果を低減することができる。

【0003】

下記の特許文献 1 に、歪を持たない半導体材料からなるシードフィンの表面上に、歪チャネル層を形成したフィン型 MOSFET が開示されている。チャネル層に歪を持たせることにより、キャリアの移動度を高めることができる。

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 5 - 1 9 9 7 0 号公報

【非特許文献 1】Sang-YunKim et al., "Hot Carrier-Induced Degradation in BulkFinFETs", IEEE Electron Device Letters, Vol. 26, No.8, p.566-p.568 (2005)

【非特許文献 2】Tai-SuPark et al., "Characteristics of Body-Tied Triple-GateMOS FETs", IEEE Electron Device Letters, Vol.25, No.12, p.798-p.800 (2004)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

フィン型 MOSFET の動作速度をより高める技術が望まれている。本発明の目的は、動作速度を高めることができるフィン型半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の一観点によると、支持基板の上に、厚さ方向が該支持基板の表面と平行な姿勢で配置され、半導体材料で形成されたフィン状のコア部材、該コア部材とは異なる半導体材料からなり、該コア部材の 2 つの側面を覆う第 1 の半導体膜、及び該第 1 の半導体膜とは異なる半導体材料で形成されており、該第 1 の半導体膜の側面を覆う第 2 の半導体膜を含むチャンネル構造体と、前記チャンネル構造体の一部の領域の両側に配置され、前記第 2 の半導体膜の側面にショットキ接触するか、または前記第 2 の半導体膜の側面にゲート絶縁膜を介して対向するゲート電極と、前記チャンネル構造体のうち、前記ゲート電極に挟まれた領域の両側に形成されたソース及びドレイン領域と、前記ゲート電極の両側の前記チャンネル構造体の表面上に形成され、圧縮応力または引張応力が内在するストレスと、を含み、前記ゲート電極で挟まれた領域の、前記コア部材ならびに前記第 1 および第 2 の半導体膜が、相互の格子定数の相違に起因する歪を有し、前記ストレスが、前記コア部材および前記第 2 の半導体膜の歪を助長し、前記第 1 の半導体膜の歪を緩和し、前記コア部材の歪を有する部分の伝導帯下端のエネルギー準位が、前記第 1 の半導体膜の伝導帯下端のエネルギー準位よりも低く、前記第 1 の半導体膜の価電子帯上端のエネルギー準位が、前記第 2 の半導体膜の価電子帯上端のエネルギー準位よりも高いフィン型半導体装置、が提供される。

【 0 0 0 7 】

本発明の他の観点によると、支持基板の表面上に、厚さ方向が該支持基板の表面と平行になる姿勢で配置された半導体材料からなるフィン状部材を有する下地構造体を準備する工程と、前記下地構造体の上に、前記フィン状部材を埋め込むように絶縁膜を形成する工程と、前記フィン状部材の上端である上部表面及び上部側面的一部分が現れるように、前記絶縁膜に凹部を形成する工程と、前記凹部内に現れた前記フィン状部材の一部の表層部を除去することにより、該フィン状部材の上端の一部を薄くしたコア部材を形成する工程と、前記コア部材の上面及び側面を含む表面上に、該コア部材とは異なる半導体材料で形成された第 1 の半導体膜を形成する工程と、前記第 1 の半導体膜の上面及び側面を含む表面上に、前記第 1 の半導体膜とは異なる材料で形成された第 2 の半導体膜を形成する工程と、前記コア部材、前記第 1 の半導体膜、前記第 2 の半導体膜を含むチャンネル構造体の一部分の両側にゲート電極を形成する工程とを有し、前記コア部材には前記第 1 の半導体膜から歪みが印加されており、前記コア部材の歪を有する部分の伝導帯下端のエネルギー準位が、前記第 1 の半導体膜の伝導帯下端のエネルギー準位よりも低く、前記第 1 の半導体膜の価電子帯上端のエネルギー準位が、前記第 2 の半導体膜の価電子帯上端のエネルギー準位よりも高いフィン型半導体装置の製造方法、が提供される。

【発明の効果】

【 0 0 0 8 】

コア部材が歪を有することにより、コア部材と第 1 の半導体膜との界面に蓄積されるキャリアの移動度を高めることができる。コア部材と第 1 の半導体膜との界面にチャンネルを

10

20

30

40

50

形成すると、半導体とゲート絶縁膜との界面の粗さや界面準位の影響を受けなくなる。これにより、キャリアの移動度を高めることができる。

【0009】

凹部内に現れたフィン状部材の一部を薄くすることにより、半導体装置の特性を高めることができる。

【図面の簡単な説明】

【0010】

【図1】図1は、第1の実施例によるフィン型MOSFETの斜視図である。

【図2-1】図2A及び図2Bは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

10

【図2-2】図2C及び図2Dは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

【図2-3】図2E及び図2Fは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

【図2-4】図2G及び図2Hは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

【図2-5】図2Iは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

【図3-1】図3A及び図3Bは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

20

【図3-2】図3C及び図3Dは、第1の実施例によるフィン型MOSFETの製造途中における装置の断面図である。

【図4】図4は、第1の実施例によるフィン型MOSFETのエネルギーバンド図である。

【図5】図5Aは、第2の実施例によるフィン型MOSFETの断面図であり、図5Bは、そのエネルギーバンド図である。

【図6】図6Aは、第3の実施例によるフィン型MOSFETのフィン状部分の断面図であり、図6Bは、そのエネルギーバンド図である。

【発明を実施するための最良の形態】

【0011】

図1に、第1の実施例によるフィン型MOSFETの斜視図を示す。支持基板1の表面からほぼ垂直方向に、フィン状のベース部材2Bが突出している。支持基板1の表面をXY面とし、ベース部材2Bの側面に平行な面をZX面とするXYZ直交座標系を定義する。ベース部材2Bの長さ方向がX軸に平行になり、ベース部材2Bの厚さ方向がY軸に平行になる。

30

【0012】

ベース部材2Bの上面からZ軸方向に、フィン状のコア部材2Aが突出している。コア部材2Aの側面もZX面に平行であり、コア部材2Aの厚さはベース部材2Bよりも薄い。支持基板1、ベース部材2B、及びコア部材2Aは、シリコン(Si)単結晶で形成されている。一例として、ベース部材2Bの厚さは40nmであり、その高さは260nmである。コア部材2Aの厚さは5nmであり、その高さは130nmである。

40

【0013】

酸化シリコンからなる第1の絶縁膜3が、支持基板1の上面及びベース部材2Bの側面を、下地表面に沿うように覆う。第1の絶縁膜3の厚さは、例えば10nmである。窒化シリコンからなる第2の絶縁膜4が、第1の絶縁膜3の表面を、下地表面に沿うように覆う。第2の絶縁膜4の厚さは、例えば50nmである。第2の絶縁膜4の平坦面上に、酸化シリコンからなる第3の絶縁膜5が配置されている。ベース部材2Bの側面上の第1及び第2の絶縁膜3及び4の上側の端面は、第3の絶縁膜5で覆われていない。第3の絶縁膜5の上面は、第1及び第2の絶縁膜3及び4の上側の端面よりも上方に位置し、コア部材2Aの上面よりもやや高い位置に配置される。このため、第1及び第2の絶縁膜3及び4の上側の端面を底面の一部とし、第3の絶縁膜5が側面に露出した凹部8が画定される

50

。凹部 8 の底面からコア部材 2 A が上方に突出している。

【 0 0 1 4 】

コア部材 2 A の側面及び上側の端面が、SiGe からなる第 1 の半導体膜 1 0 で覆われている。第 1 の半導体膜 1 0 は、コア部材 2 A の表面上にエピタキシャル成長されており、その厚さは、例えば 5 ~ 1 0 nm である。Si と SiGe との格子定数の違いにより、第 1 の半導体膜 1 0 の成膜直後に、コア部材 2 A に引張歪が生じ、第 1 の半導体膜 1 0 に圧縮歪が生じる。コア部材 2 A と第 1 の半導体膜 1 0 とで構成されるフィン状の構造体を、チャンネル構造体 1 1 と呼ぶこととする。チャンネル構造体 1 1 の表面が、酸化シリコンからなるゲート絶縁膜 1 5 で覆われている。ゲート絶縁膜 1 5 の厚さは、例えば 1 nm である。

10

【 0 0 1 5 】

X 軸方向に長いチャンネル構造体 1 1 を横切るように、第 3 の絶縁膜 5 の上に、Y 軸方向に長いゲート電極 1 8 が形成されている。ゲート電極 1 8 は、例えばポリシリコンで形成される。ゲート電極 1 8 は、凹部 8 と重なる領域において、凹部 8 の底面まで達すると共に、ゲート絶縁膜 1 5 を介してチャンネル構造体 1 1 の上面及び側面に対向する。

【 0 0 1 6 】

チャンネル構造体 1 1 のうち、ゲート電極 1 8 の両側に位置する領域にドナーが添加されており、この部分がソース領域 2 0 及びドレイン領域 2 1 となる。

【 0 0 1 7 】

第 1 ~ 第 3 の絶縁膜 3、4、5、及びゲート絶縁膜 1 5 の表面のうち、ゲート電極 1 8 の側面に連続する領域、及びゲート電極 1 8 の表面を覆うように、窒化シリコン (SiN) からなるストレッサ 2 5 が形成されている。

20

【 0 0 1 8 】

図 2 A ~ 図 2 I、図 3 A ~ 図 3 D を参照して、第 1 の実施例によるフィン型半導体装置の製造方法について説明する。図 2 A ~ 図 2 I は、図 1 に示した斜視図の、ゲート電極 1 8 とコア部材 2 A との交差箇所を通過する YZ 面に平行な断面に対応し、図 3 A ~ 図 3 D は、ZX 面に平行な断面に対応する。

【 0 0 1 9 】

図 2 A に示すように、支持基板 1 の表面から、フィン状部材 2 がほぼ垂直方向に突出した下地構造体を準備する。フィン状部材 2 の厚さ方向 (Y 軸方向) は、支持基板 1 の表面と平行になる。支持基板 1 及びフィン状部材 2 は、共にシリコン単結晶で形成される。フィン状部材 2 は、紙面に垂直な方向 (X 軸方向) に延在する。例えば、フィン状部材 2 の厚さは約 4 0 nm、高さは約 4 0 0 nm とする。

30

【 0 0 2 0 】

以下、下地構造体の形成方法について説明する。シリコン基板の表面の一部をマスクして表層部をエッチングし、フィン状部材 2 を残す。エッチング直後のフィン状部材 2 の厚さは、4 0 nm よりも厚い。シリコン基板の表面を熱酸化して酸化シリコン膜を形成し、この酸化シリコン膜をエッチングすることにより、フィン状部材 2 を厚さ 4 0 nm まで薄くする。

【 0 0 2 1 】

図 2 B に示すように、下地基板 1 及びフィン状部材 2 の表面を熱酸化することにより、厚さ約 1 0 nm の第 1 の絶縁膜 3 を形成する。第 1 の絶縁膜 3 の表面上に、化学気相成長 (CVD) により窒化シリコン (SiN) を堆積させ、厚さ約 5 0 nm の第 2 の絶縁膜 4 を形成する。次に、第 2 の絶縁膜 4 の上に、CVD により酸化シリコンを堆積させることにより、第 3 の絶縁膜 5 を形成する。第 3 の絶縁膜 5 の厚さは、支持基板 1 の平坦面上において、第 3 の絶縁膜 5 の上面が、フィン状部材 2 の上方における第 2 の絶縁膜 4 の上面よりも高くなる程度とする。

40

【 0 0 2 2 】

図 2 C に示すように、フィン状部材 2 の上方において第 2 の絶縁膜 4 が露出するまで、第 3 の絶縁膜 5 の表層部を化学機械研磨する。

50

【 0 0 2 3 】

図 2 D に示すように、フィン状部材 2 の上端側の一部分を覆う第 2 の絶縁膜 4 を、リン酸を用いてエッチングする。このエッチングにより、凹部 8 が形成される。凹部 8 の底面から、フィン状部材 2 の上端側の一部が突出する。この突出部分は、第 1 の絶縁膜 3 で覆われている。

【 0 0 2 4 】

図 2 E に示すように、フィン状部材 2 の突出部を覆う第 1 の絶縁膜 3 を、希フッ酸溶液を用いて除去する。このとき、第 3 の絶縁膜 5 の表層部も薄くエッチングされる。これにより、凹部 8 内に、フィン状部材 2 の上端側の一部が露出する。

【 0 0 2 5 】

図 2 F に示すように、フィン状部材 2 の露出した部分の表層部の酸化、及び酸化により形成された酸化シリコン膜のエッチングを行うことにより、フィン状部材 2 の上端側の一部を、例えば厚さ 5 nm まで薄層化する。フィン状部材 2 のうち、薄層化された部分をコア部材 2 A と呼び、薄層化されていない部分を、ベース部材 2 B と呼ぶこととする。

【 0 0 2 6 】

図 2 G に示すように、凹部 8 内に露出しているシリコン表面、すなわちコア部材 2 A の側面と上側の端面、及びベース部材 2 B の上面の上に、SiGe を選択的にエピタキシャル成長させることにより、厚さ 5 ~ 10 nm の第 1 の半導体膜 10 を形成する。第 1 の半導体膜 10 は、例えばシラン (SiH₄) とゲルマン (GeH₄) とを用いた熱 CVD により形成することができる。Si と SiGe との格子定数の相違により、Si からなるコア部材 2 A に引張歪が生じ、SiGe からなる第 1 の半導体膜 10 に圧縮歪が生じる。

【 0 0 2 7 】

図 2 H に示すように、第 1 の半導体膜 10 の表層部を熱酸化することにより、厚さ 1 nm のゲート絶縁膜 15 を形成する。ゲート絶縁膜 15 は、実質的に酸化シリコンで形成されることになる。コア部材 2 A と第 1 の半導体膜 10 とにより、フィン状のチャネル構造体 11 が構成される。

【 0 0 2 8 】

図 2 I に示すように、全面にポリシリコン膜 18 A を、CVD により堆積させる。ポリシリコン膜 18 は、凹部 8 内に充填される。

【 0 0 2 9 】

図 3 A に、図 2 I の一点鎖線 A3 - A3 における断面図を示す。コア部材 2 A の上面の上に、第 1 の半導体膜 10、ゲート絶縁膜 15、及びポリシリコン膜 18 A が積層されている。

【 0 0 3 0 】

図 3 B に示すように、ポリシリコン膜 18 A をパターニングすることにより、ポリシリコンからなるゲート電極 18 を形成する。ゲート電極 18 は、Y 軸方向に延在する。

【 0 0 3 1 】

図 3 C に示すように、ゲート電極 18 をマスクとして、その両側のチャネル構造体 11 に、ドナーをイオン注入することにより、ソース領域 20 及びドレイン領域 21 を形成する。

【 0 0 3 2 】

図 3 D に示すように、ゲート電極 18 の上面と側面、及びその両側のゲート絶縁膜 15 の表面を覆うように、窒化シリコンからなるストレスサ 25 を形成する。ストレスサ 25 は、例えば原料ガスとして SiH₄、NH₃、及び N₂ を用い、圧力 100 Pa、成長温度 800 の条件で、減圧熱 CVD により形成する。この条件で形成されたストレスサ 25 には、引張応力が内在する。すなわち、ストレスサ 25 は面内方向に縮もうとする。

【 0 0 3 3 】

このため、チャネル構造体 2 A のうちゲート電極 18 の下方のチャネル領域に引張応力が印加される。チャネル部のコア部材 2 A に生じていた引張歪がより大きくなるとともに、第 1 の半導体膜 10 に生じていた圧縮歪が緩和される。コア部材 2 A の表層部に引張歪

10

20

30

40

50

を生じさせることにより、電子の移動度を高めることができる。

【0034】

図4に、第1の実施例によるフィン型MOSFETのコア部材2Aからゲート電極18までの厚さ方向に関するエネルギーバンド図を示す。Si基板上に、臨界膜厚以下の厚さのSiGe膜をエピタキシャル成長させた場合、Si基板の伝導帯下端と、SiGe膜の伝導帯下端とのエネルギーレベルはほぼ等しくなる。ところが、第1の実施例の場合には、SiGeからなる第1の半導体膜10の圧縮歪が緩和され、Siからなるコア部材2Aに引張歪が生じる。これにより、コア部材2Aの表層部の伝導帯下端のエネルギーレベルEcが、第1の半導体膜10の伝導帯下端のエネルギーレベルEcよりも低くなる。

【0035】

ゲート電極18に正電圧を印加すると、コア部材2と第1の半導体膜10との界面Cheに電子が蓄積されチャンネルが形成される。このように、ゲート絶縁膜15と第1の半導体膜10との界面よりも深い領域に、チャンネルが形成される。チャンネル内を移動する電子が、ゲート絶縁膜15と第1の半導体膜10との界面の粗さや界面準位の影響を受けないため、電子の移動度の向上が期待できる。

【0036】

例えば、本願発明者の評価実験によると、SiとSiO₂との界面に蓄積された電子の移動度が500cm²/Vであり、引張歪を生じさせたSiとSiO₂との界面に蓄積された電子の移動度が700cm²/Vであるのに対し、引張歪を生じさせたSiとSiGeとの界面に蓄積された電子の移動度は、2600~3000cm²/Vであった。

【0037】

第1の半導体膜10にドナーを添加しておいてもよい。第1の半導体膜10の伝導帯内に発生した電子が、コア部材2Aと第1の半導体膜10との界面に蓄積され、ノーマリオン型のMOSFETが得られる。この場合、コア部材2Aと第1の半導体層10との界面に蓄積された電子によって、ソース及びドレイン領域に導電性が付与されるため、図3Cに示したゲート電極18をマスクとしたイオン注入を行う必要はない。

【0038】

上記第1の実施例では、コア部材2AをSiで形成し、第1の半導体膜10をSiGeで形成したが、両者をSiGeで形成することも可能である。この場合、第1の半導体膜10のGeの組成比を、コア部材2AのGeの組成比よりも大きくすることにより、両者の界面に、第1の実施例と同様のエネルギーレベルの段差を形成することができる。

【0039】

次に、図5A及び図5Bを参照して、第2の実施例によるフィン型MOSFETについて、第1の実施例によるフィン型MOSFETとの相違点に着目して説明する。

【0040】

図5Aに、第2の実施例によるフィン型MOSFETの断面図を示す。図5Aに示した断面図は、第1の実施例によるフィン型MOSFETの図3Dに示した断面図に対応する。第1の実施例では、支持基板1、ベース部材2B、及びコア部材2AがSiで形成され、第1の半導体膜10がSiGeで形成されていたが、第2の実施例では、その逆に、支持基板1、ベース部材2B、及びコア部材2AがSiGeで形成され、第1の半導体膜10がSiで形成されている。第1の半導体膜10を形成した直後には、SiGeからなるコア部材2Aに圧縮歪が生じ、Siからなる第1の半導体膜10に引張歪が生じる。

【0041】

また、第1の実施例では、ストレッサ25に引張応力が内在していたが、第2の実施例では、ストレッサ25に圧縮応力が内在している。ストレッサ25は、例えば原料ガスとしてテトラメチルシラン(4MS)、NH₃、及びN₂を用い、圧力500Pa、成長温度400の条件で、プラズマ励起型CVDにより形成する。この条件でSiNを堆積させることにより、圧縮応力が内在するストレッサ25を形成することができる。

【0042】

ストレッサ25が面内方向に伸びようとするため、チャンネル構造体2Aのうちゲート電

10

20

30

40

50

極 18 の下方のチャンネル領域に圧縮応力が印加される。このため、チャンネル部のコア部材 2A に生じていた圧縮歪がより大きくなるとともに、第 1 の半導体膜 10 に生じていた引張歪が緩和される。コア部材 2A の表層部に圧縮歪を生じさせることにより、正孔の移動度を高めることができる。

【0043】

図 5B に、第 2 の実施例によるフィン型 MOSFET のコア部材 2A からゲート電極 18 までの厚さ方向に関するエネルギーバンド図を示す。コア部材 2A の荷電子帯上端のエネルギーレベル E_v が、第 1 の半導体膜 10 の荷電子帯上端のエネルギーレベル E_v よりも高くなる。

【0044】

ゲート電極 18 に負電圧を印加すると、コア部材 2 と第 1 の半導体膜 10 との界面 CHh に正孔が蓄積されチャンネルが形成される。このように、ゲート絶縁膜 15 と第 1 の半導体膜 10 との界面よりも深い領域に、チャンネルが形成される。チャンネル内を移動する正孔が、ゲート絶縁膜 15 と第 1 の半導体膜 10 との界面の粗さや界面準位の影響を受けないため、正孔の移動度の向上が期待できる。

【0045】

例えば、本願発明者の評価実験によると、Si と SiO₂ との界面に蓄積された正孔の移動度が 150 cm²/V であり、引張歪を生じさせた Si と SiO₂ との界面に蓄積された正孔の移動度が 190 cm²/V であるのに対し、圧縮歪を生じさせた SiGe と Si との界面に蓄積された正孔の移動度は、800 ~ 1000 cm²/V であった。

【0046】

第 1 の半導体膜 10 にアクセプタを添加しておいてもよい。第 1 の半導体膜 10 の荷電子帯内に発生した正孔が、コア部材 2A と第 1 の半導体膜 10 との界面に蓄積され、ノーマリオン型の p チャンネル MOSFET が得られる。この場合、コア部材 2A と第 1 の半導体膜 10 との界面に蓄積された正孔によって、ソース及びドレイン領域に導電性が付与されるため、ゲート電極 18 の形成後に、ソース領域及びドレイン領域を形成するためのイオン注入を行う必要はない。

【0047】

上記第 2 の実施例では、コア部材 2A を SiGe で形成し、第 1 の半導体膜 10 を Si で形成したが、両者を SiGe で形成することも可能である。この場合、コア部材 2A の Ge の組成比を第 1 の半導体膜 10 の Ge の組成比よりも大きくすることにより、両者の界面に、第 2 の実施例と同様のエネルギーレベルの段差を形成することができる。

【0048】

上記第 1 及び第 2 の実施例では、第 1 の半導体膜 10 とゲート電極 18 との間に、酸化シリコンからなるゲート絶縁膜 15 を配置したが、第 1 の半導体膜 10 にゲート電極 18 をショットキ接触させてもよい。ゲート電極 18 を、白金 (Pt)、チタン (Ti)、アルミニウム (Al) 等で形成することにより、ショットキ接触を得ることができる。

【0049】

上記第 1 及び第 2 の実施例では、コア部材 2A の側面上及び上側の端面上に、第 1 の半導体膜 10 及びゲート電極 18 を配置した。上側の端面は、側面に比べて幅が極めて狭いため、上側の端面に形成されるチャンネルは MOSFET の動作にほとんど影響を及ぼさない。従って、コア部材 2A の 2 つの側面上にのみ半導体膜 10 及びゲート電極 18 を配置してもよい。

【0050】

次に、図 6A 及び図 6B を参照して、第 3 の実施例によるフィン型 MOSFET について、第 1 の実施例によるフィン型 MOSFET との相違点に着目して説明する。

【0051】

図 6A に、第 3 の実施例によるフィン型 MOSFET のチャンネル構造体 11 の断面図を示す。第 1 の実施例では、図 2I に示したように、チャンネル構造体 11 がコア部材 2A と第 1 の半導体膜 10 とで構成されていたが、第 3 の実施例では、第 1 の半導体膜 10 の表

10

20

30

40

50

面上に、さらにSiからなる厚さ約5 nmの第2の半導体膜12が形成されている。ゲート絶縁膜15は、第2の半導体膜12の表面上に形成されている。その他の構成は、第1の実施例によるフィン型MOSFETの構成と同じである。

【0052】

図6Bに、コア部材2Aからゲート電極18までの厚さ方向に関するエネルギーバンド図を示す。第1の実施例の場合と同様に、コア部材2Aと第1の半導体膜10との界面CHEに電子が蓄積され、n型のチャンネルが形成される。なお、第2の半導体膜12は、量子効果が発現する程度に薄いため、その伝導帯の基底量子準位は、コア部材2Aの伝導帯下端よりも高い。従って、コア部材2Aと第1の半導体膜10との界面CHEに優先的にn型のチャンネルが形成される。

10

【0053】

第1の半導体膜10の荷電子帯上端のエネルギーレベルが、第2の半導体膜12のそれよりも高い。このため、両者の界面CHhに正孔が蓄積され、p型のチャンネルが形成される。

【0054】

第3の実施例のように、チャンネル構造体11を3層構造にすることにより、ソース及びドレイン領域をn型にすれば、nチャンネルのフィン型MOSFETが実現され、ソース及びドレイン領域をp型にすれば、pチャンネルのフィン型MOSFETが実現される。このため、容易にCMOS回路を形成することが可能になる。

【0055】

第3の実施例においても、第1の半導体膜10にドナーを添加することにより、ノーマリオン型のnチャンネルMOSFETが得られる。また、第1の半導体膜10にアクセプタを添加することにより、ノーマリオン型のpチャンネルMOSFETが得られる。

20

【0056】

第3の実施例では、コア部材2A及び第2の半導体膜12をSiで形成し、第1の半導体膜10をSiGeで形成したが、これらをすべてSiGeで形成してもよい。この場合、第1の半導体膜10のGeの組成比を、コア部材2A及び第2の半導体膜12のいずれのGeの組成比よりも大きくすることにより、第3の実施例と同様の作用効果を得ることができる。

【0057】

また、コア部材2A及び第2の半導体膜12を、GeまたはSiGeで形成し、第1の半導体膜10をSiまたはSiGeで形成してもよい。この場合、第1の半導体膜10のGeの組成比を、コア部材2A及び第2の半導体膜12のいずれのGeの組成比よりも小さくすることが好ましい。

30

【0058】

この構成とした場合、荷電子帯では、図5Bに示した場合と同様に、コア部材2Aと第1の半導体膜10との界面に正孔が蓄積され、p型チャンネルが形成される。伝導帯では、第1の半導体膜10と第2の半導体膜12との界面に電子が蓄積され、n型チャンネルが形成される。図5Bに積層構造を用いてnチャンネルMOSFETを構成すると、第1の半導体膜10とゲート絶縁膜15との界面にn型チャンネルが形成される。第1の半導体膜10とゲート絶縁膜15との間に第2の半導体膜12を挿入すると、n型チャンネルが、半導体とゲート絶縁膜15との界面よりも深い領域に形成されるため、電子の移動度が高くなるという効果が期待できる。

40

【0059】

上記第3の実施例では、第2の半導体膜12とゲート電極18との間に、酸化シリコンからなるゲート絶縁膜15を配置したが、第2の半導体膜12にゲート電極18をショットキ接触させてもよい。ゲート電極18を、白金(Pt)、チタン(Ti)、アルミニウム(Al)等で形成することにより、ショットキ接触を得ることができる。

【0060】

上記第1～第3の実施例では、ストレッサ25として窒化シリコンを用いたが、圧縮応

50

力または引張応力を内在させることができるその他の材料を用いてもよい。例えば、スパッタリングにより堆積させた窒化チタン (TiN) 膜やカーボン (C) 膜には圧縮応力が内在する。

【0061】

また、上記第1～第3の実施例では、支持基板1、ベース部材2B、及びコア部材2Aを、1枚のシリコン基板から形成したが、支持基板1として絶縁性の材料からなる基板を用いてもよい。ベース部材2B及びコア部材2Aは、絶縁性基板上に形成された半導体膜をパターンングすることにより形成することができる。

【0062】

図3Dを参照して、ストレッサ25の好ましい膜厚、及びゲート電極18の好ましい断面形状について説明する。なお、以下に説明する好適な寸法は、第2及び第3の実施例にも当てはまる。

【0063】

コア部材2Aのチャンネル領域に効率的に歪を生じさせるために、ストレッサ25の厚さT2を、コア部材2Aの上面からストレッサ25の底面までの距離T3の5倍以上とすることが好ましい。

【0064】

上記実施例では、ゲート電極18の上方に堆積したストレッサ25にも引張または圧縮応力が内在している。ゲート電極18が薄い場合には、この部分の応力がチャンネル領域まで影響を及ぼし、チャンネル領域の歪を緩和させてしまう。チャンネル領域に効率的に歪を生じさせるために、ゲート電極18の両側に配置されたストレッサ25の底面からゲート電極18の上に配置されたストレッサ25の底面までの高さT1を、ゲート電極18のX軸方向の寸法Lの1倍以上とすることが好ましい。

【0065】

チャンネルを歪ませることによる十分な効果を得るために、チャンネル領域に印加される応力が2GPa以上になるような構成とすることが好ましい。例えば、Si層とSiO₂層との界面に発生する応力が約2GPaである。一例として、歪の緩和したSiO₂層上にSi層をエピタキシャル成長させた場合に、Si層全体に発生する応力が約2GPaになる。

【0066】

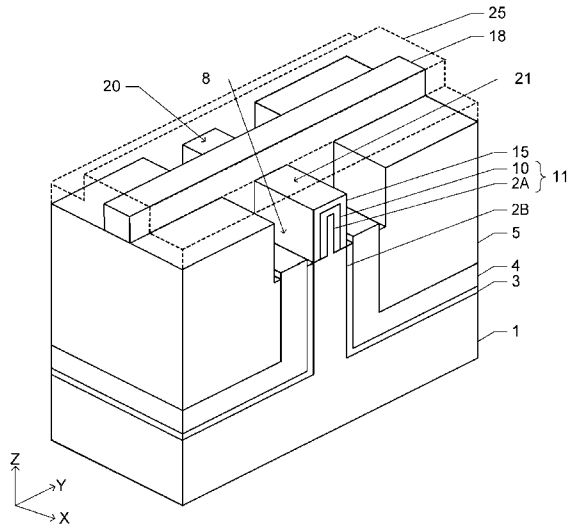
以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

10

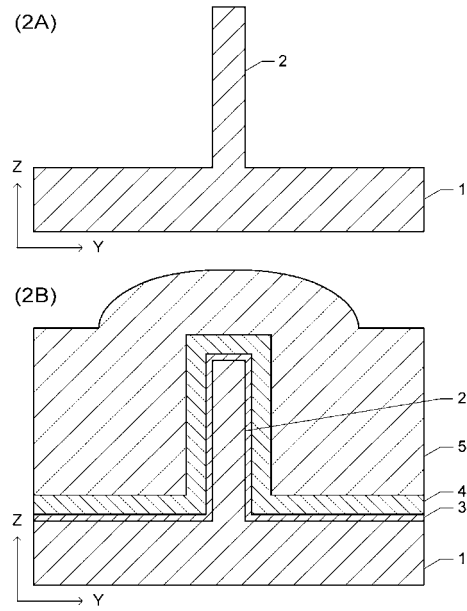
20

30

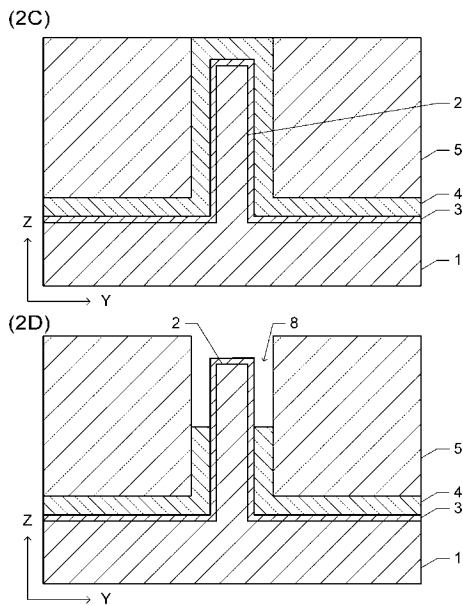
【図1】



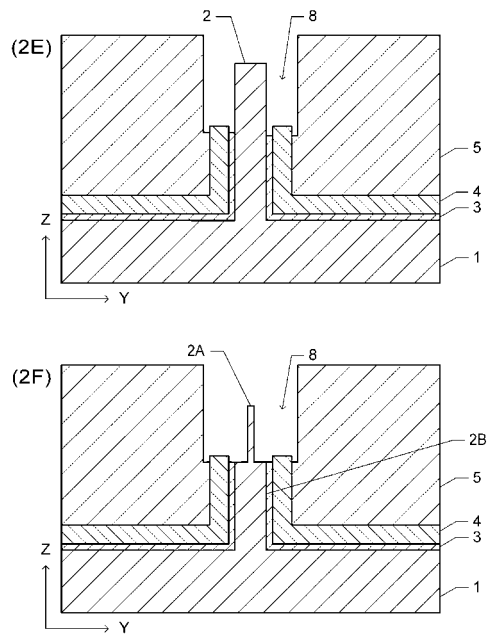
【図2-1】



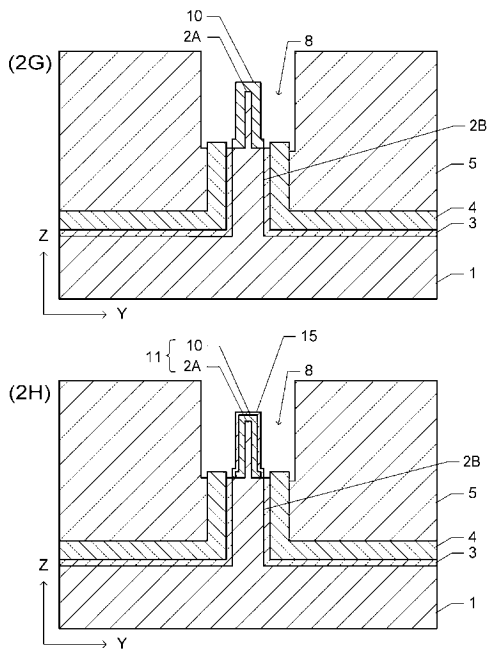
【図2-2】



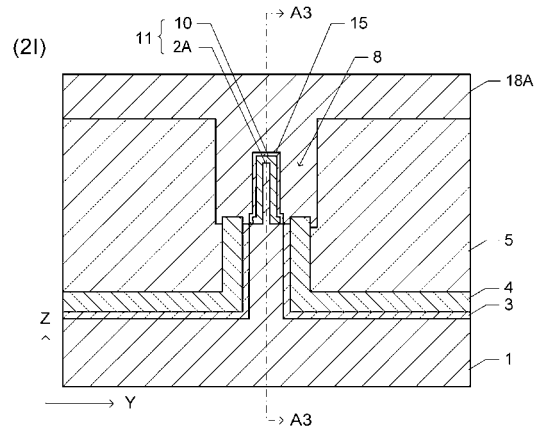
【図2-3】



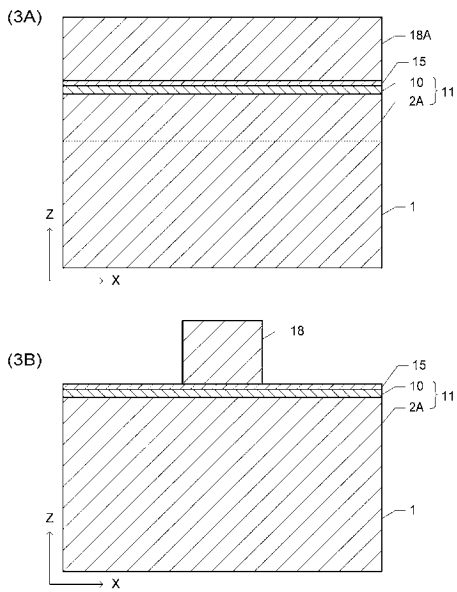
【 図 2 - 4 】



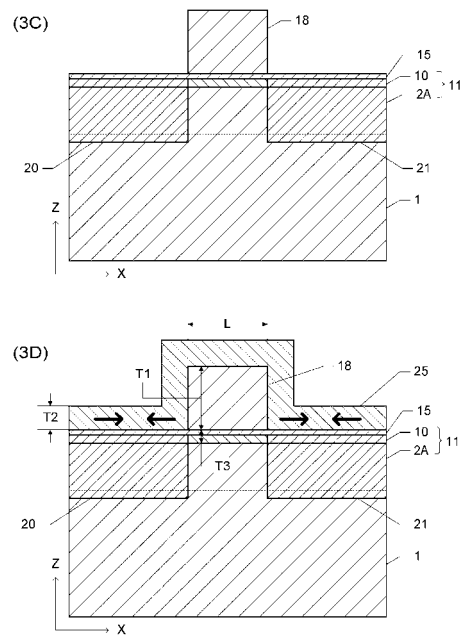
【 図 2 - 5 】



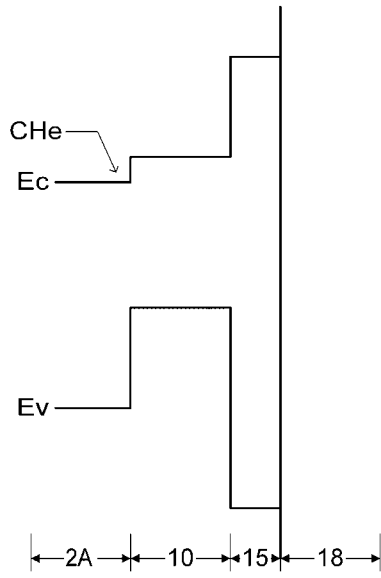
【 図 3 - 1 】



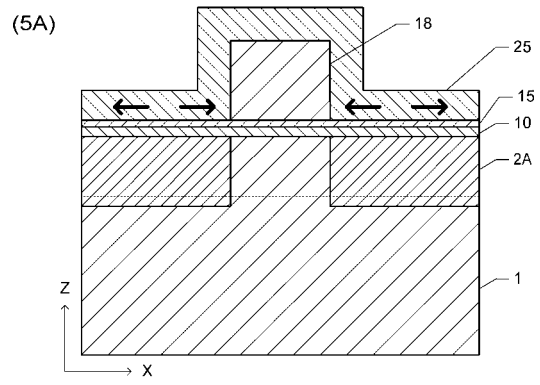
【 図 3 - 2 】



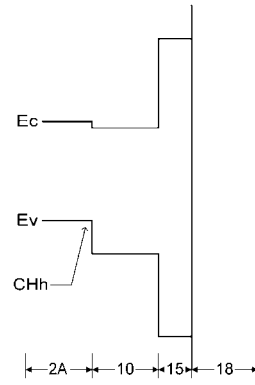
【 図 4 】



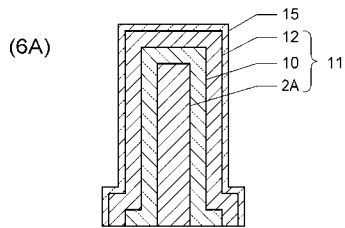
【 図 5 】



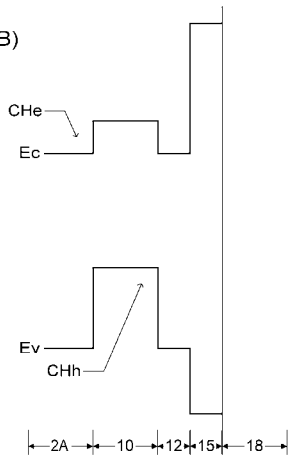
(5B)



【 図 6 】



(6B)



フロントページの続き

- (56)参考文献 特開2005-019970(JP,A)
米国特許第06475869(US,B1)
特開2005-521258(JP,A)
特開2003-060078(JP,A)
特開平11-274315(JP,A)
特開2005-005633(JP,A)
特開2005-064500(JP,A)
特開平07-321222(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78