



(12)发明专利申请

(10)申请公布号 CN 109326609 A

(43)申请公布日 2019.02.12

(21)申请号 201811061860.0

(22)申请日 2018.09.12

(71)申请人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 高颖 周星宇

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280
代理人 钟子敏

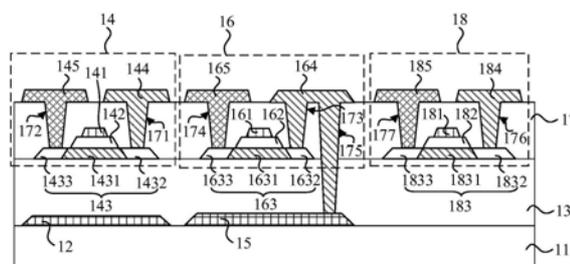
(51) Int. Cl.
H01L 27/12(2006.01)
H01L 27/32(2006.01)

权利要求书2页 说明书6页 附图3页

(54)发明名称
一种阵列基板及其制作方法

(57)摘要

本申请公开了一种阵列基板及其制作方法，该阵列基板包括衬底、第一金属遮光图案、缓冲层和第一薄膜晶体管，第一金属遮光图案形成于衬底上，缓冲层用于覆盖第一金属遮光图案，第一薄膜晶体管形成于缓冲层上且位于第一金属遮光图案的正上方；其中，第一薄膜晶体管包括第一顶栅图案，第一顶栅图案与第一金属遮光图案电连接。通过上述方式，本申请能够防止第一薄膜晶体管被光照射，且使得第一薄膜晶体管的发热减少。



1. 一种阵列基板,其特征在于,所述阵列基板包括:

衬底;

第一金属遮光图案,形成于所述衬底上;

缓冲层,用于覆盖所述第一金属遮光图案;

第一薄膜晶体管,形成于所述缓冲层上且位于所述第一金属遮光图案的正上方;

其中,所述第一薄膜晶体管包括第一顶栅图案,所述第一顶栅图案与所述第一金属遮光图案电连接。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第一薄膜晶体管进一步包括第一半导体图案、第一栅极绝缘图案、第一源极图案和第一漏极图案,其中,所述第一半导体图案、所述第一栅极绝缘图案以及第一顶栅图案层叠设置于所述缓冲层上,并由层间绝缘层覆盖,所述第一半导体图案划分为位于所述第一栅极绝缘图案下方的第一沟道区以及从所述第一栅极绝缘图案两侧外露的第一源极接触区和第一漏极接触区,所述层间绝缘层形成有第一源极通孔和第一漏极通孔,所述第一源极图案和第一漏极图案形成于所述层间绝缘层上并分别通过所述第一源极通孔和第一漏极通孔电连接至所述第一源极接触区和第一漏极接触区。

3. 根据权利要求2所述的阵列基板,其特征在于,所述阵列基板进一步包括:

第二金属遮光图案,形成于所述衬底上,并由所述缓冲层覆盖;

第二薄膜晶体管,形成于所述缓冲层上且位于所述第二金属遮光图案的正上方;

其中,所述第二薄膜晶体管包括第二源极图案,所述第二源极图案与所述第二金属遮光图案电连接。

4. 根据权利要求3所述的阵列基板,其特征在于,

所述第二薄膜晶体管进一步包括第二半导体图案、第二栅极绝缘图案、第二顶栅图案和第二漏极图案,其中,所述第二半导体图案、所述第二栅极绝缘图案以及第二顶栅图案层叠设置于所述缓冲层上,并由层间绝缘层覆盖,所述第二半导体图案划分为位于所述第二栅极绝缘图案下方的第二沟道区以及从所述第二栅极绝缘图案两侧外露的第二源极接触区和第二漏极接触区,所述层间绝缘层形成有第二源极通孔和第二漏极通孔,所述第二源极图案和第二漏极图案形成于所述层间绝缘层上并分别通过所述第二源极通孔和第二漏极通孔电连接至所述第二源极接触区和第二漏极接触区,所述层间绝缘层和所述缓冲层进一步形成有辅助通孔,所述第二源极图案通过所述辅助通孔电连接至所述第二金属遮光图案。

5. 根据权利要求3所述的阵列基板,其特征在于,所述阵列基板进一步包括第三薄膜晶体管,所述第三薄膜晶体管形成于所述缓冲层上且在所述第三薄膜晶体管的正下方不设置任何金属遮光图案。

6. 根据权利要求3所述的阵列基板,其特征在于,所述第一薄膜晶体管的所述第一沟道区的宽长比大于10,所述第二薄膜晶体管用于作为电流驱动部件。

7. 一种阵列基板的制作方法,其特征在于,

提供一衬底;

在所述衬底上形成第一金属遮光图案;

在所述第一金属遮光图案上形成缓冲层;

在所述缓冲层上形成第一薄膜晶体管,其中,所述第一薄膜晶体管的顶栅图案与所述第一金属遮光图案电连接。

8. 根据权利要求7所述的阵列基板的制作方法,其特征在于,所述在所述衬底上形成第一金属遮光图案的步骤进一步包括:

在所述衬底上形成第二金属遮光图案;

所述在所述缓冲层上形成第一薄膜晶体管的步骤进一步包括:

在所述缓冲层上形成第二薄膜晶体管,其中,所述第二薄膜晶体管的源极图案与所述第二金属遮光图案电连接。

9. 根据权利要求8所述的阵列基板的制作方法,其特征在于,所述在所述缓冲层上形成第一薄膜晶体管的步骤进一步包括:

在所述缓冲层上形成第三薄膜晶体管,其中,所述第三薄膜晶体管的正下方不设置任何金属遮光图案。

10. 根据权利要求9所述的阵列基板的制作方法,其特征在于,所述在所述缓冲层上形成第一薄膜晶体管的步骤包括:

在缓冲层上形成半导体图案;

在所述半导体图案上形成栅极绝缘层;

在所述栅极绝缘层上形成顶栅图案;

利用所述顶栅图案为掩膜对所述栅极绝缘层进行图案化,以形成栅极绝缘图案;

以所述顶栅图案和所述栅极绝缘图案为掩膜对所述半导体图案进行导体化处理,以使得所述半导体图案形成位于所述栅极绝缘图案下方的沟道区以及从所述栅极绝缘图案两侧外露的源极接触区和漏极接触区。

一种阵列基板及其制作方法

技术领域

[0001] 本申请涉及显示技术领域,具体涉及一种阵列基板及其制作方法。

背景技术

[0002] 由于顶栅自对准氧化物薄膜晶体管(TFT,Thin Film Transistor)的寄生电容小,因而其是目前大尺寸有机发光二极管(Organic LightEmitting Diode,OLED)的首选。

[0003] 本申请的发明人在长期研发中发现,通常的栅极驱动电路(Gate on Array,GOA)技术中,一些外围TFT需要较大的驱动电流,以达到快速传输信号的目的,通常的实现方法为增大TFT的沟道宽长比,以获得较大的电流信号。对于自对准结构的氧化物TFT,源漏区域的氧化物是被导体化的,没有栅极控制,TFT打开时,源漏区域的电阻很大,有大电流通过时,会造成TFT发热过大,损伤TFT;而且氧化物TFT易受光照影响,容易受到光照后损坏,影响TFT的工作稳定性。

发明内容

[0004] 本申请主要解决的问题是提供一种阵列基板及其制作方法,能够防止第一薄膜晶体管被光照射,且使得第一薄膜晶体管的发热减少。

[0005] 为解决上述技术问题,本申请采用的技术方案是提供一种阵列基板,该阵列基板包括:衬底、第一金属遮光图案、缓冲层和第一薄膜晶体管,第一金属遮光图案形成于衬底上,缓冲层用于覆盖第一金属遮光图案,第一薄膜晶体管形成于缓冲层上且位于第一金属遮光图案的正上方;其中,第一薄膜晶体管包括第一顶栅图案,第一顶栅图案与第一金属遮光图案电连接。

[0006] 为解决上述技术问题,本申请采用的另一技术方案是提供一种阵列基板的制作方法,该方法包括:提供一衬底,在衬底上形成第一金属遮光图案,在第一金属遮光图案上形成缓冲层,在缓冲层上形成第一薄膜晶体管;其中,第一薄膜晶体管的顶栅图案与第一金属遮光图案电连接。

[0007] 通过上述方案,本申请的有益效果是:该阵列基板包括层叠设置的衬底、第一金属遮光图案、缓冲层和第一薄膜晶体管,第一薄膜晶体管形成于缓冲层上且位于第一金属遮光图案的正上方,第一薄膜晶体管中的第一顶栅图案与第一金属遮光图案电连接;利用第一金属遮光图案可以将射向第一薄膜晶体管的光线阻挡掉,使得第一薄膜晶体管受光照的影响减小,提高了第一薄膜晶体管的工作稳定性;并通过将第一金属遮光图案和第一顶栅图案电性连接,形成了双栅结构,第一薄膜晶体管的源漏极会受到底栅的正栅压作用而累计产生载流子,使得源漏极的电阻大大降低,从而使得第一薄膜晶体管发热减少,减少第一薄膜晶体管的损伤。。

附图说明

[0008] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使

用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。其中:

- [0009] 图1是本申请提供的阵列基板一实施例的结构示意图;
- [0010] 图2是图1所示的阵列基板中第一薄膜晶体管的结构俯视示意图;
- [0011] 图3是本申请提供的阵列基板的制作方法一实施例的流程示意图;
- [0012] 图4是本申请提供的阵列基板的制作方法另一实施例的流程示意图;
- [0013] 图5是本申请提供的顶栅型薄膜晶体管的制作方法。

具体实施方式

[0014] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0015] 参阅图1,图1是本申请提供的阵列基板一实施例的结构示意图,该阵列基板包括:衬底11、第一金属遮光图案12、缓冲层13和第一薄膜晶体管14。

[0016] 衬底11可以为玻璃基板,第一金属遮光图案12形成于衬底11上,第一金属遮光图案12可以由不透光的金属制成,作为遮光层去遮挡光线对第一薄膜晶体管14的影响,其厚度可以为500-2000Å,第一金属遮光图案12的材料可以为钼、铝、铜、钛及其合金等。

[0017] 缓冲层13覆盖第一金属遮光图案12,缓冲层13可以包括至少一层SiO_x或SiN_x薄膜,其厚度可以为1000-5000Å。

[0018] 第一薄膜晶体管14形成于缓冲层13上,且第一薄膜晶体管14位于第一金属遮光图案12的正上方;第一薄膜晶体管14包括第一顶栅图案141,第一顶栅图案141与第一金属遮光图案12电连接,如图2所示,可以通过金属走线或者通孔将第一顶栅图案141与第一金属遮光图案12电连接。在本申请中,正上方和正下方是指两个部件在衬底11的垂直方向下存在上下关系,且二者在衬底11上的投影至少部分重叠。

[0019] 由于第一金属遮光图案12可以将射向薄膜晶体管14的光线阻挡掉,从而使得第一薄膜晶体管14受光照的影响减小,因此可以降低光照对第一薄膜晶体管14工作稳定性的影响,提高了第一薄膜晶体管14的工作稳定性;而且由于第一金属遮光图案12和第一顶栅图案141电性连接,形成了双栅结构,第一薄膜晶体管14正常工作时,底栅(第一金属遮光图案12)的电压值为较大正电压值,第一薄膜晶体管14的源漏极会受到底栅的正栅压作用而累计产生载流子,使得源漏极的电阻大大降低,当有大电流通过源漏极时,可以使得第一薄膜晶体管14发热减少,不会因为发热过大而导致第一薄膜晶体管14损伤。

[0020] 继续参阅图1和2,第一薄膜晶体管14还包括第一栅极绝缘图案142、第一半导体图案143、第一源极图案144和第一漏极图案145。

[0021] 第一半导体图案143、第一栅极绝缘图案142以及第一顶栅图案141层叠设置于缓冲层13上,即第一半导体图案143设置于缓冲层13,第一栅极绝缘图案142设置于第一半导体图案143上,第一顶栅图案141设置于第一栅极绝缘图案142上,并且第一顶栅图案141、第一栅极绝缘图案142和第一半导体图案143被层间绝缘层17覆盖。

[0022] 第一半导体图案143划分为位于第一栅极绝缘图案142下方的第一沟道区1431以及从第一栅极绝缘图案142两侧外露的第一源极接触区1432和第一漏极接触区1433,层间绝缘层17形成有第一源极通孔171和第一漏极通孔172,第一源极图案144和第一漏极图案145形成于层间绝缘层14上,并分别通过第一源极通孔171和第一漏极通孔172电连接至第一源极接触区1432和第一漏极接触区1433。

[0023] 在一具体实施例中,第一薄膜晶体管14的第一沟道区的宽长比 W/L 可以大于10,其为大尺寸TFT,可用于作为GOA的内部部件。

[0024] 继续参阅图1,该阵列基板还包括还包括第二金属遮光图案15和第二薄膜晶体管16。

[0025] 第二金属遮光图案15形成于衬底11上,并由缓冲层13覆盖;第二薄膜晶体管16形成于缓冲层13上且位于第二金属遮光图案15的正上方。

[0026] 第二薄膜晶体管16包括第二顶栅图案161、第二栅极绝缘图案162、第二半导体图案163、第二源极图案164和第二漏极图案165。第二源极图案164与第二金属遮光图案15电连接。

[0027] 第一半导体图案143和第二半导体图案163可以为金属氧化物半导体材料,具体地,它们可以为铟镓锌氧化物、铟锌氧化物和铟镓锌锡氧化物等;第一半导体图案143和第二半导体图案163的厚度可以为 $100-1000\text{\AA}$ 。

[0028] 第二半导体图案163、第二栅极绝缘图案162以及第二顶栅图案161层叠设置于缓冲层13上,并由层间绝缘层覆盖17。

[0029] 第一栅极绝缘图案142和第二栅极绝缘图案162可以包括至少一层 SiO_x 或 SiN_x 薄膜,其厚度可以 $1000-3000\text{\AA}$ 。

[0030] 第一顶栅图案141和第二顶栅图案161的材料可以为钼、铝、铜、钛及其合金等,其厚度可以 $2000-8000\text{\AA}$ 。

[0031] 第二半导体图案163划分为位于第二栅极绝缘图案162下方的第二沟道区1631以及从第二栅极绝缘图案162两侧外露的第二源极接触区1632和第二漏极接触区1633。

[0032] 层间绝缘层17还形成有第二源极通孔173和第二漏极通孔174,第二源极图案164和第二漏极图案165形成于层间绝缘层17上,并分别通过第二源极通孔173和第二漏极通孔174电连接至第二源极接触区1632和第二漏极接触区1633,层间绝缘层17和缓冲层13进一步形成有辅助通孔175,第二源极图案164通过辅助通孔175电连接至第二金属遮光图案15。

[0033] 由于第二金属遮光图案15和第二源极图案164电性连接,使得第二顶栅图案161分别与第二源极图案164和第二漏极图案165之间的寄生电容减小,从而使得第二薄膜晶体管16的驱动电流更稳定。

[0034] 因此,第二薄膜晶体管16用于作为电流驱动部件,例如为OLED发光层提供驱动电流。

[0035] 继续参阅图1,该阵列基板还包括:第三薄膜晶体管18,第三薄膜晶体管18形成于缓冲层13上,且在第三薄膜晶体管18的正下方不设置任何金属遮光图案。

[0036] 第三薄膜晶体管18包括第三顶栅图案181、第三栅极绝缘图案182、第三半导体图案183、第三源极图案184和第三漏极图案185。

[0037] 第三半导体图案183划分为位于第三栅极绝缘图案182下方的第三沟道区1831以

及从第三栅极绝缘图案182两侧外露的第三源极接触区1832和第三漏极接触区1833。

[0038] 层间绝缘层17形成有第三源极通孔176和第三漏极通孔177,第三源极图案184和第三漏极图案185形成于层间绝缘层17上,并分别通过第三源极通孔176和第三漏极通孔177电连接至第三源极接触区1832和第三漏极接触区1833。

[0039] 由于未在第三薄膜晶体管18正下方设置金属遮光图案,设计的难度降低,且可以节省空间;第一薄膜晶体管14、第二薄膜晶体管16、第三薄膜晶体管18和存储电容(图中未示出)可用于构成3T1C的阵列OLED驱动电路,第一薄膜晶体管14可用于驱动GOA电路,第二薄膜晶体管16用于驱动OLED发光,其为控制发光亮度与灰阶的驱动薄膜晶体管,第三薄膜晶体管18可用作普通开关使用。

[0040] 参阅图1和3,图3是本申请提供的阵列基板的制作方法一实施例的流程示意图,该方法包括:

[0041] 步骤31:提供一衬底11。

[0042] 步骤32:在衬底11上形成第一金属遮光图案12。

[0043] 提供一衬底11,并对衬底11进行清洗和烘烤,然后沉积一层厚度为500-2000Å的金属,并通过图案化处理形成第一金属遮光图案12,其材料可以是钼、铝、铜、钛及其合金等。

[0044] 步骤33:在第一金属遮光图案12上形成缓冲层13。

[0045] 在形成了第一金属遮光图案12之后,在整面衬底11上沉积至少一层SiO_x或SiN_x薄膜,以作为缓冲层13,其厚度为1000-5000Å,缓冲层13覆盖第一金属遮光图案12。

[0046] 步骤34:在缓冲层13上形成第一薄膜晶体管14。

[0047] 在缓冲层13上制作第一薄膜晶体管14,并使得第一薄膜晶体管14的第一顶栅图案141与第一金属遮光图案12电连接。

[0048] 区别于现有技术,本实施例提供了一种阵列基板的制作方法,通过将第一薄膜晶体管14制作在第一金属遮光图案12的正上方,使得第一薄膜晶体管14受光照的影响减小,提高了第一薄膜晶体管14的工作稳定性;并通过将第一金属遮光图案12和第一顶栅图案141电性连接,形成了双栅结构,使得第一薄膜晶体管14的源漏极的电阻大大降低,减少第一薄膜晶体管14的发热。

[0049] 参阅图1和图4,图4是本申请提供的阵列基板的制作方法另一实施例的流程示意图,该方法包括:

[0050] 步骤41:提供一衬底11。

[0051] 步骤42:在衬底11上形成第一金属遮光图案12和第二金属遮光图案15。

[0052] 在衬底11上沉积一层金属层(图中未示出),并对其进行蚀刻,以形成第一金属遮光图案12和第二金属遮光图案15。

[0053] 步骤43:在第一金属遮光图案12和第二金属遮光图案15上形成缓冲层13。

[0054] 将缓冲层13设置于衬底11上,并覆盖第一金属遮光图案12和第二金属遮光图案15。

[0055] 步骤44:在缓冲层13上形成第一薄膜晶体管14、第二薄膜晶体管16和第三薄膜晶体管18。

[0056] 在完成缓冲层13的制作之后,在缓冲层13上制作第一薄膜晶体管14、第二薄膜晶

体管16和第三薄膜晶体管18。

[0057] 第一薄膜晶体管14的第一顶栅图案141与第一金属遮光图案12电连接,第二薄膜晶体管16的第二源极图案164与第二金属遮光图案15电连接,第三薄膜晶体管18的正下方不设置任何金属遮光图案。

[0058] 区别于现有技术,本实施例提供了一种阵列基板的制作方法,利用第一薄膜晶体管14、第二薄膜晶体管16和第三薄膜晶体管18可用于组成3T1C的阵列OLED驱动电路,使得第一薄膜晶体管14和第二薄膜晶体管16受光照的影响减小,提高了第一薄膜晶体管14和第二薄膜晶体管16的工作稳定性,且使得第一薄膜晶体管14发热减少以及使得第二薄膜晶体管16的驱动电流更稳定。

[0059] 参阅图5,图5是本申请提供的顶栅型薄膜晶体管的制作方法,该方法适用于制作上述实施例中的第一至第三薄膜晶体管。

[0060] 步骤51:在缓冲层上形成半导体图案。

[0061] 在缓冲层上沉积一层金属氧化物半导体材料作为半导体层,该半导体层的材料可以是铟镓锌氧化物、铟锌氧化物和铟镓锌锡氧化物等,其厚度为100-1000Å;然后对该半导体层进行蚀刻,以形成半导体图案。

[0062] 步骤52:在半导体图案上形成栅极绝缘层。

[0063] 在半导体图案上沉积至少一层SiO_x或SiN_x薄膜,以作为栅极绝缘层,其厚度1000-3000Å。

[0064] 步骤53:在栅极绝缘层上形成顶栅图案。

[0065] 在栅极绝缘层沉积一层金属作为栅极金属层,该栅极金属层包括钼、铝、铜、钛及其合金,其厚度可以为2000-8000Å;其中,第一薄膜晶体管的顶栅图案和第一金属遮光图案电性连接,可以通过设置通孔使其连接。

[0066] 步骤54:利用顶栅图案为掩膜对栅极绝缘层进行图案化,以形成栅极绝缘图案。

[0067] 利用黄光制程,先蚀刻出顶栅图案,再利用顶栅图案为自对准,蚀刻栅极绝缘层,使得在顶栅图案的下方设置栅极绝缘图案,其余区域的栅极绝缘层均被蚀刻掉。

[0068] 步骤55:以顶栅图案和栅极绝缘图案为掩膜对半导体图案进行导体化处理,以使得半导体图案形成位于栅极绝缘图案下方的沟道区以及从栅极绝缘图案两侧外露的源极接触区和漏极接触区。

[0069] 对半导体图案进行等离子处理,即进行离子掺杂,使得未被顶栅图案和栅极绝缘图案覆盖的半导体图案在处理以后电阻明显降低,形成源极接触区和漏极接触区,栅极绝缘图案覆盖的半导体图案未被处理,保持半导体特性,作为沟道区。

[0070] 此外,可以在顶栅图案上沉积至少一层SiO_x或SiN_x薄膜,以形成覆盖缓冲层的层间绝缘层,其厚度为2000-10000Å,并且在对应于源极接触区和漏极接触区的区域进行开孔,以形成源极通孔和漏极通孔。

[0071] 在层间绝缘层上沉积一层金属作为源漏极金属层,该源漏极金属层的材料可以为钼、铝、铜、钛及其合金,其厚度为2000-8000Å,然后进行图案化,以形成源极图案和漏极图案,并分别使得源极图案和漏极图案与源极接触区和漏极接触区连接。

[0072] 另外,在制作过程中,将第一薄膜晶体管的顶栅图案与第一金属遮光图案电性连

接,并将第二薄膜晶体管的源极图案与第二金属遮光图案电性连接。

[0073] 通过在缓冲层上制作第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管,并将第一金属遮光图案和第一薄膜晶体管的顶栅图案电性连接,形成了双栅结构,减少第一薄膜晶体管的发热,减少第一薄膜晶体管的损伤;并通过将第二薄膜晶体管的源极图案与第二金属遮光图案电性连接,使得第二薄膜晶体管的寄生电容减小,能够使得第二薄膜晶体管的驱动电流更稳定。

[0074] 以上仅为本申请的实施例,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

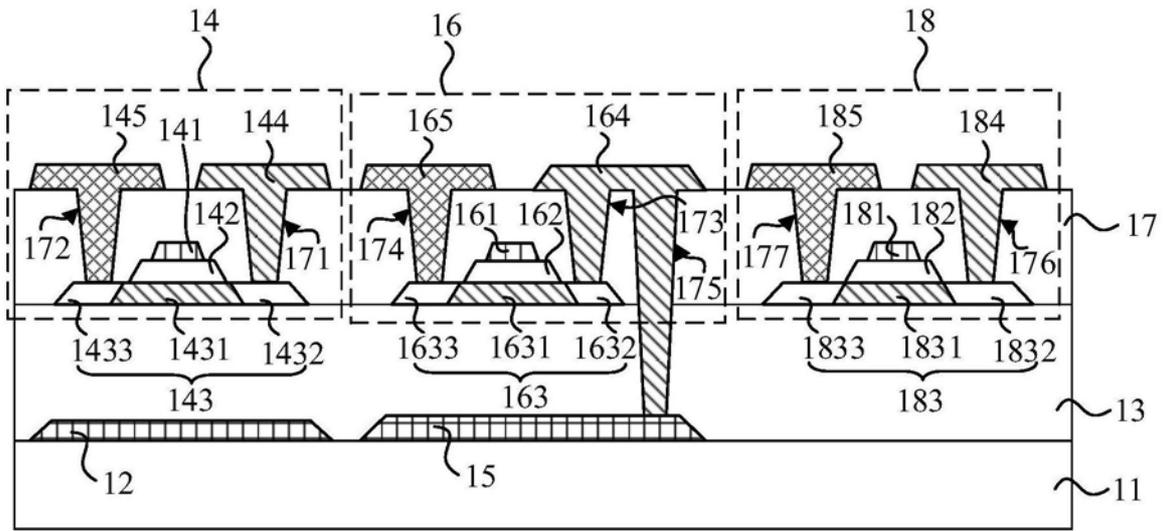


图1

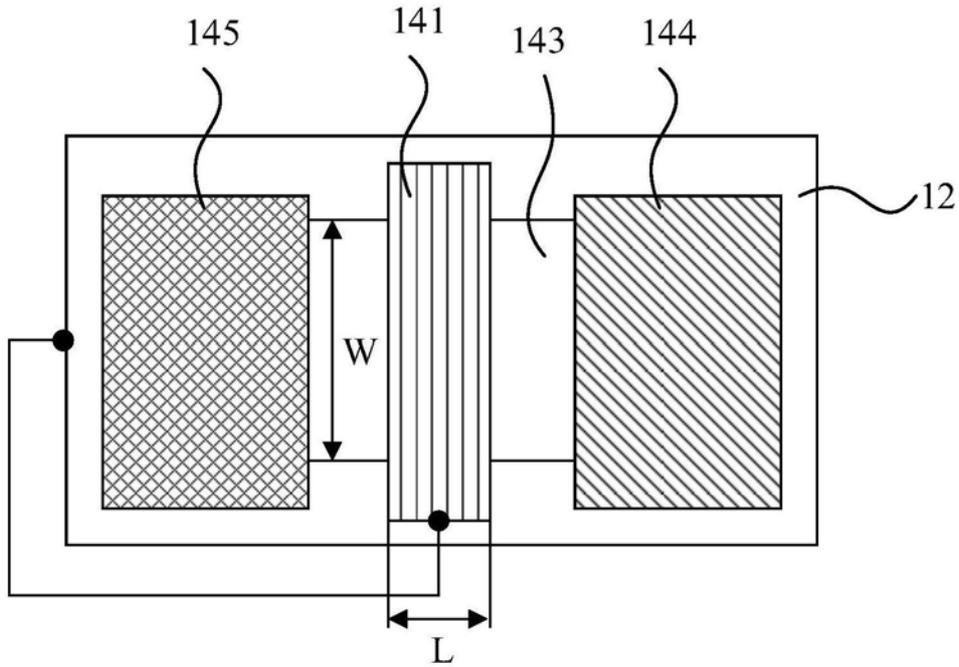


图2

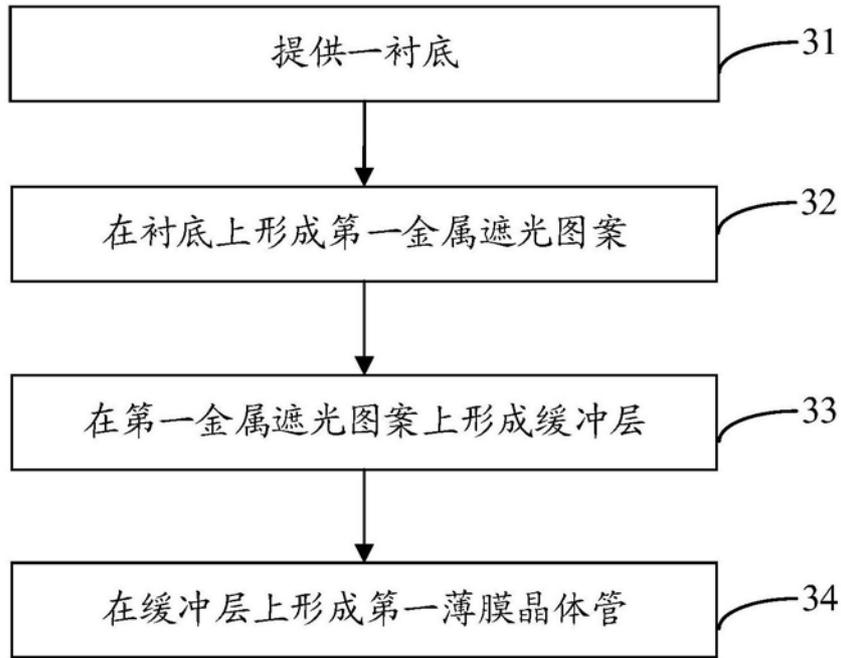


图3

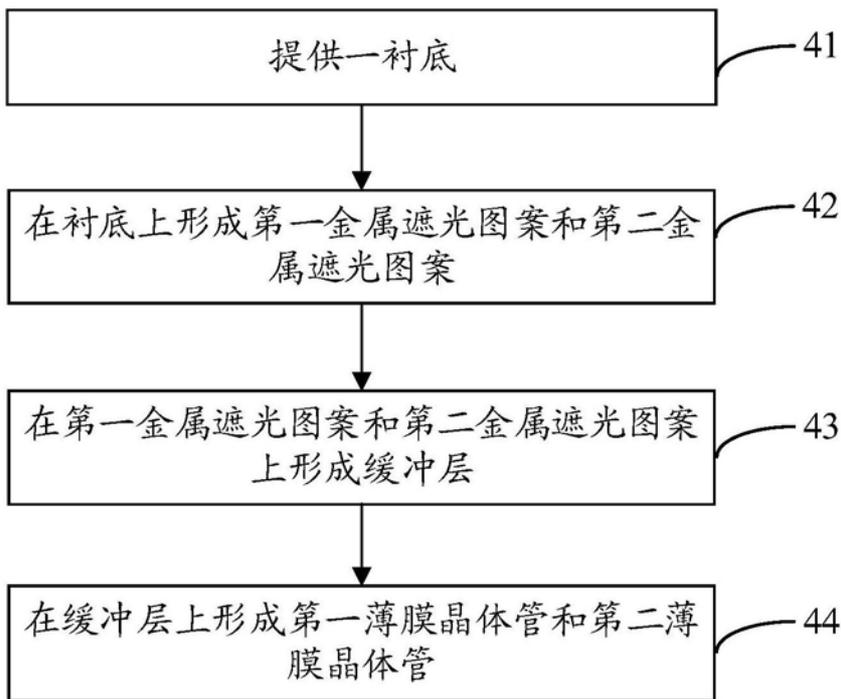


图4

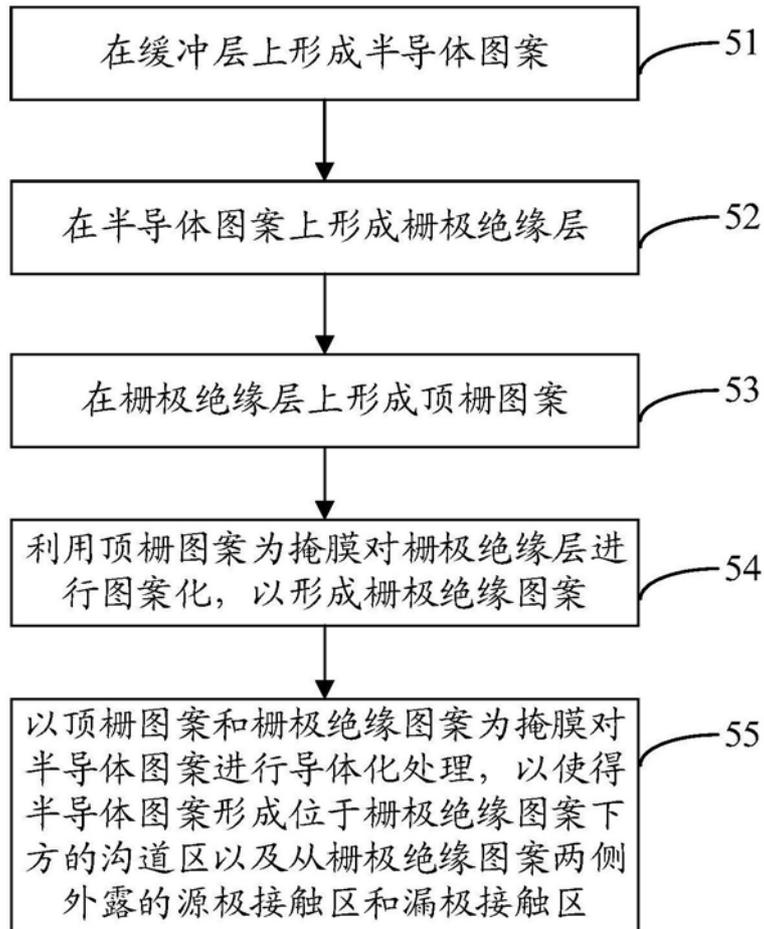


图5