



(12) 发明专利

(10) 授权公告号 CN 108962156 B

(45) 授权公告日 2022.04.26

(21) 申请号 201810462078.3

(22) 申请日 2018.05.15

(65) 同一申请的已公布的文献号  
申请公布号 CN 108962156 A

(43) 申请公布日 2018.12.07

(30) 优先权数据  
2017-098404 2017.05.17 JP

(73) 专利权人 拉碧斯半导体株式会社  
地址 日本神奈川县横浜市

(72) 发明人 土弘 椎林兼一

(74) 专利代理机构 中国专利代理(香港)有限公司 72001  
代理人 何欣亭 闫小龙

(51) Int. Cl.  
G09G 3/36 (2006.01)

(56) 对比文件

- CN 101552841 A, 2009.10.07
- CN 101873106 A, 2010.10.27
- CN 101174398 A, 2008.05.07
- CN 102034420 A, 2011.04.27
- CN 101151652 A, 2008.03.26
- CN 101873106 A, 2010.10.27
- CN 101002245 A, 2007.07.18
- CN 103794188 A, 2014.05.14
- CN 101430866 A, 2009.05.13
- CN 102208173 A, 2011.10.05
- CN 101483412 A, 2009.07.15
- US 2012069058 A1, 2012.03.22

审查员 曹泉

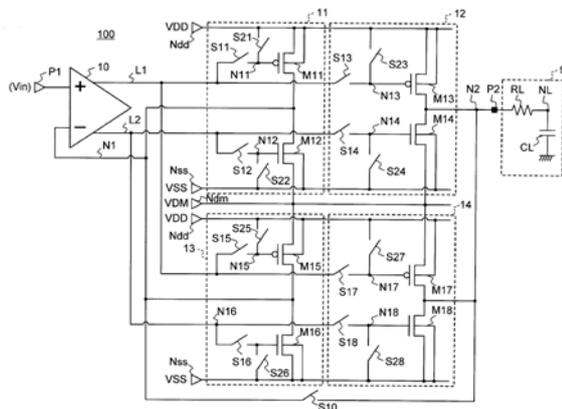
权利要求书6页 说明书17页 附图10页

(54) 发明名称

半导体装置及数据驱动器

(57) 摘要

抑制失真或延迟的数据驱动器、半导体装置。具备：以差分接受输入信号和第1节点的信号的差动级；连接在高位电源端与中位电源端之间且输出端与所述第1节点连接的第1输出级；在高位电源端与中位电源端之间连接且输出端经由第2节点与负载连接的第2输出级；在中位电源端与低位电源端之间连接且输出端与第1节点连接的第3输出级；在中位电源端与低位电源端之间连接且输出端经由第2节点与负载连接的第4输出级；以及控制电路，包括将第1及第2节点之间切换为连接或非连接的输出控制开关、和将差动级的输出对与第1~第4输出级的各个第1输入及第2输入之间切换为连接或非连接的多个切换开关，将第1~第4输出级控制为激活或非激活状态。



1. 一种半导体装置,其特征在于具备:

信号输入端,接受输入信号;

驱动输出端,与驱动对象的负载连接;

高位电源端,接受高位电源电位的供给;

低位电源端,接受低位电源电位的供给;

中位电源端,接受所述高位电源电位与所述低位电源电位之间的中位电源电位的供给;

第1节点及第2节点;

差动级,具有以差动接受所述信号输入端的所述输入信号和所述第1节点的信号的输入对、和输出差动信号的输出对;

第1输出级,连接在所述高位电源端与所述中位电源端之间,并具有第1及第2输入和与所述第1节点连接的输出端;

第2输出级,连接在所述高位电源端与所述中位电源端之间,并具有第1及第2输入和与所述第2节点连接的输出端,所述输出端经由所述第2节点与所述驱动输出端连接;

第3输出级,连接在所述中位电源端与所述低位电源端之间,并具有第1及第2输入和与所述第1节点连接的输出端;

第4输出级,连接在所述中位电源端与所述低位电源端之间,并具有第1及第2输入和与所述第2节点连接的输出端,所述输出端经由所述第2节点与所述驱动输出端连接;以及

控制电路,包括:将所述第1节点与所述第2节点之间切换为连接或非连接的输出控制开关、和将所述差动级的所述输出对与所述第1~第4输出级的所述第1及第2输入各个之间切换为连接或非连接的多个切换开关,该控制电路将所述第1~第4输出级控制为激活状态或非激活状态,

所述输入信号具有第1极性电压或第2极性电压,

接受所述输入信号并驱动所述负载的1个数据期间,包含从所述1个数据期间的最前头开始的第1期间、和所述第1期间之后开始的第2期间,

所述控制电路,

在所述输入信号为所述第1极性电压的1个数据期间,

在所述第1期间中,使所述第1节点与所述第2节点之间为非导通状态,使所述第1输出级为激活状态,使所述差动级的所述输出对和所述第1输出级的所述第1及第2输入之间为导通状态,使所述第3输出级及第4输出级均为非激活状态,并且使所述差动级的所述输出对与所述第3输出级及第4输出级各自的所述第1及第2输入之间为非导通状态,

从所述第1期间结束之前开始使所述第2输出级为激活状态,并且使所述差动级的所述输出对与所述第2输出级的所述第1及第2输入之间为导通状态,

在所述第2期间中,使所述第1节点与所述第2节点之间为导通状态,使所述第1输出级及所述第2输出级均为激活状态,并且使所述差动级的所述输出对与所述第1输出级及所述第2输出级各自的所述第1及第2输入之间为导通状态,使所述第3输出级及所述第4输出级均为非激活状态,并且使所述差动级的所述输出对与所述第3输出级及所述第4输出级各自的所述第1及第2输入之间为非导通状态,

在所述输入信号为所述第2极性电压的1个数据期间,

在所述第1期间中,使所述第1节点与所述第2节点之间为非导通状态,使所述第3输出级为激活状态,并且使所述差动级的所述输出对与所述第3输出级的所述第1及第2输入之间为导通状态,使所述第1输出级及所述第2输出级均为非激活状态,并且使所述差动级的所述输出对与所述第1输出级及所述第2输出级各自的所述第1及第2输入之间为非导通状态,

从所述第1期间结束之前开始使所述第4输出级为激活状态,并且使所述差动级的所述输出对与所述第4输出级的所述第1及第2输入之间为导通状态,

在所述第2期间中,使所述第1节点与所述第2节点之间为导通状态,使所述第3输出级及所述第4输出级均为激活状态,并且使所述差动级的所述输出对与所述第3输出级及所述第4输出级各自的所述第1及第2输入之间为导通状态,使所述第1输出级及所述第2输出级均为非激活状态,并且使所述差动级的所述输出对与所述第1输出级及所述第2输出级各自的所述第1及第2输入之间为非导通状态。

2. 如权利要求1所述的半导体装置,其特征在于:

所述控制电路,

在所述输入信号为所述第1极性电压的1个数据期间,

在所述第1期间中,使所述第2输出级为激活状态,并且使所述差动级的所述输出对与所述第2输出级的所述第1及第2输入之间为导通状态,

在所述输入信号为所述第2极性电压的1个数据期间,

在所述第1期间中,使所述第4输出级为激活状态,并且使所述差动级的所述输出对与所述第4输出级的所述第1及第2输入之间为导通状态。

3. 如权利要求1所述的半导体装置,其特征在于:

所述第1期间包含从所述第1期间的最前头开始的第1子期间、和在所述第1子期间之后开始的第2子期间,

所述控制电路,

在所述输入信号为所述第1极性电压的1个数据期间,

在所述第1子期间中,使所述第2输出级为非激活状态,并且使所述差动级的所述输出对与所述第2输出级的所述第1及第2输入之间为非导通状态,

在所述第2子期间中,使所述第2输出级为激活状态,并且使所述差动级的所述输出对与所述第2输出级的所述第1及第2输入之间为导通状态,

在所述输入信号为所述第2极性电压的1个数据期间,

在所述第1子期间中,使所述第4输出级为非激活状态,并且使所述差动级的所述输出对与所述第4输出级的所述第1及第2输入之间为非导通状态,

在所述第2子期间中,使所述第4输出级为激活状态,并且使所述差动级的所述输出对与所述第4输出级的所述第1及第2输入之间为导通状态。

4. 如权利要求1至3的任一项所述的半导体装置,其特征在于:

所述第1输出级具备连接在所述第1节点与所述高位电源端之间的第1导电型的第1晶体管、和连接在所述第1节点与所述中位电源端之间的与所述第1导电型相反导电型的第2导电型的第2晶体管,

所述第2输出级具备连接在所述第2节点与所述高位电源端之间的第1导电型的第3晶

体管、和连接在所述第2节点与所述中位电源端之间的第2导电型的第4晶体管，

所述第3输出级具备连接在所述第1节点与所述中位电源端之间的第1导电型的第5晶体管、和连接在所述第1节点与所述低位电源端之间的第2导电型的第6晶体管，

所述第4输出级具备连接在所述第2节点与所述中位电源端之间的第1导电型的第7晶体管、和连接在所述第2节点与所述低位电源端之间的第2导电型的第8晶体管，

所述控制电路具备：

输出控制开关，在所述第1节点与所述第2节点之间连接；

第1、第3、第5及第7开关，在所述第1、第3、第5及第7晶体管各自的控制端与所述差动级的所述输出对的一个之间连接；

第2、第4、第6及第8开关，在所述第2、第4、第6及第8晶体管各自的控制端与所述差动级的所述输出对的另一个之间连接；

第9及第11开关，在所述第1及第3晶体管各自的控制端与所述高位电源端之间连接；

第10、第12、第13及第15开关，在所述第2、第4、第5及第7晶体管各自的控制端与所述中位电源端之间连接；以及

第14及第16开关，在所述第6及第8晶体管各自的控制端与所述低位电源端之间连接。

5. 如权利要求4所述的半导体装置，其特征在于：

所述控制电路，

在所述输入信号为所述第1极性电压的1个数据期间，

在所述第1期间中，使所述第1、第2、第3、第4、第13、第14、第15及第16开关均导通，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关和所述输出控制开关均截止，

在所述第2期间中，使所述第1、第2、第3、第4、第13、第14、第15及第16开关和所述输出控制开关均导通，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关均截止，

在所述输入信号为所述第2极性电压的1个数据期间，

在所述第1期间中，使所述第1、第2、第3、第4、第13、第14、第15及第16开关和所述输出控制开关均截止，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关均导通，

在所述第2期间中，使所述第1、第2、第3、第4、第13、第14、第15、第16开关均截止，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关和所述输出控制开关均导通。

6. 如权利要求4所述的半导体装置，其特征在于：

所述控制电路，

在所述输入信号为所述第1极性电压的1个数据期间，

在所述第1期间的第1子期间中，使所述第1、第2、第11、第12、第13、第14、第15及第16开关均导通，并使所述第3、第4、第5、第6、第7、第8、第9及第10开关和所述输出控制开关均截止，

在所述第1期间的第2子期间中，使所述第1、第2、第3、第4、第13、第14、第15及第16开关均导通，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关和所述输出控制开关均截止，

在所述第2期间中，使所述第1、第2、第3、第4、第13、第14、第15及第16开关和所述输出控制开关均导通，并使所述第5、第6、第7、第8、第9、第10、第11及第12开关均截止，

在所述输入信号为所述第2极性电压的1个数据期间，

在所述第1子期间中,使所述第1、第2、第3、第4、第7、第8、第13及第14开关和所述输出控制开关均截止,并使所述第5、第6、第9、第10、第11、第12、第15及第16开关均导通,

在所述第2子期间中,使所述第1、第2、第3、第4、第13、第14、第15及第16开关和所述输出控制开关均截止,并使所述第5、第6、第7、第8、第9、第10、第11及第12开关均导通,

在所述第2期间中,使所述第1、第2、第3、第4、第13、第14、第15及第16开关均截止,并使所述第5、第6、第7、第8、第9、第10、第11及第12开关和所述输出控制开关均导通。

7. 如权利要求1至3的任一项所述的半导体装置,其特征在于,

所述差动级具备:

第1电流源及第2电流源;

第2导电型的第1差动对,具有构成所述输入对的第1输入和第2输入,由所述第1电流源驱动;

第1导电型的第2差动对,具有与所述第1差动对的所述第1输入和所述第2输入分别连接的所述第1输入和第2输入,由所述第2电流源驱动;

第1导电型的第1共源共栅型电流镜电路,与所述第1差动对的输出对连接;

第1浮动电流源,其一端与所述第1共源共栅型电流镜电路的第1端连接;

第2浮动电流源,其一端与所述第1共源共栅型电流镜电路的第2端连接;以及

第2导电型的第2共源共栅型电流镜电路,其第1端与所述第1浮动电流源的另一端连接,第2端与所述第2浮动电流源的另一端连接,该第2导电型的第2共源共栅型电流镜电路与所述第2差动对的输出对连接;

所述第1共源共栅型电流镜电路的所述第1端成为所述差动级的第1输出端,所述第2共源共栅型电流镜电路的所述第1端成为所述差动级的第2输出端。

8. 如权利要求2所述的半导体装置,其特征在于,

所述差动级具备:

第1电流源及第2电流源;

第2导电型的第1差动对,具有构成所述输入对的第1输入和第2输入,由所述第1电流源驱动;

第1导电型的第2差动对,具有与所述第1差动对的所述第1输入和所述第2输入分别连接的所述第1输入和第2输入,由所述第2电流源驱动;

第1导电型的第1共源共栅型电流镜电路,与所述第1差动对的输出对连接;

第1浮动电流源,其一端与所述第1共源共栅型电流镜电路的第1端连接;

第2浮动电流源,其一端与所述第1共源共栅型电流镜电路的第2端连接;

第2导电型的第2共源共栅型电流镜电路,其第1端与所述第1浮动电流源的另一端连接,第2端与所述第2浮动电流源的另一端连接,该第2导电型的第2共源共栅型电流镜电路与所述第2差动对的输出对连接;以及

第1及第2电容元件,其一端与所述第1节点分别连接,

所述第1共源共栅型电流镜电路的所述第1端成为所述差动级的第1输出端,所述第2共源共栅型电流镜电路的所述第1端成为所述差动级的第2输出端,

在所述1个数据期间的所述第1期间,所述第1电容元件的另一端与连接所述第1差动对的输出对和所述第1共源共栅型电流镜电路的连接点对的一个连接,所述第2电容元件的另

一端与连接所述第2差动对的输出对和所述第2共源共栅型电流镜电路的连接点对的一个连接；

在所述1个数据期间的所述第2期间，所述第1电容元件的所述另一端与所述高位电源端连接，所述第2电容元件的所述另一端与所述低位电源端连接。

9. 如权利要求3所述的半导体装置，其特征在于，

所述差动级具备：

第1电流源及第2电流源；

第2导电型的第1差动对，具有构成所述输入对的第1输入和第2输入，由所述第1电流源驱动；

第1导电型的第2差动对，具有与所述第1差动对的所述第1输入和所述第2输入分别连接的第1输入和第2输入，由所述第2电流源驱动；

第1导电型的第1共源共栅型电流镜电路，与所述第1差动对的输出对连接；

第1浮动电流源，其一端与所述第1共源共栅型电流镜电路的第1端连接；

第2浮动电流源，其一端与所述第1共源共栅型电流镜电路的第2端连接；

第2导电型的第2共源共栅型电流镜电路，其第1端与所述第1浮动电流源的另一端连接，第2端与所述第2浮动电流源的另一端连接，该第2导电型的第2共源共栅型电流镜电路与所述第2差动对的输出对连接；以及

第1及第2电容元件，其一端分别与所述第1节点连接，

所述第1共源共栅型电流镜电路的所述第1端成为所述差动级的第1输出端，所述第2共源共栅型电流镜电路的所述第1端成为所述差动级的第2输出端，

在所述1个数据期间的所述第1子期间，所述第1电容元件的另一端与所述高位电源端连接，所述第2电容元件的另一端与所述低位电源端连接，

在所述1个数据期间的所述第2子期间及所述第2期间，所述第1电容元件的所述另一端与连接所述第1差动对的输出对和所述第1共源共栅型电流镜电路的连接点对的一个连接，所述第2电容元件的所述另一端与连接所述第2差动对的输出对和所述第2共源共栅型电流镜电路的连接点对的一个连接。

10. 如权利要求8所述的半导体装置，其特征在于，

所述控制电路具备：

第17开关，在所述第1电容元件的所述另一端、与连接所述第1差动对的输出对和所述第1共源共栅型电流镜电路的连接点对的所述一个之间连接；

第18开关，在所述第1电容元件的所述另一端与所述高位电源端之间连接；

第19开关，在所述第2电容元件的所述另一端、与连接所述第2差动对的输出对和所述第2共源共栅型电流镜电路的连接点对的所述一个之间连接；以及

第20开关，在所述第2电容元件的所述另一端与所述低位电源端之间连接，

在所述1个数据期间的所述第1期间中，使所述第17及第19开关为导通，并使所述第18及第20开关为截止，

在所述1个数据期间的所述第2期间中，使所述第17及第19开关为截止，并使所述第18及第20开关为导通。

11. 如权利要求9所述的半导体装置，其特征在于，

所述控制电路还具备：

第17开关，在所述第1电容元件的所述另一端、与连接所述第1差动对的输出对和所述第1共源共栅型电流镜电路的连接点对的所述一个之间连接；

第18开关，在所述第1电容元件的所述另一端与所述高位电源端之间连接；

第19开关，在所述第2电容元件的所述另一端、与连接所述第2差动对的输出对和所述第2共源共栅型电流镜电路的连接点对的所述一个之间连接；以及

第20开关，在所述第2电容元件的所述另一端与所述低位电源端之间连接，

在所述1个数据期间的所述第1子期间中，使所述第17及第19开关为截止，并使所述第18及第20开关为导通，

在所述1个数据期间的所述第2子期间及所述第2期间中，使所述第17及第19开关为导通，并使所述第18及第20开关为截止。

12. 如权利要求8至11的任一项所述的半导体装置，其特征在于，

还具备第3电容元件及第4电容元件，其一端分别与所述第1节点连接，

所述第3电容元件的另一端与连接所述第1差动对的输出对和所述第1共源共栅型电流镜电路的连接点对的所述一个连接，

所述第4电容元件的另一端与连接所述第2差动对的输出对和所述第2共源共栅型电流镜电路的连接点对的所述一个连接。

13. 一种数据驱动器，具备权利要求1至12的任一项所述的半导体装置，其特征在于：

与具备了在多个数据线及多个扫描线的相交部的每一个中包含像素开关及显示元件的单位像素的液晶显示装置连接，

将所述数据线作为所述驱动对象的负载而进行驱动。

14. 如权利要求13所述的数据驱动器，其特征在于具备：

第1输出线群，在所述多个数据线之中供给所述第1极性电压或所述第2极性电压的一个输出电压；

第2输出线群，在所述多个数据线之中供给所述第1极性电压或所述第2极性电压的另一个输出电压；

第1电荷共享布线，在从输入信号的1个数据期间的最前头开始的第1期间中，连接所述第1输出线群所包含的输出线之间；以及

第2电荷共享布线，在所述第1期间中，连接所述第2输出线群所包含的输出线之间。

## 半导体装置及数据驱动器

### 技术领域

[0001] 本发明涉及半导体装置,例如适用于液晶显示装置的数据驱动器等而合适的半导体装置。

### 背景技术

[0002] 目前,在显示装置的领域中有源矩阵型的液晶显示装置成为主流。液晶显示装置从智能电话或平板电脑等的便携信息终端到大屏幕且2K4K等的高分辨率的监视器或TV、在所有的显示装置得到广泛应用。

[0003] 驱动显示面板的数据驱动器,为了对应高质量的显示或动画显示,要求高精度的灰度电压输出,并且要求高速驱动数据线。因此,为了使显示面板的数据线电容高速充放电,数据驱动器的输出电路需要较高的驱动能力。另外,为了实现良好的显示质量,还需要数据线充电时及放电时的驱动波形的斜率、即数据驱动器的输出电路的通过速率的对称性或均匀性。

[0004] 作为数据线的高速驱动放大器,提出了不经输出开关而以输出级直接驱动数据线负载的放大器结构(例如,专利文献1)。这样的高速驱动放大器的输出电路具备:差动级;接受差动级的输出的第1输出级;与数据线负载直接连接的第2输出级;以及包含第1输出级及第2输出级的输出端间的开关并控制第2输出级的激活、非激活的控制电路。对第1输出级及第2输出级供给有高位电源VDD及低位电源VSS。在该输出电路中,首先在刚刚开始1个数据期间后的期间T1中使输出端间的开关截止,并使第2输出级非激活。而且,在期间T1后的期间T2,使该输出端间的开关导通,并使第2输出级激活,从而从期间T2的开始起进行数据线负载的驱动。

[0005] 【现有技术文献】

[0006] 【专利文献】

[0007] 【专利文献1】日本特开2009-246741号公报。

### 发明内容

[0008] 【发明要解决的课题】

[0009] 液晶显示器以施加到液晶的电平电压控制与灰度对应的透射率,但是为了防止液晶的恶化而需要按既定周期改变施加到液晶的电压极性,一般采用对于一定的公共电压按既定周期切换正极侧的灰度电压和负极侧的灰度电压而驱动数据线的驱动方式。作为这样的驱动方式,有以数据期间单位切换正极及负极的点反转驱动、和以帧期间(画面重写期间)单位切换正极及负极的列反转驱动。

[0010] 在点反转驱动的数据驱动器中使用上位电源VDD/低位电源VSS(=GND)这2个电源,输出正极性和负极性的灰度电压的Fu11VDD放大器作为输出电路使用。另一方面,在列反转驱动用的数据驱动器中,使用高位电源VDD/中位电源VDM(公共电压附近)/低位电源VSS(=GND)这3个电源,输出正极性和负极性的灰度电压的ha1fVDD放大器作为输出电路使

用。

[0011] 近年来,为了削减功耗,数据驱动器的驱动方式从点反转驱动转移到列反转驱动。对于低位电源VSS、中位电源VDM、高位电源VDD这3个电源,公共电压具有中位电源VDM附近、正极侧的灰度电压具有高位电源VDD与中位电源VDM之间、负极侧的灰度电压具有低位电源VSS与中位电源VDM之间的电压范围。另外,作为低功耗的手法,也有很多采用在期间T1使输出同极性的灰度电压的数据线间短路而将前一数据期间的负载电容间的电荷再利用到下一数据期间的驱动的电荷共享(charge sharing)驱动的情况。

[0012] 在上述专利文献1的电路作为列反转驱动的正极驱动用放大器而动作的情况下,对第1输出级及第2输出级供给中位电源VDM以取代低位电源VSS。第1输出级的Nch输出晶体管M2及第2输出级的Nch输出晶体管M4,对源极供给中位电源VDM,另一方面,为了防止寄生双极动作造成的闩锁,背栅极设为VSS。因此,在Nch输出晶体管M2及M4需要较高的反馈偏置电压,阈值电压增加。由于该反馈偏置电压的施加导致的阈值电压增加,有在放电动作的输出波形出现较大的失真和输出延迟的课题。

[0013] 即,在期间T1,第1输出级进行动作,Nch输出晶体管M2、M4的栅极分别成为电位( $VDM + V_{tn} + dV_n$ )、(VDM)。在此 $V_{tn}$ 为Nch输出晶体管M2及M4的阈值电压、 $dV_n$ 为输出稳定时的栅极源极间电压 $V_{gs}$ 与 $V_{tn}$ 的差分( $V_{gs} - V_{tn}$ )。输出晶体管M2、M4因为背栅极为VSS,所以被施加对于源极电位的反馈偏置电压。因此阈值电压 $V_{tn}$ 比未施加反馈偏置电压时的阈值电压增加。

[0014] 若在期间T2使第2输出级进行动作,则Nch输出晶体管M2及M4的栅极彼此短路,因为栅极寄生电容间的电容耦合,M2的栅极电位被拉到M4,Nch输出晶体管M2、M4均暂时成为截止,随后成为导通。即,Nch输出晶体管M2及M4在期间T1的栅极电位差较大,所以若在期间T2开始时各自的栅极彼此连接,则因栅极间的电容耦合而暂时性成为截止。在期间T1的栅极电位差越大,该截止期间就越长。

[0015] 另一方面,Pch输出晶体管M1及M3不会被施加反馈偏置电压,在期间T1的栅极电位差为通常的阈值电压程度。当期间T2开始时各自的栅极彼此连接,因电容耦合而暂时性成为截止,但是该截止期间与被施加反馈偏置电压的Nch输出晶体管M2及M4相比比较短。因而,若与Pch输出晶体管M1及M3相比,则在期间T2开始时成为截止的期间长的Nch输出晶体管M2、M4形成的放电动作的输出波形中,产生较大的失真或输出延迟。特别是在期间T1进行电荷共享驱动的情况下,刚刚开始期间T2后的Nch输出晶体管M2、M4均在截止状态的期间、因为电荷向数据线负载侧移动而产生更大的波形失真。

[0016] 同样地,在使上述专利文献1的电路作为列反转驱动的负极驱动用放大器而动作的情况下,有在充电动作的输出波形产生较大的失真和输出延迟的课题。

[0017] 本发明鉴于上述问题点而构思,其目的在于提供在显示装置的数据驱动器中能够得到抑制失真或延迟的输出波形的半导体装置。

[0018] 【用于解决课题的方案】

[0019] 本发明所涉及的半导体装置,其特征在于具备:信号输入端,接受输入信号;驱动输出端,与驱动对象的负载连接;高位电源端,接受高位电源电位的供给;低位电源端,接受低位电源电位的供给;中位电源端,接受高位电源电位与低位电源电位之间的中位电源电位的供给;第1节点及第2节点;差动级,具有以差动接受所述信号输入端的所述输入信号和

所述第1节点的信号的输入对、和输出差动信号的输出对;第1输出级,连接在所述高位电源端与所述中位电源端之间,并具有第1及第2输入和与所述第1节点连接的输出端;第2输出级,连接在所述高位电源端与所述中位电源端之间,并具有第1及第2输入和与所述第2节点连接的输出端,所述输出端经由所述第2节点与所述驱动输出端连接;第3输出级,连接在所述中位电源端与所述低位电源端之间,并具有第1及第2输入和与所述第1节点连接的输出端;第4输出级,连接在所述中位电源端与所述低位电源端之间,并具有第1及第2输入和与所述第2节点连接的输出端,所述输出端经由所述第2节点与所述驱动输出端连接;以及控制电路,包括:将所述第1节点与所述第2节点之间切换为连接或非连接的输出控制开关、和将所述差动级的所述输出对与所述第1~第4输出级的所述第1及第2输入各个之间切换为连接或非连接的多个切换开关,该控制电路将所述第1~第4输出级控制为激活状态或非激活状态。

[0020] 【发明效果】

[0021] 依据本发明所涉及的半导体装置,在显示装置的数据驱动器中能够得到抑制了失真或延迟的输出波形。

#### 附图说明

[0022] 【图1】是示出实施例1的输出电路的结构例的电路图。

[0023] 【图2】是示出实施例1中的连接控制例的时间图。

[0024] 【图3】是示出实施例2中的连接控制例的时间图。

[0025] 【图4】是示出实施例3的差动级的结构例的电路图。

[0026] 【图5】是示出实施例4的差动级的结构例的电路图。

[0027] 【图6】是示出实施例4的差动级中的各开关的控制例的时间图。

[0028] 【图7】是示出实施例5的差动级的结构例的电路图。

[0029] 【图8】是示出实施例5的差动级中的各开关的控制例的时间图。

[0030] 【图9】是示出将本发明的输出电路适用于数据驱动器的情况下的结构例的图。

[0031] 【图10】是示出将本发明的输出电路适用于数据驱动器的情况下的输出波形的时间图。

#### 具体实施方式

[0032] 以下,参照附图,对本发明的实施例进行说明。此外,在以下的各实施例中的说明及附图中,对于实质上相同或等效的部分标注相同的参照标号。

[0033] [实施例1]

[0034] 如图1所示,本实施例的半导体装置由输出电路100及数据线负载90构成。

[0035] 输出电路100具有:差动级10;第1输出级11;第2输出级12;第3输出级13;第4输出级14;以及连接第1输出级11与第3输出级13的输出端的第1节点N1、连接第2输出级12与第4输出级14的输出端的第2节点N2。另外,输出电路100具有:接受输入信号 $V_{in}$ 的输入的输入端子P1;与数据线负载90连接的输出焊盘P2;接受高位电源电位VDD的供给的高位电源端子 $N_{dd}$ ;接受低位电源电位VSS的供给的低位电源端子 $N_{ss}$ ;以及接受高位电源电位VDD与低位电源电位VSS之间的中位电源电位 $V_{dm}$ 的供给的中位电源端子 $N_{dm}$ 。第2节点N2经由输出焊盘

P2与数据线负载90连接。进而,输出电路100具有对第1节点N1与第2节点N2之间切换为连接或非连接的输出控制开关S10、和切换第1~第4输出级11~14各自的激活状态或非激活状态的多个开关。

[0036] 对差动级10的输入对的一个输入端(+)连接有输入端子P1。对差动级10的输入对的另一个输入端(-)连接有第1输出级11及第3输出级13的输出节点即第1节点N1。差动级10以差动接受输入端子P1的输入信号 $V_{in}$ 及来自第1节点N1的信号,将差动信号从成为输出对的第1输出端L1及第2输出端L2输出。接受差动级10的差动信号,第1输出级11及第3输出级13向第1节点N1放大输出与输入信号 $V_{in}$ 对应的输出信号,第2输出级12及第4输出级14向第2节点N2放大输出与输入信号 $V_{in}$ 对应的输出信号。差动级10的输入端(-)与第1输出级11及第3输出级13的输出端即第1节点N1连接,并且经由输出控制开关S10而与第2输出级12及第4输出级14的输出端即第2节点N2连接。因而,输出电路100构成第1节点N1被反馈输入到差动级10的输入对的输入端(-)的差动放大电路。

[0037] 第1输出级11及第2输出级12连接在高位电源端子Ndd与中位电源端子Ndm之间。第1输出级11的输出端经由第1节点N1与差动级10的输入端(-)连接,第2输出级12的输出端经由第2节点N2与输出焊盘P2连接。

[0038] 第1输出级11具备连接在高位电源端子Ndd及第1节点N1之间的第1导电型(P沟道型)的第1晶体管M11和连接在第1节点N1及中位电源端子Ndm之间的第2导电型(N沟道型)的第2晶体管M12。第1晶体管M11的控制端(栅极)经由开关S11而与差动级10的第1输出端L1连接,并经由开关S21而与高位电源端子Ndd连接。第2晶体管M12的控制端(栅极)经由开关S12而与差动级10的第2输出端L2连接,并经由开关S22而与低位电源端子Nss连接。第1晶体管M11的背栅极与高位电源端子Ndd连接,第2晶体管M12的背栅极与低位电源端子Nss连接。

[0039] 第2输出级12具备连接在高位电源端子Ndd及第2节点N2之间的第1导电型(P沟道型)的第3晶体管M13和连接在第2节点N2及中位电源端子Ndm之间的第2导电型(N沟道型)的第4晶体管M14。第3晶体管M13的控制端(栅极)经由开关S13而与差动级10的第1输出端L1连接,并经由开关S23而与高位电源端子Ndd连接。第4晶体管M14的控制端(栅极)经由开关S14而与差动级10的第2输出端L2连接,并经由开关S24而与低位电源端子Nss连接。第3晶体管M13的背栅极与高位电源端子Ndd连接,第4晶体管M14的背栅极与低位电源端子Nss连接。

[0040] 第3输出级13及第4输出级14在中位电源端子Ndm与低位电源端子Nss之间连接。第3输出级13的输出端经由第1节点N1而与差动级10的输入端(-)连接,第4输出级14的输出端经由第2节点N2而与输出焊盘P2连接。

[0041] 第3输出级13具备连接在中位电源端子Ndm及第1节点N1之间的第1导电型(P沟道型)的第5晶体管M15和连接在第1节点N1及低位电源端子Nss之间的第2导电型(N沟道型)的第6晶体管M16。第5晶体管M15的控制端(栅极)经由开关S15而与差动级10的第1输出端L1连接,并经由开关S25而与高位电源端子Ndd连接。第6晶体管M16的控制端(栅极)经由开关S16而与差动级10的第2输出端L2连接,并经由开关S26而与低位电源端子Nss连接。第5晶体管M15的背栅极与高位电源端子Ndd连接,第6晶体管M16的背栅极与低位电源端子Nss连接。

[0042] 第4输出级14具备连接在中位电源端子Ndm及第2节点N2之间的第1导电型(P沟道型)的第7晶体管M17和连接在第2节点N2及低位电源端子Nss之间的第2导电型(N沟道型)的第8晶体管M18。第7晶体管M17的控制端(栅极)经由开关S17而与差动级10的第1输出端L1连

接,并经由开关S27而与高位电源端子Ndd连接。第8晶体管M18的控制端(栅极)经由开关S18而与差动级10的第2输出端L2连接,并经由开关S28而与低位电源端子Nss连接。第7晶体管M17的背栅极与高位电源端子Ndd连接,第8晶体管M18的背栅极与低位电源端子Nss连接。

[0043] 此外,在以下的说明中将第1导电型(P沟道型)的晶体管称为“Pch晶体管”、将第2导电型(N沟道型)的晶体管称为“Nch晶体管”。另外,将各晶体管的控制端(栅极)仅称为栅极。

[0044] 数据线负载90为显示面板的数据线负载(简易等效模型),由布线电阻RL及布线电容CL构成。数据线负载90经由输出焊盘P2而与输出电路100连接。将数据线负载90与输出电路10的输出焊盘P2的连接点称为数据线的近端,将距离输出焊盘P2最远的端部称为数据线的远端。

[0045] 开关S11(第1开关)、S12(第2开关)、S13(第3开关)、S14(第4开关)、S15(第5开关)、S16(第6开关)、S17(第7开关)、S18(第8开关)、S21(第9开关)、S22(第10开关)、S23(第11开关)、S24(第12开关)、S25(第13开关)、S26(第14开关)、S27(第15开关)、S28(第16开关)及输出控制开关S10,构成对应切换而控制第1输出级11、第2输出级12、第3输出级13及第4输出级14的激活或非激活的控制电路。

[0046] 具体而言,在向输入端子P1供给正极性的输入信号Vin的1个数据期间,第1输出级11及第2输出级12向数据线负载90输出正极电压,因此通过控制电路控制激活、非激活。此时,第3输出级13及第4输出级14维持在非激活的状态。另一方面,在向输入端子P1供给负极性的输入信号Vin的1个数据期间,第3输出级13及第4输出级14向数据线负载90输出负极电压,因此通过控制电路控制激活、非激活。此时,第1输出级11及第2输出级12维持在非激活的状态。

[0047] 另外,如上述,Pch晶体管M11及M13的背栅极与跟源极相同的高位电源端子Ndd连接,Nch晶体管M16及M18的背栅极与跟源极相同的低位电源端子Nss连接。另一方面,Nch晶体管M12及M14的源极与中位电源端子Ndm连接,但是背栅极与低位电源端子Nss连接。由此,当从第2节点N2输出负极电压时,在源极(中位电源端子Ndm)和背栅极和漏极(第2节点N2)间能防止发生寄生双极动作造成的电流。

[0048] 例如,在设Nch晶体管M12及M14的漏极及源极在N区域形成、背栅极在P区域形成的情况下,当漏极(第2节点N2)为负极电压且成为比源极(中位电源端子Ndm)低的电压时,若背栅极与漏极相比为高电位则有时因NPN的寄生双极动作而发生电流。因此,Nch晶体管M12及M14的背栅极通过与电位始终低于漏极(第2节点N2)的低位电源端子Nss连接而能够防止寄生双极动作。另一方面,Pch晶体管M15及M17的源极也与中位电源端子Ndm连接,但是背栅极与高位电源端子Ndd连接。由此,当从第2节点N2输出正极电压时,会防止发生寄生双极动作造成的电流。

[0049] 接着,参照图2~图4,对控制电路的连接控制的动作进行说明。

[0050] 图2是示出本实施例中的连接控制例的时间图。在此,示出了向输入端子P1输入第1极性(正极)的输入信号Vin的第1~第N数据期间(N为1以上的整数)、和在第N数据期间后极性被切换、向输入端子P1输入第2极性(负极)的输入信号Vin的第(N+1)数据期间。此外,对于第(N+2)的数据期间以后进行省略。

[0051] 在第1、第2、…、第N、第(N+1)的各数据期间输入的输入信号Vin分别为VD1、

VD2、…、VD(N)、VD(N+1)。另外,各数据期间以1个数据期间单位进行设定,在各数据期间,设有自1个数据期间开始时起的第1期间T1、和第1期间T1之后的第2期间T2。

[0052] 在接受第1极性(正极)电压的输入信号VD1~VD(N)的各数据期间,通过第1期间T1及第2期间T2而开关S11、S12、S13、S14、S25、S26、S27及S28被控制成导通,开关S15、S16、S17、S18、S21、S22、S23及S24被控制成截止。另一方面,输出控制开关S10被控制成为在第1期间T1截止、在第2期间T2导通。

[0053] 由此,在第1期间T1,第1节点N1及第2节点N2之间成为非导通状态,第1输出级11及第2输出级12成为激活(动作)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节点N11(晶体管M11的栅极)及输入节点N12(晶体管M12的栅极)、以及第2输出级12的输入节点N13(晶体管M13的栅极)及输入节点N14(晶体管M14的栅极)的L1、N11、N13之间及L2、N12、N14之间分别成为导通状态。另外,第3输出级13及第4输出级14均为非激活(停止)状态,并且差动级10的输出端L1及L2与第3输出级13的输入节点N15(晶体管M15的栅极)及输入节点N16(晶体管M16的栅极)、以及第4输出级14的输入节点N17(晶体管M17的栅极)及输入节点N18(晶体管M18的栅极)之间成为非导通状态。

[0054] 在第1期间T1,通过差动级10及第1输出级11的放大动作,对第1节点N1输出与输入信号Vin对应的输出电压。此时第1节点N1的负载仅为内部寄生电容。因此,第1节点N1的电位能够容易跟随输入信号Vin,在差动级10的输出端L1及L2、以及第1输出级11的输入节点N11及N12,只出现一点点电位变动。另外,第2输出级12的输入节点N13及N14也因为差动级10的输出端L1及L2分别为导通状态,而只发生一点点电位变动。第2输出级12为激活状态,但是因为输入节点N13及N14的电位变动为一点点,所以输出电路100不具有用于充分驱动数据线负载90的能力。即,第2输出级12实质上成为接近非激活的状态。

[0055] 另一方面,在第2期间T2,第1节点N1及第2节点N2之间成为导通状态,第1输出级11及第2输出级12为激活(动作)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节点N11(晶体管M11的栅极)及输入节点N12(晶体管M12的栅极)、第2输出级12的输入节点N13(晶体管M13的栅极)及输入节点N14(晶体管M14的栅极)的L1、N11、N13之间及L2、N12、N14之间分别成为导通状态。另外,第3输出级13及第4输出级14均为非激活(停止)状态,并且差动级10的输出端L1及L2与第3输出级13的输入节点N15(晶体管M15的栅极)及输入节点N16(晶体管M16的栅极)、第4输出级14的输入节点N17(晶体管M17的栅极)及输入节点N18(晶体管M18的栅极)成为非导通状态。

[0056] 在第2期间T2,由于第1节点N1及第2节点N2之间成为导通状态,所以通过差动级10、第1输出级11、及第2输出级12的放大动作,向经由输出焊盘P2而与第2节点N2连接的数据线负载90,输出与输入信号Vin对应的输出电压。此时,输出电路100以较高的驱动能力驱动数据线负载90。

[0057] 接着,在接受第2极性(负极)电压的输入信号VD(N+1)的数据期间,通过期间T1及期间T2而开关S11、S12、S13、S14、S25、S26、S27及S28被控制成截止,开关S15、S16、S17、S18、S21、S22、S23及S24被控制成导通。另一方面,输出控制开关S10被控制成为在第1期间T1截止、在第2期间T2导通。

[0058] 由此,在第1期间T1,第1节点N1及第2节点N2之间成为非导通状态,第1输出级11及第2输出级12为非激活(停止)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节

点N11(晶体管M11的栅极)及输入节点N12(晶体管M12的栅极)、第2输出级12的输入节点N13(晶体管M13的栅极)及输入节点N14(晶体管M14的栅极)成为非导通状态。另外,第3输出级13及第4输出级14均为激活(动作)状态,并且差动级10的输出端L1及L2与第3输出级13的输入节点N15(晶体管M15的栅极)及输入节点N16(晶体管M16的栅极)、第4输出级14的输入节点N17(晶体管M17的栅极)及输入节点N18(晶体管M18的栅极)的L1、N15、N17之间及L2、N16、N18之间分别成为导通状态。

[0059] 在第1期间T1,因为差动级10及第3输出级13的放大动作,向第1节点N1输出与输入信号Vin对应的输出电压。此时第1节点N1的负载仅为内部寄生电容。因此,第1节点N1的电位能够容易跟随输入信号Vin,在差动级10的输出端L1及L2、及第3输出级13的输入节点N15及N16,只发生一点点电位变动。另外,第4输出级14的输入节点N17及N18也与差动级10的输出端L1及L2分别为导通状态,因此只发生一点点电位变动。第4输出级14为激活状态,但是因为输入节点N17及N18的电位变动为一点点,所以输出电路100不具有用于充分驱动数据线负载90的能力。即,第4输出级14实质上成为接近非激活的状态。

[0060] 另一方面,在第2期间T2,第1节点N1及第2节点N2之间成为导通状态,第1输出级11及第2输出级12为非激活(停止)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节点N11(晶体管M11的栅极)及输入节点N12(晶体管M12的栅极)、第2输出级12的输入节点N13(晶体管M13的栅极)及输入节点N14(晶体管M14的栅极)成为非导通状态。另外,第3输出级13及第4输出级14均为激活(动作)状态,并且差动级10的输出端L1及L2与第3输出级13的输入节点N15(晶体管M15的栅极)及输入节点N16(晶体管M16的栅极)、第4输出级14的输入节点N17(晶体管M17的栅极)及输入节点N18(晶体管M18的栅极)的L1、N15、N17之间及L2、N16、N18之间分别成为导通状态。

[0061] 在第2期间T2,由于第1节点N1及第2节点N2之间成为导通状态,所以通过差动级10、第3输出级13、及第4输出级14的放大动作,向与第2节点N2连接的数据线负载90输出与输入信号Vin对应的输出电压。此时,输出电路100以较高的驱动能力驱动数据线负载90。

[0062] 本实施例的输出电路100具有接受正极电压而动作的第1输出级11及第2输出级12、和接受负极电压而动作的第3输出级13及第4输出级14对于第1节点N1及第2节点N2并联连接的结构,向第1输出级11及第2输出级12供给的电源电压、和向第3输出级13及第4输出级14供给的电源电压不同,在这一点上与现有的输出电路(例如,专利文献1)不同。

[0063] 另外,在现有的输出电路中,在1个数据期间的第1期间,第1输出级被控制为激活状态、第2输出级被控制为非激活状态,在第2期间,第1输出级及第2输出级均被控制为激活状态。相对于此,在本实施例的输出电路100中,在1个数据期间的至少结束时刻及第2期间T2中第1输出级11及第2输出级12均被控制为激活、或第3输出级13及第4输出级14均被控制为激活,在这一点上与现有的输出电路中的输出级的控制不同。

[0064] 在本实施例的输出电路100中,在接受第1极性(正极)的输入信号Vin的输入的数据期间,第1期间T1及第2期间T2中,第1输出级11及第2输出级12被控制为激活(动作)状态。即,在第1期间T1及第2期间T2,差动级10的第1输出(输出端L1)与第1输出级11的输入节点N11(晶体管M11的栅极)及第2输出级12的输入节点N13(晶体管M13的栅极)之间为导通状态,差动级10的第2输出(输出端L2)与第1输出级11的输入节点N13(晶体管M13的栅极)及第2输出级12的输入节点N14(晶体管M14的栅极)之间为导通状态。

[0065] 因而,在第1期间T1,Pch晶体管M11及M13的栅极电位差、Nch晶体管M12及M14的栅极电位差分别为0V,当从第1期间T1切换到第2期间T2时不会发生栅极间的电容耦合。因此,若在第2期间T2开始时输出控制开关S10成为导通,则因为第1输出级11及第2输出级12的放大动作而会迅速开始对数据线负载90的布线电容CL的充电动作或放电动作,能够实现抑制了失真或延迟的输出波形。

[0066] 同样地,在接受第2极性(负极性)的输入信号Vin的输入的数据期间,第1期间T1及第2期间T2中,第3输出级13及第4输出级14被控制为激活(动作)状态。即,在第1期间T1及第2期间T2,差动级10的第1输出(输出端L1)与第3输出级13的输入节点N15(晶体管M15的栅极)及第4输出级14的输入节点N17(晶体管M17的栅极)之间为导通状态,差动级10的第2输出(输出端L2)与第3输出级13的输入节点N16(晶体管M16的栅极)及第4输出级14的输入节点N18(晶体管M18的栅极)之间为导通状态。

[0067] 因而,在第1期间T1中Pch晶体管M15及M17的栅极电位差、Nch晶体管M16及M18的栅极电位差分别为0V,当从第1期间T1切换到第2期间T2时不会发生栅极间的电容耦合。因此,若在第2期间T2开始时输出控制开关S10成为导通,则因为第3输出级13及第4输出级14的放大动作而会迅速开始对数据线负载90的布线电容CL的充电动作或放电动作,能够实现抑制了失真或延迟的输出波形。

[0068] [实施例2]

[0069] 图3是示出本实施例的半导体装置中的输出电路100的连接控制例的时间图。与实施例1不同,在第1期间T1,设有第1子期间T1A和第2子期间T1B。

[0070] 在接受第1极性(正极)电压的输入信号VD1~VD(N)的各数据期间中,在第1期间T1的第1子期间T1A,开关S11、S12、S25、S26、S23、S24、S27及S28被控制为导通,开关S21、S22、S15、S16、S13、S14、S17及S18被控制为截止。另外,输出控制开关S10被控制为截止。

[0071] 由此,在第1子期间T1A,第1节点N1及第2节点N2之间成为非导通状态,第1输出级11为激活(动作)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节点N11及N12的L1与N11之间及L2与N12之间分别成为导通状态。另外,第2输出级12、第3输出级13及第4输出级14均为非激活(停止)状态,并且差动级10的输出端L1及L2与第2~第4输出级(12、13、14)各自的输入节点(N13、N14、N15、N16、N17及N18)成为非导通状态。

[0072] 在第1子期间T1A,通过差动级10及第1输出级11的放大动作,向第1节点N1输出与输入信号Vin对应的输出电压。此时第1节点N1的负载仅为内部寄生电容。因此第1节点N1的电位能够容易跟随输入信号Vin,在差动级10的输出端L1及L2、及第1输出级11的输入节点N11及N12,只发生一点点电位变动。

[0073] 此外,在第1子期间T1A,第1输出级11的输入节点N11及N12和第2输出级12的输入节点N13及N14为非导通状态。因此,会产生Pch晶体管M11及M13的栅极间电位差及Nch晶体管M12及M14的栅极间电位差。

[0074] 接着,在第1期间T1的第2子期间T1B,开关S11、S12、S25、S26、S13、S14、S27及S28被控制为导通,开关S21、S22、S15、S16、S23、S24、S17及S18被控制为截止。另外,输出控制开关S10被控制为截止。

[0075] 由此,在第2子期间T1B,第1节点N1及第2节点N2之间继续成为非导通状态,第1输出级11及第2输出级12为激活(动作)状态,并且差动级10的输出端L1及L2与第1输出级11的

输入节点N11及N12、及第2输出级12的输入节点N13及N14的L1、N11、N13之间及L2、N12、N14之间分别成为导通状态。另外，第3输出级13及第4输出级14均为非激活(停止)状态，并且差动级10的输出端L1及L2与第3输出级13的输入节点N15及N16、第4输出级14的输入节点N17及N18之间成为非导通状态。

[0076] 在第2子期间T1B，与第1子期间T1A同样，通过差动级10及第1输出级11的放大动作，向第1节点N1输出与输入信号Vin对应的输出电压。此时第1节点N1的负载也仅为内部寄生电容，第1节点N1的电位能够容易跟随输入信号Vin。

[0077] 另一方面，在第2子期间T1B，第2输出级12的输入节点N13及N14与差动级10的输出端L1及L2、及第1输出级11的输入节点N11及N12分别连接。此时，第1输出级11的输入节点N11(Pch晶体管M11的栅极)和第2输出级12的输入节点N13(Pch晶体管M13的栅极)，从具有栅极间电位差的状态短路，因栅极间的电容耦合而Pch晶体管M11暂时截止后与Pch晶体管M12一起再开始动作。

[0078] 另外，第1输出级11的输入节点N12(Nch晶体管M12的栅极)和第2输出级12的输入节点N14(Nch晶体管M14的栅极)，从具有栅极间电位差的状态短路，因栅极间的电容耦合而Nch晶体管M12暂时截止后与Nch晶体管M14一起再开始动作。

[0079] 因而，随着第2子期间T1B的开始第1输出级11暂时成为非激活(停止)状态，立即与第2输出级12一起返回激活(动作)状态。另外，在第2子期间T1B中第2输出级12成为激活(动作)状态，但是因为第1节点N1及第2节点N2之间为非导通状态，输出电路100不具有能够充分驱动数据线负载90的能力。

[0080] 此外，第1子期间T1B成为与在接受实施例1(图2)的第1极性(正极)电压的输入信号的输出期间的第1期间T1中的控制相同的开关控制。另外，关于第1子期间T1B后的第2期间T2，也成为与接受实施例1的第1极性(正极)电压的输入信号的输出期间的第2期间T2中的控制相同的开关控制。因此，本实施例中的第2期间T2的开关控制带来的输出电路100的动作与实施例1同样，省略说明。

[0081] 接着，在接受第2极性(负极)电压的输入信号VD(N+1)的1个数据期间，第1期间T1的第1子期间T1A中，开关S11、S12、S25、S26、S13、S14、S17及S18被控制为截止，开关S21、S22、S15、S16、S23、S24、S27及S28被控制为导通。另外，输出控制开关S10被控制为截止。

[0082] 由此，在第1子期间T1A，第1节点N1及第2节点N2之间成为非导通状态，第3输出级13为激活(动作)状态，并且差动级10的输出端L1及L2与第3输出级13的输入节点N15及N16的L1、N15之间及L2、N16之间分别成为导通状态。另外，第1输出级11、第2输出级12及第4输出级14均为非激活(停止)状态，并且差动级10的输出端L1及L2与第1、第2及第4输出级(11、12、14)各自的输入节点(N11、N12、N13、N14、N17及N18)成为非导通状态。

[0083] 在第1子期间T1A，通过差动级10及第3输出级13的放大动作，向第1节点N1输出与输入信号Vin对应的输出电压。此时第1节点N1的负载仅为内部寄生电容。因此第1节点N1的电位能够容易跟随输入信号Vin，在差动级10的输出端L1及L2、及第3输出级13的输入节点N15及N16，只发生一点点电位变动。

[0084] 此外，在第1子期间T1A，第3输出级13的输入节点N15及N16与第4输出级14的输入节点N17及N18，为非导通状态。因此，产生Pch晶体管M15及M17的栅极间电位差及Nch晶体管M16及M18的栅极间电位差。

[0085] 接着,在第1期间T1的第2子期间T1B,开关S11、S12、S25、S26、S13、S14、S27及S28被控制为截止,开关S21、S22、S15、S16、S23、S24、S17及S18被控制为导通。另外,输出控制开关S10被控制为截止。

[0086] 由此,在第2子期间T1B,第1节点N1及第2节点N2之间继续成为非导通状态,第3输出级13及第4输出级14为激活(动作)状态,并且差动级10的输出端L1及L2与第3输出级13的输入节点N15及N16、及第4输出级14的输入节点N17及N18的L1、N15、N17之间及L2、N16、N18之间分别成为导通状态。另外,第1输出级11及第2输出级12均为非激活(停止)状态,并且差动级10的输出端L1及L2与第1输出级11的输入节点N11及N12、第2输出级12的输入节点N13及N14之间成为非导通状态。

[0087] 在第2子期间T1B,与第1子期间T1A同样,通过差动级10及第3输出级13的放大动作,向第1节点N1输出与输入信号 $V_{in}$ 对应的输出电压。此时第1节点N1的负载也只是内部寄生电容,第1节点N1的电位能够容易跟随输入信号 $V_{in}$ 。

[0088] 另一方面,在第2子期间T1B,第4输出级14的输入节点N17及N18与差动级10的输出端L1及L2、及第3输出级13的输入节点N15及N16分别连接。此时,第3输出级13的输入节点N15(Pch晶体管M15的栅极)和第4输出级14的输入节点N17(Pch晶体管M17的栅极),从具有栅极间电位差的状态短路,因栅极间的电容耦合而Pch晶体管M15暂时截止后与Pch晶体管M17一起再开始动作。

[0089] 另外,第3输出级13的输入节点N16(Nch晶体管M16的栅极)和第4输出级14的输入节点N18(Nch晶体管M18的栅极),从具有栅极间电位差的状态短路,并因栅极间的电容耦合而Nch晶体管M16暂时截止后与Nch晶体管M18一起再开始动作。

[0090] 因而,随着第2子期间T1B的开始第3输出级13暂时成为非激活(停止)状态,立即与第4输出级14一起返回激活(动作)状态。另外,在第2子期间T1B中第4输出级14成为激活(动作)状态,但是因为第1节点N1及第2节点N2之间为非导通状态,所以输出电路100不具有能够充分驱动数据线负载90的能力。

[0091] 此外,第1子期间T1B成为与接受实施例1(图2)的第2极性(负极)电压的输入信号的输出期间的第1期间T1中的控制相同的开关控制。另外,关于第1子期间T1B后的第2期间T2,也成为与接受实施例1的第2极性(负极)电压的输入信号的输出期间的第2期间T2中的控制相同的开关控制。因此,本实施例中的第2期间T2的开关控制带来的输出电路100的动作与实施例1同样,省略说明。

[0092] 如以上那样,在本实施例中的输出电路100的连接控制中,在接受第1极性(正极)或第2极性(负极)的输入信号 $V_{in}$ 的输入的1个数据期间的第1期间T1,设有第1子期间T1A及第2子期间T1B。在第1子期间T1A中第1输出级11或第3输出级13被控制为激活(动作)状态,第2输出级12及第4输出级14均被控制为非激活(停止)状态。另外,在第1子期间T1A,第1节点N1及第2节点N2之间被控制为非导通,因此与第2节点N2连接的数据线负载90成为完全与输出电路100截断的状态。由此在输入信号 $V_{in}$ 大幅变化等输出电路100有动作变化的情况下,也能完全截断对数据线负载90的影响。

[0093] 另一方面,在第2子期间T1B,第1及第2输出级(11、12)或第3及第4输出级(13、14)的一个对应输入信号的极性而被控制为激活(动作)状态,另一个被控制为非激活(停止)状态。在第1子期间T1B,第1节点N1及第2节点N2之间在第1子期间T1A继续为非导通状态,因此

输出电路100不具有能够充分驱动数据线负载90的能力。特别是在输入信号 $V_{in}$ 变动的情况下,如果在第1子期间T1A完成输入信号 $V_{in}$ 的较大的变动,并在第2子期间T1B输入信号 $V_{in}$ 处于大致稳定状态,则第2输出级12或第4输出级14的动作带来的对第2节点N2的电压变动能够抑制为充分小。

[0094] 此外,随着第2子期间T1B的开始,输入正极电压的输入信号时第1输出级11及第2输出级12的第1输入彼此(N11、N13)、第2输入彼此(N12、N14)分别短路,当输入负极电压的输入信号时第3输出级13及第4输出级14的第1输入彼此(N15、N17)、第2输入彼此(N16、N18)分别短路,产生栅极彼此的电容耦合。然而,第2输出级12或第4输出级14在暂时变动为非激活(停止)状态后,第1输出级11或第3输出级13均成为激活(动作)状态,因此不会对第2节点N2产生电压变动的的影响。

[0095] 另外,从第2子期间T1B到第2期间T2的切换,为与实施例1(图2)的第1期间T1和第2期间T2的切换同样的开关控制,因此不会产生栅极间的电容耦合。因此,若在第2期间T2开始时输出控制开关S10成为导通,则因为第1及第2输出级(11、12)或第3及第4输出级(13、14)的放大动作而会迅速开始对数据线负载90的布线电容CL的充电动作及放电动作,能够实现抑制失真或延迟的输出波形。

[0096] [实施例3]

[0097] 图4是示出图1的输出电路100中的差动级10的结构的一个例子即本实施例的差动级10a的图。

[0098] 差动级10a具备:一端与低位电源端子Nss连接的电流源35;在共同源极连接有电流源35的另一端的Nch差动对(Nch晶体管M31及M32);一端与高位电源端子Ndd连接的电流源36;以及在共同源极连接有电流源36的另一端的Pch差动对(Pch晶体管M33及M34)。

[0099] Nch晶体管M31及Pch晶体管M33的栅极(即Nch差动对及Pch差动对的一个输入彼此),共同连接到差动级10a的输入对的一个输入端(+).Nch晶体管M32及Pch晶体管M34的栅极(即Nch差动对及Pch差动对的另一个输入彼此),共同连接到差动级10a的输入对的另一个输入端(-)。

[0100] 另外,差动级10a具备:源极与高位电源端子Ndd连接并且栅极彼此共同连接的Pch晶体管M41及M42;以及源极与Pch晶体管M42及M41的漏极(N31、N32)分别连接、栅极彼此共同连接并接受偏置电压VB1的Pch晶体管M44及M43。

[0101] Pch晶体管M43的漏极与Pch晶体管M42及M41的栅极共同连接,Nch差动对的输出对即Nch晶体管M31及M32的漏极与Pch晶体管M42及M41的漏极(N31、N32)分别连接。Pch晶体管M41、M42、M43及M44构成第1共源共栅型(cascode current)电流镜电路21。Pch晶体管M44及M43的漏极成为第1共源共栅型电流镜电路21的第1端子及第2端子。

[0102] 另外,差动级10a具备:源极与低位电源端子Nss连接并且栅极彼此共同连接的Nch晶体管M51及M52;以及源极与Nch晶体管M52及M51的漏极(N33、N34)分别连接、栅极彼此共同连接并接受偏置电压VB2的Nch晶体管M54及M53。

[0103] Nch晶体管M53的漏极与Nch晶体管M52及M51的栅极共同连接,Pch差动对的输出对即Pch晶体管M33及M34的漏极与Nch晶体管M52及M51的漏极(N33、N34)分别连接。Nch晶体管M51、M52、M53及M54构成第2共源共栅型电流镜电路22。Nch晶体管M54及M53的漏极成为第2共源共栅型电流镜电路22的第1端子及第2端子。

[0104] 第1及第2共源共栅型电流镜电路(21、22)各自的第1端子,成为构成差动级10a的输出对的输出端L1及L2。

[0105] 进而,差动级10a具备:连接在第1共源共栅型电流镜电路21的第1端子与第2共源共栅型电流镜电路22的第1端子之间的第1浮动电流源61;以及连接在第1共源共栅型电流镜电路21的第2端子(N35)与第2共源共栅型电流镜电路22的第2端子(N36)之间的第2浮动电流源62。

[0106] 第1浮动电流源61具备:连接在第1共源共栅型电流镜电路21及第2共源共栅型电流镜电路22各自的第1端子间并且栅极被供给偏置电压VB3的Pch晶体管M63;以及同样连接在第1共源共栅型电流镜电路21及第2共源共栅型电流镜电路22各自的第1端子间并且栅极被供给偏置电压VB4的Nch晶体管M64。

[0107] 此外,差动级10a的输入对的一个输入端(+)在图1的输出电路100的结构中,作为输入端子P1的输入信号Vin接受第1极性(正极)电压或第2极性(负极)电压。差动级10a的输入对的另一个输入端(-)在图1的输出电路100的结构中,接受第1节点N1的电压信号。此时对于第1浮动电流源61的Pch晶体管M63及Nch晶体管M64的栅极,作为偏置电压VB3及VB4被供给与输入信号Vin的极性对应的偏置电压。差动级10a的动作在输入信号Vin相对于第1节点N1的电位发生变化的情况下,构成差动级10a的输出对的第1及第2输出端L1、L2的电位分别向与输入信号Vin的电压变化相反方向发挥作用。

[0108] 另外,虽然在图4中没有特别图示,但是为了放大动作的输出稳定化,例如也可以具备连接在图1的输出电路100的第1节点N1与差动级10a的适当的端子之间的相位补偿电容。

[0109] [实施例4]

[0110] 图5是示出图1的输出电路100中的差动级10的结构的一个例子即本实施例的差动级10b的图。此外,对于与实施例3的差动级10a同样的结构部分省略说明。

[0111] 差动级10b具有各自的一端连接到图1的输出电路100的第1节点N1的第1电容元件C1、第2电容元件C2、第3电容元件C3及第4电容元件C4。在这一点上与实施例3的差动级10a(图4)不同。

[0112] 另外,差动级10b还具备:在第1电容元件C1的另一端N37、和连接Nch差动对(M31、M32)的输出对及第1共源共栅型电流镜电路21的连接点对的一个(N31)之间连接的开关S51(第17开关);在第1电容元件C1的另一端N37与高位电源端子Ndd之间连接的开关S52(第18开关);在第2电容元件C2的另一端N38、和连接Pch差动对(M33、M34)的输出对及第2共源共栅型电流镜电路22的连接点对的一个(N33)之间连接的开关S53(第19开关);以及第2电容元件C2的另一端N38与低位电源端子Nss之间连接的开关S54(第20开关)。

[0113] 第3电容元件C3的另一端在连接Nch差动对(M31、M32)的输出对与第1共源共栅型电流镜电路21的连接点对的一个(N31)连接。第4电容元件C4的另一端在连接Pch差动对(M33、M34)的输出对与第2共源共栅型电流镜电路22的连接点对的一个(N33)连接。

[0114] 第1及第2电容元件(C1、C2)和控制其连接的开关S51、S52、S53及S54构成电容连接控制电路50。

[0115] 接着,参照图6的时间图,对具备本实施例的差动级10b的图1的输出电路100中的开关控制的动作进行说明。此外,差动级10b的开关控制与图2所示的输出电路100的连接控

制并行地进行。

[0116] 在接受第1极性(正极)电压的输入信号VD1~VD(N)的数据期间及接受第2极性(负极)电压的输入信号VD(N+1)的数据期间的各个期间中,在第1期间T1,开关S51及S53均被控制为导通,开关S52及S54均被控制为截止。

[0117] 因而,在第1期间T1,对于固定连接的第3电容元件C3及第4电容元件C4,分别并联连接有第1电容元件C1及第2电容元件C2。由此,提高输出电路100对于第1节点N1的放大动作的相位富余,在第1期间T1中负载能够只抑制内部寄生电容在第1节点N1的电位振荡。

[0118] 另一方面,在第2期间T2,开关S51及S53均被控制为截止,开关S52及S54均被控制为导通。

[0119] 因而,在第2期间T2,第1电容元件C1的另一端被从第3电容元件C3的另一端切断而与高位电源端子Ndd连接,第2电容元件C2的另一端被从第4电容元件C4的另一端切断而与低位电源端子Nss连接。由此,在第2期间T2中,第1节点N1及第2节点N2导通,对于数据线负载90的输出电路100的放大动作中,只有第3电容元件C3及第4电容元件C4作为相位补偿电容而发挥作用。

[0120] 如以上那样,具备本实施例的差动级10b的输出电路100,进行以图2及图6示出的开关控制(连接控制),从而将第1期间T1中的第1节点N1的电位保持稳定,并随着第2期间T2的开始能够以抑制了噪声等的输出波形驱动数据线负载90。

[0121] [实施例5]

[0122] 图7是示出图1的输出电路100中的差动级10的结构的一个例子即本实施例的差动级10c的图。此外,对于与实施例3的差动级10a及实施例4的差动级10b同样的结构部分省略说明。

[0123] 差动级10c在不具有第3电容元件C3及第4电容元件C4这一点上,与实施例4的差动级10b(图5)不同。关于电容连接控制电路50的结构,与实施例4的差动级10b同样。

[0124] 接着,参照图8的时间图,对具备本实施例的差动级10c的图1的输出电路100中的开关控制的动作进行说明。此外,差动级10c的开关控制与图3所示的输出电路100的连接控制并行地进行。

[0125] 在接受第1极性(正极)电压的输入信号VD1~VD(N)的数据期间及接受第2极性(负极)电压的输入信号VD(N+1)的数据期间的各个期间中,在第1期间T1的第1子期间T1A,开关S51及S53均被控制为截止,开关S52及S54均被控制为导通。

[0126] 因而,第1电容元件C1连接在第1节点N1与高位电源端子Ndd之间,第2电容元件C2连接在第1节点N1与低位电源端子Nss之间。因此,在第1子期间T1A,第1电容元件C1及第2电容元件C2作为第1节点N1的负载发挥作用,而不是作为相位补偿电容发挥作用。由此,在第1子期间T1A,暂时削减差动级10c的相位补偿电容,输出电路100对应输入信号Vin的变化而将第1电容元件C1及第2电容元件C2高速充放电至目标灰度电压附近。因此,第1子期间T1A能够设定为比较短的时间。

[0127] 此外,在第1子期间T1A,差动级10c的相位补偿电容被暂时削减,第1节点N1的电位不稳定,但是第1电容元件C1及第2电容元件C2只要高速充放电至目标灰度电压附近即可。

[0128] 另一方面,在第1期间T1的第2子期间T1B及第2期间T2,开关S51及S53均被控制为导通,开关S52及S54均被控制为截止。

[0129] 因而,第1电容元件C1在连接Nch差动对(M31、M32)的输出对及第1共源共栅型电流镜电路21的连接点对的一个(N31)、和第1节点N1之间连接。另外,第2电容元件C2在连接Pch差动对(M33、M34)的输出对及第2共源共栅型电流镜电路22的连接点对的一个(N33)、和第1节点N1之间连接。由此,从第2子期间T1B起,使得第1电容元件C1及第2电容元件C2作为相位补偿电容发挥作用。

[0130] 此外,连接Nch差动对(M31、M32)的输出对及第1共源共栅型电流镜电路21的连接点对的一个(N31)的电位和高位电源电压VDD充分接近,连接Pch差动对(M33、M34)的输出对及第2共源共栅型电流镜电路22的连接点对的一个(N33)的电位和低位电源电压VSS充分接近。因此,在第1子期间T1A对第1电容元件C1及第2电容元件C2进行充放电的电荷,在第2子期间T1B能够原样利用。

[0131] 此外,在第2子期间T1B,输出电路100对于充放电至目标灰度电压附近的第1电容元件C1及第2电容元件C2,通过补充不足的电荷的放大动作来将第1节点N1驱动到目标灰度电压。因此,第2子期间T1B也能设定为比较短的期间。

[0132] 如以上那样,具备本实施例的差动级10c的输出电路100,通过进行以图2及图6示出的开关控制(连接控制),在第1期间T1的第1子期间T1A将第1节点N1和成为其负载的第1电容元件C1及第2电容元件C2高速充电至目标灰度电压附近,在第2子期间T1B将第1电容元件C1及第2电容元件C2切换到相位补偿作用的连接,进行补充不足的电荷的控制。

[0133] 由此,将第1子期间T1A及第2子期间T1B抑制为必要的最小限度的期间,与具备实施例3的差动级10a的输出电路100相比,能够将实质驱动数据线负载90的第2期间T2设定为较长。即,能够加快1个数据期间中的数据线负载90的开始驱动的定时,因此能够实现高速驱动。

[0134] [实施例6]

[0135] 图9是示出具备图1的输出电路100的数据驱动器的一个例子、即本实施例的数据驱动器900的结构框图。在此,以数据驱动器900具有2n个(n:自然数)输出数量的情况为例进行说明。

[0136] 数据驱动器900具备:输出电路100<sub>1</sub>~100<sub>2n</sub>;控制信号及偏置电压发生电路200;正极解码器300<sub>1</sub>~300<sub>n</sub>;负极解码器400<sub>1</sub>~400<sub>n</sub>;参照电压发生电路500;电平移位器600;闩锁器700及移位寄存器800。

[0137] 另外,数据驱动器900具备输出焊盘P2<sub>1</sub>~P2<sub>2n</sub>、电荷共享布线CS1及CS2、和电荷共享开关S50<sub>1</sub>~S50<sub>2n</sub>。在输出焊盘P2<sub>1</sub>~P2<sub>2n</sub>,连接有数据线负载90<sub>1</sub>~90<sub>2n</sub>。

[0138] 输出电路100<sub>1</sub>~100<sub>2n</sub>各自具有与图1所示的输出电路100同样的结构。另外,输出电路100<sub>1</sub>~100<sub>2n</sub>的差动级10,具有图4、图5及图7的任一结构(即差动级10a、10b及10c的任一个)。

[0139] 移位寄存器800基于时钟信号CLK及起动脉冲SP,决定数据闩锁的定时。

[0140] 闩锁器700基于由移位寄存器800决定的定时,将数字影像数据VD进行闩锁,并对应控制信号CS的定时将影像数据VD向电平移位器600输送。

[0141] 电平移位器600对影像数据VD进行振幅扩展,并对应极性而向正极解码器300<sub>1</sub>~300<sub>n</sub>或负极解码器400<sub>1</sub>~400<sub>n</sub>供给。

[0142] 参照电压发生电路500向正极解码器300<sub>1</sub>~300<sub>n</sub>共同供给多个正极参照电压,并向负极解码器400<sub>1</sub>~400<sub>n</sub>共同供给多个负极参照电压。

[0143] 正极解码器300<sub>1</sub>~300<sub>n</sub>及负极解码器400<sub>1</sub>~400<sub>n</sub>,例如对应数据驱动器900的输出而交替配置,作为整体构成2n个解码器。正极解码器300<sub>1</sub>~300<sub>n</sub>及负极解码器400<sub>1</sub>~400<sub>n</sub>各自选择与从电平移位器600供给的影像数据VD(振幅扩展的影像数据VD)对应的参照电压。正极解码器300<sub>1</sub>~300<sub>n</sub>及负极解码器400<sub>1</sub>~400<sub>n</sub>各自将选择的参照电压作为与输出极性对应的输入信号,向对应的输出电路100<sub>1</sub>~100<sub>2n</sub>供给。

[0144] 控制信号及偏置电压发生电路200向输出电路100<sub>1</sub>~100<sub>2n</sub>供给控制输出电路100<sub>1</sub>~100<sub>2n</sub>内的各开关的切换的切换控制信号、和输出电路100<sub>1</sub>~100<sub>2n</sub>内的各偏置电压。

[0145] 输出电路100<sub>1</sub>~100<sub>2n</sub>通过对应控制信号及来自偏置电压发生电路200的切换控制信号而按照图2、图3、图6、图8所示的时间图等的控制,按每1个数据期间,将与输入信号对应的灰度电压信号向对应的数据线负载90<sub>1</sub>~90<sub>2n</sub>输出。

[0146] 由此,数据驱动器900在与各输出连接的数据线负载90<sub>1</sub>~90<sub>2n</sub>的驱动中,能够实现抑制了输出波形的失真或输出延迟的输出波形,可在液晶显示面板中进行高质量的显示。

[0147] 此外,移位寄存器800及门锁器700为逻辑电路,一般以低压电源动作,被供给电压VSS及VCC(例如VSS=0V、VCC=1.8~3.3V)。电平移位器600以后的各电路一般以高压电源动作,被供给电压VSS、VDM及VDD(例如VSS=0V、VDD=10~20V、VDM≈VDD/2)。

[0148] 另外,在本实施例的数据驱动器900中,为了削减功耗的目的,设有电荷共享布线CS1及CS2和电荷共享开关S50<sub>1</sub>~S50<sub>2n</sub>。近年来,因显示面板的大屏幕化而数据线负载(特别是负载电容)大幅增加,数据驱动器的功耗的增大、或由此带来的高发热化成为问题。电荷共享驱动再利用数据线负载电容的充放电电荷的一部分,从而成为降低发热的有效单元。

[0149] 电荷共享布线CS1及CS2按每个输出极性设置。例如,在向数据线输出的灰度电压的极性因奇数位和偶数位数据线而不同的情况下,在某一帧期间奇数位输出电路成为正极灰度电压输出、偶数位输出电路成为负极灰度电压输出。因此,电荷共享布线CS1经由开关S50<sub>1</sub>、S50<sub>3</sub>、…、S50<sub>2n-1</sub>而与奇数位输出电路的输出端(N2)连接。同样地,电荷共享布线CS2经由开关S50<sub>2</sub>、S50<sub>4</sub>、…、S50<sub>2n</sub>而与偶数位输出电路的输出端(N2)连接。此外,电荷共享布线CS1及CS2也可以具备分别在与既定电源端子之间连接的大电容元件。

[0150] 电荷共享的控制优选在图2、图3、图6及图8所示的时间图中的各数据期间的第1期间T1进行。例如,以使电荷共享开关S50<sub>1</sub>~S50<sub>2n</sub>在第1期间T1导通、在第2期间T2截止的方式进行控制。由此,在第1期间T1,正极电压驱动的数据线负载彼此经由电荷共享布线CS1导通,使在前一个数据期间驱动的各数据线负载的正极电压平均。同样地,负极电压驱动的数据线负载彼此经由电荷共享布线CS2导通,使在前一个数据期间驱动的各数据线负载的负极电压平均。

[0151] 因此,在从前一个数据期间到下一个数据期间输出电路输出的灰度电压的电位差较大的情况下,输出电路在第2期间T2中只要以从平均化的电压到目标灰度电压为止的差分进行驱动即可。由此,能够降低数据驱动器的功耗。此外,这样的电荷共享驱动带来的功

耗的降低,依赖于显示图案,因此优选对应显示图案控制电荷共享驱动的执行、停止。

[0152] 图10是对比示出本实施例的数据驱动器900中输出正极电压而驱动数据线负载时的数据线近端的输出电压波形、和比较例的数据驱动器中的数据线的近端的输出电压波形的图。比较例示出了在与本实施例的数据驱动器900不同且不具有如图1那样的结构的输出电路的现有的数据驱动器(例如,专利文献1的数据驱动器)中,使输出电路作为列反转驱动用的正极驱动用放大器进行动作,并输出正极电压而驱动数据线时的输出电压波形。此外,在此,在本实施例及比较例两者中,以在1个数据期间设有第1期间T1及第2期间T2,并且在第1期间T1中进行电荷共享驱动的情况为前提。

[0153] 波形G1(虚线)示出了在比较例的输出电压波形中,从高位电源电压VDD附近的灰度电压的输出状态向中位电源电压VDM附近的灰度电压进行放电动作的数据期间的波形。波形G2(虚线)示出了在比较例的输出电压波形中,从中位电源电压VDM附近的灰度电压的输出状态向高位电源电压VDD附近的灰度电压进行充电动作的数据期间的波形。

[0154] 波形F1(实线)示出了在本实施例的输出电压波形中,向中位电源电压VDM附近的灰度电压进行放电动作的数据期间的波形。波形F2示出了在本实施例的输出电压波形中,向高位电源电压VDD附近的灰度电压进行充电动作的数据期间的波形。

[0155] 在比较例的输出电压波形即波形G1及G2中,在第1期间T1因电荷共享驱动而波形G1及G2各自的电位向高位电源电压VDD和中位电源电压VDM的中间电压侧变化。此外在第1期间T1中比较例的数据驱动器的正极驱动用放大器,第1输出级被控制为激活(动作)状态、第2输出级被控制为非激活(停止)状态。在第2期间T2中第1输出级和第2输出级均被控制为激活(动作)状态,但是在第2期间T2开始时,因为构成各输出级的输出晶体管的栅极间的电容耦合,第1输出级及第2输出级的晶体管会暂时成为截止,在第2期间T2开始后不能立即将数据线负载进行充电或放电。在第2期间T2开始后,第1输出级及第2输出级的晶体管暂时性截止的期间,数据线负载的近端的波形G1及G2的电位被拉到数据线负载的远端的电位,从而产生波形失真。若第1输出级及第2输出级的晶体管从截止切换到导通,则波形G1及G2的电位分别向目标灰度电压变化。

[0156] 在波形G1中,第1输出级及第2输出级的Nch晶体管的栅极间电容耦合,从而发生波形失真及输出延迟。Nch晶体管因反馈偏置电压的影响而第1期间T1的栅极间电位差较大,所以在刚刚开始第2期间T2后的截止期间也较长,产生较大的波形失真及输出延迟。在波形G2中,因第1输出级及第2输出级的Pch晶体管的栅极间电容耦合,而发生波形失真及输出延迟。Pch晶体管虽然不受反馈偏置电压的影响但第1期间T1的栅极间电位差相当于阈值电压,因此在刚刚开始第2期间T2后的截止期间也会有少许,会产生较小的波形失真及输出延迟。这样的波形失真和输出延迟、及波形G1、G2的非对称性会招致显示质量的下降。

[0157] 另一方面,在本实施例的正极输出电压波形即波形F1及F2中,在第1期间T1通过电荷共享驱动,波形F1及F2各自的电位与波形G1及G2同样,向高位电源电压VDD和中位电源电压VDM的中间电压侧变化。此外本实施例的数据驱动器900的输出电路(输入正极电压时),在第1期间T1结束时第1输出级和第2输出级均被控制为激活(动作)状态,在第2期间T2中第1输出级和第2输出级也都被控制为激活(动作)状态。因此在第2期间T2开始时不会产生栅极间的耦合电容,而随着第2期间T2开始迅速进行数据线负载的驱动。波形F1及波形F2几乎都不会产生波形失真及输出延迟,而能够得到对称的放电波形(F1)及充电波形(F2)。由此,

能够进行高质量的显示。

[0158] 此外,本发明并不局限于上述实施方式。例如,具有输出电路100的各开关的连接结构并不限于上述实施例所示的结构,只要为能控制第1输出级11、第2输出级12、第3输出级13及第4输出级的激活、非激活的连接结构即可。

[0159] 另外,在上述实施例中,示出了数据线负载90由1级布线电阻RL及布线电容CL构成的情况,但是与此不同地由多级电阻及电容构成也可。

[0160] 另外,也可以在图2所示的时间图中,在极性切换的第N数据期间和第(N+1)数据期间之间设置既定闭锁(blanking)期间。在设有闭锁期间的情况下,优选输出电路100的第1输出级11、第2输出级12、第3输出级13及第4输出级14均为非激活,输出控制开关S10也为非导通状态。

[0161] 【标号说明】

[0162] 100(100\_\_1~100\_\_2n) 输出电路;90 数据线负载;10(10a、10b、10c) 差动级;11 第1输出级;12 第2输出级;13 第3输出级;14 第4输出级;M11~M18 晶体管;P1 输入端子;P2 输出焊盘;N1 第1节点;N2 第2节点;L1 第1输出端;L2 第2输出端;21 第1共源共栅型电流镜电路;22 第2共源共栅型电流镜电路;35、36 电流源;50 电容控制电路;61 第1浮动电流源;62 第2浮动电流源;M31~M64 晶体管;200 控制信号及偏置电压发生电路;300\_\_1~300\_\_n 正极解码器;400\_\_1~400\_\_n 负极解码器;500 参照电压发生电路;600 电平移位器;700 闩锁器;800 移位寄存器;900 数据驱动器;CS1、CS2 电荷共享布线。

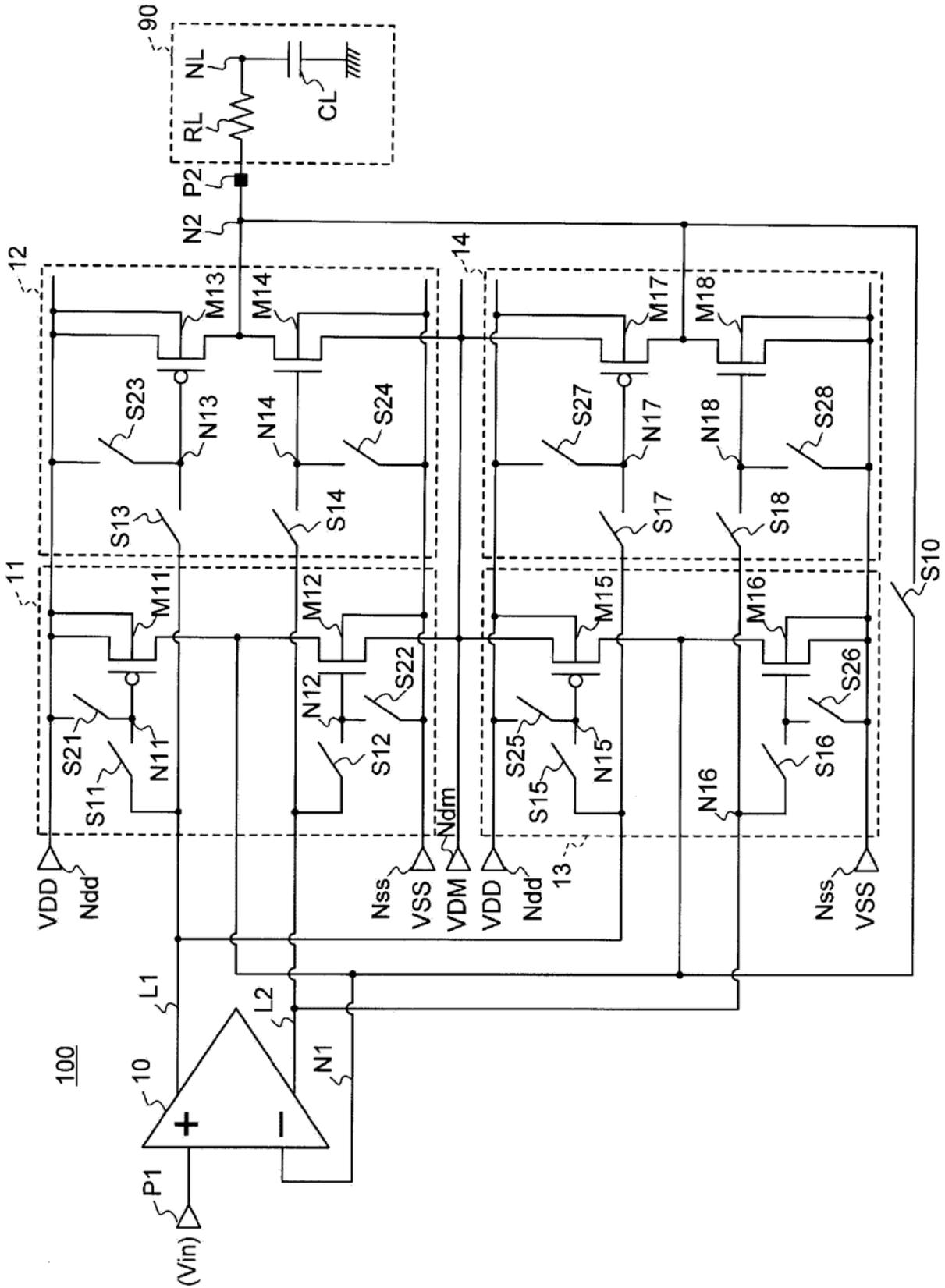


图 1

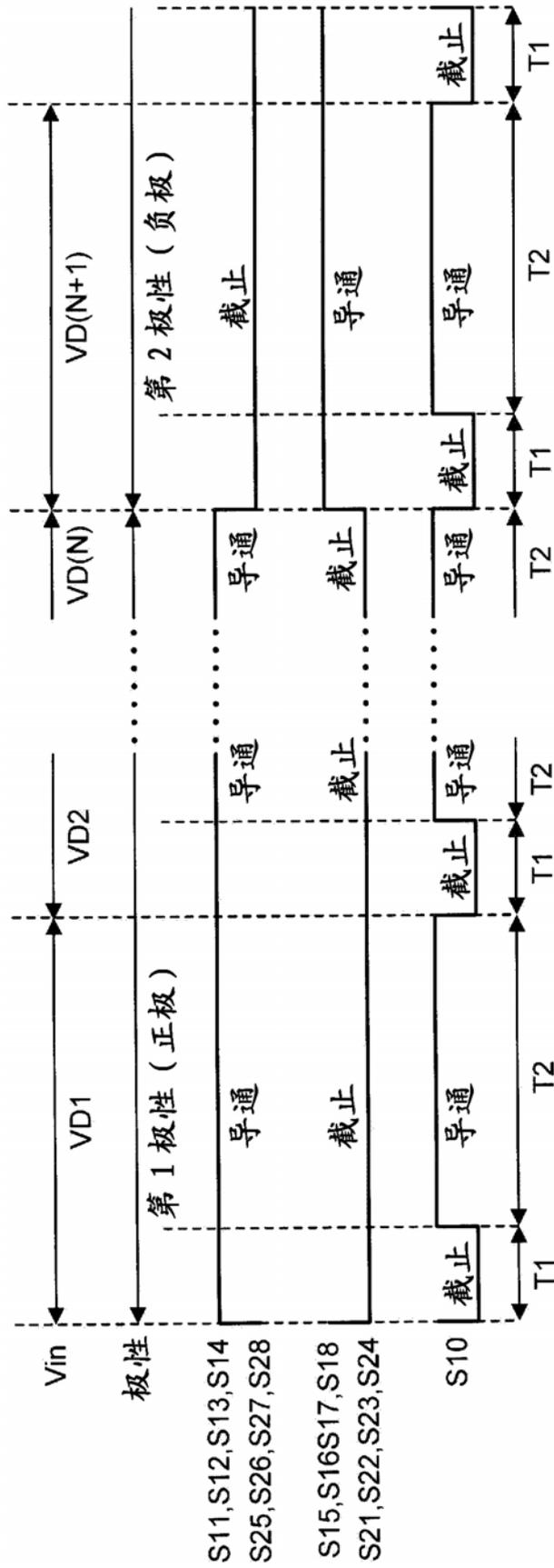


图 2

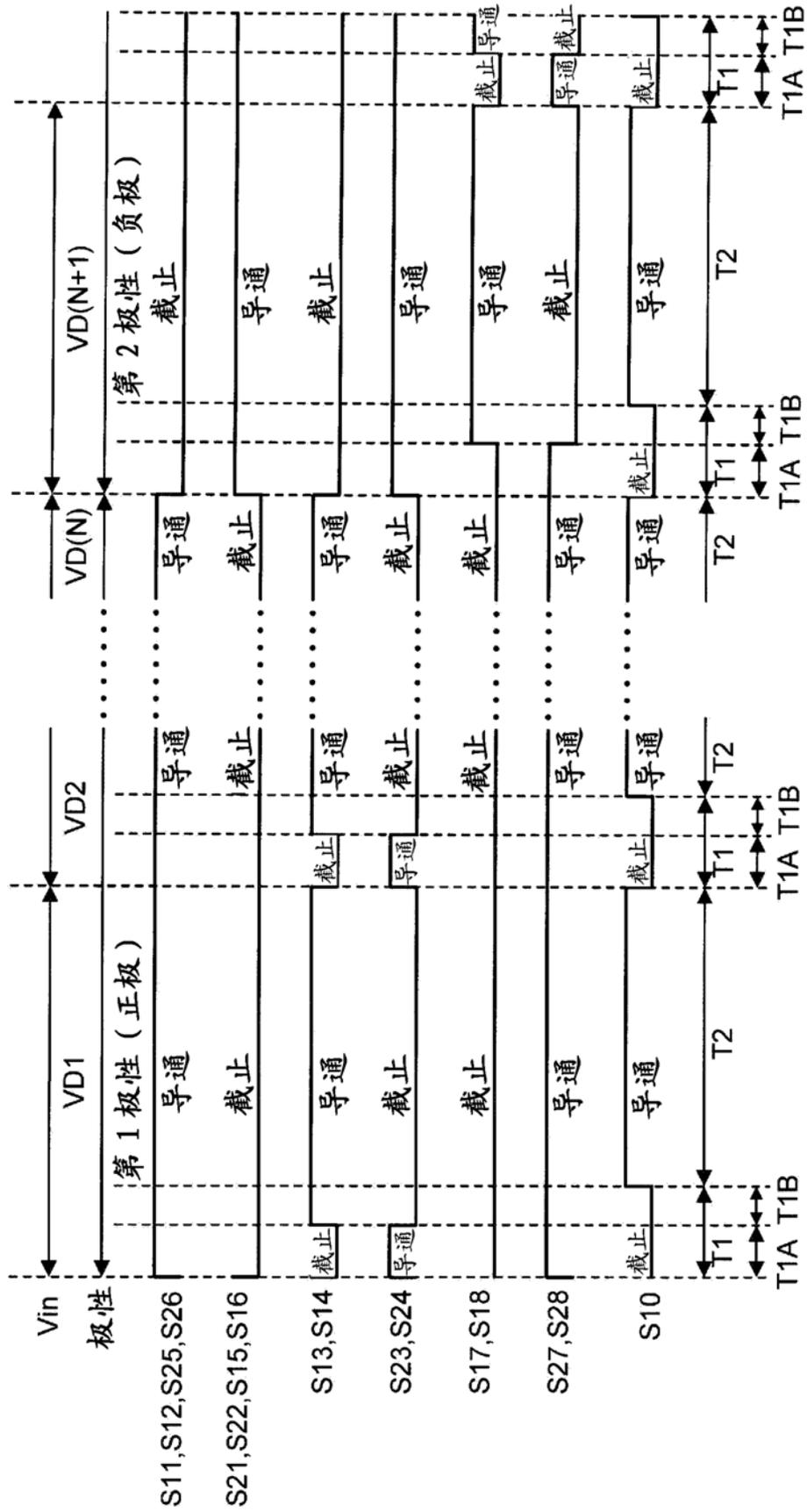


图 3

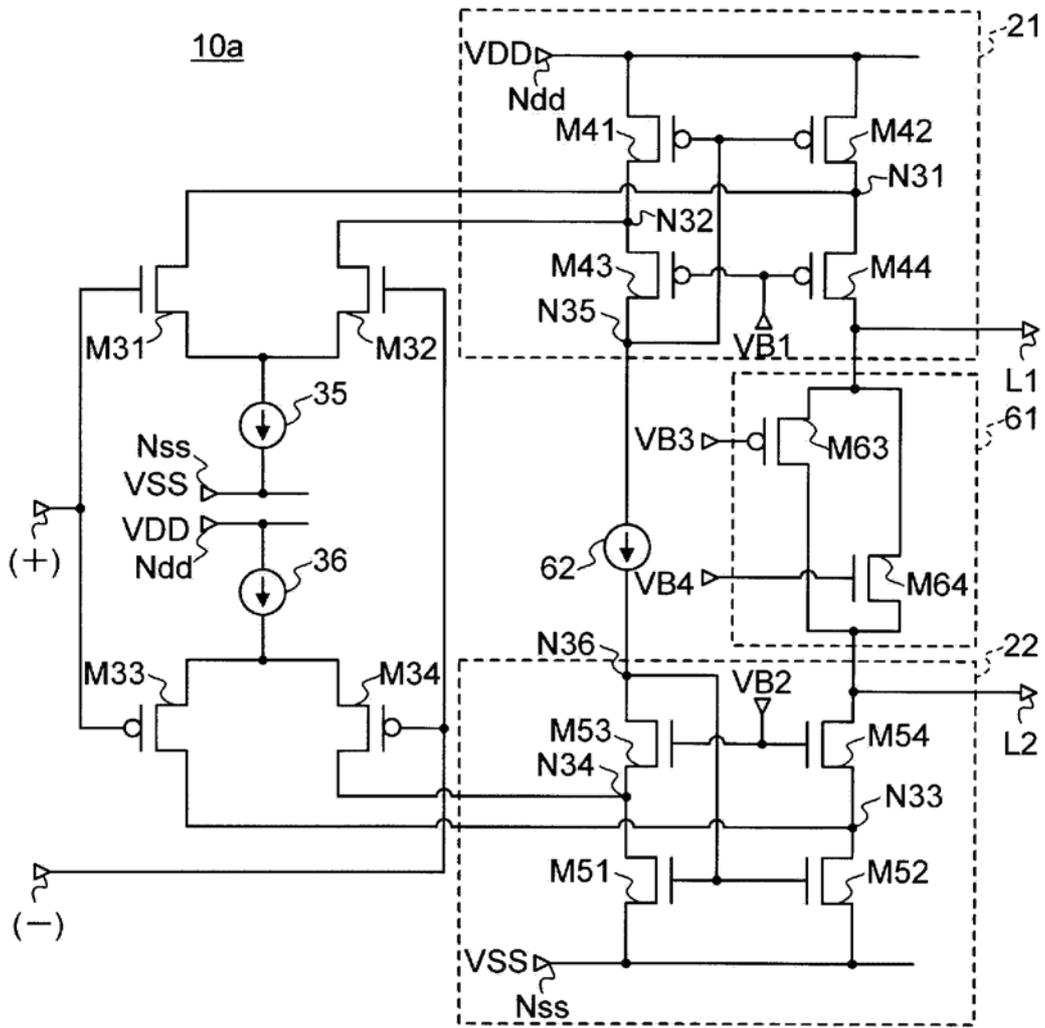


图 4

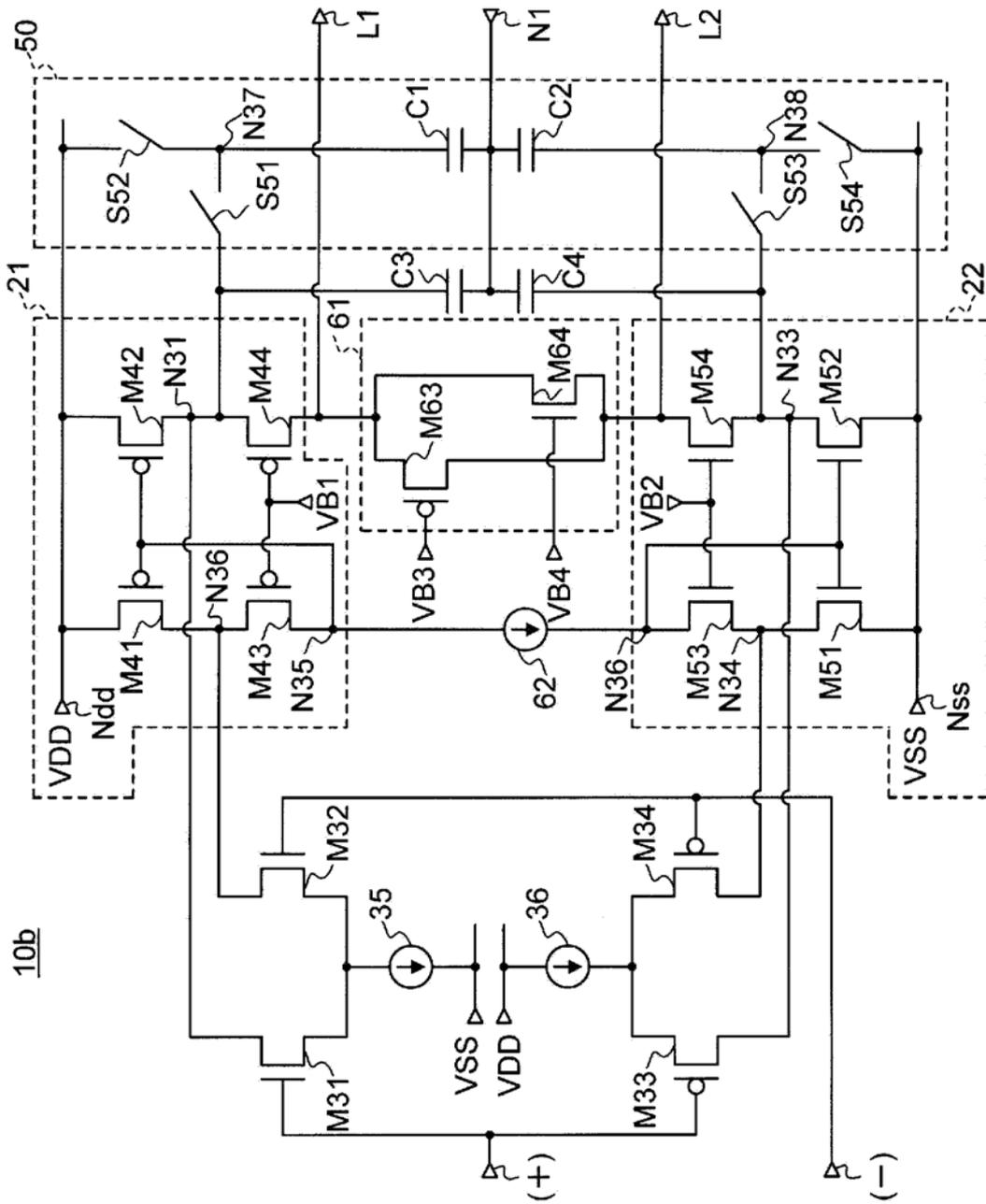


图 5

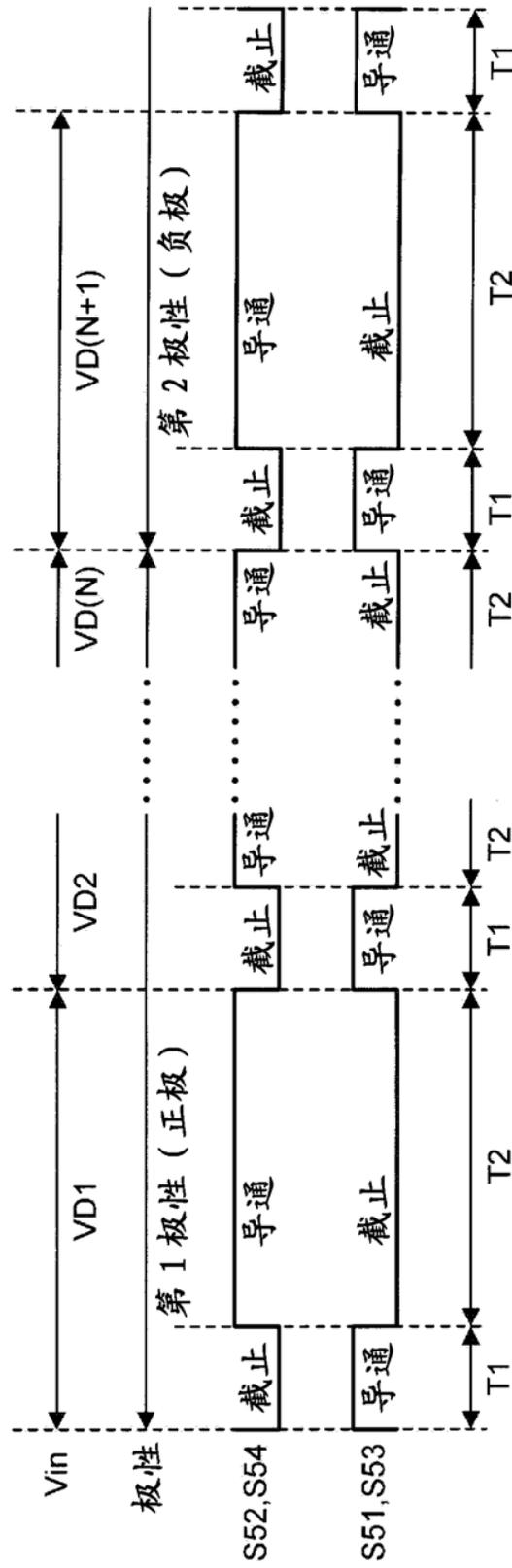


图 6

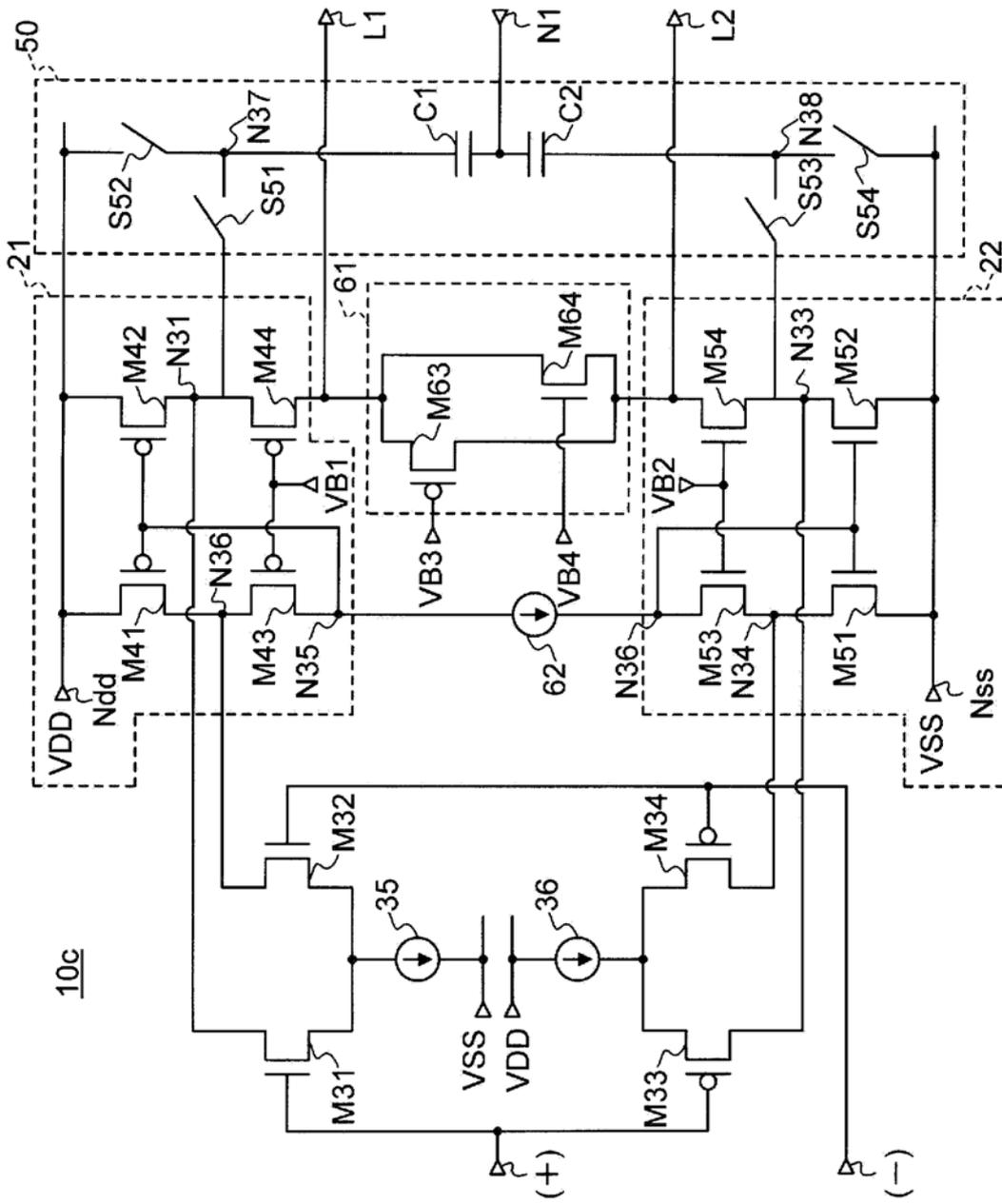


图 7

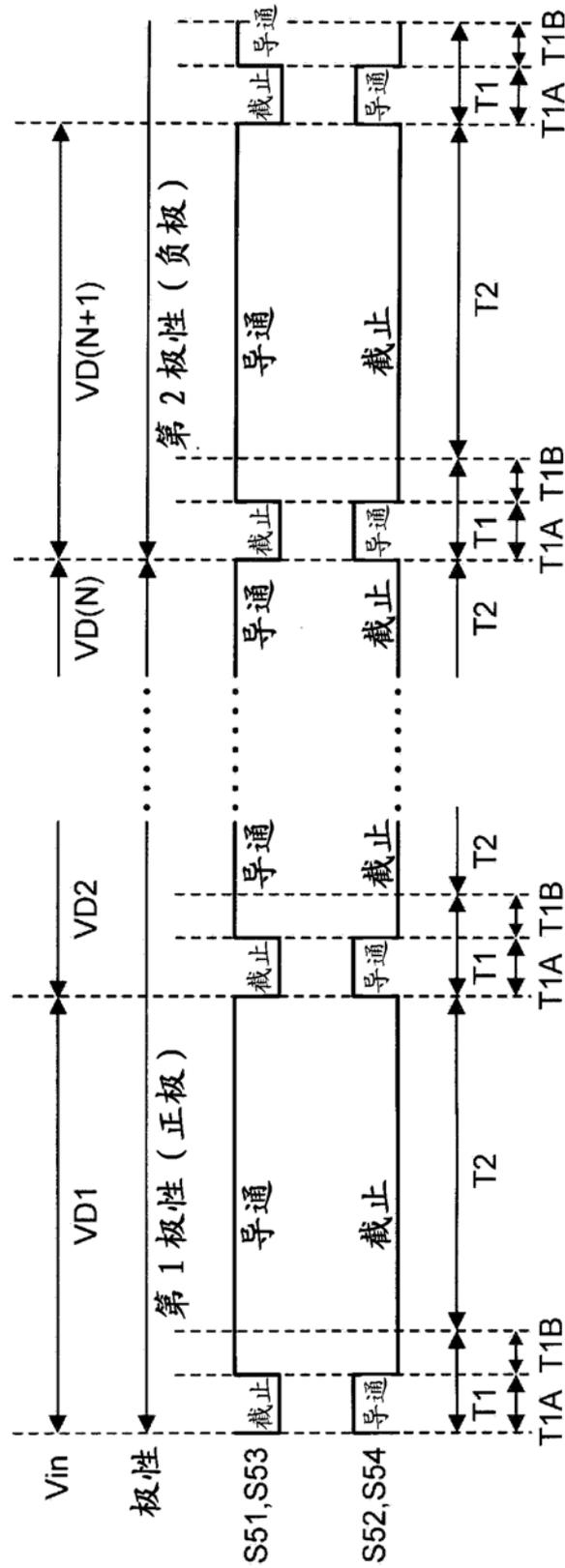


图 8

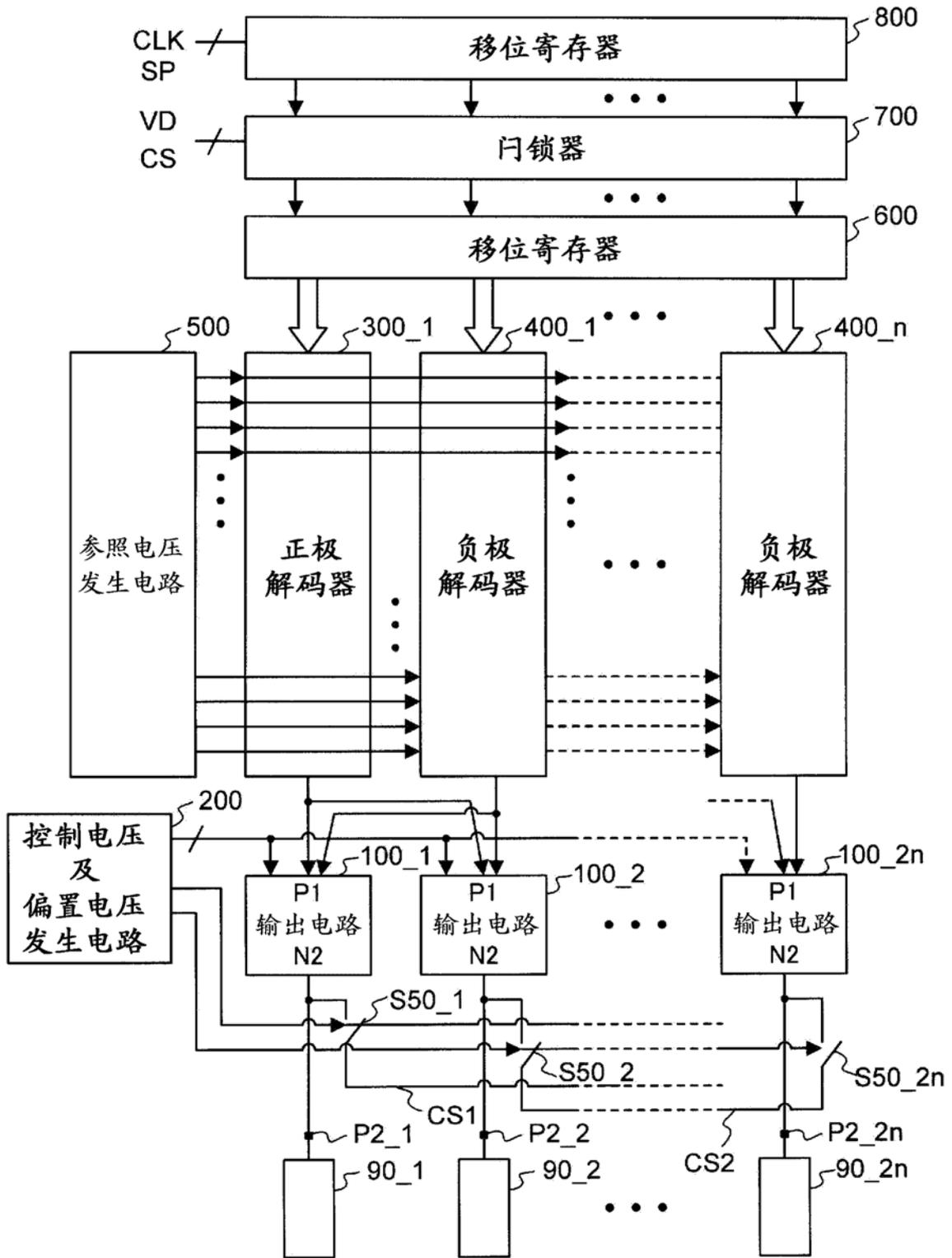


图 9

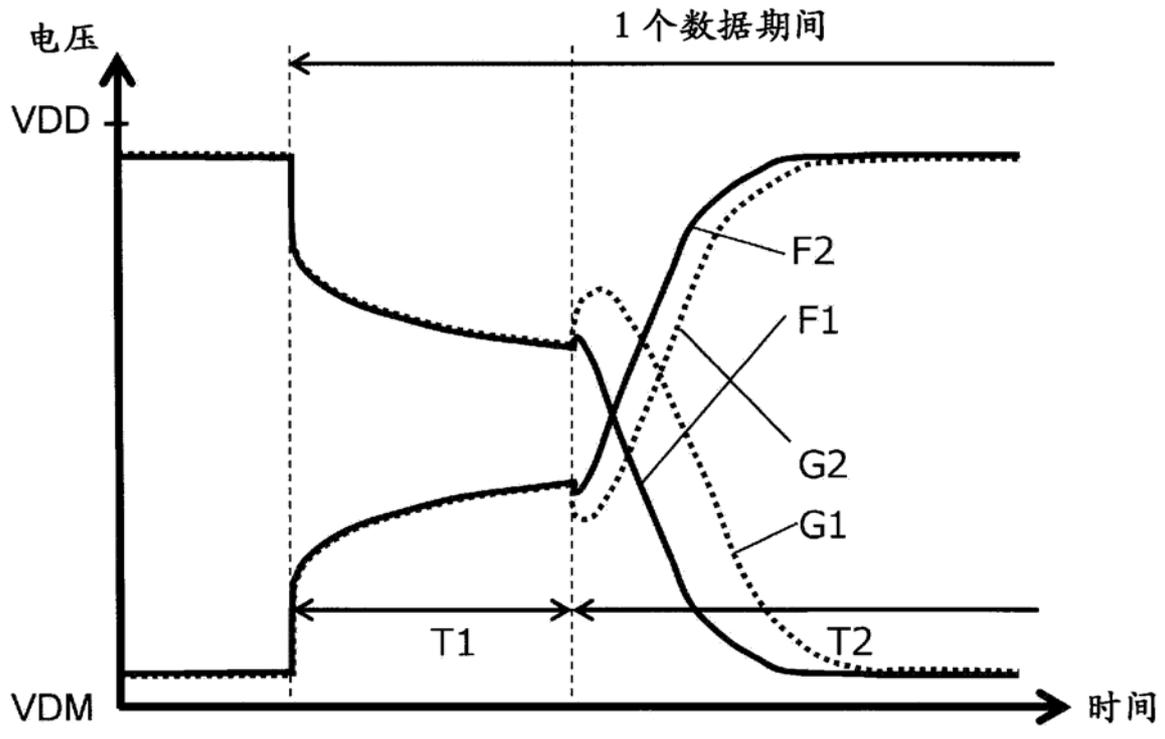


图 10