



(12) 发明专利

(10) 授权公告号 CN 102610523 B

(45) 授权公告日 2015. 02. 04

(21) 申请号 201110021587. 0

(22) 申请日 2011. 01. 19

(73) 专利权人 上海华虹宏力半导体制造有限公
司

地址 201203 上海市浦东新区张江高科技园
区祖冲之路 1399 号

(72) 发明人 金勤海 王永成 陈正嵘

(74) 专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 丁纪铁

(56) 对比文件

CN 101752311 A, 2010. 06. 23, 全文.

CN 101465374 B, 2011. 02. 16, 全文.

US 2010/0320538 A1, 2010. 12. 23, 说明书第
0034-0055 段、附图 1-6.

审查员 林秀瑶

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 29/872(2006. 01)

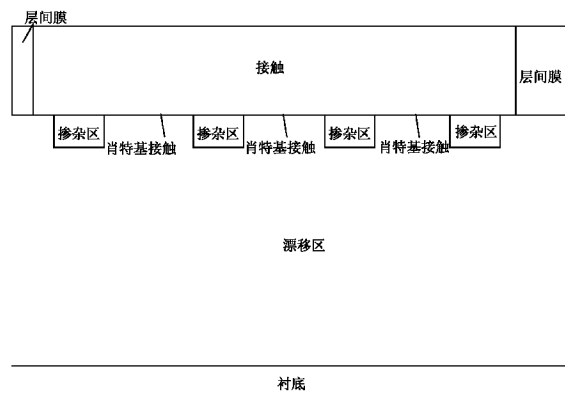
权利要求书1页 说明书3页 附图14页

(54) 发明名称

在超级结 MOSFET 中集成肖特基二极管的方法

(57) 摘要

本发明公开了一种在超级结 MOSFET 中集成肖特基二极管的方法,为在超级结 MOSFET 中并联集成有由肖特基接触与衬底形成的肖特基二极管,肖特基二极管的阳极位于超级结 MOSFET 元胞区域的源端两个体区之间的漂移区上,肖特基二极管的阳极与超级结 MOSFET 的源端相连;阳极的漂移区上还设有多个掺杂区,掺杂区的导电类型与漂移区相反,杂质浓度大于漂移区的杂质浓度,掺杂区也与超级结 MOSFET 的源端相连;肖特基二极管的阴极共用位于衬底背面的所述超级结 MOSFET 的漏电极。本发明的方法,可降低肖特基二极管的反向漏电。



CN 102610523 B

1. 一种在超级结 MOSFET 中集成肖特基二极管的方法,其特征在于:在所述超级结 MOSFET 中并联集成有由肖特基接触与衬底形成的肖特基二极管,所述肖特基二极管的阳极位于超级结 MOSFET 元胞区域的源端两个体区之间的漂移区上,所述肖特基二极管的阳极与所述超级结 MOSFET 的源端相连;所述阳极的漂移区上还设有多个掺杂区,所述掺杂区沿所述漂移区的宽度方向等间距设置,所述掺杂区的导电类型与所述漂移区相反,所述掺杂区为 P+ 掺杂且杂质浓度大于所述漂移区的杂质浓度,所述掺杂区也与所述超级结 MOSFET 的源端相连;所述肖特基二极管的阴极共用位于衬底背面的所述超级结 MOSFET 的漏电极;所述掺杂区和所述漂移区形成 PN 结,在所述漂移区的宽度方向形成 PN 结和肖特基二极管相间隔设置的结构;所述肖特基二极管反向偏置时,所述 PN 结也反向偏置,使所述肖特基二极管附近的电子被耗尽,从而使所述肖特基二极管的反向漏电降低;

在所述体区下方的所述漂移区中形成有 P 柱,所述 P 柱和所述 P 柱之间的所述漂移区形成交替排列的超级结结构;

在各超级结单元中,在所述体区的表面形成有多晶硅栅,所述多晶硅栅和所述体区表面之间隔离有氧化硅,源区和所述多晶硅栅的一侧自对准,被所述多晶硅栅覆盖的所述体区的表面用于形成连接所述源区和所述漂移区的沟道;

在俯视面上,令从所述源区到所述漂移区的方向为沟道长度方向,和该沟道长度方向垂直的方向为沟道宽度方向,各超级结单元的所述多晶硅栅沿着所述沟道宽度方向延伸并呈平行排列结构,各所述源区、各所述肖特基二极管的肖特基接触区域也都和所述多晶硅栅平行;在所述源区表面上方形成有和所述源区接触的金属接触,该金属接触也和所述多晶硅栅平行;在所述肖特基二极管的肖特基接触区域表面上方形成有和所述肖特基接触区域接触的金属接触,该金属接触也和所述多晶硅栅平行。

2. 按照权利要求 1 所述的在超级结 MOSFET 中集成肖特基二极管的方法,其特征在于,所述超级结 MOSFET 中集成肖特基二极管的制备包括:

在超级结 MOSFET 中的多晶硅淀积完成后,刻蚀去除位于源区上方和位于两个体区之间的漂移区上方的多晶硅,形成多晶硅栅;

在所述源区和所述漂移区上刻蚀形成接触孔后,利用光刻工艺使光刻胶覆盖源区的接触孔和漂移区上部分接触孔,接着离子注入在所述漂移区上方未被光刻胶的覆盖的接触孔内形成掺杂区,所述掺杂区的导电类型与所述漂移区相反,杂质浓度大于所述漂移区的杂质浓度,最后去除光刻胶;

接着填入金属在接触孔内形成接触金属;

在接下来的金属互连形成工艺中,用金属线连接所述源区、所述肖特基二极管的阳极和所述掺杂区。

3. 按照权利要求 1 或 2 所述的在超级结 MOSFET 中集成肖特基二极管的方法,其特征在于:所述掺杂区的掺杂浓度为: 10^{13} - 10^{16} 个原子/cm²。

在超级结 MOSFET 中集成肖特基二极管的方法

技术领域

[0001] 本发明涉及一种超级结 MOSFET 的制备方法。

背景技术

[0002] 功率金属氧化物半导体场效应晶体管（简称功率 MOS）固有一个与其并联的寄生二极管，寄生二极管的阳极与 MOS 的体区以及源极相连，阴极与 MOS 的漏极相连，因此功率 MOS 常常被用来续流或者钳制电压。

[0003] 在续流或者钳制电压时，寄生二极管正向导通，MOS 也导通，MOS 的源极（寄生二极管阳极）电压比漏极（寄生二极管阴极）电压稍高，电流从源极流向漏极；反向截至时 MOS 的漏极（寄生二极管阴极）电压比源极（寄生二极管阳极）电压高，器件只有很小的漏电。这样的应用由于 MOS 的导通电阻很小，正向电压降往往比寄生二极管小，因此导通时功耗更小。

[0004] 这种寄生二极管与普通二极管一样，由少子参与导电，因此有反向恢复时间，从而降低开关速度、增加开关损耗。现有的超结金属氧化物半导体场效应晶体管（简称 super junction MOS）因固有寄生二极管同样有上述优缺点（只是导通时电阻比一般 MOS 更低）。

发明内容

[0005] 本发明要解决的技术问题是提供一种在超级结 MOSFET 中集成肖特基二极管的方法，其能增加器件的性能。

[0006] 为解决上述技术问题，本发明的在超级结 MOSFET 中集成肖特基二极管的方法，为在所述超级结 MOSFET 中并联集成有由肖特基接触与衬底形成的肖特基二极管，所述肖特基二极管的阳极位于超级结 MOSFET 元胞区域的源端两个体区之间的漂移区上，所述肖特基二极管的阳极与所述超级结 MOSFET 的源端相连；所述阳极的漂移区上还设有多个掺杂区，所述掺杂区的导电类型与所述漂移区相反，杂质浓度大于所述漂移区的杂质浓度，所述掺杂区也与所述超级结 MOSFET 的源端相连；所述肖特基二极管的阴极共用位于衬底背面的所述超级结 MOSFET 的漏电极。

[0007] 在本发明的超级结 MOSFET 中，并联的肖特基二极管由多子（电子）导电，它与 MOS 并联使用，在续流时，寄生二极管的少子摄入（扩散）大大减小，反向恢复时间大大降低。与肖特基接触相邻的掺杂区与漂移区形成 PN 结，在肖特基二极管电压反向偏置时，上述 PN 结也反向偏置，肖特基接触附近的电子被耗尽，从而降低肖特基二极管的反向漏电。

附图说明

[0008] 下面结合附图与具体实施方式对本发明作进一步详细的说明：

[0009] 图 1 为现有的超级结 MOSFET 结构示意图；

[0010] 图 2 为本发明的超级结 MOSFET 的版图示意；

[0011] 图 3 为本发明的超级结 MOSFET 结构截面示意图，其中 a 为沿图 2 中 AA' 线的截面

示意图, b 为沿图 2 中 BB' 线的截面示意图, c 为沿图 2 中 CC' 线的截面示意图;

[0012] 图 4 为本发明的超级结 MOSFET 制备中栅极形成后的截面示意图;

[0013] 图 5 为本发明的超级结 MOSFET 制备中定义出肖特基二极管阳极后的截面示意图;

[0014] 图 6 为本发明的超级结 MOSFET 制备中刻蚀掉肖特基二极管阳极位置处的多晶硅后的截面示意图;

[0015] 图 7 为本发明的超级结 MOSFET 制备中刻蚀形成接触孔后的截面示意图;

[0016] 图 8 为本发明的超级结 MOSFET 制备中源极引出端和掺杂区注入的示意图, 其中 a 为图 2 中 AA' 线的截面示意图, b 为图 2 中 BB' 线的截面示意图, c 为图 2 中 CC' 线的截面示意图;

[0017] 图 9 为本发明的超级结 MOSFET 制备中源极引出端和掺杂区形成后的截面示意图, 其中 a 为图 2 中 AA' 线的截面示意图, b 为图 2 中 BB' 线的截面示意图, c 为图 2 中 CC' 线的截面示意图。

具体实施方式

[0018] 本发明的超级结 MOSFET 中集成肖特基二极管的结构, 为在超级结 MOSFET 中并联肖特基二极管。肖特基二极管的阳极设置在超级结 MOSFET 元胞区域的源端两个体区之间的漂移区上, 由阳极和漂移区形成肖特基接触, 该阳极与超级结 MOSFET 的源端相连; 肖特基二极管的阴极共用位于衬底背面的超级结 MOSFET 的漏电极。在肖特基二极管阳极的漂移区上, 还设有多个掺杂区, 掺杂区的导电类型与漂移区相反, 杂质浓度大于漂移区的杂质浓度, 掺杂区也与超级结 MOSFET 的源端相连。与肖特基接触相邻的掺杂区与漂移区形成 PN 结, 在肖特基二极管电压反向偏置时, 上述 PN 结也反向偏置, 肖特基接触附件的电子被耗尽, 从而使肖特基二极管的反向漏电降低。

[0019] 在一个具体实例中 (见图 2 和图 3), 超级结 MOSFET 制备中高掺杂的 N 型硅衬底上, 衬底上方为 N 型的漂移区, 通常为 N 型外延层。漂移区内有 P 柱, P 柱上方为 P 型的体区, 在体区上方设有 N+ 源区, 且源区被体区包围。在源区的中间为 P+ 型的源极引出端 (即掺杂浓度比体区的掺杂浓度高), 用于通过接触孔连接电极。往上依次为氧化硅和多晶硅层。在相邻的两个体区之间的漂移区上, 设置有接触孔, 用于通过接触金属与漂移区形成肖特基二极管。在漂移区表面上, 沿着漂移区的宽度方向 (即多晶硅的延伸方向), 设置有多个掺杂区 (为 P+ 区, 可为等间距设置), 该掺杂区的掺杂浓度和掺杂类型可设为与源极引出端中的相同, 并通过接触金属引出, 该掺杂区与漂移区形成 PN 结, 最终在漂移区的宽度方向形成 PN 结和肖特基二极管相间隔设置的结构。PN 结中 P 端的接触金属可与肖特基二极管中阳极设在一起, 通过同一金属线引出, 也可以各自通过接触孔引出。PN 结的 P 端与超级结 MOSFET 的源端相连, 而 N 端和肖特基二极管的阴极共用衬底背面的漏电极。

[0020] 本发明的超级结 MOSFET 结构的制备方法, 为在原有的流程中进行改进。具体流程可为:

[0021] 1) 在高掺杂 N 型衬底的 N 外延层上形成体区源区和栅极 (见图 4), 在多晶硅的刻蚀中增加刻蚀去除位于漂移区上方的多晶硅 (见图 5 和图 6)。具体可为先通过光刻工艺定义出需要去除多晶硅的位置, 而后刻蚀露出的多晶硅。

[0022] 2) 然后在衬底上淀积层间膜,接着采用光刻工艺定义出接触孔的位置,刻蚀层间膜形成源极引出端的接触孔(该接触孔同时为体区的引出接触孔),漂移区上方的接触孔(见图7)。

[0023] 3) 而后进行离子注入形成漂移区表面的掺杂区和源极引出端的接触区,在离子注入之前,先通过光刻工艺使光刻胶覆盖不需要注入的肖特基二极管的接触孔(见图8)。一实例中,注入最终在相应的接触孔底部形成P⁺区,而在肖特基阳极下方的漂移区中没有进行注入(见图9)。掺杂区的掺杂浓度为:10¹³-10¹⁴个原子/cm²。

[0024] 其余步骤与常规功率器件工艺相同,包括接触金属填充、回刻(或化学机械研磨),正面金属形成,背面减薄,背面金属形成(即为超级结MOSFET的漏电极)。

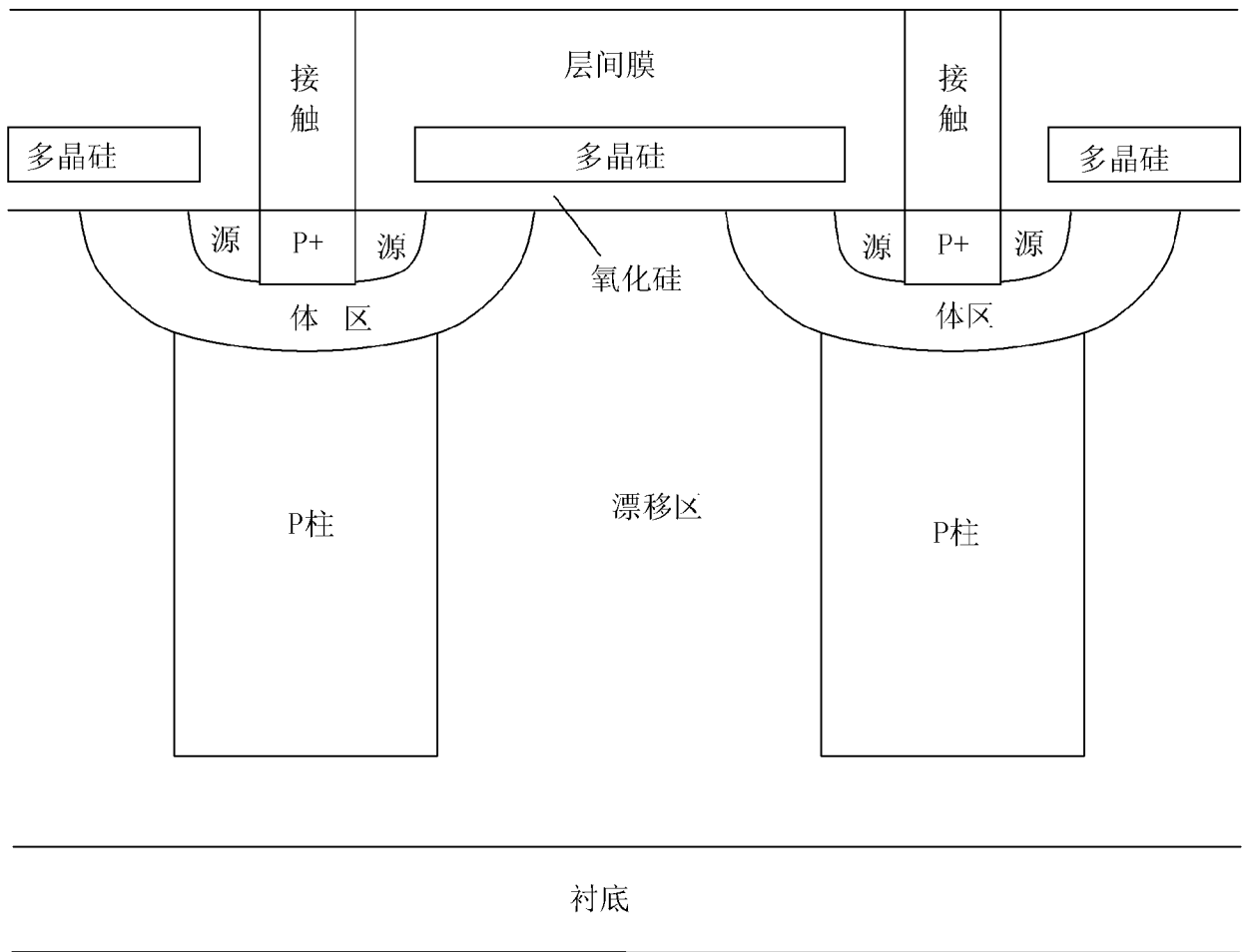


图 1

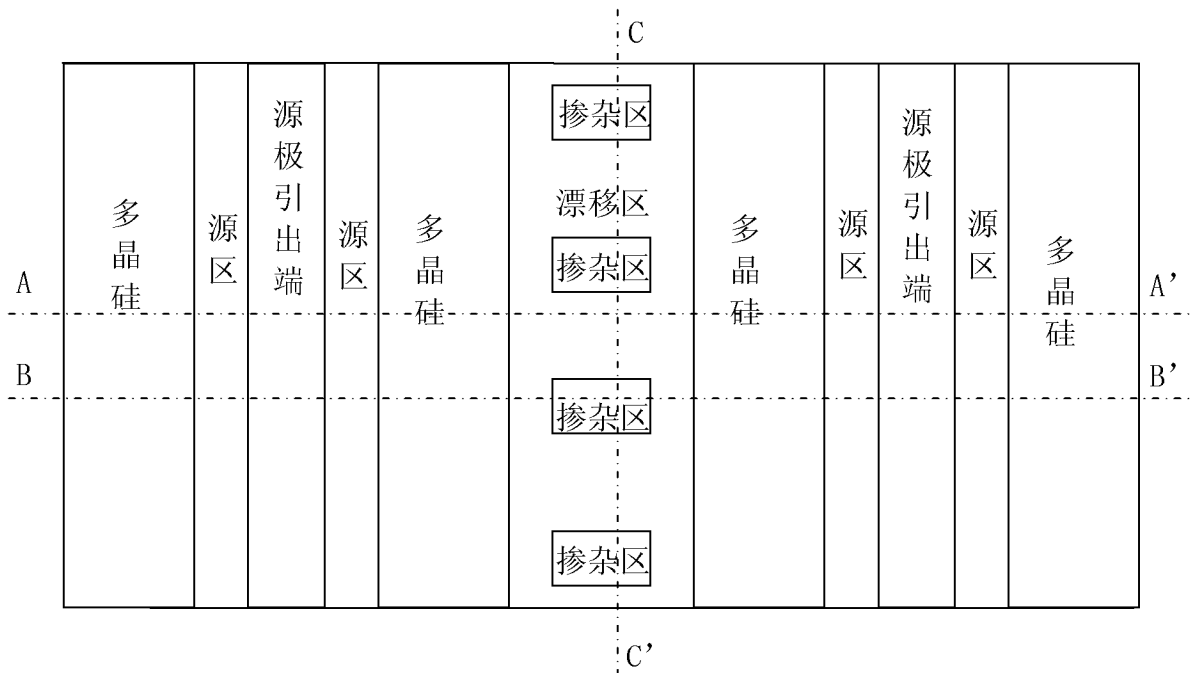


图 2

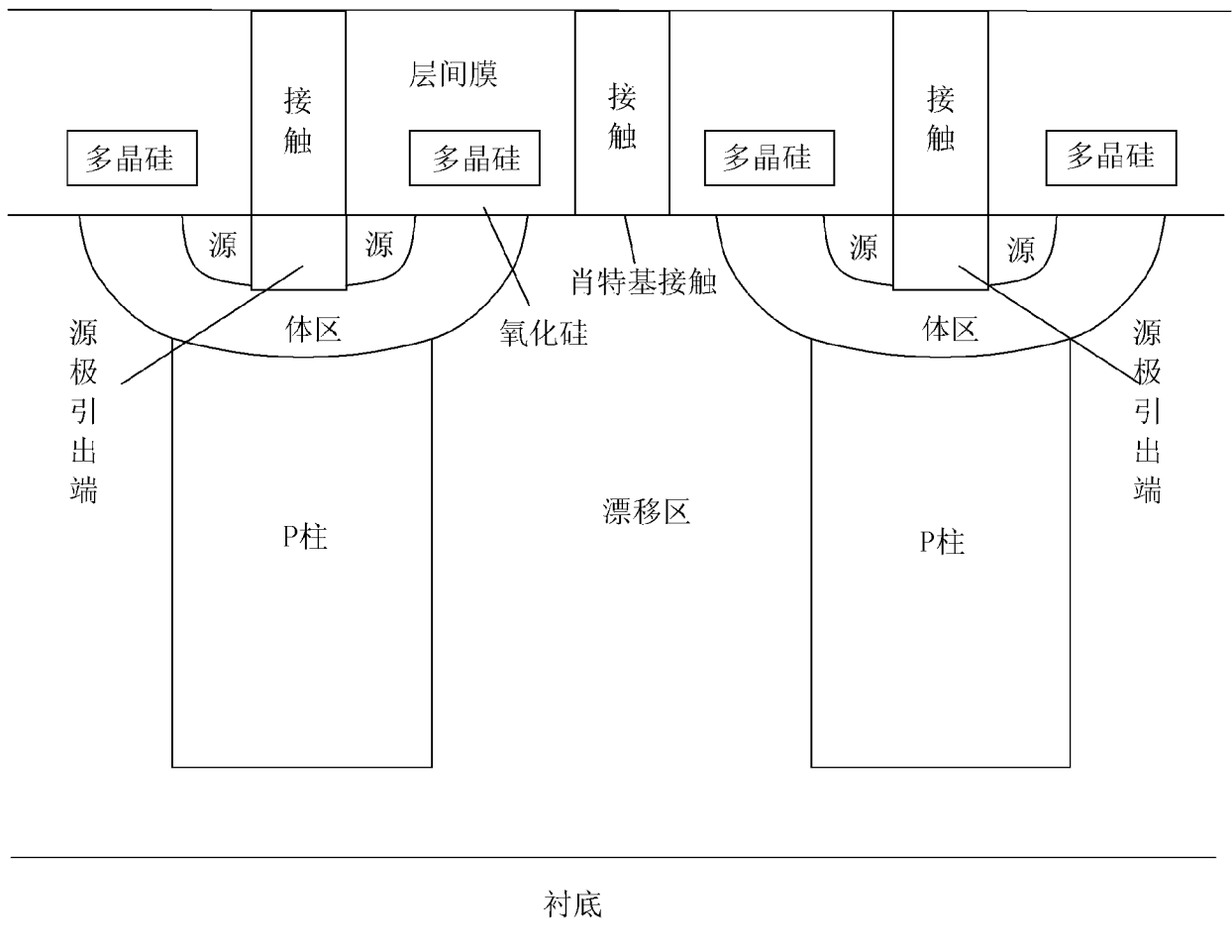


图 3(a)

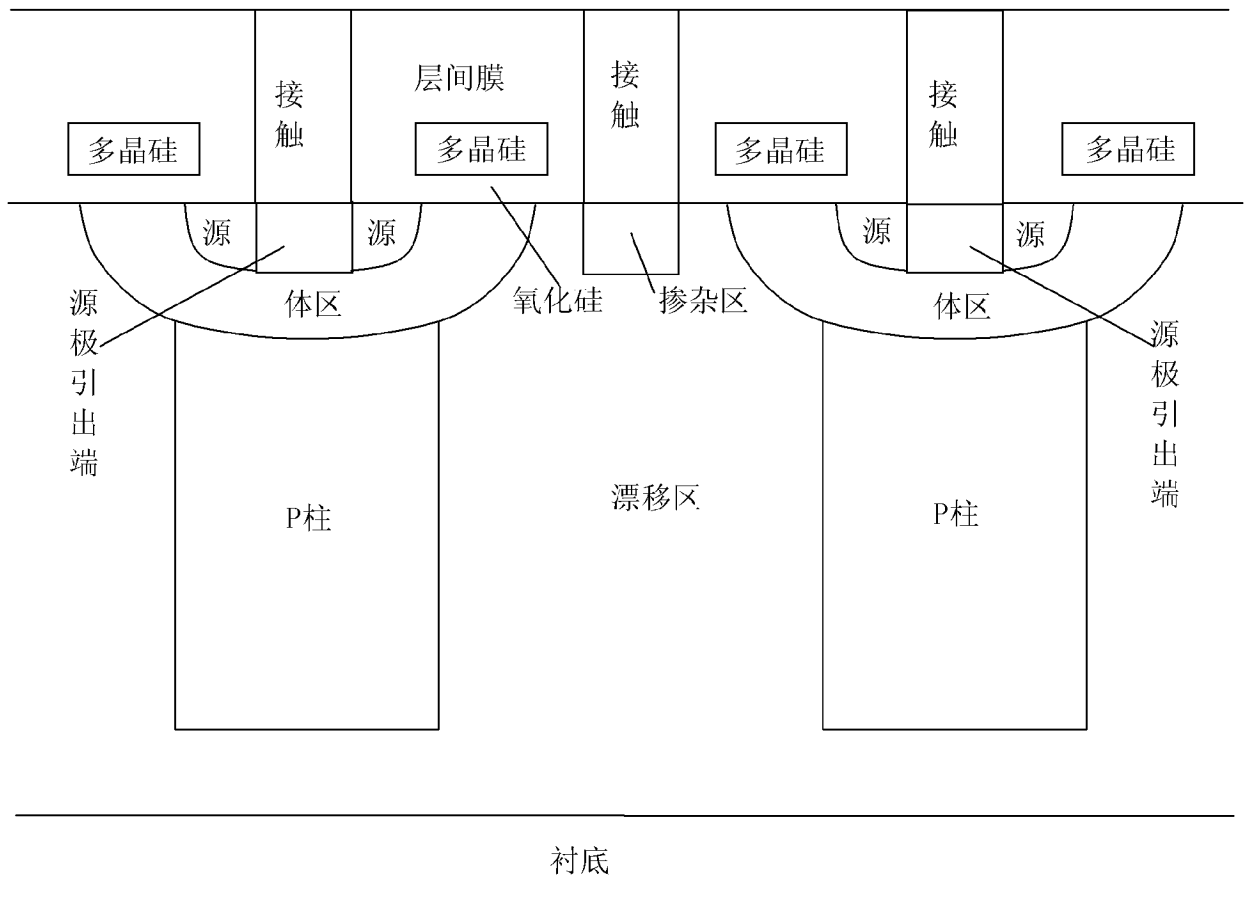


图 3(b)

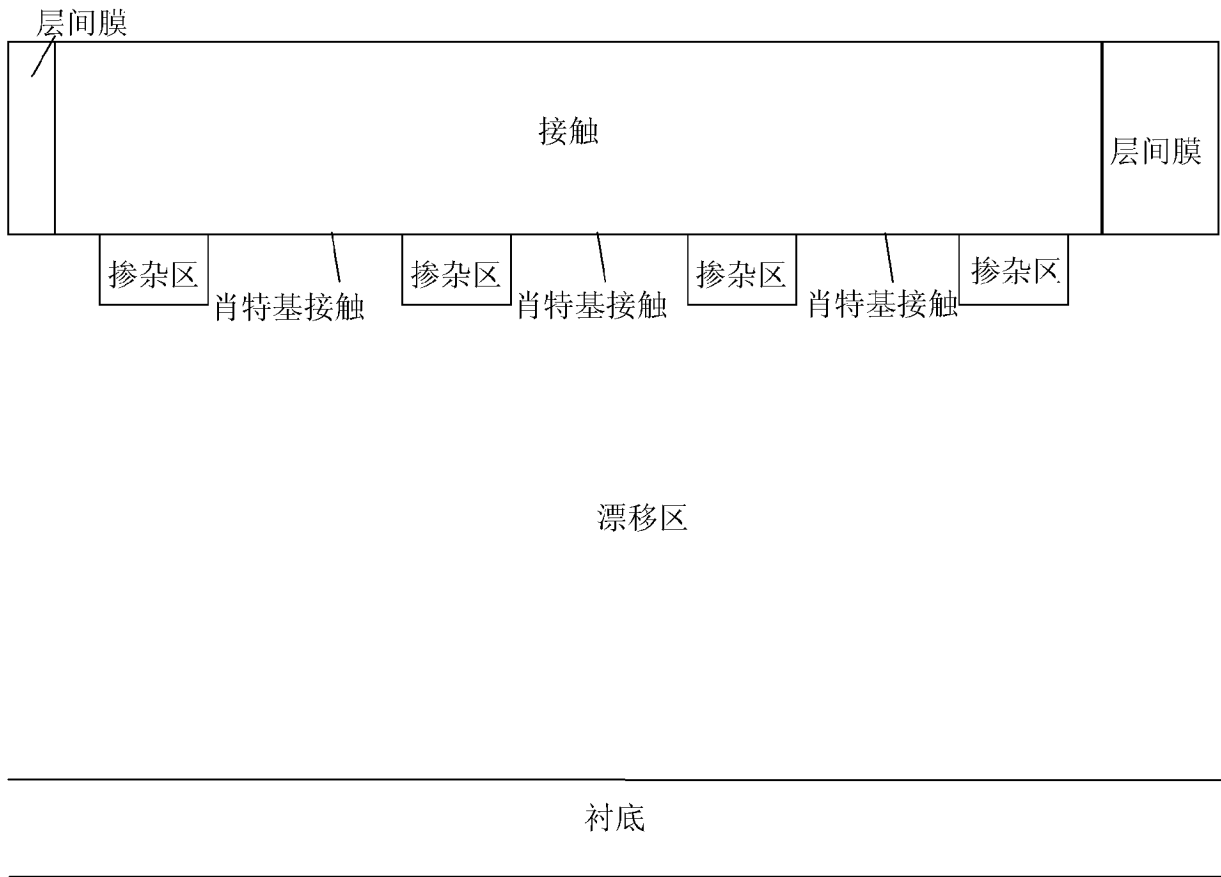


图 3(c)

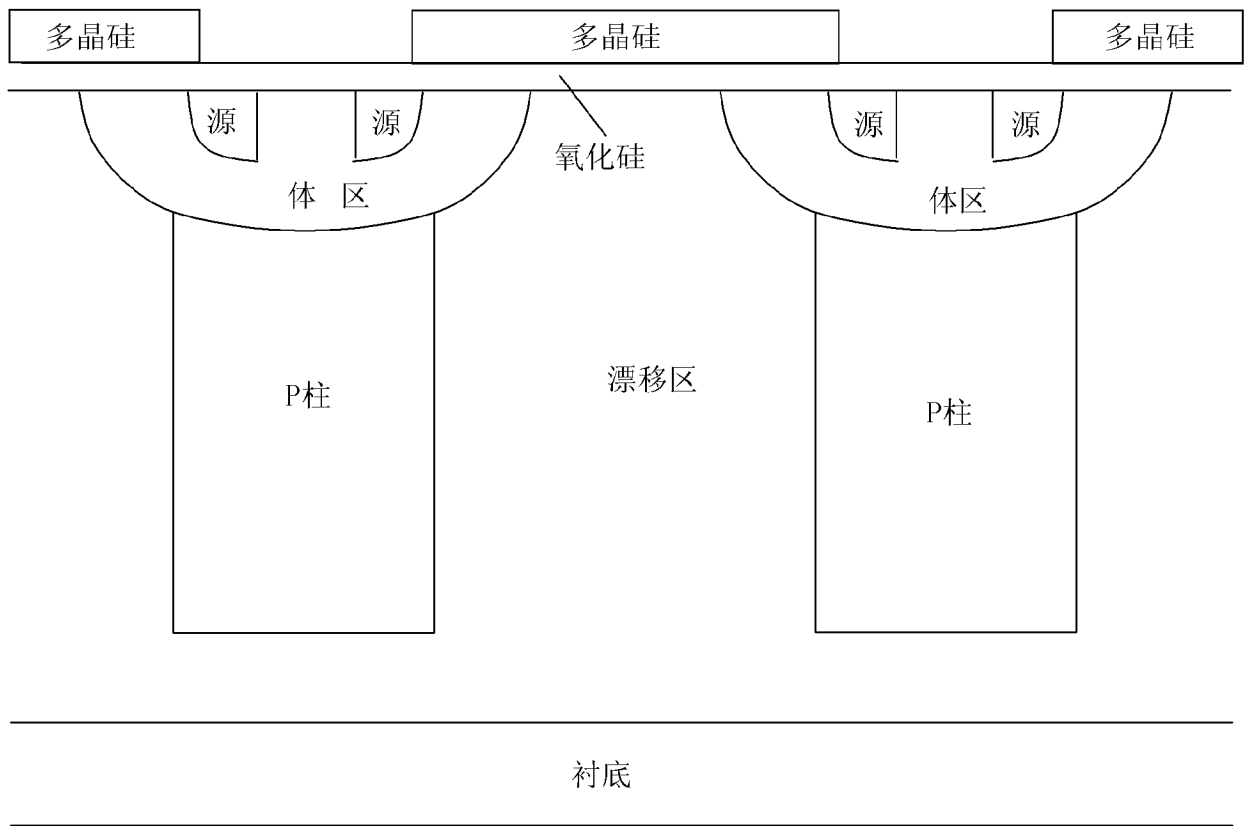


图 4

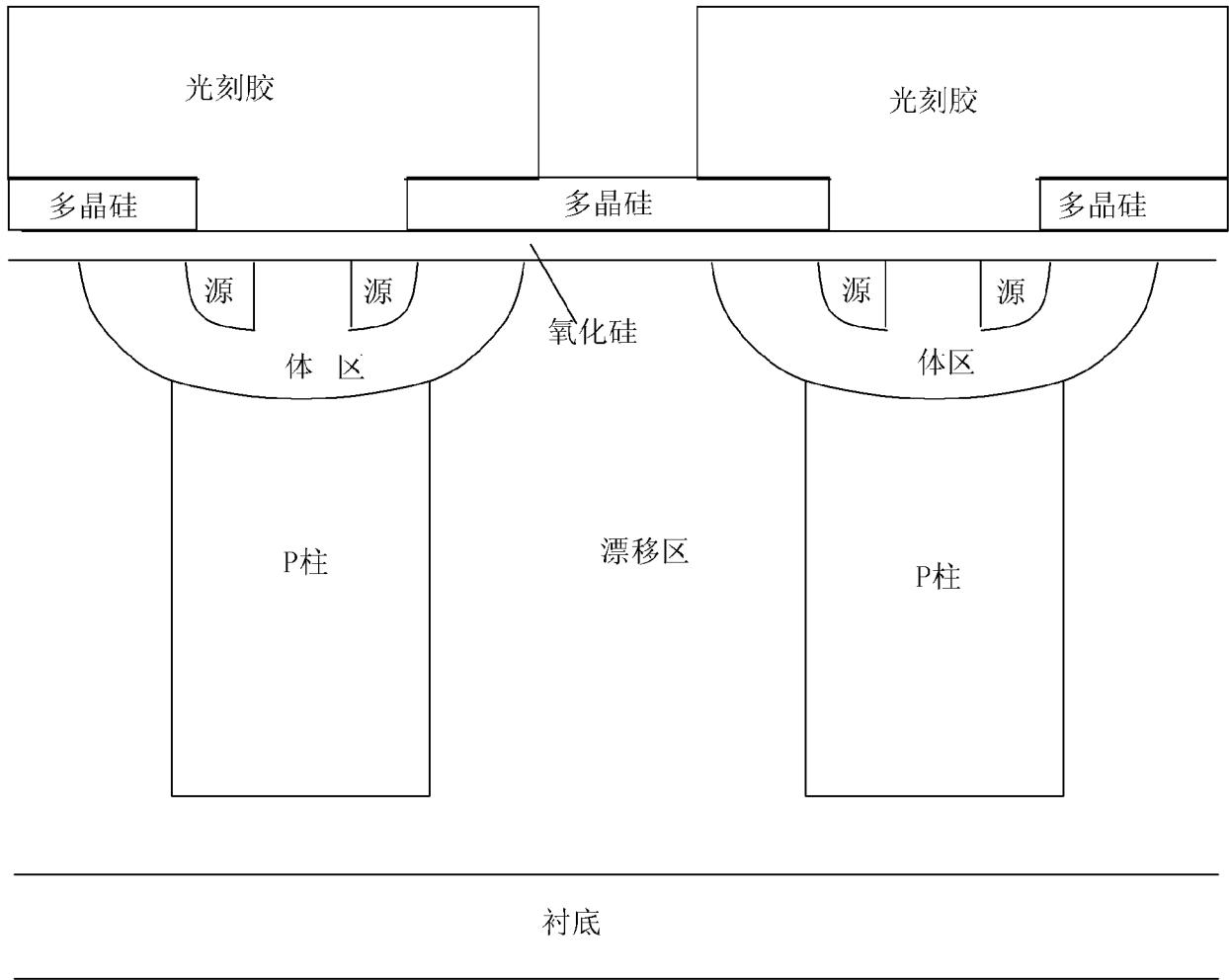


图 5

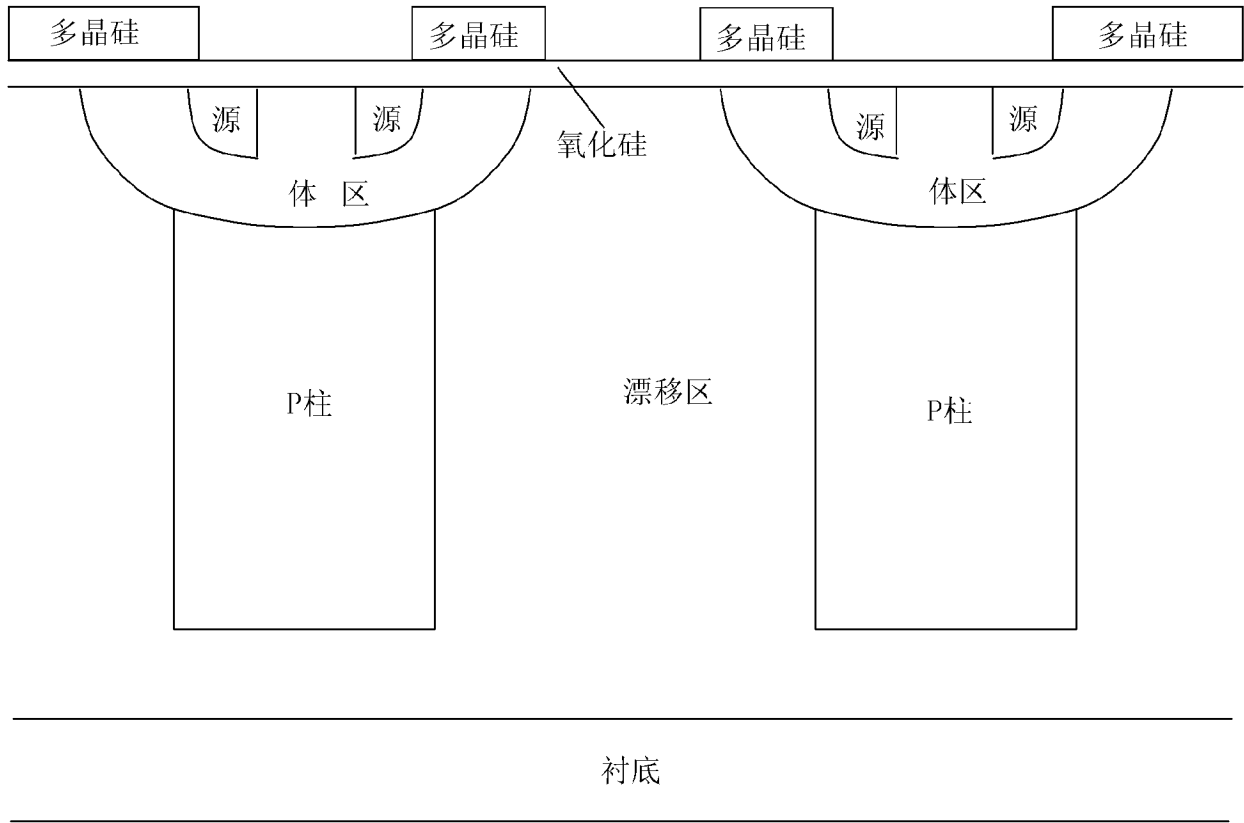


图 6

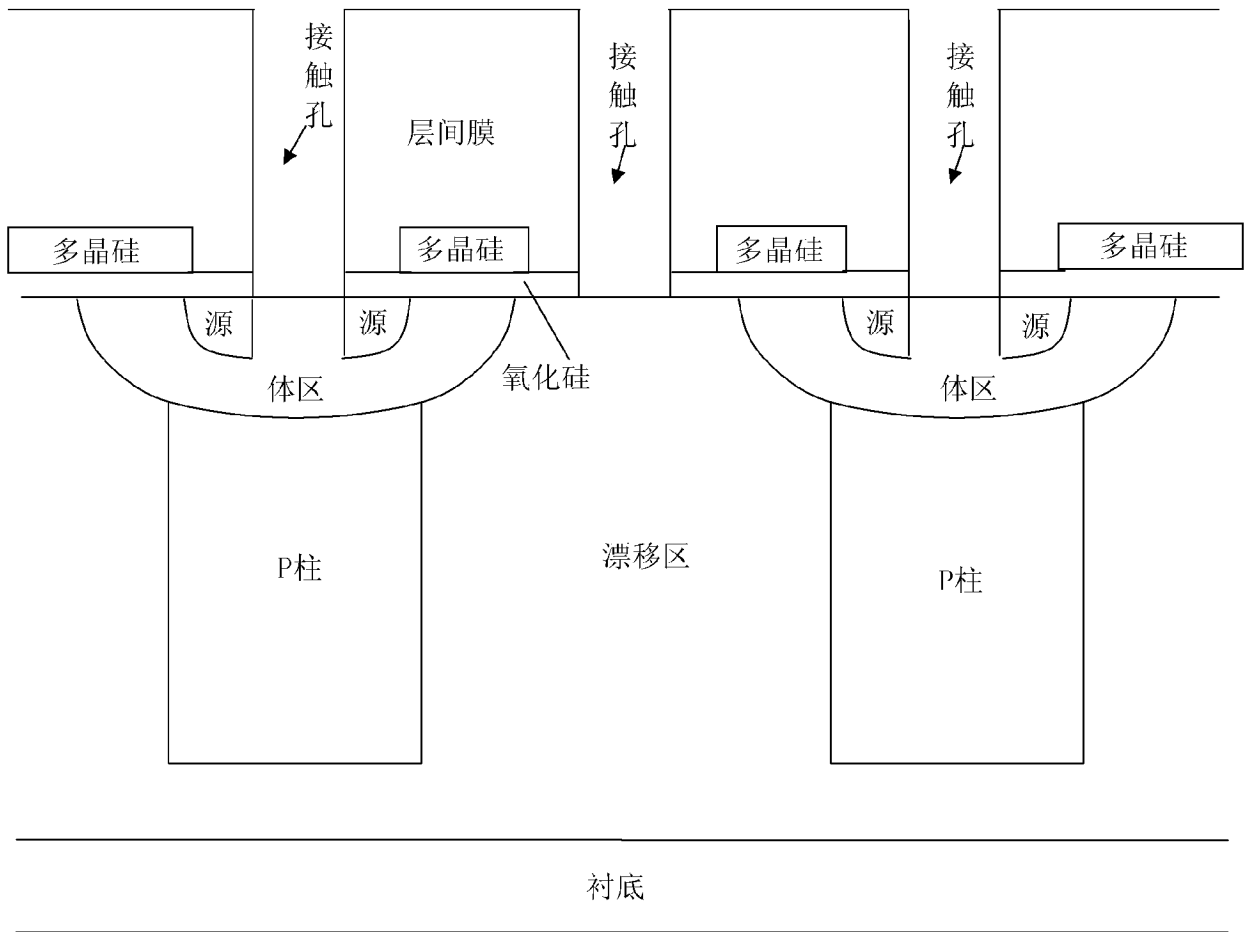


图 7

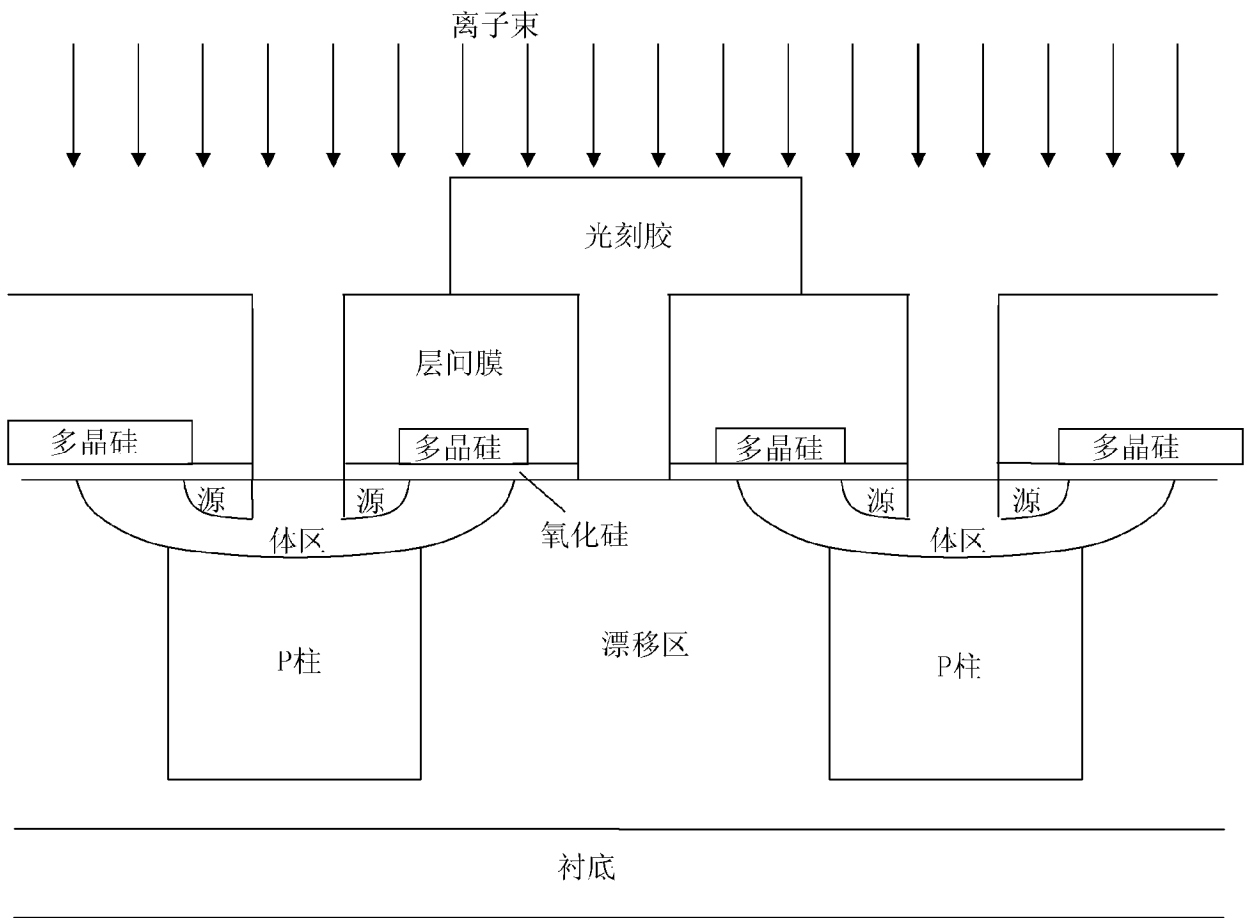


图 8(a)

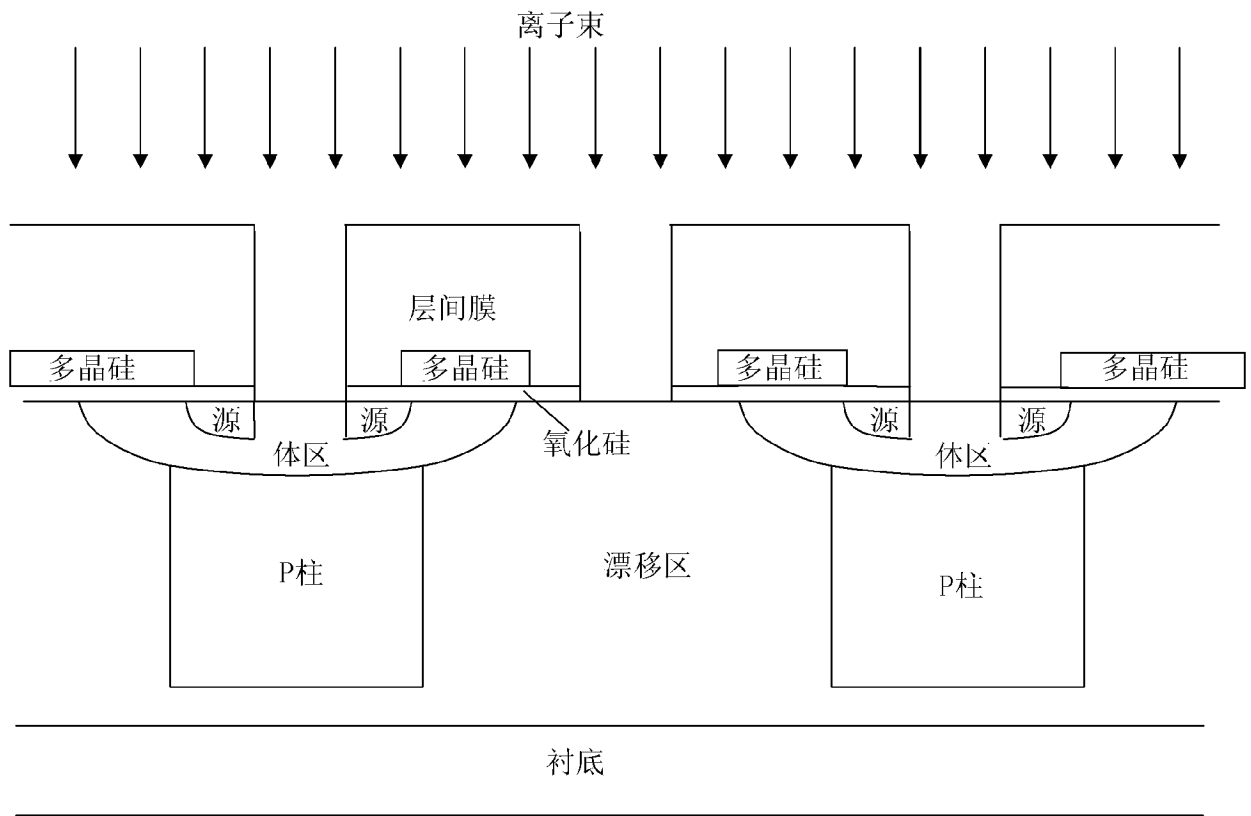


图 8(b)

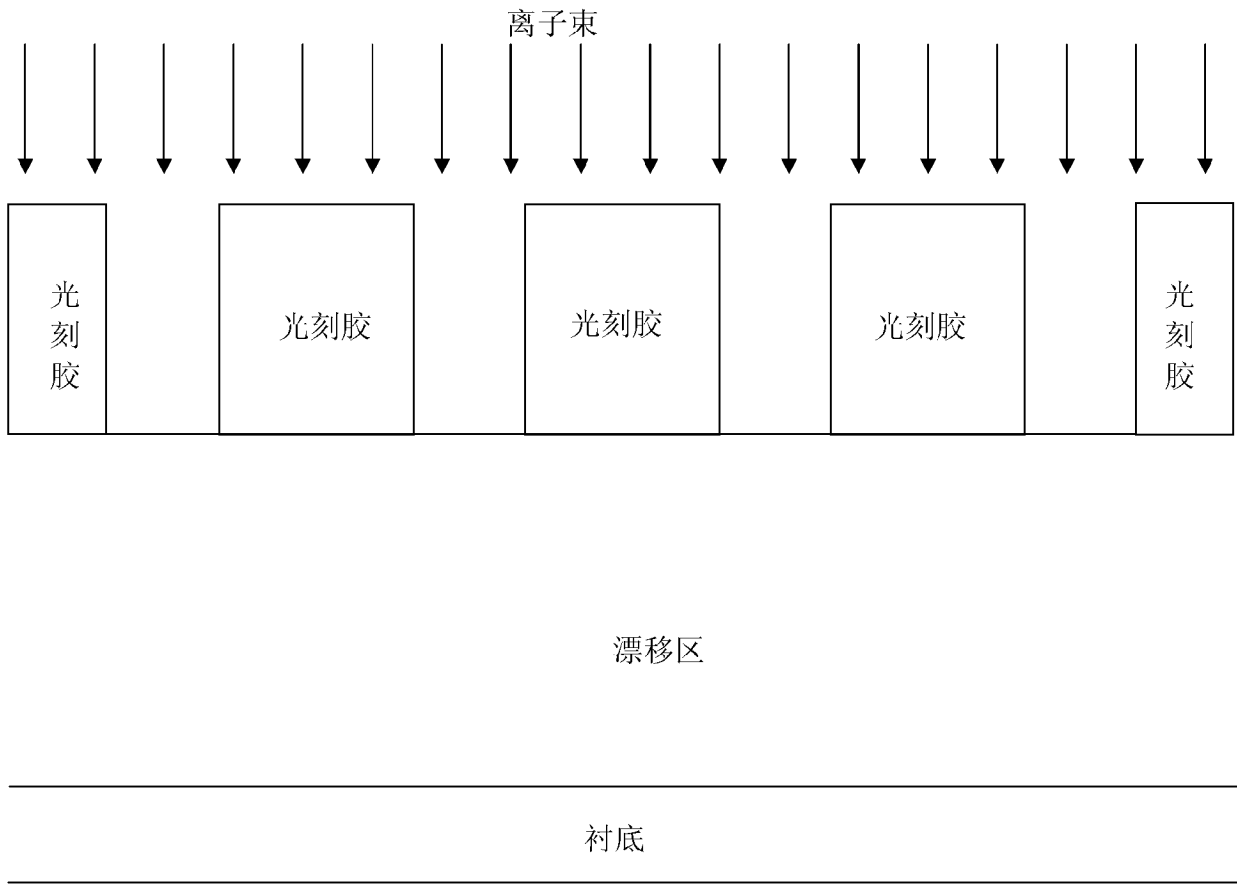


图 8(c)

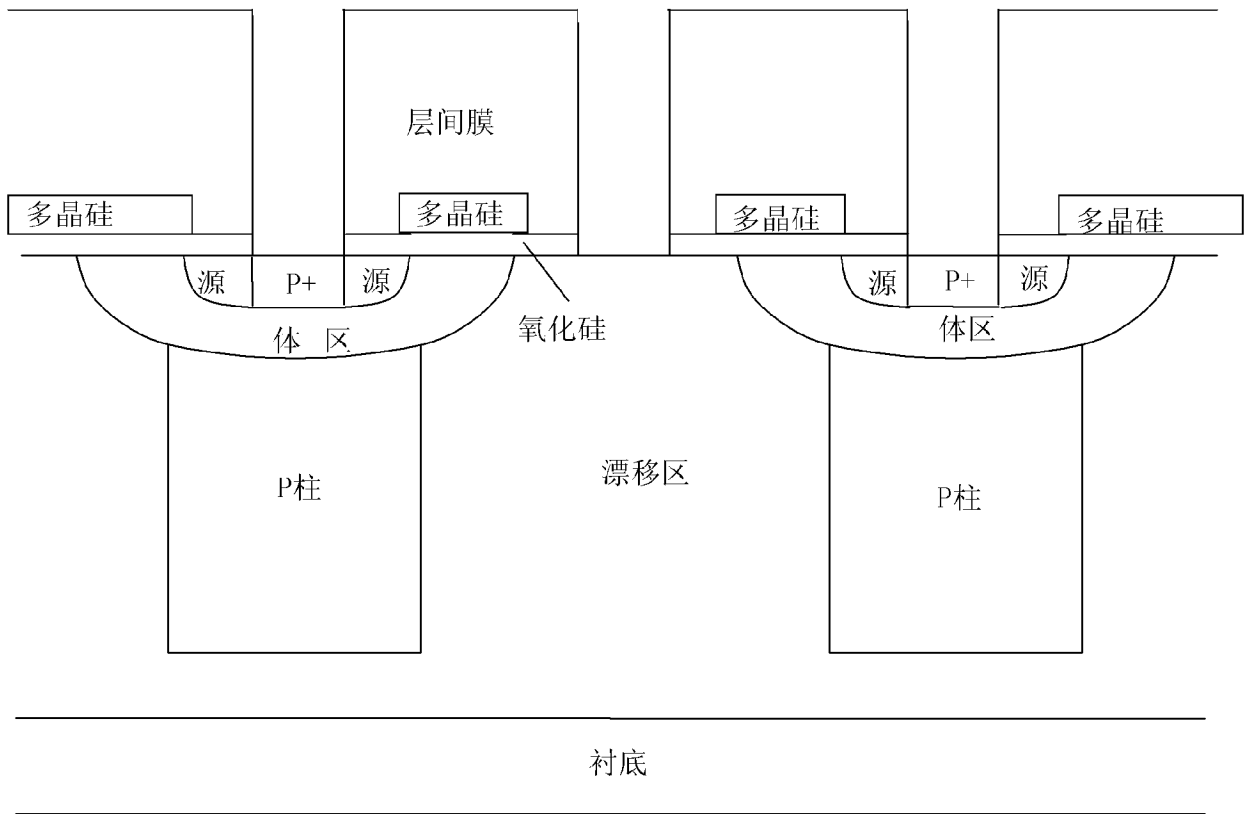


图 9(a)

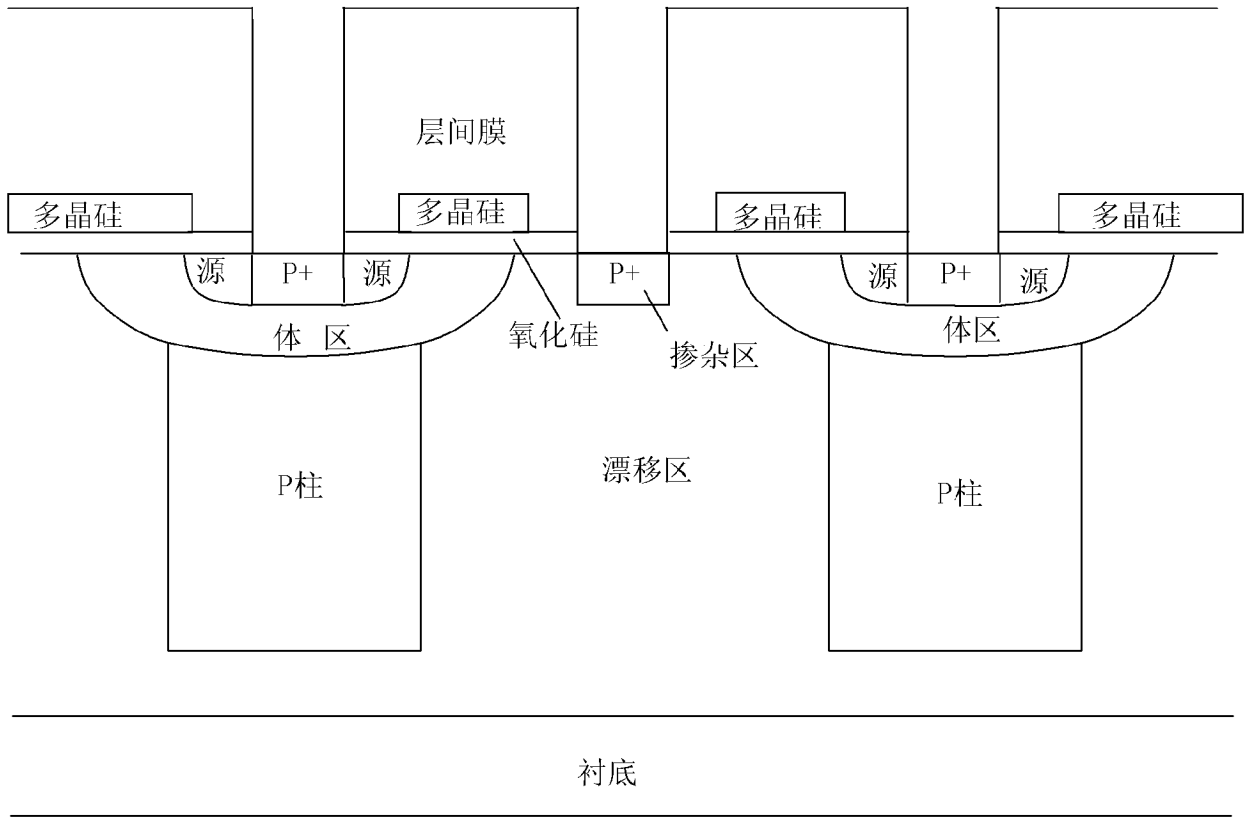


图 9(b)

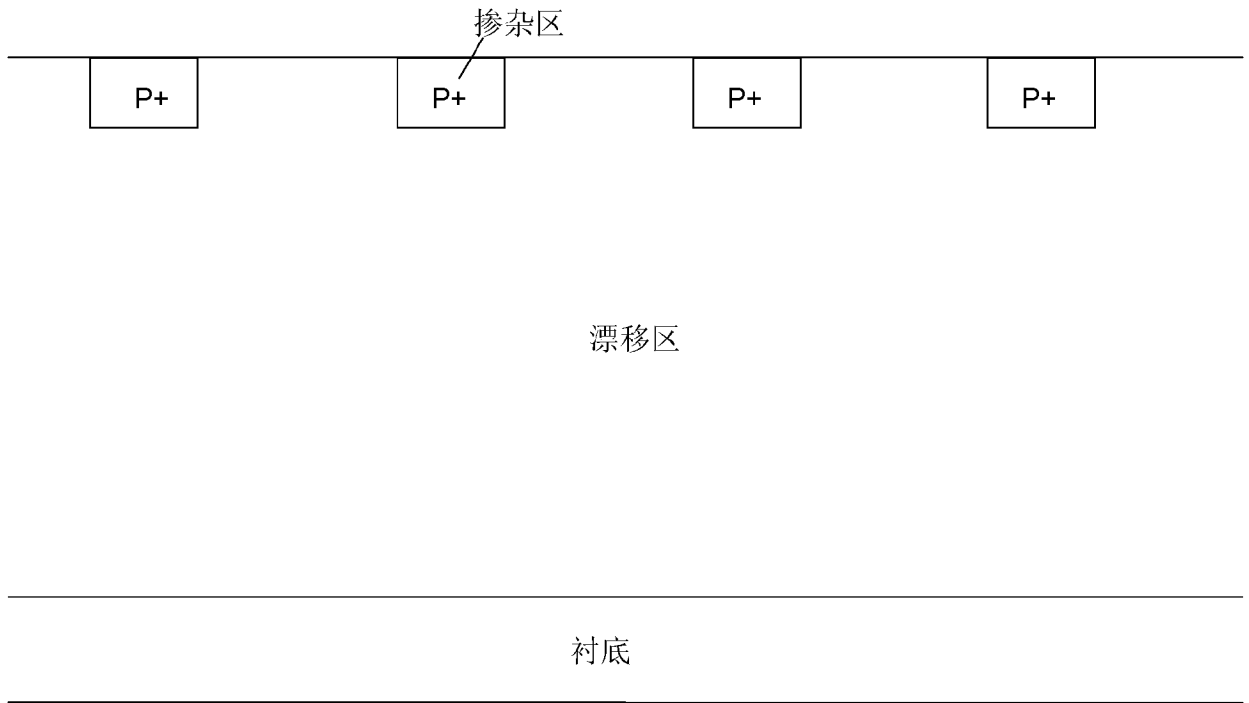


图 9(c)