(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월21일
(11) 등록번호 10-1218989
(24) 등록일자 2012년12월29일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) *H01L 21/60* (2006.01)
(21) 출원번호 10-2011-0070276
(22) 출원일자 2011년07월15일
심사청구일자 2011년07월15일
(56) 선행기술조사문헌
KR1020100077917 A*
US20090289343 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
한명우
경기도 화성시 병점동 안화동마을주공5단지 505-1103
유도재
경기도 수원시 영통구 영통1동 청명건영1차아파트 421-1205
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

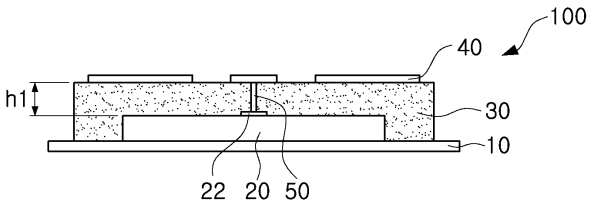
전체 청구항 수 : 총 16 항 심사관 : 정성중

(54) 발명의 명칭 **반도체 패키지 및 그 제조방법**

(57) 요 약

본 발명에 따른 반도체 패키지는 반도체 칩이 실장된 기판; 상기 반도체 칩을 덮는 보호층; 상기 보호층에 설치되는 금속 패턴; 상기 반도체 칩과 상기 금속 패턴을 연결하는 제1연결 부재; 및 상기 제1연결 부재와 상기 금속 패턴이 안정적으로 접속할 수 있도록 상기 제1연결 부재와 상기 금속 패턴 사이에 형성되는 도전층;을 포함할 수 있다.

대 표 도 - 도1



(72) 발명자

이정언

경기도 수원시 영통구 영통1동 청명마을4단지아파트 409-804

윤정호

경기도 안양시 동안구 호계동 1078-2 202호

박철균

경기도 용인시 기흥구 영덕동 흥덕동원로얄듀크아파트 1006-1802

특허청구의 범위

청구항 1

반도체 칩이 실장된 기판;

상기 반도체 칩을 덮는 보호층;

상기 보호층에 설치되는 금속 패턴;

상기 반도체 칩과 상기 금속 패턴을 연결하는 제1연결 부재; 및

상기 제1연결 부재와 상기 금속 패턴이 안정적으로 접속할 수 있도록 상기 제1연결 부재와 상기 금속 패턴 사이에 형성되는 도전층;

을 포함하는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 제1연결 부재는 와이어 또는 박판인 반도체 패키지.

청구항 3

제1항에 있어서,

상기 제1연결 부재는 코일형상인 반도체 패키지.

청구항 4

제1항에 있어서,

상기 반도체 칩은 접속 패드를 구비하고,

상기 제1연결 부재는 상기 접속 패드에 접속되는 반도체 패키지.

청구항 5

제1항에 있어서,

상기 금속 패턴은 안테나 패턴인 반도체 패키지.

청구항 6

제5항에 있어서,

상기 안테나 패턴은 밀리미터파 대역의 신호를 송수신하는 반도체 패키지.

청구항 7

제5항에 있어서,

상기 안테나 패턴은 밀리미터파 대역의 고주파 신호를 송수신하는 제1안테나 패턴과 저주파 대역의 WiFi 신호를 송수신하는 제2안테나 패턴을 포함하는 반도체 패키지.

청구항 8

제1항에 있어서,

상기 보호층은 에폭시 몰드 컴파운드(Epoxy mold compound:EMC)에 의해 형성되는 반도체 패키지.

청구항 9

제1항에 있어서,

상기 기판과 상기 금속 패턴을 연결하는 제2연결 부재를 더 포함하는 반도체 패키지.

청구항 10

하나 이상의 반도체 칩이 실장된 기판을 준비하는 제1단계;

상기 반도체 칩에 제1연결 부재의 일단을 연결하는 제2단계;

상기 반도체 칩을 보호층으로 덮는 제3단계;

상기 보호층의 상부 표면에 금속 패턴을 형성하고, 상기 금속 패턴과 상기 제1연결 부재의 타단을 연결하는 제4단계; 및

상기 제1연결 부재의 타단이 노출되도록 상기 보호층의 일 부분을 용융시키고, 상기 제1연결 부재의 타단이 상기 금속 패턴과 안정적으로 접속할 수 있도록 용융된 부분에 도전층을 형성하는 도전층 형성단계;

를 포함하는 반도체 패키지 제조 방법.

청구항 11

제10항에 있어서,

상기 제3단계 이후, 상기 반도체 칩의 상부 표면으로부터 상기 보호층의 상부 표면까지의 높이가 기 설정된 높이가 되도록 상기 보호층을 연마하는 연마단계;를 더 포함하는 반도체 패키지 제조 방법.

청구항 12

제10항에 있어서,

상기 제1연결 부재는 코일 형상인 반도체 패키지 제조 방법.

청구항 13

제10항에 있어서,

상기 금속 패턴은 밀리미터파 대역의 고주파 신호를 송수신하는 제1안테나 패턴과 저주파 대역의 WiFi 신호를 송수신하는 제2안테나 패턴을 포함하는 반도체 패키지 제조 방법.

청구항 14

제10항에 있어서,

상기 제2단계에서, 상기 기판에 제2연결 부재의 일단을 연결하는 공정을 더 포함하고,

상기 제4단계에서, 상기 금속 패턴과 상기 제2연결 부재의 타단을 연결하는 공정을 더 포함하는 반도체 패키지 제조 방법.

청구항 15

제10항에 있어서,

완성된 반도체 패키지를 일정한 모듈 단위로 절단하는 제5단계를 더 포함하는 반도체 패키지 제조 방법.

청구항 16

삭제

청구항 17

하나 이상의 반도체 칩이 실장된 기판을 준비하는 제1단계;

상기 반도체 칩에 제1연결 부재의 일단을 연결하는 제2단계;

상기 반도체 칩을 보호층으로 덮는 제3단계; 및

상기 보호층의 상부 표면에 금속 패턴을 형성하고, 상기 금속 패턴과 상기 제1연결 부재의 타단을 연결하는 제4단계;

를 포함하고,

상기 제1연결 부재는 상기 반도체 칩과 상기 기판의 와이어 본딩단계에서 형성되는 반도체 패키지 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 금속 패턴과 반도체 칩을 용이하게 연결할 수 있는 반도체 패키지 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 차세대 정보통신서비스를 위한 주파수 자원으로 30GHz 이상의 초고주파 자원인 밀리미터파 대역의 주파수가 적극 검토되고 있다.

[0003] 이 밀리미터파 대역의 주파수는 광대역 특성을 이용하여 많은 양의 정보를 빠른 속도로 전달할 수 있다. 또한, 밀리미터파 대역의 주파수는 대기 중에서의 전파감쇄가 크므로, 인접지역의 다른 주파수의 간섭을 받지 않는다. 따라서, 밀리미터파 대역의 주파수는 재이용이 가능하다는 장점이 있다.

[0004] 이에 따라 밀리미터파 대역의 주파수를 이용한 정보통신 서비스 및 시스템의 개발과 그에 따라 요구되는 각종의 소자부품에 대한 연구와 개발이 활발히 진행되고 있다.

[0005] 한편, 밀리미터파 대역용 통신기기에서는 안테나와 반도체 칩 간의 전기적인 연결 거리가 매주 중요하다. 즉, 밀리미터파 대역(특히 60GHz 대역)용 통신기기에서는 안테나와 반도체 칩 사이의 거리가 멀어질수록 안테나의 방사 손실이 커지므로 반도체 칩과 안테나를 가급적 가깝게 배치하고 이들을 전기적으로 연결하는 것이 바람직하다.

[0006] 이를 위해 종래의 통신기기에서는 반도체 칩이 내장된 반도체 패키지와 매우 인접한 위치에 안테나를 배치하고, 안테나와 반도체 패키지를 최단 거리로 연결하고 있다.

[0007] 그러나 이러한 종래기술은 반도체 패키지와 안테나를 각각 별도로 제작한 후, 이들을 기판에 실장하고 전기적으로 연결하는 공정을 부수적으로 수행해야 하므로 제조 공정이 복잡하다.

[0008] 또한, 이러한 종래기술은 안테나의 급전 구조가 복잡하여 제작이 어려우므로 공정 오차에 대한 영향을 분석하기 어렵다.

[0009] 때문에, 안테나와 반도체 칩을 최대한 근접하게 배치될 수 있는 새로운 형태의 반도체 패키지의 개발이 적실히 요구된다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 안테나와 반도체 칩 사이의 전기적인 거리를 최소화하면서 제조가 용이한 반도체 패키지 및 그 제조방법을 제공하는데 그 목적이 있다.

[0011] 또한, 본 발명은 안테나가 내장된 반도체 패키지 및 그 제조방법을 제공하는데 다른 목적이 있다.

[0012] 또한, 본 발명은 안테나의 방사 효율을 최대화시킬 수 있는 반도체 패키지 및 그 제조방법을 제공하는데 또 다른 목적이 있다.

[0013] 또한, 본 발명은 안테나와 반도체 칩을 용이하게 연결할 수 있는 반도체 패키지 제조방법을 제공하는데 또 다른 목적이 있다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 패키지는 반도체 칩이 실장된 기판; 상기 반도체 칩을 덮는 보호층; 상기 보호층에 설치되는 금속 패턴; 상기 반도체 칩과 상기 금속 패턴을 연결하는 제1연결 부재; 및 상기 제1연결 부재와 상기 금속 패턴이 안정적으로 접속할 수 있도록 상기 제1연결 부재와 상기 금속 패턴 사이에 형성되는 도전층;을 포함할 수 있다.

[0015] 본 발명의 일 실시 예에 따른 반도체 패키지의 제1연결 부재는 와이어 또는 박판일 수 있다.

[0016] 본 발명의 일 실시 예에 따른 반도체 패키지의 제1연결 부재는 코일형상일 수 있다.

[0017] 본 발명의 일 실시 예에 따른 반도체 패키지의 반도체 칩은 접속 패드를 구비하고, 상기 제1연결 부재는 상기 접속 패드에 접속될 수 있다.

[0018] 본 발명의 일 실시 예에 따른 반도체 패키지의 금속 패턴은 안테나 패턴일 수 있다. 이 경우, 상기 안테나 패턴은 밀리미터파 대역의 신호를 송수신할 수 있다.

[0019] 본 발명의 일 실시 예에 따른 반도체 패키지의 안테나 패턴은 밀리미터파 대역의 고주파 신호를 송수신하는 제1안테나 패턴과 저주파 대역의 WiFi 신호를 송수신하는 제2안테나 패턴을 포함할 수 있다.

[0020] 본 발명의 일 실시 예에 따른 반도체 패키지의 보호층은 에폭시 몰드 컴파운드(Epoxy mold compound:EMC)에 의해 형성될 수 있다.

[0021] 본 발명의 일 실시 예에 따른 반도체 패키지는 상기 기판과 상기 금속 패턴을 연결하는 제2연결 부재를 더 포함할 수 있다.

[0022] 상기 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법은 하나 이상의 반도체 칩이 실장된 기판을 준비하는 제1단계; 상기 반도체 칩에 제1연결 부재의 일단을 연결하는 제2단계; 상기 반도체 칩을 보호층으로 덮는 제3단계; 상기 보호층의 상부 표면에 금속 패턴을 형성하고, 상기 금속 패턴과 상기 제1연결 부재의 타단을 연결하는 제4단계; 및 상기 제1연결 부재의 타단이 노출되도록 상기 보호층의 일 부분을 용융시키고, 상기 제1연결 부재의 타단이 상기 금속 패턴과 안정적으로 접속할 수 있도록 용융된 부분에 도전층을 형성하는 도전층 형성단계;를 포함할 수 있다.

[0023] 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법은 상기 제3단계 이후, 상기 반도체 칩의 상부 표면으로부터 상기 보호층의 상부 표면까지의 높이가 기 설정된 높이가 되도록 상기 보호층을 연마하는 연마단계;를 더 포함할 수 있다.

[0024] 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법의 제1연결 부재는 코일 형상일 수 있다.

[0025] 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법의 금속 패턴은 밀리미터파 대역의 고주파 신호를 송수신하는 제1안테나 패턴과 저주파 대역의 WiFi 신호를 송수신하는 제2안테나 패턴을 포함할 수 있다.

[0026] 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법은 상기 제2단계에서 상기 기판에 제2연결 부재의 일단을 연결하는 공정을 더 포함하고, 상기 제4단계에서 상기 금속 패턴과 상기 제2연결 부재의 타단을 연결하는 공정을 더 포함할 수 있다.

[0027] 본 발명의 일 실시 예에 따른 반도체 패키지 제조 방법은 완성된 반도체 패키지를 일정한 모듈 단위로 절단하는 제5단계를 더 포함할 수 있다.

[0028] 삭제

[0029] 본 발명의 다른 실시 예에 따른 반도체 패키지 제조 방법은 하나 이상의 반도체 칩이 실장된 기판을 준비하는 제1단계; 상기 반도체 칩에 제1연결 부재의 일단을 연결하는 제2단계; 상기 반도체 칩을 보호층으로 덮는 제3단계; 및 상기 보호층의 상부 표면에 금속 패턴을 형성하고, 상기 금속 패턴과 상기 제1연결 부재의 타단을 연결하는 제4단계;를 포함하고, 상기 제1연결 부재는 상기 반도체 칩과 상기 기판의 와이어 본딩단계에서 형성될 수 있다.

발명의 효과

[0030] 본 발명은 반도체 칩을 밀봉하여 반도체 칩을 외부로부터 보호할 수 있으므로, 반도체 패키지의 성능을 안정적

으로 보장할 수 있다.

[0031] 또한, 본 발명은 안테나가 반도체 칩과 인접한 위치에 배치되므로, 반도체 칩과 안테나 간의 전기적인 연결 거리를 최소화시킬 수 있다. 따라서, 본 발명에 따른 반도체 패키지는 안테나와 반도체 칩 사이에서 발생하는 손실을 최소화할 수 있으므로, 밀리미터파 대역(특히 60GHz 대역)의 통신 기기에서 유용하게 사용될 수 있다.

[0032] 또한, 본 발명에 따른 반도체 패키지 제조 방법은 기판을 형성하는 과정에서 안테나도 함께 형성할 수 있으므로, 안테나를 별도로 제조 및 설치해야 하는 종래기술에 비해 제조 공정이 간단하다.

[0033] 또한, 본 발명에 따른 반도체 패키지 제조 방법은 종래의 반도체 제조 설비를 활용할 수 있으므로, 제조를 위한 새로운 설비 투자를 최소화할 수 있다.

[0034] 또한, 본 발명에 따른 반도체 패키지 제조 방법은 보호층을 그라인딩(grinding)하여 반도체 칩과 안테나 사이의 거리를 조절할 수 있으므로, 안테나의 특성 조정이 가능하고 이를 통해 안테나의 신호 매칭을 수행할 수 있다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 제1실시 예에 따른 반도체 패키지의 단면도이고,

도 2 및 도 3은 도 1에 도시된 연결 부재의 다른 형태를 나타낸 반도체 패키지의 단면도이고,

도 4는 본 발명의 제2실시 예에 따른 반도체 패키지의 단면도이고,

도 5 및 도 6은 본 발명의 제3실시 예에 따른 반도체 패키지의 단면도이고,

도 7은 본 발명의 제4실시 예에 따른 반도체 패키지의 단면도이고,

도 8은 본 발명의 제6실시 예에 따른 반도체 패키지의 단면도이고,

도 9 및 도 10은 본 발명의 제1실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고,

도 11은 본 발명의 제2실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고,

도 12는 본 발명의 제3실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고,

도 13은 본 발명의 제4실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고,

도 14는 본 발명의 제5실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고,

도 15는 본 발명의 제6실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 본 발명의 바람직한 실시 예를 첨부된 예시도면에 의거하여 상세히 설명한다.

[0037] 아래에서 본 발명을 설명함에 있어서, 본 발명의 구성요소를 지칭하는 용어들은 각각의 구성요소들의 기능을 고려하여 명명된 것이므로, 본 발명의 기술적 구성요소를 한정하는 의미로 이해되어서는 안 될 것이다.

[0038] 본 발명에 따른 반도체 패키지 및 반도체 패키지 제조 방법은 밀리미터파 대역(특히 60GHz 대역)의 반도체 패키지에서 발생하는 미스 매칭 문제를 해소하기 위해, 보호층의 표면에 금속 패턴을 형성하는 것을 특징으로 한다.

[0039] 특히, 본 발명에 따른 반도체 패키지 및 반도체 패키지 제조 방법은 비아 전극을 이용하는 기존의 반도체 패키지와 달리 와이어를 이용하여 금속 패턴과 반도체 칩을 연결한다.

[0040] 이 같은 본 발명의 반도체 패키지 및 반도체 패키지 제조 방법은 보호층에 비아 전극을 형성할 필요가 없으므로, 반도체 패키지의 제조 공정이 비교적 간단하고 반도체 패키지의 생산비용을 절감할 수 있다.

[0041] 다음에서는 위와 같은 특징과 효과를 갖는 본 발명에 따른 반도체 패키지의 구성을 설명한다. 도 1은 본 발명의 제1실시 예에 따른 반도체 패키지의 단면도이고, 도 2 및 도 3은 도 1에 도시된 연결 부재의 다른 형태를 나타낸 반도체 패키지의 단면도이다.

[0042] 제1실시 예에 따른 반도체 패키지(100)는 기판(10), 반도체 칩(20), 보호층(30), 금속 패턴(40), 제1연결 부재

(50)를 포함할 수 있다.

[0043] 기판(10)은 반도체 제조 공정을 통해 제작될 수 있으며, 본 기술분야에서 잘 알려진 다양한 종류의 기판(예를 들어, 실리콘 기판, 세라믹 기판, 인쇄회로 기판(PCB), 가요성 기판 등)일 수 있다. 기판(10)의 일면 또는 양면에는 반도체 칩(20)이 실장될 수 있다. 아울러, 기판(10)에는 도시되어 있지 않으나, 외부 전극, 내부 전극, 회로 패턴이 형성될 수 있다. 이들 외부 전극, 내부 전극, 회로 패턴은 반도체 제조 공정에서 미세 패턴으로 형성될 수 있다. 아울러, 첨부된 도면에서는 기판(10)이 1개의 층인 것으로 도시되어 있으나, 반도체 패키지(100)의 종류에 따라 복수의 층으로 이루어질 수 있다. 이 경우, 각 층 사이에는 별도의 회로 패턴이 형성될 수 있다.

[0044] 반도체 칩(20)은 외부와 연결되기 위한 다수의 접속 패드를 포함할 수 있다. 접속 패드는 반도체 칩(20)의 윗면, 밑면, 측면(도 1 기준 방향임) 중 적어도 어느 한 면에 형성될 수 있다. 여기서, 반도체 칩(20)의 윗면에 형성된 접속 패드는 도 1에 도시된 바와 같이 도면부호 22로 표시될 수 있다. 접속 패드는 범프 형태일 수 있으나, 이에 한정되지 않는다. 즉, 접속 패드는 솔더 볼의 형태일 수 있다. 이와 같이 구성된 반도체 칩(20)은 금속 패턴(40)을 통해 외부 기기와 통신을 수행할 수 있다. 이 경우, 금속 패턴(40)은 안테나 패턴일 수 있다.

[0045] 보호층(30)은 내부에 반도체 칩(20)을 수용하는 형태로 형성될 수 있다. 즉, 보호층(30)은 반도체 칩(20)이 외부로 노출되지 않도록 완전히 밀봉할 수 있다. 보호층(30)은 반도체 칩(20)을 기판(10)에 안정적으로 고정할 수 있으며, 외부의 충격으로부터 반도체 칩(20)을 보호할 수 있다.

[0046] 이와 같이 구성된 보호층(30)은 몰딩 방식에 의해 형성될 수 있다. 그러나 이외에도 프린팅(printing), 스핀 코팅(spin coating), 제팅(jetting) 등의 다양한 방법으로 보호층(30)을 형성할 수 있다. 보호층(30)은 에폭시 몰드 컴파운드(EMC: Epoxy Mold Compound)로 이루어질 수 있으며, 기타 다른 중합체로 이루어질 수 있다.

[0047] 금속 패턴(40)은 보호층(30)의 표면(도 1 기준으로 최상부)에 형성될 수 있다. 금속 패턴(40)은 반도체 칩(20)의 기능을 부가 또는 보조하는 회로 패턴이거나 또는 무선 주파수 신호를 송수신할 수 있는 안테나 패턴일 수 있다. 금속 패턴(40)이 안테나 패턴인 경우, 금속 패턴(40)은 선형, 다각형, 원형 등의 다양한 형태로 형성될 수 있으며, 하나 이상의 방사체로 형성될 수 있다. 아울러, 금속 패턴(40)은 그 기능에 따라 단극(monopole) 또는 양극(dipole) 형태로 형성될 수 있고, 도 8에 도시된 바와 같이 패치(patch) 또는 도파관(waveguide) 형태로 형성될 수 있다. 또한, 도 1에서는 금속 패턴(40)이 하나의 층으로 이루어진 것으로 도시되어 있으나, 필요에 따라 여러 개의 층으로 이루어질 수 있다.

[0048] 이와 같이 구성된 금속 패턴(40)은 제1연결 부재(50)를 매개로 반도체 칩(20)과 연결될 수 있으며, 반도체 칩(20)의 기능을 보조하거나 또는 반도체 칩(20)에 부가적인 기능을 부여할 수 있다. 예를 들어, 금속 패턴(40)이 안테나 패턴인 경우에는, 금속 패턴(40)은 반도체 칩(20)이 밀리미터파 대역(특히 60GHz 대역)의 신호를 송수신하도록 보조할 수 있다.

[0049] 제1연결 부재(50)는 반도체 칩(20)에 설치될 수 있다. 더욱 상세하게는, 제1연결 부재(50)의 일단은 반도체 칩(20)의 접속 패드(22)에 설치될 수 있다. 제1연결 부재(50)는 반도체 칩(20)으로부터 상방(도 1 기준 방향임)으로 길게 연장될 수 있다. 상방으로 연장된 제1연결 부재(50)의 타단은 금속 패턴(40)과 연결될 수 있다. 이와 같이 구성된 제1연결 부재(50)는 금속 핀일 수 있다. 또는 제1연결 부재(50)는 도 2 및 도 3에 도시된 바와 같이 금속 코일 또는 금속 판일 수 있다. 한편, 제1연결 부재(50)는 반도체 칩(20)의 접속단자를 기판(10)의 접속단자와 와이어 본딩하는 단계에서 형성될 수 있다. 따라서, 제1연결 부재(50)는 반도체 칩(20)과 기판(10)을 연결하는 와이어 형태일 수 있다.

[0050] 위와 같이 구성된 반도체 패키지(100)는 반도체 칩(20)과 금속 패턴(40)이 금속 재질의 제1연결 부재(50)에 의해 연결되는 구조이므로, 보호층(30)에 비아 전극을 형성할 필요가 없다. 따라서, 본 실시 예에 따르면 반도체 패키지(100)의 제조가 간단하게 이루어질 수 있다.

[0051] 아울러, 본 실시 예에 따른 반도체 패키지(100)는 보호층(30)의 두께를 변경함으로써, 반도체 칩(20)의 상부 표면(도 1 기준임)과 금속 패턴(40)의 하부 표면(보호층(30)과 접촉하는 면) 간의 거리(h1)를 쉽게 조정할 수 있다.

[0052] 따라서, 본 실시 예의 반도체 패키지(100)는 금속 패턴(40)이 밀리미터파 대역(특히 60GHz 대역)용 안테나 패턴인 경우에 금속 패턴(40)의 방사 특성을 쉽게 최적화시킬 수 있다.

[0053] 다음에서는 본 발명의 다른 실시 예들에 대해서 설명한다. 참고로, 다른 실시 예들의 구성요소들 중 제1실시 예와 동일한 구성요소는 제1실시 예와 동일한 도면부호를 사용하며, 이들 구성요소들에 대한 상세한 설명은 생략한다. 도 4는 본 발명의 제2실시 예에 따른 반도체 패키지의 단면도이고, 도 5 및 도 6은 본 발명의 제3실시 예에 따른 반도체 패키지의 단면도이고, 도 7은 본 발명의 제4실시 예에 따른 반도체 패키지의 단면도이고, 도 8은 본 발명의 제5실시 예에 따른 반도체 패키지의 단면도이다.

[0054] 도 4를 참조하여 제2실시 예에 따른 반도체 패키지(100)를 설명한다.

[0055] 본 실시 예에 따른 반도체 패키지(100)는 제2연결 부재(52)를 더 포함한 점에 있어서 제1실시 예와 상이하다.

[0056] 제2연결 부재(52)는 금속 재질로 이루어질 수 있으며, 핀 또는 코일 또는 얇은 판 형상일 수 있다. 제2연결 부재(52)는 기판(10)에 설치될 수 있으며, 기판(10)과 금속 패턴(40)을 전기적으로 연결할 수 있다. 즉, 제2연결 부재(52)의 일단은 기판(10)에 접속되고, 타단은 금속 패턴(40)에 접속될 수 있다. 이러한 제2연결 부재(52)는 금속 패턴(40)의 접지 전극으로 이용될 수 있다.

[0057] 이와 같이 구성된 반도체 패키지(100)는 금속 패턴(40)을 위한 접지 전극이 제2연결 부재(52)에 의해 형성되므로, 접지 전극을 위한 비아 홀과 비아 전극을 형성할 필요가 없다.

[0058] 다음에서는 도 5 및 도 6을 참조하여 제3실시 예에 따른 반도체 패키지(100)를 설명한다.

[0059] 본 실시 예에 따른 반도체 패키지(100)는 복수의 제1연결 부재(50, 51)와 복수의 제2연결 부재(52, 53)를 구비한 점에 있어서 전술된 실시 예들과 상이하다.

[0060] 도 5에 도시된 반도체 패키지(100)는 이종 또는 동종의 금속 패턴(40; 42, 44)을 가질 수 있다. 예를 들어, 제1금속 패턴(42)은 안테나 패턴일 수 있고, 제2금속 패턴(44)은 안테나 외 기능을 갖는 회로 패턴일 수 있다. 다른 예로, 제1금속 패턴(42)은 초고주파 대역용 안테나 패턴일 수 있고, 제2금속 패턴(44)은 저주파수 대역용 안테나 패턴일 수 있다. 또 다른 예로, 제1금속 패턴(42)과 제2금속 패턴(44)은 동일한 대역(밀리미터파 대역(특히 60GHz 대역))용 안테나 패턴일 수 있다.

[0061] 여기서, 금속 패턴들(42, 44)은 제1연결 부재(50, 51)를 통해 반도체 칩(20)과 각각 연결될 수 있다. 아울러, 각각의 금속 패턴(42, 44)은 제2연결 부재(52, 53)를 통해 기판(10)과 연결될 수 있다. 여기서, 제2연결 부재(52, 53)는 접지 전극으로 이용될 수 있다.

[0062] 이와 같이 구성된 반도체 패키지(100)는 하나의 반도체 칩(20)에 복합적인 기능을 부여하거나 특정 기능(예를 들어 초고주파 신호의 송수신)을 강화시키는데 유용하게 적용될 수 있다.

[0063] 도 6에 도시된 반도체 패키지(100)는 이종 또는 동종의 금속 패턴(40; 42, 44)과 이종 또는 동종의 반도체 칩(20, 21)을 가질 수 있다.

[0064] 예를 들어, 제1금속 패턴(42)은 안테나 패턴일 수 있고, 제2금속 패턴(44)은 안테나 외 기능을 갖는 회로 패턴일 수 있다. 이 경우, 제1반도체 칩(20)은 무선신호의 송수신을 위한 소자일 수 있고, 제2반도체 칩(21)은 다른 기능을 갖는 소자일 수 있다.

[0065] 다른 예로, 제1금속 패턴(42)은 초고주파 대역용 안테나 패턴일 수 있고, 제2금속 패턴(44)은 저주파수 대역용 안테나 패턴일 수 있다. 또 다른 예로, 제1금속 패턴(42)과 제2금속 패턴(44)은 동일한 대역(밀리미터파 대역(특히 60GHz 대역))용 안테나 패턴일 수 있다. 위 2가지 경우, 제1반도체 칩(20)과 제2반도체 칩(21)은 모두 무선신호의 송수신을 위한 소자일 수 있다.

[0066] 이와 같이 구성된 반도체 패키지(100)는 2개 이상의 반도체 칩들(20, 21)과 2개 이상의 금속 패턴(42, 44)을 구비한 구조이므로, 복합적인 기능을 수행하는데 유용하게 사용될 수 있다.

[0067] 도 7을 참조하여 제4실시 예에 따른 반도체 패키지(100)를 설명한다.

[0068] 본 실시 예에 따른 반도체 패키지(100)는 보호층(30)에 홈(32)이 형성된 점에서 전술된 실시 예들과 상이하다.

[0069] 홈(32)은 경화된 보호층(30)의 일부를 파내어 형성하거나 또는 별도로 제작된 금형을 통해 보호층(30)에 일체로

형성될 수 있다. 홈(32)의 깊이(h2)는 금속 패턴(40)의 두께(t)와 동일하거나 또는 이보다 크게 형성될 수 있다. 전자의 경우에는 반도체 패키지(100)의 두께를 최소화할 수 있고, 후자의 경우에는 홈(32)을 통한 금속 패턴(40)의 보호가 가능할 수 있다.

[0070] 다만, 금속 패턴(40)이 안테나 패턴인 경우에는, 금속 패턴(40)의 안테나 특성이 가장 양호하게 나타나도록 홈(32)의 깊이(h2)가 설정되거나 또는 금속 패턴(40)과 반도체 칩(20) 간의 거리(h1, 도 1 참조)가 최소화되도록 설정될 수 있다.

[0071] 이와 같이 구성된 반도체 패키지(100)는 홈(32)의 깊이(h2) 조절을 통해 금속 패턴(40)의 특성(예를 들어, 방사 패턴이나 이득)을 임의대로 조정할 수 있다.

[0072] 도 8을 참조하여 제5실시 예에 따른 반도체 패키지(100)를 설명한다.

[0073] 본 실시 예에 따른 반도체 패키지(100)는 다층의 보호층(30, 31)을 구비한 점에 있어서 전술된 실시 예들과 상이하다. 즉, 본 실시 예의 반도체 패키지는(100)는 제1보호층(30)과 제2보호층(31)을 구비한다.

[0074] 본 실시 예의 반도체 패키지(100)는 제1보호층(30)의 표면에 제1금속 패턴(42)이 형성될 수 있고, 제2보호층(31)의 표면에 제2금속 패턴(44)이 형성될 수 있다. 제1금속 패턴(42)은 제1연결 부재(50)에 의해 반도체 칩(20)과 연결될 수 있고, 제2연결 부재(52, 53)에 의해 기판(10)과 연결될 수 있다. 그리고 제2금속 패턴(44)은 도면부호 51의 제1연결 부재에 의해 반도체 칩(20)과 연결될 수 있다. 여기서, 제2연결 부재(52, 53)는 제1금속 패턴(42)의 접지 전극으로 이용될 수 있다.

[0075] 한편, 제1금속 패턴(42)은 안테나 패턴일 수 있고, 제2금속 패턴(44)은 안테나 패턴 또는 안테나 외 기능을 갖는 회로 패턴 또는 접지를 위한 패턴일 수 있다. 제2금속 패턴(44)이 접지를 위한 패턴인 경우, 도면부호 51의 제1연결 부재는 반도체 칩(20)의 접지 전극으로 이용될 수 있다.

[0076] 금속 패턴(40) 형성한 후, 한번 더 보호층(30)을 형성하고, 보호층(30) 표면에 금속 패턴(45)을 형성될 수 있다. 금속 패턴(40)은 안테나 패턴일 수 있고, 접지 전극으로 이용될 수 있다. 금속 패턴(45)은 안테나 외 기능을 갖는 회로 패턴일 수 있다. 제1연결 부재(50)는 금속 패턴(45)에 연결될 수 있다.

[0077] 본 실시 예는 제1금속 패턴(42)과 제2금속 패턴(44)이 제1보호층(30)과 제2보호층(31)에 각각 형성되므로, 금속 패턴(42, 44)의 설치를 위한 공간확보에 유리하고 제1금속 패턴(42)과 제2금속 패턴(44)의 간섭을 방지할 수 있다.

[0078] 다음에서는 본 발명의 반도체 패키지 제조 방법에 대해서 설명한다. 도 9 및 도 10은 본 발명의 제1실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이다.

[0079] 제1실시 예에 따른 반도체 패키지 제조 방법은 기판(10)의 준비 단계, 제1연결 부재(50)의 연결 단계, 보호층(30)의 형성 단계, 금속 패턴(40)의 형성 및 연결 단계를 포함할 수 있다.

[0080] a) 기판(10)의 준비 단계

[0081] 본 단계에서는 반도체 패키지(100, 도 1 참조)의 바탕이 될 기판(10)을 준비할 수 있다. 기판(10)은 본 기술분야에서 잘 알려진 다양한 종류의 기판(예를 들어, 실리콘 기판, 세라믹 기판, 인쇄회로 기판(PCB), 가요성 기판 등)일 수 있다. 기판(10)의 일면 또는 양면에는 반도체 칩(20)이 사전에 실장될 수 있다. 또는 본 단계에서 반도체 칩(20)을 기판(10)에 실장할 수 있다. 기판(10)과 반도체 칩(20) 간의 전기적 접속은 본 단계에서 이루어지거나 또는 별도의 단계에서 이루어질 수 있다.

[0082] b) 제1연결 부재(50)의 연결 단계

[0083] 본 단계에서는 제1연결 부재(50)를 반도체 칩(20)의 일면(도 9를 기준으로 윗면)에 연결할 수 있다. 제1연결 부재(50)는 핀, 코일, 얇은 판 형상일 수 있으며, 반도체 칩(20)의 접속 패드(22)에 솔더링 등의 방법으로 접속될 수 있다. 여기서, 제1연결 부재(50)는 반도체 칩(20)의 일면에 대해 수직 방향(도 9를 기준으로 상하 방향)으로 길게 설치될 수 있다. 한편, 도 9에서는 제1연결 부재(50)를 반도체 칩(20)의 가운데 부분에 설치되는 것으로 도시되어 있다. 그러나 반도체 칩(20)의 종류에 따라, 제1연결 부재(50)를 반도체 칩(20)의 가장자리 또는 측면에 연결시킬 수 있다.

[0084] 한편, 제1연결 부재(50)는 도 10에 도시된 바와 같이 기판(10)의 접속 패드(12)와 반도체 칩(20)을 와이어 본딩하는 단계에서 형성될 수 있다. 즉, 제1연결 부재(50)는 기판(10)의 접속 패드(12)와 반도체 칩(20)의 접속 패드(도시되지 않음)를 와이어(56)로 연결하는 단계에서 일괄적으로 형성될 수 있다. 이 경우, 제1연결 부재(50)는 도면부호 56과 동일 또는 유사한 와이어일 수 있다.

[0085] 제1연결 부재(50)를 와이어 본딩단계에서 형성하면, 제1연결 부재(50)의 형성이 용이하므로 반도체 패키지(100)의 제조공정을 단축시킬 수 있다. 아울러, 반도체 칩(20)과 금속 패턴(40)의 전기적 접속을 위한 비아 형성단계 및 비아 전극 형성단계를 생략할 수 있으므로, 반도체 패키지(100)의 제조단가를 낮출 수 있다.

[0086] 한편, 제1연결 부재(50)는 보호층(30)의 형성 단계에서도 옆으로 기울거나 쓰러지지 않도록, 도면부호 56의 와이어보다 고장력(high tension)의 와이어일 수 있다. 예를 들어, 제1연결 부재(50)는 구리 재질 또는 구리 합금 재질일 수 있다. 아울러, 제1연결 부재(50)는 코일 형상일 수 있다.

[0087] c) 보호층(30)의 형성 단계

[0088] 본 단계에서는 반도체 칩(20)을 덮는 보호층(30)이 형성될 수 있다. 보호층(30)은 몰딩 방식에 의해 형성될 수 있다. 그러나 이외에도 프린팅(printing), 스핀 코팅(spin coating), 제팅(jetting) 등의 다양한 방법으로 보호층(30)을 형성할 수 있다. 보호층(30)은 에폭시 몰드 컴파운드(EMC: Epoxy Mold Compound)로 이루어질 수 있으며, 기타 다른 중합체로 이루어질 수 있다.

[0089] 한편, 보호층(30)은 2회 이상에 걸쳐 형성될 수 있다. 예를 들어, 보호층(30)은 도면부호 302에 해당하는 부분을 먼저 형성한 후, 도면부호 304에 해당하는 부분을 형성하는 방식으로 형성될 수 있다. 이러한 방식은 보호층(30)의 형성과정에서 제1연결 부재(50)가 기울어지거나 또는 쓰러지는 등의 문제점을 확인하는데 용이할 수 있다.

[0090] d) 금속 패턴(40)의 형성 및 연결 단계

[0091] 본 단계에서는 금속 패턴(40)이 형성될 수 있다. 금속 패턴(40)은 보호층(30)의 상부 표면(도 9를 기준으로 윗면)에 형성될 수 있다. 예를 들어, 금속 패턴(40)은 이미 만들어진 패턴을 보호층(30)에 부착하는 방식으로 형성될 수 있다. 금속 패턴(40)은 무선신호의 송수신을 위한 안테나 패턴으로 형성될 수 있다. 한편, 본 단계에서는 금속 패턴(40)과 제1연결 부재(50)의 전기적 접속(연결)이 이루어질 수 있다. 이들 간의 전기적 접속은 금속 패턴(40)의 일 부분을 제1연결 부재(50)의 상부 끝에 배치하는 방식으로 이루어질 수 있다. 또는 제1연결 부재(50)의 상부 끝에 솔더 볼을 사전에 형성하고, 그 위에 금속 패턴(40)을 얹는 방식으로 이루어질 수도 있다.

[0092] 이러한 방식 반도체 패키지 제조 방법은 제1연결 부재(50)를 와이어 본딩단계에서 형성할 수 있으므로, 제1연결 부재(50)의 형성을 위한 별도의 공정을 추가할 필요가 없다. 즉, 본 실시 예의 반도체 패키지(100)는 반도체 칩(20)과 금속 패턴(40)의 전기적 접속하기 위한 비아 홀 형성단계와 비아 전극 형상단계를 생략할 수 있다. 따라서, 본 실시 예의 반도체 패키지 제조 방법은 종래기술에 비해 제조공정 수를 줄일 수 있다.

[0093] 다음에서는 반도체 패키지 제조 방법의 다른 실시 예들에 대해서 설명한다. 참고로, 이하의 실시 예들에 대한 설명에서, 제1실시 예의 단계와 동일 또는 유사한 단계에 대한 설명은 생략한다. 도 11은 본 발명의 제2실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고, 도 12는 본 발명의 제3실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고, 도 13은 본 발명의 제4실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고, 도 14는 본 발명의 제5실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이고, 도 15는 본 발명의 제6실시 예에 따른 반도체 패키지 제조 방법을 나타낸 도면이다.

[0094] 도 11을 참조하여 제2실시 예에 따른 반도체 패키지 제조 방법을 설명한다. 제2실시 예에 따른 반도체 패키지 제조 방법은 보호층(30)의 용융 공정을 더 수행하는 점에서 제1실시 예와 상이하다.

[0095] 제1실시 예의 반도체 패키지 제조 방법은 보호층(30)의 형성 단계에서 제1연결 부재(50)가 외부로 노출되지 않을 수 있다. 또는 제1실시 예의 반도체 패키지 제조 방법은 제1연결 부재(50)의 노출 면적이 상당히 적으므로, 또는 제1연결 부재(50)와 금속 패턴(40) 간의 접속이 잘 이루어지지 않을 수 있다.

[0096] 본 실시 예는 이러한 점을 감안하여, 보호층(30)의 용융 공정과 도전층(70)의 형성 공정을 더 수행할 수 있다. 즉, 본 실시 예는 보호층(30)의 형성된 이후, 제1연결 부재(40) 주변의 보호층(30)을 용융시킬 수 있다(도 11의 (d) 참조). 그리고 용융된 부분(34)에 금속 재질의 도전층(70)을 더 형성할 수 있다(도 11의 (e) 참조). 도전층(70)은 솔더 페이스트 또는 기타 전류가 소통되는 재질일 수 있다.

[0097] 위와 같은 단계를 더 포함한 본 실시 예는 도전층(70)에 의해 금속 패턴(40)과 제1연결 부재(50)가 접속하므로, 두 부재가 안정적으로 접속할 수 있다.

[0098] 다음에서는 도 12를 참조하여 제3실시 예에 따른 반도체 패키지 제조 방법을 설명한다. 제3실시 예에 따른 반도체 패키지 제조 방법은 보호층(30)의 연삭 공정(예를 들어, EMC back grinding)을 더 수행한다는 점에서 전술된 실시 예들과 상이하다.

[0099] 금속 패턴(40)이 안테나 패턴인 경우, 금속 패턴(40)과 반도체 칩(20) 간의 거리를 최소화하는 것이 매우 중요하다. 본 실시 예는 이러한 점을 감안하여, 보호층(30)의 두께를 조정할 수 있는 연삭 공정을 더 수행할 수 있다.

[0100] 즉, 본 실시 예는 보호층(30)을 형성한 후, 별도의 연삭기(200)를 이용하여 보호층(30)을 연삭한다(도 12의 (d) 참조). 보호층(30)의 연삭은 본 발명이 속하는 기술분야에서 알려진 연삭기에 의해 수행될 수 있다. 또는, 보호층(30)의 연삭은 통상의 기술자가 이미 알고 있거나 알 수 있는 방법으로 수행될 수 있다.

[0101] 한편, 보호층(30)의 연삭은 반도체 칩(20)의 상부 표면으로부터 금속 패턴(40)의 하부 표면까지의 거리(h1)가 기 설정된 거리에 도달할 때까지 수행될 수 있다. 참고로, 반도체 칩(20)의 상부 표면은 보호층(30)에 덮인 상태에서는 확인이 불가능하므로, 기판(10)의 상부 표면으로부터 보호층(30)의 상부 표면까지의 거리(h5)가 목표치에 도달할 때까지 수행될 수 있다.

[0102] 위와 같은 단계를 더 포함한 본 실시 예는 보호층(30)의 두께를 쉽게 조절할 수 있는 장점이 있다. 따라서 본 실시 예는 반도체 칩(20)과 금속 패턴(40) 간의 미스 매칭 문제를 효과적으로 해결할 수 있다.

[0103] 아울러, 본 실시 예는 제1연결 부재(50)가 보호층(30)의 외부로 노출되지 않은 경우(즉, 기판(10)으로부터 제1연결 부재(50)의 끝까지의 거리(h3)가 보호층(30)의 높이(h4)보다 작은 경우)에도 유용하게 사용될 수 있다.

[0104] 참고로, 본 실시 예의 제1연결 부재(50)는 제1실시 예와 마찬가지로 기판(10)의 접속단자와 반도체 칩(20)의 접속단자를 연결하는 와이어 본딩 단계에서 형성될 수 있다. 이 경우, 제1연결 부재(50)는 와이어일 수 있다.

[0105] 다음에서는 도 13을 참조하여 제4실시 예에 따른 반도체 패키지 제조 방법을 설명한다. 제4실시 예에 따른 반도체 패키지 제조 방법은 제2연결 부재(52)의 연결 공정을 더 수행한다는 점에서 전술된 실시 예들과 상이하다.

[0106] 본 실시 예는 제2연결 부재(52)의 설치작업을 더 수행할 수 있다. 제2연결 부재(52)는 제1연결 부재(50)의 설치 단계에서 함께 수행될 수 있다(도 13의 (b) 참조). 제2연결 부재(52)는 앞서 설명한 바와 같이, 금속 패턴(40)의 접지 전극으로 이용될 수 있다.

[0107] 본 실시 예는 금속 패턴(40)의 접지 전극을 구비한 반도체 패키지(100)를 제조하는데 유용하다.

[0108] 한편, 본 실시 예에서는 제3실시 예의 보호층(30) 연삭 공정을 추가로 수행할 수 있다. 아울러, 제1연결 부재(50)와 제2연결 부재(52)는 기판(10)의 접속단자와 반도체 칩(20)의 접속단자를 연결하는 와이어 본딩 단계에서 형성될 수 있다. 따라서, 이 경우 제1연결 부재(50)와 제2연결 부재(52)는 와이어일 수 있다.

[0109] 다음에서는 도 14를 참조하여 제5실시 예에 따른 반도체 패키지 제조 방법을 설명한다. 제5실시 예에 따른 반도체 패키지 제조 방법은 제2보호층(31)을 형성하는 단계를 더 수행한다는 점에서 전술된 실시 예들과 상이하다.

[0110] 본 실시 예는 도 14의 (d)에 도시된 바와 같이 제1보호층(30)의 위에 제2보호층(31)을 형성하는 단계를 더 수행할 수 있다. 더욱 상세하게는, 제2보호층(31)의 형성단계는 제1보호층(30)의 표면에 제1금속 패턴(42)이 형성된 이후에 추가로 수행될 수 있다. 아울러, 제2보호층(31)이 형성된 이후에는, 제2금속 패턴(44)을 형성하는 단계가 더 수행될 수 있다. 제2금속 패턴(44)은 제2보호층(31)의 표면에 형성될 수 있으며, 안테나 패턴 또는 안테나 이외 기능을 갖는 회로 패턴 또는 접지를 위한 패턴일 수 있다.

[0111] 본 실시 예에 따른 반도체 패키지 제조 방법은 하나의 반도체 칩(20)에 여러 유형의 금속 패턴(42, 44)을 구성하는데 유리하다.

[0112] 다음에서는 도 15를 참조하여 제6실시 예에 따른 반도체 패키지 제조 방법을 설명한다. 제6실시 예에 따른 반도체 패키지 제조 방법은 반도체 패키지 어레이를 모듈 단위로 절단하는 절단 공정을 더 수행한다는 점에서 전술된 실시 예들과 상이하다.

[0113] 본 실시 예는 반도체 칩(20)이 실장된 다수의 기판(10)을 일정 간격으로 배열하고, 이들 기판(10)을 보호층(30)으로 동시에 덮는 공정을 더 수행할 수 있다. 아울러, 본 실시 예는 반도체 패키지 어레이를 반도체 패키지(100) 단위로 절단하는 공정을 더 수행할 수 있다.

[0114] 이와 같이 구성된 본 실시 예는 다수의 반도체 패키지를 일괄적으로 제조하는데 유리하다.

[0115] 본 발명은 이상에서 설명되는 실시 예에만 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이하의 특허청구범위에 기재된 본 발명의 기술적 사상의 요지를 벗어나지 않는 범위에서 얼마든지 다양하게 변경하여 실시할 수 있을 것이다.

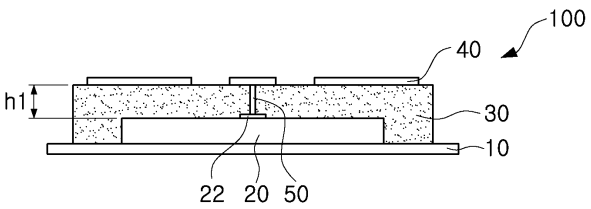
부호의 설명

[0116]

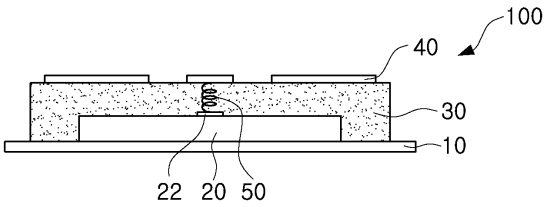
100	반도체 패키지		
10	기판	20	반도체 칩
22	접속 패드	30	보호층
40	금속 패턴(또는 안테나 패턴)	42	제1금속 패턴
44	제2금속 패턴	50	제1연결 부재
52	제2연결 부재		

도면

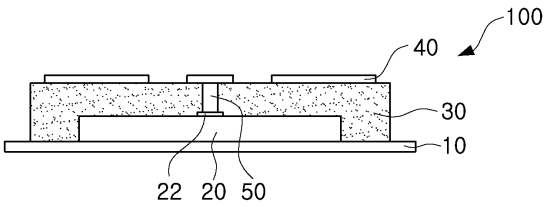
도면1



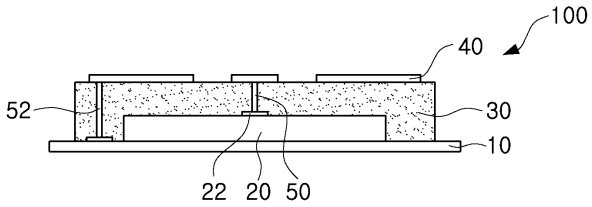
도면2



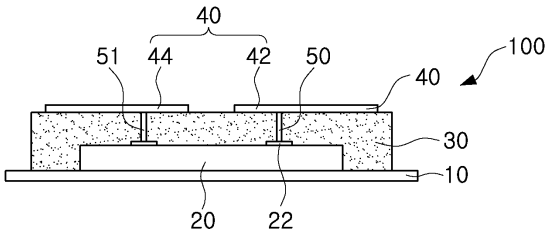
도면3



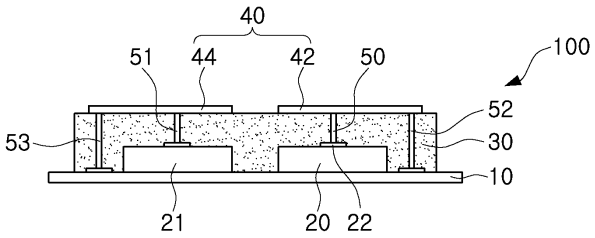
도면4



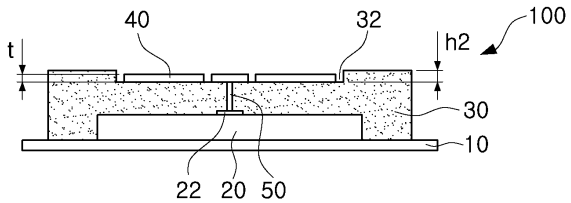
도면5



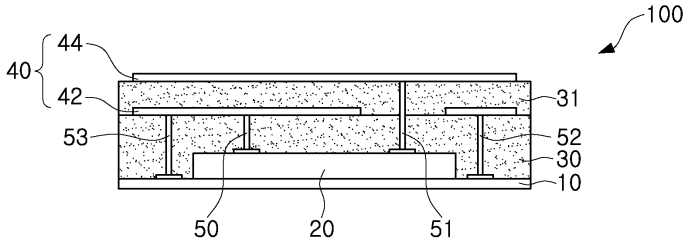
도면6



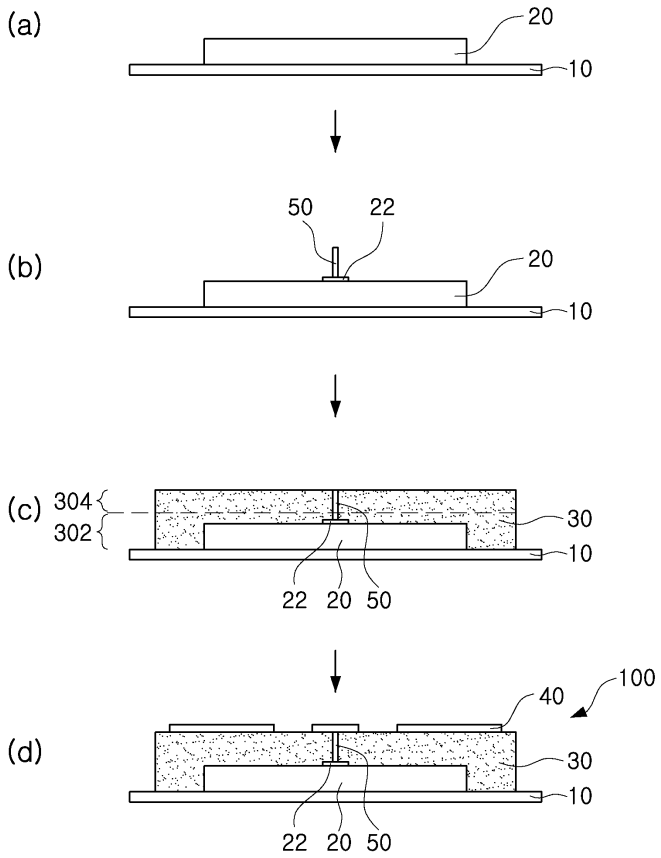
도면7



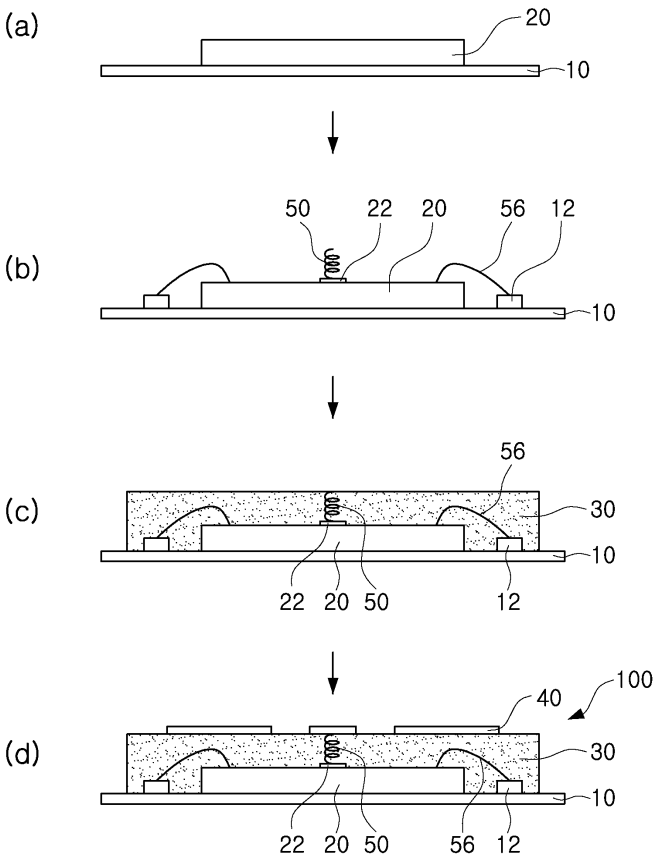
도면8


100
44
40
42
53
31
52
30
10
50
20
51

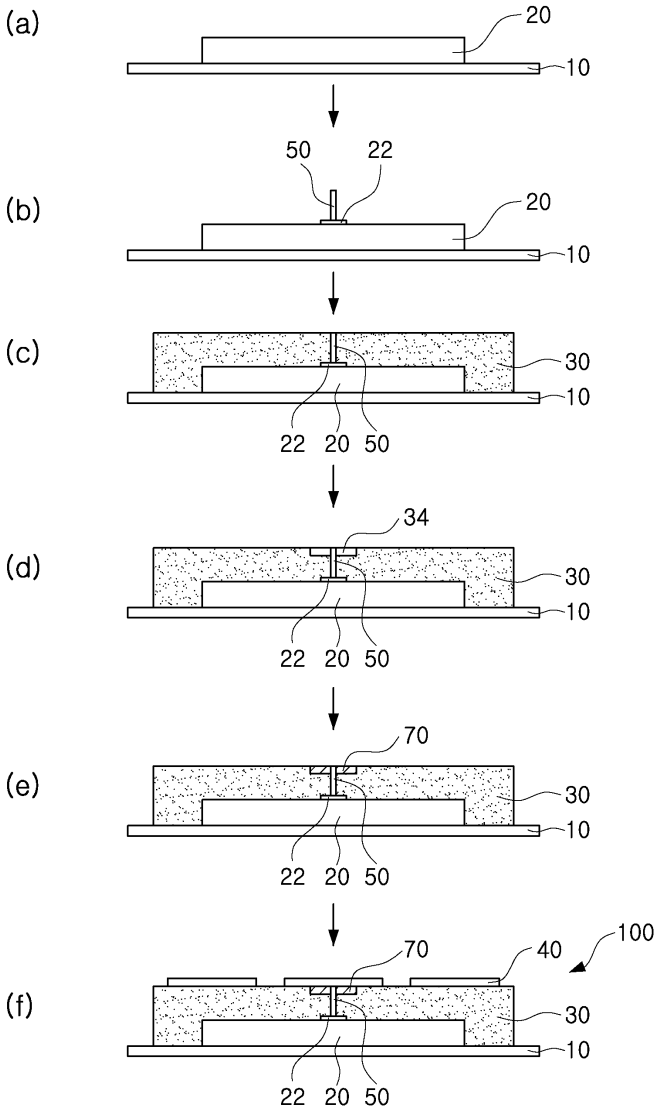
도면9


(a)
20
10
50
22
(b)
20
10
(c)
304
302
30
10
22
20
50
(d)
40
100
30
10
22
20
50

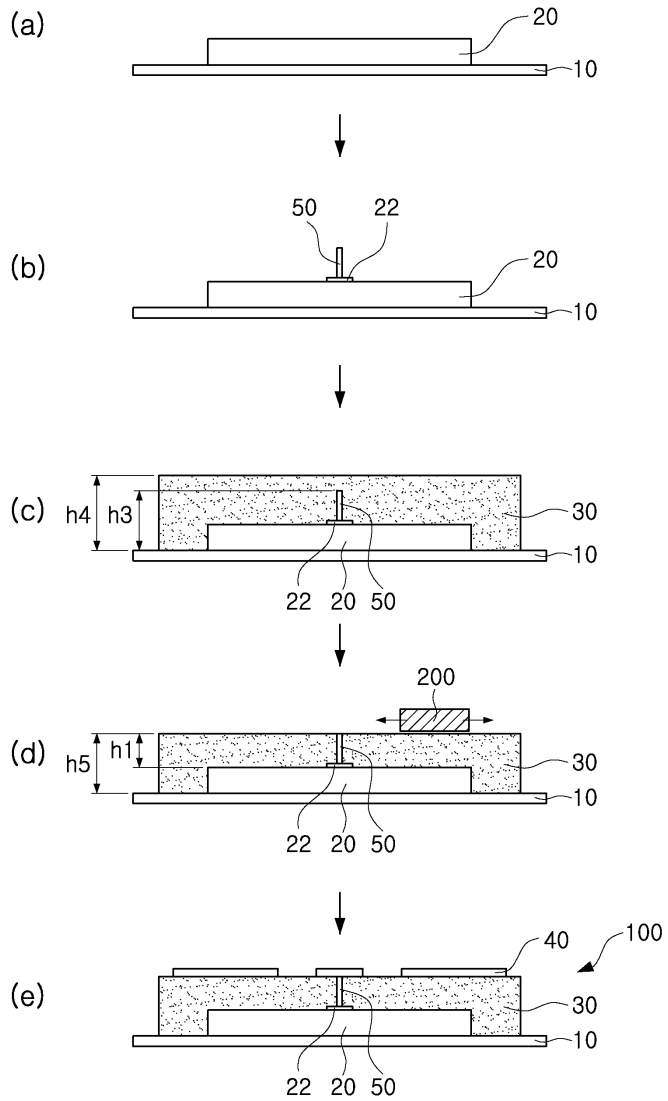
도면10


(a)
20
10
(b)
50
22
20
56
12
10
(c)
56
30
10
22
20
50
12
(d)
40
100
30
10
22
20
50
56
12

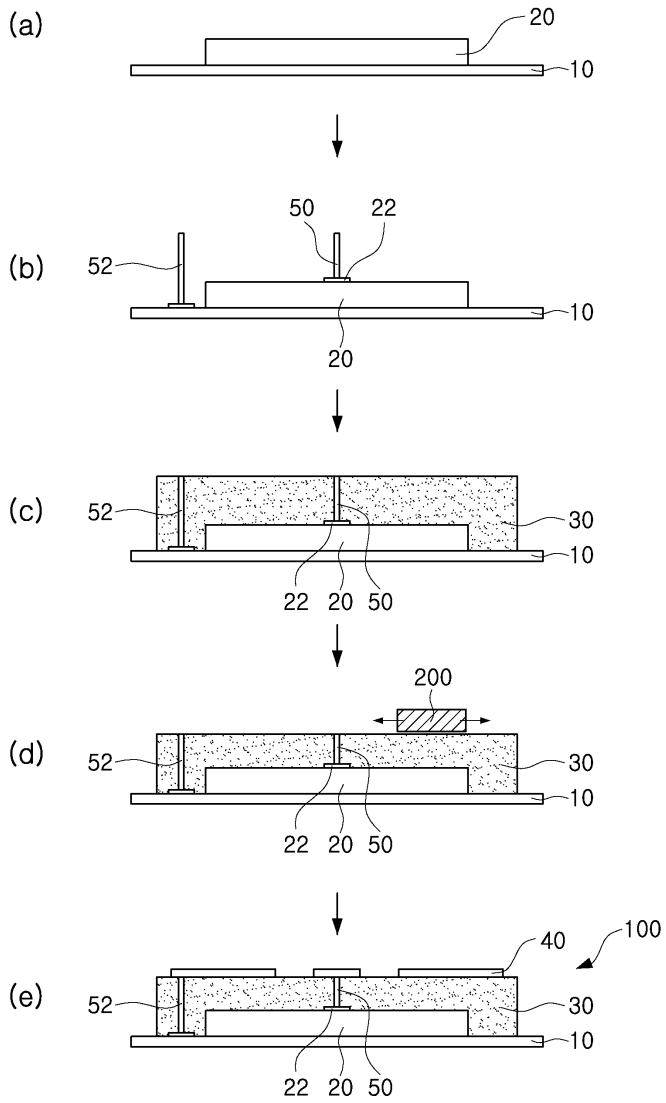
도면11


(a)
20
10
(b)
50
22
20
10
(c)
30
10
22
20
50
(d)
34
30
10
22
20
50
(e)
70
30
10
22
20
50
(f)
70
40
100
30
10
22
20
50

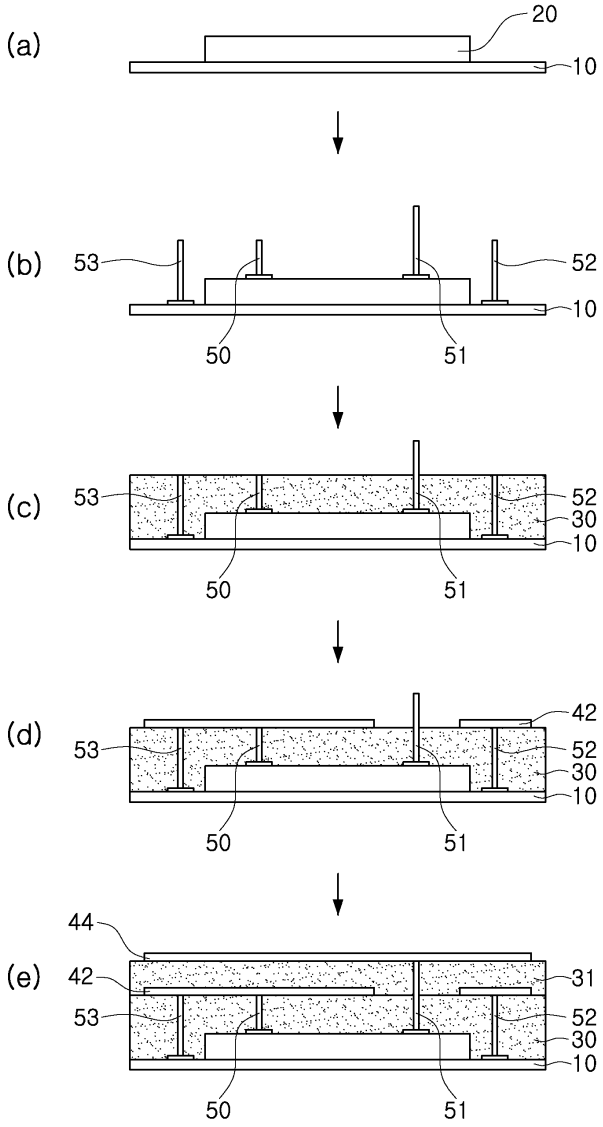
도면12


(a)
20
10
(b)
50
22
20
10
(c)
h4
h3
30
10
22
20
50
(d)
200
h5
h1
30
10
22
20
50
(e)
40
100
30
10
22
20
50

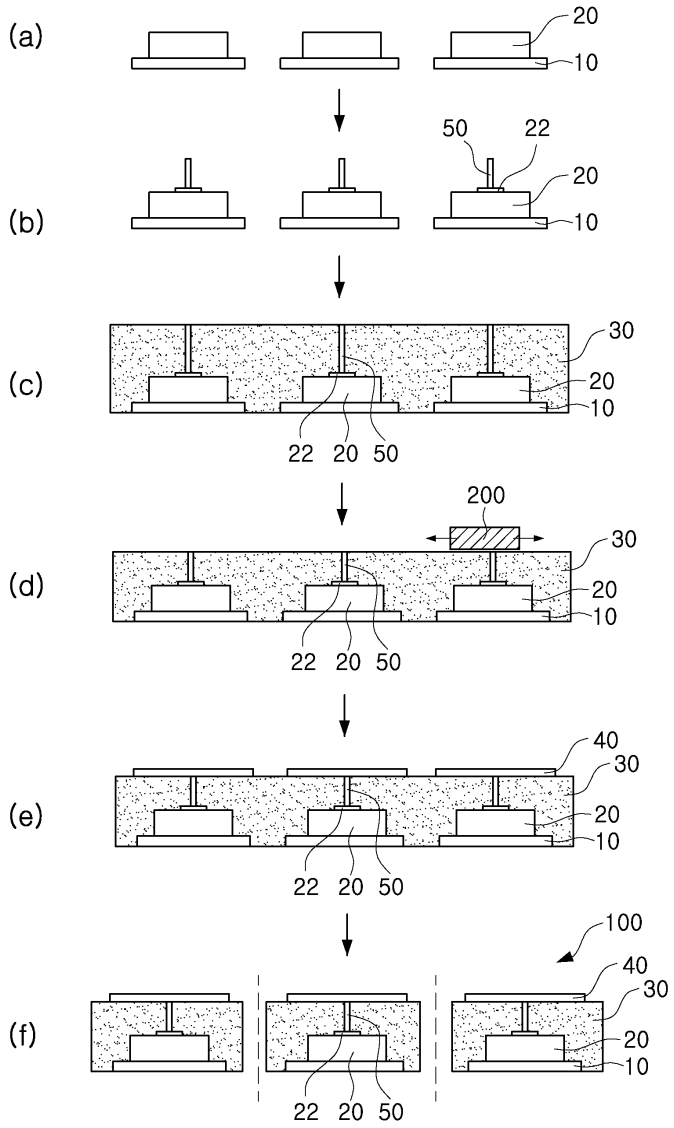
도면13


(a)
20
10
(b)
50
22
52
10
20
(c)
52
30
10
22
20
50
(d)
200
52
30
10
22
20
50
(e)
40
100
52
30
10
22
20
50

도면14


(a)
20
10
(b)
53
52
10
50
51
(c)
53
52
30
10
50
51
(d)
42
53
52
30
10
50
51
(e)
44
42
31
53
52
30
10
50
51

도면15


(a)
20
10
(b)
50
22
20
10
(c)
30
20
10
22
20
50
(d)
200
30
20
10
22
20
50
(e)
40
30
20
10
22
20
50
(f)
100
40
30
20
10
22
20
50