

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 29/786 H01L 21/336	(45) 공고일자 1999년02월01일	(11) 등록번호 특0172256	(24) 등록일자 1998년10월23일
(21) 출원번호 특1995-011245	(65) 공개번호 특1996-043290	(43) 공개일자 1996년12월23일	
(22) 출원일자 1995년05월09일			

(73) 특허권자	현대전자산업주식회사 김주용
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1번지 황준
(74) 대리인	충청북도 진천군 만승면 광혜원리 정암3차아파트 가동 405호 최홍순

심사관 : 임동우

(54) 이중 게이트 전극 구조의 박막 트랜지스터 및 그 제조 방법

요약

[청구 범위에 기재된 발명이 속한 기술 분야]

고집적 반도체 소자 제조 방법

[발명이 해결하려고 하는 기술적 과제]

종래에 효과적이고 고집적화가 용이한 박막 트랜지스터로 범용되었던 저도핑드레인 구조의 박막 트랜지스터는 측벽 스페이서 형성 및 이온 주입을 위한 두 번의 마스크 패턴 형성과 같은 공정상의 어려움이 있고, 제조 비용도 많이 든다는 문제점을 해결하고자 함.

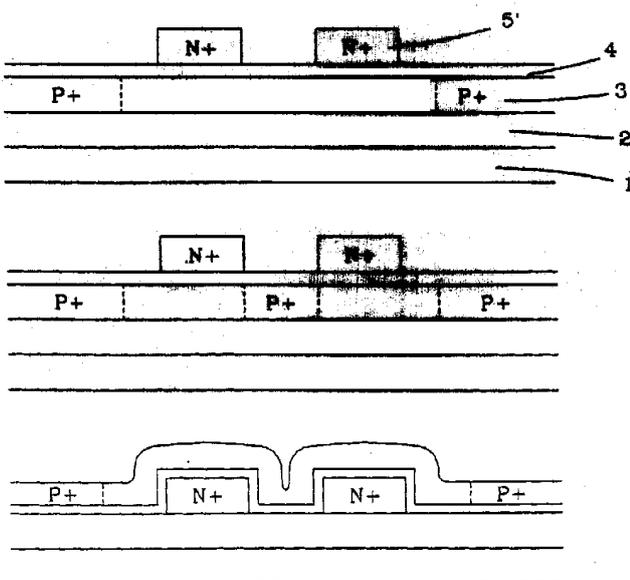
[발명의 해결 방법의 요지]

소오스 영역과 드레인 영역 사이에 두 개의 게이트 전극들을 형성하여 드레인 쪽에 인가되는 고전압이 상기 드레인쪽에 배치된 게이트 전극에 의해 구성되는 트랜지스터에 의해 완화되도록 함으로써, 비교적 간단한 공정으로 저도핑 드레인 구조의 박막 트랜지스터와 동일한 전기적 특성을 가지는 박막 트랜지스터를 제조하고자 함.

[발명의 중요한 용도]

박막 트랜지스터 제조에 이용됨

대표도



명세서

## [발명의 명칭]

이중 게이트 전극 구조의 박막 트랜지스터 및 그 제조 방법

## [도면의 간단한 설명]

제1a도 내지 제1c도는 본 발명의 제1실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법의 공정도.

제2도는 본 발명의 다른 제1실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터 단면도.

제3a도 내지 제3d도는 본 발명의 제2실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법의 공정도.

## \* 도면의 주요부분에 대한 부호의 설명

- |                         |                     |
|-------------------------|---------------------|
| 1, 11 : 반도체 기판          | 2, 12 : 산화막         |
| 3, 15 : 소오스/드레인용 폴리실리콘막 | 4, 15 : 게이트 산화막     |
| 5, 13 : 게이트용 폴리실리콘막     | 5', 13' : 게이트 전극    |
| 6, 14 : 제1포도레지스트 패턴     | 7, 17 : 제2포도레지스트 패턴 |

## [발명의 상세한 설명]

본 발명은 반도체 소자에 관한 것으로서, 보다 상세하게는, 저도핑 드레인 구조와 동일한 전기적 특성을 얻을 수 있는 이중 게이트 전극 구조의 박막 트랜지스터 및 그 제조방법에 관한 것이다.

SRAM에서 고부하 저항(High Load Resistor)으로 사용되는 박막 트랜지스터를 제조함에 있어서, 드레인 오프-셋(Off-Set)구조 또는 저도핑 드레인(Lightly Doped Drain : 이하, LDD라 칭함)구조가 범용되고 있으며, 특히, 저도핑 드레인 구조는 전기적 특성 및 고집적화면에서 뛰어나 많이 이용되었다.

그런데, LDD 구조의 박막 트랜지스터 제조 공정에서는, 통상적인 LDD 구조 트랜지스터의 제조 공정에서와 마찬가지로, 측벽 스페이서 형성 공정과 이온 주입을 위한 두 번의 마스크 패턴 형성 공정을 필요로 하게 됨으로써, 전체적인 공정이 복잡함은 물론이고, 제조 비용이 많이 든다는 단점을 가지고 있었다.

따라서, 전술한 단점을 보완하기 위해 안출된 본 발명은, 소오스와 드레인 사이에 두 개의 게이트 전극을 설치하여 드레인쪽에 형성되는 트랜지스터가 외부로부터 인가되는 고전압을 완화시키는 역할을 수행하도록 함으로써, 비교적 간단한 공정으로 LDD 구조의 박막 트랜지스터와 동일한 특성 및 효과를 거치는 박막 트랜지스터 및 그 제조 방법을 제공하는데, 그 목적이 있다.

본 발명의 제1실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법은, 상부면에 소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 전면 증착된 반도체 기판을 제공하는 단계; 상기 산화막 상에 소오스/드레인용 폴리실리콘막과, 게이트 산화막 및 게이트용 폴리실리콘막을 순차적으로 증착한 후에, 상기 게이트용 폴리실리콘막에 불순물을 도핑시키는 단계; 상기 불순물이 도핑된 게이트용 폴리실리콘막 상에 소정 간격으로 이격되는 두 개의 패턴으로 이루어진 제1포도레지스트 패턴을 형성하는 단계; 상기 제1포도레지스트 패턴을 식각 배리어로 하는 식각 공정을 통해 상기 게이트 산화막이 노출될 때까지 상기 노출된 게이트용 폴리실리콘막 부분들을 식각하여 소정 간격으로 이격되어 나란하게 배치되는 두 개의 게이트 전극들을 형성하는 단계; 상기 식각 배리어로 사용된 제1포도레지스트 패턴을 제거한 후에, 상기 게이트 전극들을 형태로 제2포도레지스트 패턴을 형성하는 단계; 상기 제2포도레지스트 패턴을 이온 주입 마스크로 하여 노출된 게이트 산화막 부분 하부의 상기 소오스/드레인용 폴리실리콘막 부분에 소정 불순물을 이온 주입하는 단계; 상기 제2포도레지스트 패턴을 제거한 후에, 상기 이온 주입된 불순물들이 활성화되도록 상기 구조물들이 형성된 반도체 기판에 대한 어닐링 공정을 실시하여 나란하게 배치된 두 개의 게이트 전극들 외측에 소오스/드레인 영역을 형성하는 단계를 포함해서 이루어진 것을 특징으로 한다.

그리고, 본 발명의 제1실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터는, 소정의 하부층들이 형성되고, 상기 하부층들을 피복하는 산화막이 형성된 반도체 기판; 상기 반도체 기판 상에 전면 증착된 소오스/드레인용 폴리실리콘막; 상기 소오스/드레인용 폴리실리콘막의 적소에 불순물의 이온 주입에 의해 소정 간격 이격되어 형성된 소오스 영역 및 드레인 영역; 상기 소오스 영역 및 드레인 영역을 포함한 상기 소오스/드레인용 폴리실리콘막 상에 전면 증착된 게이트 산화막; 및 상기 소오스 영역과 드레인 영역 사이의 상기 게이트 산화막 상에 이격되어 배치되는 두 개의 게이트 전극들로 이루어진 것을 특징으로 한다.

또한, 본 발명의 제2실시예에 따른 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법은, 상부면에 소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 전면 증착된 반도체 기판을 제공하는 단계; 상기 산화막 상에 게이트용 폴리실리콘막을 증착한 후에, 상기 게이트용 폴리실리콘막에 불순물을 도핑시키는 단계; 상기 불순물이 도핑된 게이트용 폴리실리콘막 상에 소정 간격 이격되는 두 개의 패턴으로 이루어진 제1포도레지스트 패턴을 형성하는 단계; 상기 제1포도레지스트 패턴을 식각 배리어로 이용하여 상기 게이트용 폴리실리콘을 식각해서 소정 간격 이격되어 나란하게 배치되는 두 개의 게이트 전극들을 형성하는 단계; 상기 제1포도레지스트 패턴을 제거한 후에, 상기 반도체 기판상에 상기 게이트 전극들을 피복하는 게이트 산화막과 소오스/드레인용 폴리실리콘막을 순차적으로 증착하는 단계; 상기 소오스/드레인용 폴리실리콘막 상에 게이트 전극들을 포함한 영역을 덮는 제2포도레지스트 패턴을 형성하는 단계; 상기 제2포도레지스트 패턴을 마스크로 하는 이온 주입 공정을 실시하여 게이트 전극들 외측의 소오스/드레인용 폴리실리콘막 부분에 불순물을 이온 주입하는 단계; 및 상기 제2포도레지스트 패턴을 제거한 후에, 어닐링 공정을 실시하여 소오스/드레인 영역을 형성하든 단계를 포함해서 이루어진 것을 특징으로 한다.

아울러, 본 발명의 제2실시예에 따른 이중 게이트 구조의 박막 트랜지스터는, 소정의 하부층들이 형성되

고, 상기 하부층을 피복하는 산화막이 형성된 반도체 기판; 상기 반도체 기판상에 정 간격으로 이격되어 배치된 두 개의 게이트 전극들; 상기 게이트 전극들을 피복하도록 상기 반도체 기판 전면에 순차적으로 증착된 게이트 산화막 및 소오스/드레인용 폴리실리컨막; 및 상기 게이트 전극들의 비대향하는 소오스/드레인용 폴리실리컨막 부분에 형성된 소오스 영역과 드레인 영역으로 이루어진 것을 특징으로 한다.

이제 본 발명의 제1 및 제2실시예를 첨부 도면을 참조하여 보다 상세하게 설명하도록 한다.

먼저, 본 발명의 제1실시예로서 오버 게이트형(over gate type)의 박막 트랜지스터 제조 방법을 제1a도 내지 제1c도와 제2도를 참조하여 설명하도록 한다.

제1a도에 도시된 바와 같이, 소정의 하부층들(도시안됨)이 형성되고, 상기 하부층들을 피복하도록 산화막(2)이 전면에 형성된 반도체 기판(1) 상에 소오스/드레인용 폴리실리컨막(3), 게이트 산화막(4) 및 게이트용 폴리실리컨막(5)을 차례로 증착한다.

그리고 나서, 게이트용 폴리실리컨막(5)에  $N^+$ 형의 불순물을 도핑한 후에, 상기 게이트용 폴리실리컨막(5) 상에 제1포도레지스트 패턴(6)을 형성한다. 이때, 제1포도레지스트 패턴(6)은 소정 간격 이격되어 상기 게이트용 폴리실리컨막(5)의 소정 부분들을 노출시키는 두 개의 패턴들로 이루어진다.

다음으로, 제1b도에 도시된 바와 같이, 상기 포도레지스트 패턴(6)을 식각 배리어로 이용하여 노출된 상기 게이트용 폴리실리컨막(5) 부분들을 상기 게이트 산화막(4)이 노출될 때까지 식각하여 상기 게이트 산화막(4) 상에 이격되어 나란하게 배치되는 두 개의 게이트 전극들(5')을 형성한다. 그리고 나서, 식각 배리어로 사용된 제1포도레지스트 패턴을 제거한 상태에서, 게이트 산화막(4)상에 상기 게이트 전극들을 감싸는 형태로 소오스/드레인 영역을 형성하기 위한 제2포도레지스트 패턴(7)을 형성한다.

다음으로, 제1c도에 도시된 바와 같이, 상기 제2포도레지스트 패턴을 마스크로 하는 이온 주입 공정을 통하여 노출된 게이트 산화막 부분 하부의 소오스/드레인용 폴리실리컨막(3) 부분에  $P^+$ 형의 불순물을 각각 이온 주입하고, 이어서 제2포도레지스트 패턴을 제거한 상태에서, 상기 소오스/드레인용 폴리실리컨막(3)의 적소에 이온 주입된 불순물들이 활성화되도록 어닐링 공정을 실시하여 이격되어 배치된 두 개의 게이트 전극들(5')의 외측의 소오스/드레인용 폴리실리컨막(3) 부분에 소오스 영역과 드레인 영역을 형성시켜 이중 게이트 전극구조의 박막 트랜지스터를 제조한다.

상기와 같은 이중 게이트 전극 구조에 있어서는, 두 개의 게이트 전극이 각각 독립된 트랜지스터와 같은 역할을 하게 되기 때문에 드레인쪽에 인가되는 고전압( $V_{cc}$ )은 드레인쪽에 배치된 게이트 전극에 의해 형성되는 하나의 트랜지스터에 의해 완화되어 소오스쪽에 형성되는 다른 하나의 트랜지스터를 거쳐 소오스 영역으로 전달되게 되고, 이에 따라, 드레인쪽에 형성되는 트랜지스터가 LDD 효과를 충분히 발휘하게 됨으로써, LDD 구조를 형성하는 것과 동일한 전기적 특성을 얻을 수 있게 된다.

또한, 진술한 오버 게이트형 박막 트랜지스터를 제조함에 있어서, 제2도에 도시된 바와 같이, 게이트 전극들 사이의 게이트용 폴리실리컨막 부분에도  $P^+$ 형의 불순물을 이온 주입하여 불순물 영역을 더 형성할 수도 있다. 이러한 구조를 형성하기 위해서는 제2포도레지스트 패턴의 형성시에 상기 제2포도레지스트 패턴을 게이트 전극들 사이 부분이 노출되도록 형성한 상태에서, 소오스/드레인 영역을 형성하기 위한 불순물의 이온 주입시에 이 부분에도 주입하여 형성한다.

이와 같은 구조에 있어서는 두 트랜지스터들 사이의 채널 영역에도 소오스/드레인 영역이 형성되기 때문에 보다 안정적인 박막 트랜지스터의 전기적 특성을 나타낼 수 있게 된다.

본 발명의 제2실시예인 변형 게이트형 박막 트랜지스터 제조 방법을 제3a도 내지 제3d도를 참조하여 설명하도록 한다.

제3a도에 도시된 바와 같이, 소정의 하부층들(도시안됨)이 형성되고, 상기 하부층들을 피복하도록 산화막(12)이 전면에 형성된 반도체 기판(11) 상에 게이트용 폴리실리컨막(3)을 증착한 상태에서, 상기 게이트용 폴리실리컨막(3)에  $N^+$ 형의 불순물을 도핑한다.

그런 다음, 게이트용 폴리실리컨막(3)상에 제1포도레지스트 패턴(16)을 형성하되, 상기 제1포도레지스트 패턴(14)은 소정 간격 이격되어 상기 게이트용 폴리실리컨막(3)의 소정 부분들을 노출시키는 두 개의 패턴들로 이루어지게 형성한다.

다음으로, 제3b도에 도시된 바와 같이, 제1포도레지스트 패턴(14)을 식각 배리어로 이용하여 노출된 상기 게이트용 폴리실리컨막(3) 부분을 노출될 때까지 식각하여 상기 산화막(12) 상에 이격되어 나란하게 배치되는 두 개의 게이트 전극들(13')을 형성한다.

그런 다음, 식각 배리어로 사용된 제1포도레지스트 패턴을 제거한 후에, 산화막 상에 상기 게이트 전극들(13')을 피복하는 게이트 산화막(15) 및 소오스/드레인용 폴리실리컨막(16)을 순차적으로 증착한다.

다음으로, 제3c도에 도시된 바와 같이, 상기 소오스/드레인용 폴리실리컨막(3) 상에 두 개의 게이트 전극들(13')을 중앙에 두고 양측에 소오스/드레인 영역이 형성될 수 있도록 상기 게이트 전극들(13')을 포함하는 영역을 덮는 제2포도레지스트 패턴(17)을 형성한 후에, 이러한 제2포도레지스트 패턴(17)을 불순물의 이온 주입 마스크로 사용하여 노출된 소오스/드레인용 폴리실리컨막(16) 부분에  $P^+$ 형의 불순물을 이온 주입한다.

그리고 나서, 제3d도에 도시된 바와 같이, 불순물의 이온 주입 마스크로 이용한 제2포도레지스트 패턴을 제거한 상태에서, 소오스/드레인용 폴리실리컨막의 적소에 이온 주입된 불순물이 활성화되도록 하는 어닐링 공정을 통해 게이트 전극들(13')의 외측에 소오스 영역과 드레인 영역을 형성하여 이중 게이트 전극 구조의 박막 트랜지스터를 완성한다.

상기와 같은 박막 트랜지스터 구조에 있어서는, 앞서의 실시예와 마찬가지로, 소오스 영역과 드레인 영역 사이에 두 개의 게이트 전극을 형성하기 때문에 드레인쪽의 트랜지스터는 드레인에 인가된 고전압을 충분히

히 완화시키는 저도핑 드레인 영역과 같은 역할을 하게 되어 간단한 공정 및 절감된 제조 비용으로도 저도핑 드레인 구조의 박막 트랜지스터와 동일한 전기적 특성을 가지는 박막 트랜지스터를 제조할 수 있게 된다.

### (57) 청구의 범위

#### 청구항 1

상부면에 소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 전면 증착된 반도체 기판을 제공하는 단계; 상기 산화막 상에 소오스/드레인용 폴리실리콘막과, 게이트 산화막 및 게이트용 폴리실리콘막을 순차적으로 증착한 후에, 상기 게이트용 폴리실리콘막에 불순물을 도핑시키는 단계; 상기 불순물이 도핑된 게이트용 폴리실리콘막 상에 소정 간격으로 이격되는 두 개의 패턴으로 이루어진 제1포토레지스트 패턴을 형성하는 단계; 상기 제1포토레지스트 패턴을 식각 배리어로 하는 식각 공정을 통해 상기 게이트 산화막이 노출될 때까지 상기 노출된 게이트용 폴리실리콘막 부분들을 식각하여 소정 간격으로 이격되어 나란하게 배치되는 두 개의 게이트 전극들을 형성하는 단계; 상기 식각 배리어로 사용된 제1포토레지스트 패턴을 제거한 후에, 상기 게이트 전극들을 감싸는 형태로 제2포토레지스트 패턴을 형성하는 단계; 상기 제2포토레지스트 패턴을 이온 주입 마스크로 하여 노출된 게이트 산화막 부분 하부의 상기 소오스/드레인용 폴리실리콘막 부분에 소정 불순물을 이온 주입하는 단계; 및 상기 제2포토레지스트 패턴을 제거한 후에, 상기 이온 주입된 불순물들이 활성화되도록 상기 구조물들이 형성된 반도체 기판에 대한 어닐링 공정을 실시하여 나란하게 배치된 두 개의 게이트 전극들 외측에 소오스/드레인 영역을 형성하는 단계를 포함해서 이루어진 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법.

#### 청구항 2

제1항에 있어서, 상기 제2포토레지스트 패턴은 게이트 전극들 사이의 게이트 산화막 부분도 노출시키는 형태로 형성하고, 상기 노출된 게이트 전극들 사이의 소오스/드레인용 폴리실리콘막 부분에도 불순물을 이온 주입하는 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법.

#### 청구항 3

상부면에 소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 전면 증착된 반도체 기판을 제공하는 단계; 상기 산화막 상에 게이트용 폴리실리콘막을 증착한 후에, 상기 게이트용 폴리실리콘막에 불순물을 도핑시키는 단계; 상기 불순물이 도핑된 게이트용 폴리실리콘막 상에 소정 간격 이격되는 두 개의 패턴으로 이루어진 제1포토레지스트 패턴을 형성하는 단계; 상기 제1포토레지스트 패턴을 식각 배리어로 이용하여 상기 게이트용 폴리실리콘막을 식각해서 소정 간격 이격되어 나란하게 배치되는 두 개의 게이트 전극들을 형성하는 단계; 상기 제1포토레지스트 패턴을 제거한 후에, 상기 반도체 기판 상에 상기 게이트 전극들을 피복하는 게이트 산화막과 소오스/드레인용 폴리실리콘막을 순차적으로 전면 증착하는 단계; 상기 소오스/드레인용 폴리실리콘막 상에 게이트 전극들을 포함한 영역을 덮는 제2포토레지스트 패턴을 형성하는 단계; 상기 제2포토레지스트 패턴을 마스크로 하는 이온 주입 공정을 실시하여 게이트 전극들 외측의 소오스/드레인용 폴리실리콘막 부분에 불순물을 이온 주입하는 단계; 및 상기 제2포토레지스트 패턴을 제거한 후에, 어닐링 공정을 실시하여 소오스/드레인 영역을 형성하는 단계를 포함해서 이루어진 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터 제조 방법.

#### 청구항 4

소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 형성된 반도체 기판; 상기 반도체 기판 상에 전면 증착된 소오스/드레인용 폴리실리콘막; 상기 소오스/드레인용 폴리실리콘막의 적소에 불순물의 이온 주입에 의해 소정 간격 이격되어 형성된 소오스 영역 및 드레인 영역; 상기 소오스 영역 및 드레인 영역을 포함한 상기 소오스/드레인용 폴리실리콘막 상에 전면 증착된 게이트 산화막; 및 상기 소오스 영역과 드레인 영역 사이의 상기 게이트 산화막 상에 이격되어 배치되는 두 개의 게이트 전극들로 이루어진 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터.

#### 청구항 5

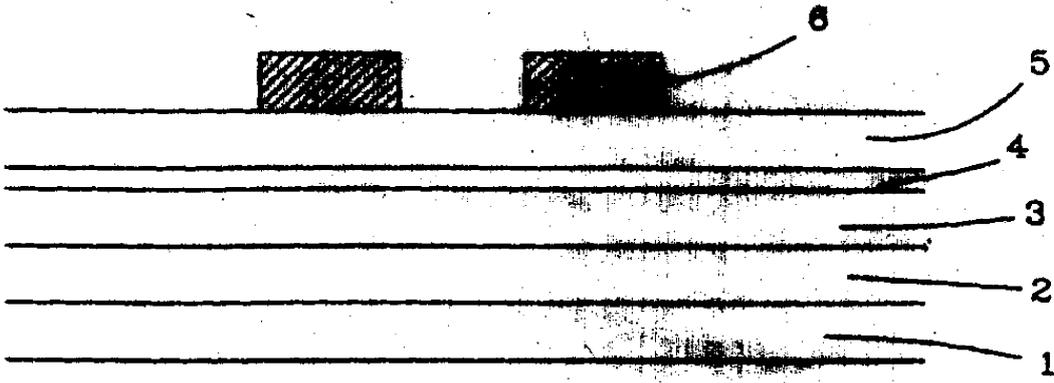
제4항에 있어서, 상기 게이트 전극들 사이의 상기 소오스/드레인용 폴리실리콘막 부분에 형성된 불순물 영역을 포함하는 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터.

#### 청구항 6

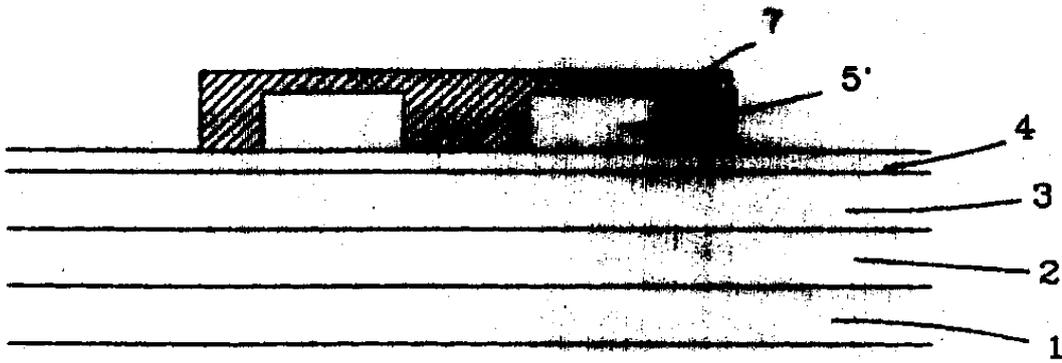
소정의 하부층이 형성되고, 상기 하부층을 피복하는 산화막이 형성된 반도체 기판; 상기 반도체 기판 상에 소정 간격 이격되어 배치된 두 개의 게이트 전극들; 상기 게이트 전극들을 피복하도록 상기 반도체 기판 전면에 순차적으로 증착된 게이트 산화막 및 소오스/드레인용 폴리실리콘막; 및 상기 게이트 전극들의 비대향하는 소오스/드레인용 폴리실리콘막 부분에 형성된 소오스 영역 및 드레인 영역으로 이루어진 것을 특징으로 하는 이중 게이트 전극 구조의 박막 트랜지스터.

### 도면

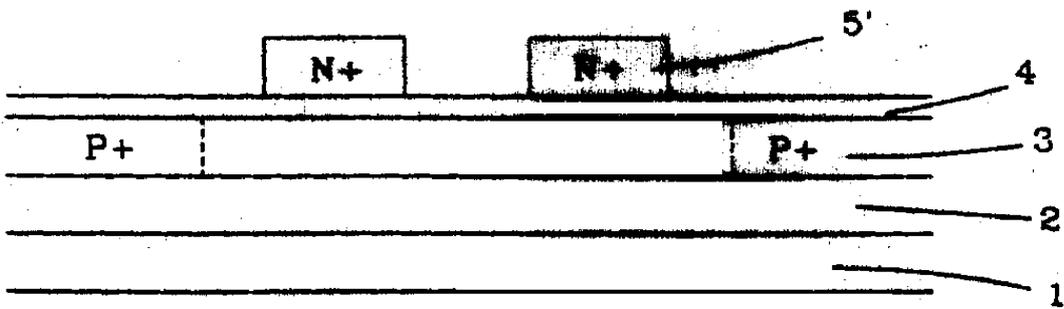
도면 1a



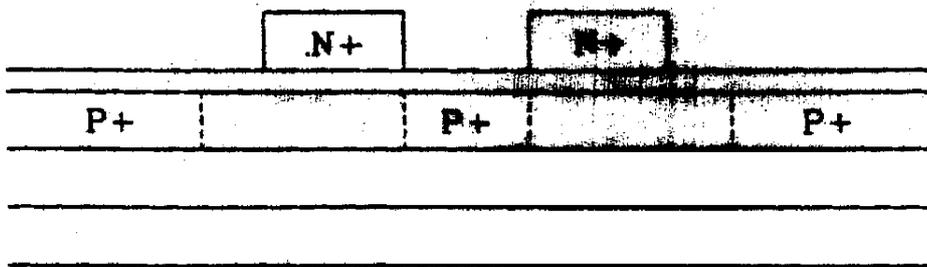
도면 1b



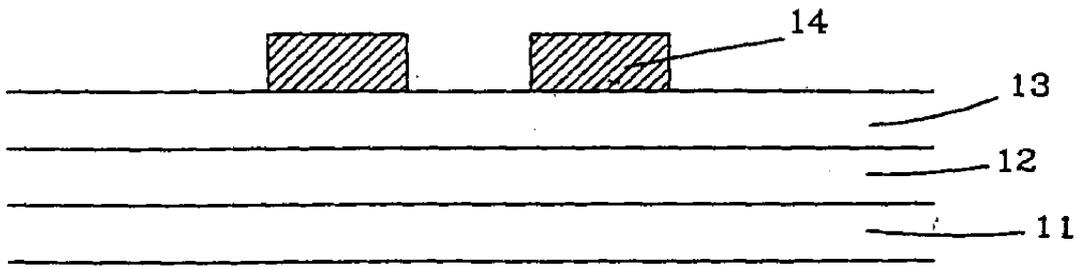
도면 1c



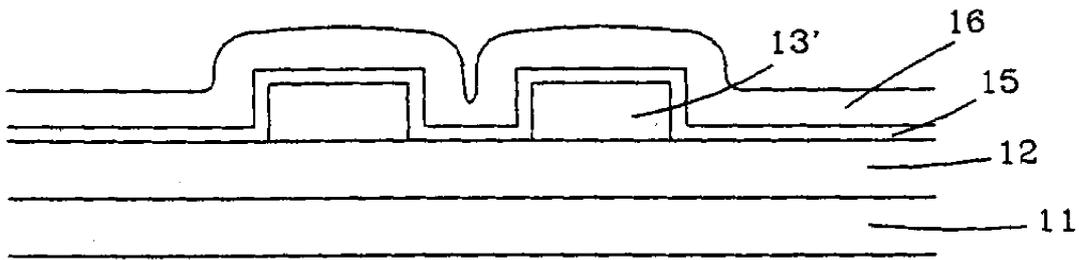
도면 2



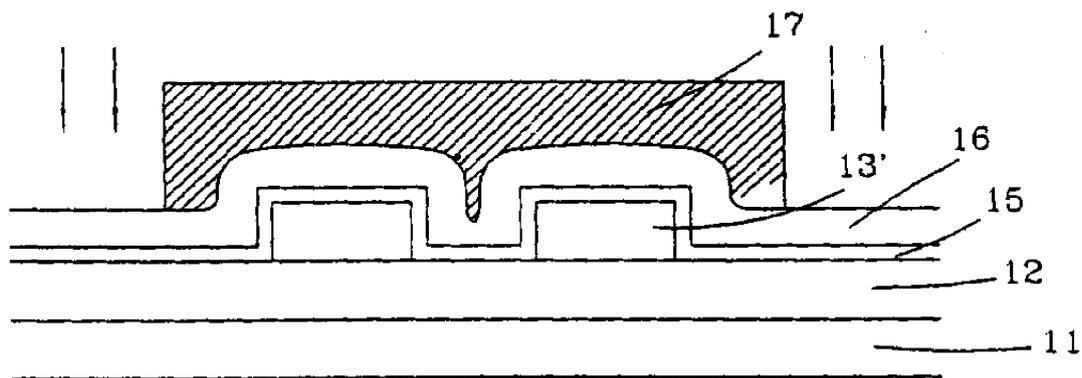
도면3a



도면3b



도면3c



도면3d

