

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4986391号
(P4986391)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 J
HO 1 L 21/336 (2006.01)	GO 2 F 1/1368	
GO 2 F 1/1368 (2006.01)	GO 9 F 9/30	3 3 8
GO 9 F 9/30 (2006.01)	HO 1 L 21/288	Z
HO 1 L 21/288 (2006.01)	HO 1 L 29/78	6 2 6 C

請求項の数 10 (全 31 頁)

(21) 出願番号 特願2004-312433 (P2004-312433)
 (22) 出願日 平成16年10月27日(2004.10.27)
 (65) 公開番号 特開2005-157323 (P2005-157323A)
 (43) 公開日 平成17年6月16日(2005.6.16)
 審査請求日 平成19年10月26日(2007.10.26)
 (31) 優先権主張番号 特願2003-368160 (P2003-368160)
 (32) 優先日 平成15年10月28日(2003.10.28)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 古野 誠
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 中村 理
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に金属材料からなる下地層を形成し、
 前記下地層上に液滴吐出法でゲート電極を形成し、
 前記ゲート電極と重ならない位置に形成された前記下地層を絶縁化し、
 前記ゲート電極上にゲート絶縁層を形成し、
 前記ゲート絶縁層上に半導体層を形成することを特徴とする表示装置の作製方法。

【請求項2】

請求項1において、
 前記絶縁化は、前記下地層を酸化することによって行うことを特徴とする表示装置の作製方法。 10

【請求項3】

基板上に金属材料からなる下地層を形成し、
 前記下地層上に液滴吐出法でゲート電極を形成し、
 前記ゲート電極と重ならない位置に形成された前記下地層を、前記ゲート電極をマスクとしてエッチングし、
 前記ゲート電極上にゲート絶縁層を形成し、
 前記ゲート絶縁層上に半導体層を形成することを特徴とする表示装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記半導体層上に絶縁層を形成し、

前記半導体層と前記絶縁層の形成は、大気に晒すことなく連続的に行うことを特徴とする表示装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記ゲート絶縁層は、第 1 の窒化珪素膜と、酸化珪素膜と、第 2 の窒化珪素膜を順次積層して形成することを特徴とする表示装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記下地層は、チタン、タングステン、クロム、タンタル、ニッケル、又はモリブデンから選ばれる金属を含むことを特徴とする表示装置の作製方法。

10

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記下地層は、0.01 ~ 10 nm の厚さで形成することを特徴とする表示装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記半導体層として、アモルファス半導体、多結晶半導体、又はセミアモルファス半導体を用いることを特徴とする表示装置の作製方法。

【請求項 9】

20

請求項 1 乃至請求項 8 のいずれか一項において、

前記ゲート電極は、導電性のナノ粒子を融合又は融着して形成することを特徴とする表示装置の作製方法。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記ゲート電極と、前記ゲート絶縁層と、前記半導体層を有する薄膜トランジスタと電氣的に接続される発光素子を形成することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、ガラス基板上に形成したトランジスタなどの能動素子を応用した表示装置及びその製造方法に関する。

【背景技術】

【0002】

従来、ガラス基板上の薄膜トランジスタ（以下「TFT」ともいう。）によって構成される所謂アクティブマトリクス駆動方式の表示パネルが知られている。この表示パネルは、半導体集積回路の製造技術と同様に、フォトリソを使う光露光工程により、導体、半導体及び絶縁体などの薄膜をパターンニングする工程が必要とされている。

【0003】

表示パネルの製造に用いるマザーガラス基板のサイズは、1990年初頭における第1世代の300×400mmから、2000年には第4世代となり680×880mm若しくは730×920mmへと大型化している。それと共に、一枚の基板から多数の表示パネルが取れるように生産技術が進歩してきた。

40

【0004】

ガラス基板若しくは表示パネルのサイズが小さい場合には、露光装置により比較的簡便にパターンニング処理を行うことが可能である。しかし、基板サイズが大型化するにつれて、1回の露光処理で表示パネルの全面を同時に処理することが不可能となる。その結果、フォトリソが塗布された領域に対し、露光する領域を複数に分割して、所定のブロック領域毎に露光処理を行う必要がある。露光処理は、順次それを繰り返して基板全面の露光を行う方法が開発されてきた（例えば、特許文献1、2参照。）。

50

【特許文献1】特開平11-326951号公報

【特許文献2】特開2000-29053号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ガラス基板のサイズは、第5世代で1000×1200mm若しくは1100×1300mmへとさらに大型化し、次世代では1500×1800mm若しくはそれ以上のサイズが想定されている。ガラス基板の大型化は、表示パネルの面積化や、取り数の向上には有効であるが、従来のパターンニング方法では生産性良く低コストで表示パネルを製造することが困難となる。すなわち、つなぎ露光により多数回の露光処理を行えば、処理時間が増大し、ガラス基板の大型化に対応した露光装置の開発には多大な投資が必要となる。

10

【0006】

そればかりでなく、基板の全面に各種の薄膜を形成し、僅かな領域を残してエッチング除去する工法では、材料コストを浪費し、多量の廃液を処理することが要求されてしまうという問題点が内在している。

【0007】

本発明は、このような状況に鑑み成されたものであり、材料の利用効率を向上させ、かつ、作製工程を簡略化することが可能な表示装置及びその製造技術を提供することを目的としている。

20

【課題を解決するための手段】

【0008】

本発明は、配線若しくは電極を形成する導電層や、所定のパターンを形成するためのマスクなど表示パネルを作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示パネルを製造することを特徴とする。選択的にパターンを形成可能な方法として、特定の目的に調合された組成物の液滴を選択的に吐出して所定のパターンを形成することが可能な、液滴吐出法（その方式によっては、インクジェット法とも呼ばれる。）を用いる。

【0009】

本発明は、エレクトロルミネセンス（以下「EL」ともいう。）と呼ばれる発光を発現する有機物質、若しくは有機物質と無機物質の混合物を含む媒体を、電極間に介在させた発光素子とTFTとが接続された表示装置であって、このような表示装置を液滴吐出法を用いて完成させることで上記目的を達成する。

30

【0010】

本発明は、絶縁表面を有する基板の上に液滴吐出法でゲート電極を形成する第1の段階と、ゲート電極上に、ゲート絶縁層、半導体層、絶縁層を積層する第2の段階と、ゲート電極と重なる位置に液滴吐出法で第1のマスクを形成する第3の段階と、第1のマスクにより絶縁層をエッチングしてチャンネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、ゲート電極を含む領域に液滴吐出法で第2のマスクを形成する第6の段階と、一導電型の不純物を含有する半導体層と、その下層側に位置する半導体層とをエッチングする第7の段階と、液滴吐出法でソース及びドレインに接続する配線を形成する第8の段階と、ソース及びドレインに接続する配線をマスクとしてチャンネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階の各段階を含むことを特徴としている。

40

【0011】

本発明は、絶縁表面を有する基板の上に液滴吐出法でゲート電極と接続配線を形成する第1の段階と、ゲート電極上に、ゲート絶縁層、半導体層、絶縁層を積層する第2の段階と、ゲート電極と重なる位置に液滴吐出法で第1のマスクを形成する第3の段階と、第1のマスクにより絶縁層をエッチングしてチャンネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、ゲート電極を含む領域に液滴吐出

50

法で第2のマスクを形成する第6の段階と、一導電型の不純物を含有する半導体層とその下層側に位置する半導体層とをエッチングする第7の段階と、ゲート絶縁層を選択的にエッチングして接続配線の一部を露出させる第8の段階と、液滴吐出法でソース及びドレインに接続する配線を形成すると共に少なくとも一方の配線を前記接続配線と接続する第9の段階と、ソース及びドレインに接続する配線をマスクとしてチャンネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第10の段階の各段階を含むことを特徴としている。

【0012】

上記した第2の段階は、プラズマを援用した気相成長法（プラズマCVD）又はスパッタリング法により、ゲート絶縁層、半導体層及び絶縁層の各層を大気に晒すことなく連続的に形成することが好ましい。

10

【0013】

ゲート絶縁層は、第1の窒化珪素膜、酸化珪素膜及び第2の窒化珪素膜を順次積層して形成することで、ゲート電極の酸化を防止出来、かつ、ゲート絶縁層の上層側に形成する半導体層と良好な界面を形成することができる。

【0014】

前記したように、本発明は、ゲート電極や配線、及びパターンニングの時に利用するマスクを形成する際に液滴吐出法により行うことを特徴としているが、EL表示装置を作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示装置を製造することでその目的は達成される。

20

【0015】

本発明は、ELを発現する発光材料を含む有機物質又は有機物質と無機物質とを含む媒体（以下「EL層」ともいう。）を一对の電極間に介在させた発光素子をマトリクス状に配列させた画素領域を有し、各発光素子はTFTと接続されてその発光及び非発光の状態を制御可能とした表示装置であって、以下のような特徴を有している。

【0016】

本発明は、一对の電極間に発光材料を介在させた発光素子と、導電性のナノ粒子が融合及び/又は融着して形成されたゲート電極と、ゲート電極と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁層と、半導体層とが基板側から積層された薄膜トランジスタとを有し、発光素子と薄膜トランジスタとが接続された画素が備えられていることを特徴としている。

30

【0017】

本発明は、一对の電極間に発光材料を介在させた発光素子と、導電性のナノ粒子が融合及び/又は融着して形成されたゲート電極と、ゲート電極と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁層と、半導体層と、ソース及びドレインに接続され導電性のナノ粒子が融合及び/又は融着して形成された配線と、該配線に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された薄膜トランジスタとを有し、発光素子と薄膜トランジスタとが接続された画素が備えられていることを特徴としている。

【0018】

本発明は、一对の電極間に発光材料を介在させた発光素子と、導電性のナノ粒子が融合及び/又は融着して形成されたゲート電極と、ゲート電極と接して形成され窒化珪素層若しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁層と、半導体層とが基板側から積層された第1の薄膜トランジスタと、第1の薄膜トランジスタと同じ層構造で形成された第2の薄膜トランジスタにより構成される駆動回路と、駆動回路から延在し、第1の薄膜トランジスタのゲート電極と接続する配線とを有し、発光素子と第1の薄膜トランジスタと接続された画素が備えられていることを特徴としている。

40

【0019】

本発明は、一对の電極間に発光材料を介在させた発光素子と、導電性のナノ粒子が融合及び/又は融着して形成されたゲート電極と、ゲート電極と接して形成され窒化珪素層若

50

しくは窒化酸化珪素層と、酸化珪素層を少なくとも含むゲート絶縁層と、半導体層と、ソース及びドレインに接続され導電性のナノ粒子が融合及び/又は融着して形成された配線と、該配線に接して形成された窒化珪素層若しくは窒化酸化珪素層とが基板側から積層された第1の薄膜トランジスタと、第1の薄膜トランジスタと同じ層構造で形成された第2の薄膜トランジスタにより構成される駆動回路と、駆動回路から延在し、第1の薄膜トランジスタのゲート電極と接続する配線とを有し、発光素子と前記第1の薄膜トランジスタと接続された画素が備えられていることを特徴としている。

【0020】

本発明は、ゲート電極又は配線を液滴吐出法で形成するものであり、導電性材料はAg若しくはAgを含む合金で形成することができる。また、そのゲート電極又は配線の上層には、窒化珪素膜若しくは窒化酸化珪素膜を接して設けることで酸化によるゲート電極の劣化を防止することができる。

10

【0021】

本発明は、TFTの主要部である半導体層を、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体で形成することも可能であり、それにより、nチャネル型のTFTのみで構成される駆動回路を設けることができる。すなわち、半導体層に水素とハロゲン元素を含み結晶構造を含む半導体であって、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度で動作可能なTFTにより駆動回路を同一基板上に実現することができる。

【発明の効果】

【0022】

本発明によれば、液滴吐出法により、配線やマスクのパターニングを直接行うことができるので、材料の利用効率を向上させて、かつ、作製工程を簡略化したTFT及びそれを用いた表示装置を得ることができる。

20

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下の説明において、各図面間で共通する同等部位においては、同じ符号を付けて示すこととし、重複する説明については省略する。また、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解されるものであり、以下に示す態様に限定して解釈されるものでない。

30

【0024】

図1は本発明に係るEL表示パネルの構成を示す上面図であり、絶縁表面を有する基板100上に画素102をマトリクス上に配列させた画素部101、走査線入力端子103、信号線入力端子104が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば画素数は $1024 \times 768 \times 3$ (RGB)、UXGAであれば画素数は $1600 \times 1200 \times 3$ (RGB)、フルスペックハイビジョンに対応させるのであれば画素数は $1920 \times 1080 \times 3$ (RGB)とすれば良い。

【0025】

画素102は、走査線入力端子103から延在する走査線と、信号線入力端子104から延在する信号線とが交差することで、マトリクス状に配設される。画素102のそれぞれには、信号線と駆動用トランジスタの接続状態を制御するトランジスタ(以下「スイッチング用トランジスタ」又は「スイッチング用TFT」ともいう。)と、発光素子へ流れる電流を制御するトランジスタ(以下「駆動用トランジスタ」又は「駆動用TFT」ともいう。)とが備えられ、駆動用トランジスタが発光素子と直列に接続されている。

40

【0026】

TFTは、主要な構成要素として、半導体層、ゲート絶縁層及びゲート電極を含んでいる。半導体層に形成されるソース及びドレイン領域に接続する配線がそれに付随する。構造的には基板側から半導体層、ゲート絶縁層及びゲート電極を配設したトップゲート型と、基板側からゲート電極、ゲート絶縁層及び半導体層を配設したボトムゲート型などが代表的に知られているが、本発明においてはそれらの構造のどのようなものを用いても良い

50

【0027】

半導体層を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体（以下「AS」ともいう。）、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。）半導体などを用いることができる。

【0028】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5～20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解（プラズマCVD）して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2～1000倍の範囲。圧力は概略0.1Pa～133Paの範囲、電源周波数は1MHz～120MHz、好ましくは13MHz～60MHz。基板加熱温度は300以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ / cm}^3$ 以下、好ましくは $1 \times 10^{19}\text{ / cm}^3$ 以下とする。

【0029】

図1は、走査線及び信号線へ入力する信号を、外部の駆動回路により制御するEL表示パネルの構成を示している。その他に、図2で示すようにCOG（Chip on Glass）によりドライバICを基板100上に実装しても良い。図2は走査線ドライバIC105と信号線ドライバIC106を基板100に実装する形態を示している。走査線ドライバIC105は、走査線入力端子103と画素部101との間に設けられている。

【0030】

また、画素に設けるTFTをSASで形成することができる。SASを使ったTFTは電界効果移動度が $1 \sim 15\text{ cm}^2\text{ / V} \cdot \text{sec}$ なので駆動回路を形成することができる。図3は、走査線駆動回路107を形成する例を示している。また、保護回路108が走査線駆動回路107と画素部101の間に設けることもできる。基板100に走査線駆動回路107をTFTで形成することにより、入力端子の数を減らすことができる。

【0031】

パターンの形成に用いる液滴吐出装置の一態様は図25に示されている。液滴吐出手段1401の個々のヘッド1403は制御手段1404に接続されている。制御手段1404はヘッド1403からの液滴の吐出を制御する。液滴を吐出するタイミングは、それがコンピュータ1407に入力されたプログラムに基づき制御される。液滴を吐出する位置は、例えば、基板100上に形成されたマーカー1408を基準に行えば良い。または、基板100の縁を基準にして基準点を確定させても良い。基準点はCCDなどの撮像手段1402で検出し、画像処理手段1406にてデジタル信号に変換したものをコンピュータ1407で認識して制御信号を発生させる。勿論、基板100上に形成されるべきパターンの情報は記憶媒体1405に格納されたものであり、この情報を基にして制御手段1404に制御信号を送り、液滴吐出手段1401の個々のヘッド1403を個別に制御することができる。

【0032】

次に、このような液滴吐出装置を用いたEL表示パネルの作製工程について、以下に説

明する。

【0033】

(第1の実施の形態)

第1の実施の形態として、チャンネル保護型のTF Tの作製方法及びそれを用いた表示装置について説明する。

【0034】

図4(A)は、基板100上にゲート電極と、ゲート電極と接続するゲート配線及び容量配線を液滴吐出法で形成する工程を示している。なお、図4(A)は縦断面構造を示し、A-B及びC-Dに対応する平面構造を図8に示す。

【0035】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。

【0036】

基板100上には、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タングステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地層201を形成することが好ましい。下地層201は0.01~10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。なお、この下地層201は、ゲート電極を密着性良く形成するために設けるものであり、十分な密着性が得られるのであれば、これを省略して基板100上にゲート電極を液滴吐出法により直接形成しても良い。

【0037】

下地層201上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線202、ゲート電極203、容量電極204、ゲート電極205を形成する。これらの層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。特に、ゲート配線は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させた組成物を用いることが好適である。より好適には、低抵抗な銀、銅を用いるとよい。ゲート電極は微細に形成する必要があるので、好ましくは、平均粒径が5~10nmの粒子を含むナノペーストを用いると良い。

【0038】

その他に、導電材料の周囲を他の導電材料で覆った粒子を含む組成物を吐出形成して、ゲート電極を形成してもよい。例えば、Cuの周りをAgで覆った粒子において、CuとAgの間にNi又はNiB(ニッケルボロン)からなるバッファ層を設けた導電性粒子を用いても良い。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶液の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0039】

液滴吐出法において用いるノズルの径は、0.02~100μm(好適には30μm以下)に設定し、該ノズルから吐出される組成物の吐出量は0.001p l~100p l(好適には10p l以下)に設定することが好ましい。液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、そのどちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所望の箇所に液滴を滴下するために、できる限り近づけておくことが好ましく、好適には0.

10

20

30

40

50

1 ~ 3 mm (好適には1 mm以下)程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎液性になったりすることを活用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【0040】

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。また、導電材料を含む組成物の焼成工程において、分圧比

10

【0041】

組成物の吐出後は、常圧下又は減圧下で、レーザー光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100 で3分間、焼成は200 ~ 350 で15分間 ~ 120分間で行う。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいても良い。そのときの温度は、基板等の材質に依存するが、100 ~ 800 (好ましくは200 ~ 350)とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

20

【0042】

レーザー光の照射は、連続発振またはパルス発振の気体レーザー又は固体レーザーを用いれば良い。前者の気体レーザーとしては、エキシマレーザー、YAGレーザー等が挙げられ、後者の固体レーザーとしては、Cr、Nd等がドーピングされたYAG、YVO4等の結晶を使ったレーザー等が挙げられる。なお、レーザー光の吸収率の関係から、連続発振のレーザーを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザー照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザー光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

30

【0043】

ナノペーストは、粒径が5 ~ 10 nmの導電粒子を有機溶剤に分散又は溶解させたものであるが、他にも分散剤や、バインダーと呼ばれる熱硬化性樹脂が含まれている。バインダーは、焼成時にクラックや不均一な焼きムラが発生するのを防止する働きを持つ。そして、乾燥又は焼成工程により、有機溶剤の蒸発、分散剤の分解除去及びバインダーによる硬化収縮が同時に進行することにより、ナノ粒子同士が融合及び/又は融着して硬化する

40

【0044】

また、焼成雰囲気下に酸素が含まれていない場合には、別途、酸素プラズマ処理等によって有機成分からなる膜を除去することができる。このように、ナノペーストを窒素及び

50

酸素を含む雰囲気下で焼成、又は乾燥後酸素プラズマで処理することによって、有機成分からなる膜は除去されるため、残存した金属連鎖体を含む導電膜の平滑化、薄膜化、低抵抗化を図ることができる。なお、導電材料を含む組成物を減圧下で吐出することにより組成物中の溶媒が揮発するため、後の加熱処理（乾燥又は焼成）時間を短縮することもできる。

【0045】

ゲート配線202、ゲート電極203、容量電極204、ゲート電極205を形成した後、表面が露出している下地層201の処理として、下記の2つの工程のうちどちらかの工程を行うことが望ましい。

【0046】

第一の方法としては、ゲート配線202、ゲート電極203、容量電極204、ゲート電極205と重ならない下地層201を絶縁化して、絶縁体層206を形成する工程である（図4（B）参照。）。つまり、ゲート配線202、ゲート電極203、容量電極204、ゲート電極205と重ならない下地層201を酸化して絶縁化する。このように、下地層201を酸化して絶縁化する場合には、当該下地層201を0.01～10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0047】

第二の方法としては、ゲート配線202、ゲート電極203、容量電極204、ゲート電極205をマスクとして、下地層201をエッチングして除去する工程である。この工程を用いる場合には下地層201の厚さに制約はない。

【0048】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層207を単層又は積層構造で形成する（図4（C）参照。）。特に好ましい形態としては、窒化珪素からなる第1絶縁体層208、酸化珪素からなる第2絶縁体層209、窒化珪素からなる第3絶縁体層210の三層の積層体をゲート絶縁層として構成させる。なお、低い成膜温度でゲートリーク電流が少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。ゲート配線202、ゲート電極203、容量電極204、ゲート電極205に接する第1絶縁体層208を窒化珪素若しくは窒化酸化珪素で形成することで、酸化による劣化を防止することができる。

【0049】

次に、半導体層211を形成する。半導体層211は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるAS、或いはSASで形成する。気相成長法としては、プラズマCVD法や熱CVD法を用いることができる。

【0050】

プラズマCVD法を用いる場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体、若しくはSi₂H₆とGeF₄のガス流量比をSi₂H₆対GeF₄を20～40対0.9で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は第3の絶縁層210との界面から結晶性を半導体層211に持たせることができるため好ましい。

【0051】

半導体層211上には、絶縁体層212をプラズマCVD法やスパッタリング法で形成する。この絶縁体層212は、後の工程で示すように、ゲート電極と相対して半導体層211上に残存させて、チャンネル保護層とする。外部から金属や有機物質などの不純物を防ぎ、絶縁体層212と半導体層211との界面を清浄に保つために絶縁体層212は緻密な膜で形成することが好ましい。この絶縁体層212は低温で形成することが望ましい。例えば、グロー放電分解法において、珪化物気体をアルゴンなどの希ガスで100倍～

10

20

30

40

50

500倍に希釈して形成された窒化珪素膜は、100以下の成膜温度でも緻密な膜を形成可能であり好ましい。

【0052】

ゲート絶縁層207から絶縁体層212までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各種層界面を形成することができるので、TFTの特性のばらつきを低減することができる。

【0053】

次に、絶縁体層212上であって、ゲート電極203及びゲート電極205と相対する位置に、組成物を選択的に吐出して、マスク213を形成する(図4(C)参照。)。マスク213は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、マスク213は、ベンゾシクロブテン、パリレン、フレア、透光性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよい。例えば、代表的には、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物を含むポジ型レジスト、ベース樹脂、ジフェニルシランジオール及び酸発生剤を含むネガ型レジストなどを用いてもよい。いずれの材料を用いても、その表面張力と粘度は、溶液による希釈や界面活性剤等を加えて適宜調整する。

【0054】

図4(C)において、マスク213を利用して絶縁体層212をエッチングし、チャネル保護層として機能する絶縁体層214を形成する(図5(A)参照。)。マスク213を除去して、半導体層211及び絶縁体層214上にn型半導体層215を形成する。n型半導体層215は、シランガスとフォスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。

【0055】

次に、n型半導体層215上に、マスク216を液滴吐出法で形成する。このマスク216を利用して、n型半導体層215及び半導体層211をエッチングして半導体層217とn型半導体層218を形成する(図5(B)参照。)。なお、図5(B)は縦断面構造を模式的に示し、A-B及びC-Dに対応する平面構造を図9に示す。

【0056】

次いで、エッチング加工によりゲート絶縁層207の一部に貫通孔219を形成して、その下層側に配置されているゲート電極205の一部を露出させる(図5(C)参照。)。エッチング加工は、上記と同じマスクを液滴吐出法で形成して行えば良い。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良い。大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスクを形成する必要はない。

【0057】

続いて、導電性材料を含む組成物を選択的に吐出して、ソース及びドレインに接続する配線220、221、222、223を液滴吐出法で形成する(図6(A)参照。)。図6(A)は縦断面構造を示し、A-B及びC-Dに対応する平面構造を図10に示す。図10で示すように、基板100の一端から延びる配線240を同時に形成する。これは配線220と電氣的に接続するように配設する。また、図6(A)で示すように、ゲート絶縁層207に形成した貫通孔219において、配線221とゲート電極205とを電氣的に接続させる。この配線を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(以下「ITO」ともいう。)、酸化珪素を含むインジウム錫酸化物(以下「ITSO」ともいう。)、有機

10

20

30

40

50

インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0058】

次に、配線220、221、222、223をマスクとして、絶縁体層214上のn型半導体層218をエッチングして、ソース及びドレイン領域を形成するn型半導体層224、225を形成する(図6(B)参照。)

【0059】

配線223と電氣的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する第1電極226を形成する(図6(C)参照。)。なお、図6(C)は縦断面構造を示し、A-B及びC-Dに対応する平面構造を図11に示す。以上までの工程により、スイッチング用TFT231、駆動用TFT232、容量部233が形成される。

10

【0060】

この第1電極226は、液滴吐出法を用いて形成する。第1電極226は、透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛、酸化スズなどを含む組成物を用いる。そして、所定のパターンを形成し、焼成によって画素電極を形成しても良い。

【0061】

第1電極226は、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛などで形成する。より好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに2~20%の酸化亜鉛を混合した導電性酸化物(以下「IZO」ともいう。)を用いても良い。

20

【0062】

酸化珪素を含む酸化インジウムスズで形成される第1電極226を、ゲート絶縁層207に含まれる窒化珪素からなる第3絶縁層210と密接して形成する。この構成により、第1電極226を通して基板100側に光を放射するとき、光の損失を低減することができる。

【0063】

また、光を基板100側とは反対側に放射させる構造とする場合には、第1電極226をAg(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

30

【0064】

さらに全面に窒化珪素若しくは窒化酸化珪素の保護層227と、絶縁体層228を形成する。絶縁体層228は、スピンコート法やディップ法など塗布法で形成可能な絶縁体であれば良い。保護層227と絶縁体層228は、第1電極226の端部を覆うように形成する。図6(C)に示す保護層227と絶縁体層228の構造は、エッチング加工によって形成可能であり、それにより第1電極226の表面が露出する。このエッチングは、絶縁体層228の下層にある保護層227やゲート絶縁層207を同時に行うことで、第1電極226と、ゲート配線202が露出するように加工する。

【0065】

絶縁体層228は、第1電極226に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。この絶縁体層228は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて絶縁体層228を形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄

40

50

膜が段切れせずに形成されるため好ましい。

【 0 0 6 6 】

以上の工程により、基板 1 0 0 上にボトムゲート型（逆スタガ型ともいう。）の T F T と第 1 電極が接続された E L 表示パネル用の T F T 基板 2 0 0 が完成する。

【 0 0 6 7 】

図 7 は T F T 基板 2 0 0 に、E L 層 2 2 9 を形成し、封止基板 2 3 6 を組み合わせた態様を示している。E L 層 2 2 9 を形成する前に、大気圧中で 1 0 0 以上の熱処理を行い絶縁体層 2 2 8 中若しくはその表面に吸着している水分を除去する。また、減圧下で 2 0 0 ~ 4 0 0 、好ましくは 2 5 0 ~ 3 5 0 に熱処理を行い、そのまま大気に晒さずに E L 層 2 2 9 を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

10

【 0 0 6 8 】

また、第 1 電極 2 2 6 の表面を酸素プラズマに晒したり、紫外線光を照射して、表面処理を加えても良い。第 2 電極 2 3 0 を E L 層 2 2 9 上に形成して発光素子 2 3 4 が形成される。この発光素子 2 3 4 は駆動用 T F T 2 3 2 と接続された構造となる。

【 0 0 6 9 】

続いて、シール材 2 3 5 を形成し、封止基板 2 3 6 を用いて封止する。その後、ゲート配線 2 0 2 にフレキシブル配線基板 2 3 7 を接続しても良い（図 7 参照。）。

【 0 0 7 0 】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないで T F T を作製し、発光素子を組み合わせた表示装置を製造することができる。本実施の形態では、光露光工程に係るレジスト塗布や露光、現像といった処理の一部又は全部を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1 辺が 1 0 0 0 m m を超える第 5 世代以降のガラス基板を用いても、容易に E L 表示パネルを製造することができる。

20

【 0 0 7 1 】

（第 2 の実施の形態）

第 2 の実施の形態として、チャンネルエッチ型の T F T の作製方法及びそれを用いた表示装置について説明する。

【 0 0 7 2 】

基板 1 0 0 上に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線 2 0 2、ゲート電極 2 0 3、容量電極 2 0 4、ゲート電極 2 0 5 を形成する。次に、プラズマ C V D 法やスパッタリング法を用いて、ゲート絶縁層 2 0 7 を単層又は積層構造で形成する。ゲート絶縁層 2 0 7 は第 1 の実施の形態と同様に、窒化珪素及び酸化珪素を用いて形成しても良い。さらに、活性層として機能する半導体層 2 1 1 を形成する。以上の工程は第 1 の実施の形態と同様である。

30

【 0 0 7 3 】

半導体層 2 1 1 上に、n 型半導体層 2 1 5 を形成する（図 1 2 (A) 参照。）。次に、n 型半導体層 2 1 5 上に、レジスト組成物を選択的に吐出してマスク 3 0 2 を形成する。続いて、マスク 3 0 2 を利用して、半導体層 2 1 1 と n 型半導体層 2 1 5 をエッチングする。

40

【 0 0 7 4 】

エッチングにより分離された半導体層の配置に合わせて導電性材料を含む組成物を吐出し、配線 2 2 0、2 2 1、2 2 2、2 2 3 を形成する。この配線をマスクとして、n 型半導体層をエッチングする。配線 2 2 0、2 2 1、2 2 2、2 2 3 と重なる部分に残存する n 型半導体層 2 2 4、2 2 5 は、それがソース又はドレインとして機能する領域を含む層となる。半導体層 3 0 3 はチャンネルを形成する領域を含み、n 型半導体層 2 2 4、2 2 5 と接して形成される。また、このエッチング加工の前に、第 1 の実施の形態と同様に、ゲート絶縁層 2 0 7 の一部に貫通孔 2 1 9 を形成して、その下層側に配置されているゲート電極 2 0 5 の一部を露出させる工程を行うことで、配線 2 2 1 とゲート電極 2 0 5 との接続構造を形成することができる（図 1 2 (B) 参照。）。

50

【 0 0 7 5 】

続いて、配線 2 2 3 と電氣的に接続するように、導電性材料を含む組成物を吐出して、第 1 電極 2 2 6 を形成する（図 1 2 (C) 参照。）。

【 0 0 7 6 】

その後、第 1 の実施に形態と同様に、保護層 2 2 7、絶縁体層 2 2 8、E L 層 2 2 9、第 2 電極 2 3 0 を形成し、さらに、シール材 2 3 5 を形成し、封止基板 2 3 6 を用いて封止する。その後、ゲート配線 2 0 2 にフレキシブル配線基板 2 3 7 を接続しても良い。以上によって、表示機能を有する E L 表示パネルを作製することができる（図 1 3 参照。）。

【 0 0 7 7 】

（第 3 の実施の形態）

第 1 の実施の形態、第 2 の実施の形態によって作製される E L 表示パネルにおいて、半導体層を S A S で形成することによって、図 3 で説明したように、走査線側の駆動回路を基板 1 0 0 上に形成することができる。

【 0 0 7 8 】

図 2 2 は、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度が得られる S A S を使った n チャネル型の T F T で構成する走査線駆動回路のブロック図を示している。

【 0 0 7 9 】

図 2 2 において、パルス出力回路 5 0 0 は、1 段分のサンプリングパルスを出力する回路であり、シフトレジスタを含んでいる。パルス出力回路 5 0 0 はバッファ回路 5 0 1 と接続し、その先に画素 5 0 2（図 3 の画素 1 0 2 に相当する。）が接続される。

【 0 0 8 0 】

図 2 3 は、パルス出力回路 5 0 0 の具体的な構成を示したものである。このパルス出力回路 5 0 0 は、n チャネル型 T F T 6 0 1 ~ 6 1 3 で回路が構成されている。パルス出力回路 5 0 0 は、S A S を使った n チャネル型 T F T の動作特性を考慮して、T F T のサイズを決定すれば良い。例えば、チャネル長を $8 \mu\text{m}$ とすると、チャネル幅は $10 \sim 80 \mu\text{m}$ の範囲で設定することができる。

【 0 0 8 1 】

また、バッファ回路 5 0 1 の具体的な構成を図 2 4 に示す。バッファ回路も同様に n チャネル型 T F T 6 2 0 ~ 6 3 5 で構成されている。このとき、S A S を使った n チャネル型 T F T の動作特性を考慮して、T F T のサイズを決定すれば良い。例えば、チャネル長を $10 \mu\text{m}$ とすると、チャネル幅は $10 \sim 1800 \mu\text{m}$ の範囲で設定することとなる。

【 0 0 8 2 】

このような回路を実現するには、T F T 相互を配線によって接続する必要があり、その場合における配線の構成例を図 1 4 に示す。図 1 4 では、第 1 の実施の形態と同様に、ゲート電極 2 0 3、ゲート絶縁層 2 0 7（窒化珪素からなる第 1 絶縁体層 2 0 8、酸化珪素からなる第 2 絶縁体層 2 0 9、窒化珪素からなる第 3 絶縁体層 2 1 0 の 3 層の積層体）、S A S で形成される半導体層 2 1 7、チャネル保護層を形成する絶縁体層 2 1 4、ソース及びドレインを形成する n 型半導体層 2 2 4、2 2 5、配線 2 2 0、2 2 1 が形成された状態を示している。この場合、基板 1 0 0 上には、ゲート電極 2 0 3 と同じ工程で接続配線 2 5 0、2 5 1、2 5 2 を形成しておく。そして、接続配線 2 5 0、2 5 1、2 5 2 が露出するようにゲート絶縁層の一部をエッチング加工して、配線 2 2 0、2 2 1 及びそれと同じ工程で形成する接続配線 2 5 3 により適宜 T F T を接続することにより様々な回路を実現することができる。

【 0 0 8 3 】

（第 4 の実施の形態）

第 4 の実施の形態として、液滴吐出法により作製されるトップゲート型の T F T について、図 2 6 と図 3 1 を参照して説明する。

【 0 0 8 4 】

基板 1 0 0 上に液滴吐出法により、配線 2 7 1、2 7 2、2 7 3、2 7 4、2 7 5 を形

10

20

30

40

50

成する。これらの層を形成する導電性材料としては、A g (銀)、A u (金)、C u (銅)、W (タングステン)、A l (アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。特に、ソース及びドレインに接続する配線は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶液の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また、第1の実施の形態と同様に下地層を形成しても良い。

【0085】

ソース及びドレインに接続する配線272、273、274、275上にn型半導体層を全面に形成した後、配線272と273の間、及び配線274と275の間にあるn型の半導体層をエッチングして除去する。そして、AS若しくはSASを気相成長法若しくはスパッタリング法で形成する。プラズマCVD法を用いる場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体で形成する。その後、AS若しくはSASとn型半導体層をエッチングする。それにより、半導体層278、n型半導体層276、277が形成される。SASを形成する場合には、半導体層の表面側の方が結晶性が良好であり、ゲート電極279、280を半導体層278の上層に形成するトップゲート型のTFTとの組み合わせは適している。

【0086】

半導体層278は、液滴吐出法により形成したマスクを使って、配線272、273、274、275に対応する位置に形成する。すなわち、配線272と273(若しくは274と275)とを跨るように半導体層278を形成する。この時、半導体層278と、配線272、273、274、275との間にはn型半導体層276～277が介在する形となる。

【0087】

次いで、次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層207を単層又は積層構造で形成する。ゲート絶縁層207は第1の実施の形態と同様に、窒化珪素及び酸化珪素を用いて形成しても良い。さらに、活性層として機能する半導体層211を形成する。以上の工程は第1の実施の形態と同様である。

【0088】

ゲート絶縁層207に貫通孔を形成し、配線273、275の一部を露出させた後、ゲート電極279、280を液滴吐出法で形成する。この層を形成する導電性材料としては、A g (銀)、A u (金)、C u (銅)、W (タングステン)、A l (アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

【0089】

配線275と電氣的に接続するように、導電性材料を含む組成物を選択的に吐出して第1電極226を形成する。第1電極226は表示装置の画素電極とすることができる。以上までの工程により、スイッチング用TFT291、駆動用TFT292、容量部293が形成されたTFT基板を得ることができる。

【0090】

この第1電極226は、液滴吐出法を用いて形成することができる。第1電極226は、透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛、酸化スズなどを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。

【0091】

また、好ましくは、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛などで形成する。より好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で酸化珪

10

20

30

40

50

素を含む酸化インジウムスズを用いても良い。

【0092】

本実施の形態の好ましい構成として、酸化珪素を含む酸化インジウムスズで形成される第1電極226は、ゲート絶縁層207に含まれる窒化珪素からなる第3絶縁層210と密接して形成され、それによりEL層で発光した光が外部に放射される割合を高めることができるという効果を発現させることができる。

【0093】

さらに全面に絶縁体層228を形成する。絶縁体層228は、スピンコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図26に示すように開孔を形成する。このエッチングは、絶縁体層228の下層にある保護層227やゲート絶縁層207を同時に行うことで、第1電極226と、配線271が露出するように加工する。また、液滴吐出法により絶縁体層228を形成すれば、エッチング加工は必ずしも必要ない。

【0094】

絶縁体層228は、第1電極226に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。この絶縁体層228は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて絶縁体層228を形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

【0095】

以上の工程により、基板100上にトップゲート型(順スタガ型ともいう。)のTFTと第1電極が接続されたEL表示パネル用のTFT基板が完成する。

【0096】

その後、EL層229を形成し、封止基板236を組み合わせる。EL層229を形成する前に、大気圧中で200の熱処理を行い絶縁体層228中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400、好ましくは250~350に熱処理を行い、そのまま大気に晒さずにEL層229を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0097】

さらに、第2電極230をEL層上に形成して発光素子234が形成される。この発光素子234は駆動用TFT292と接続された構造となる。

【0098】

続いて、シール材235を形成し、封止基板236を固定する。その後、配線271にフレキシブル配線基板237を接続しても良い。

【0099】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易に表示装置を製造することができる。

【0100】

(第5の実施の形態)

第1の実施の形態乃至第4の実施の形態において適用可能な発光素子の形態を、図17と図18参照して説明する。

【0101】

10

20

30

40

50

図17(A)は第1電極801を透光性の酸化物導電性物質で形成した例である。酸化物導電性物質は、酸化インジウムスズに酸化珪素を1~15原子%の濃度で含ませたものであることが好ましい。その上に正孔注入層若しくは正孔輸送層804、発光層805、電子輸送層若しくは電子注入層806を積層したEL層802を設けている。第2電極803は、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む第1電極層807とアルミニウムなどの金属材料で形成する第2電極層808で形成している。この構造の画素は、図中に矢印で示したように第1電極801側から光を放射することが可能となる。

【0102】

図17(B)は第2電極803から光を放射する例を示し、第1電極801はアルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む導電性物質で形成する第1電極層809と、酸化珪素を1~15原子%の濃度で含む酸化物導電性物質で形成する第2電極層810で形成している。その上に正孔注入層若しくは正孔輸送層804、発光層805、電子輸送層若しくは電子注入層806を積層したEL層802を設けている。第2電極803は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第1電極層807とアルミニウムなどの金属材料で形成する第2電極層808で形成するが、いずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第2電極803から光を放射することが可能となる。

【0103】

図18(A)は第1電極801から光を放射する例を示し、かつ、EL層を電子輸送層若しくは電子注入層806、発光層805、正孔注入層若しくは正孔輸送層804の順に積層した構成を示している。第2電極803は、EL層802側から酸化珪素を1~15原子%の濃度で含む酸化物導電性物質で形成する第2電極層810、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属で形成する第1電極層809で形成している。第1電極801は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第1電極層807とアルミニウムなどの金属材料で形成する第2電極層808で形成するが、いずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、第1電極801から光を放射することが可能となる。

【0104】

図18(B)は第2電極803から光を放射する例を示し、かつ、EL層を電子輸送層若しくは電子注入層806、発光層805、正孔注入層若しくは正孔輸送層804の順に積層した構成を示している。第1電極801は図18(A)と同様な構成とし、膜厚はEL層で発光した光を反射可能な程度に厚く形成している。第2電極803は、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で構成している。この構造において、正孔注入層若しくは正孔輸送層804を無機物質である金属酸化物(代表的には酸化モリブデン若しくは酸化バナジウム)で形成することにより、第2電極803を形成する際に導入される酸素が供給されて正孔注入性が向上し、駆動電圧を低下させることができる。

【0105】

(第6の実施の形態)

次に、第1の実施の形態、第2の実施の形態、第3の実施の形態によって作製されるEL表示パネルに駆動用のドライバ回路を実装する態様について、図19と図20を参照して説明する。

【0106】

まず、COG方式を採用した表示装置について、図19を用いて説明する。図19(A)と(B)は基板1001上には、文字や画像などの情報を表示する画素部1002、走査線駆動回路1003、1004が設けられた表示装置を示している。

【0107】

図19(A)は、複数の駆動回路が形成された大型基板1005を分断して個々の駆動回路(以下ドライバICと表記)取り出して、それを実装している。大型基板1005は表示装置に用いるガラス基板と同じで良い。例えば、一辺が300mmから1000mm

10

20

30

40

50

以上の矩形の基板にドライバICを複数個形成して、それを分断してドライバIC1007とすることができる。ドライバIC1007は、画素部の一辺の長さや画素ピッチを考慮して、長辺が15～80mm、短辺が1～6mmの矩形に形成して分断する。その大型基板1005に結晶性半導体膜を用いたTFTでドライバICを形成することで、部品コストを低減することができる。

【0108】

図19(A)は複数のドライバIC1007を基板1001に実装する形態を示している。ドライバIC1007の先にフレキシブル配線1006が接続されて外部回路から信号が入力する構成となっている。図19(B)は、大型基板1008から切り出した長尺のドライバIC1010を基板1001に実装した構成を示している。該ドライバIC1010の先にフレキシブル配線1009を実装する形態を示す。このように長尺のドライバICを用いることで、部品点数を削減し、工程数を減らすことができる。

10

【0109】

次に、TAB方式を採用した表示装置について、図20を用いて説明する。基板1001上には、画素部1002、走査線駆動回路1003、1004が設けられる。図20(A)は基板1001に複数のフレキシブル配線1006を貼り付けている。フレキシブル配線1006には、ドライバIC1007を実装している。図20(B)は基板1001上にフレキシブル配線1009を貼り付けて、該フレキシブル配線1009にドライバIC1010を実装する形態を示す。後者を採用する場合には、強度の問題からドライバIC1010を固定する金属片等を一緒に貼り付けても良い。このように長尺のドライバICを用いることで、部品点数を削減し、工程数を減らすことができる。

20

【0110】

図19及び図20の様に、ドライバICをガラス基板に形成することで、特に長辺の長さに対する制約が緩和され、画素部1002に対応して実装するのに必要な数が少なく済む。すなわち、単結晶シリコンで形成したドライバICでは、機械的な強度や基板の制約から長尺のドライバICを製造することが出来ない。ガラス基板上にドライバICを形成すると、ドライバICは母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0111】

図19及び図20で示すドライバIC1007は、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域1002の端部で数ブロック毎に区分して引出線を形成し、ドライバIC1007の出力端子のピッチに合わせて集められる。

30

【0112】

ドライバICは、基板上に形成された結晶質半導体により形成することが好適であり、該結晶質半導体は連続発光のレーザー光を照射することで形成されることが好適である。従って、当該レーザー光を発生させる発振器としては、連続発光の固体レーザー又は気体レーザーを用いる。連続発光のレーザーを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャンネル長方向とレーザー光の走査方向と一致させるとよい。これは、連続発光レーザーによるレーザー結晶化工程では、トランジスタのチャンネル長方向とレーザー光の基板に対する走査方向とが概ね並行(好ましくは-30度～30度)であるときに、最も高い移動度が得られるためである。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャンネル方向に延在する多結晶半導体層によって構成される活性層を有し、このことは結晶粒界が概ねチャンネル方向に沿って形成されていること

40

50

を意味する。

【0113】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバICの短辺の同じ幅の1～3mm程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。線状とは、アスペクト比が2以上（好ましくは10～10000）のものを指す。このように、レーザ光のビームスポットの幅をドライバICの短辺と同じ長さとする事で、生産性を向上させることができる。

10

【0114】

図19、図20では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバICを実装した形態を示している。しかしながら、本実施の形態はこの形態に限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするがよい。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはマイクロルールで設定することが好適である。

20

【0115】

画素領域部1002は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本実施の形態は、画素領域部1002に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体でチャンネルを形成する構成のTFTを用いることができる。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で300以下の温度で形成することが可能であり、例えば、外寸550×650mmの無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャンネル形成領域を構成することにより1～15cm²/V・secの電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。

30

【0116】

以上のようにして、EL表示パネルに駆動回路を組み入れることができる。本実施の形態によれば、一辺が1000mmを超える第5世代以降のガラス基板を用いても、容易に表示装置を製造することができる。

【0117】

(第7の実施の形態)

第1の実施の形態～第6の実施の形態で示す表示装置に適用することのできる画素の構成について、図21に示す等価回路図を参照して説明する。

40

【0118】

図21(A)に示す画素は、列方向に信号線410及び電源線411～413、行方向に走査線414が配置される。また、スイッチング用TFT401、駆動用TFT403、電流制御用TFT404、容量素子402及び発光素子405を有する。

【0119】

図21(C)に示す画素は、駆動用TFT403のゲート電極が、行方向に配置された電源線416に接続される点が異なっており、それ以外は図21(A)に示す画素と同じ

50

構成である。図21(A)と図21(C)で示す画素の差異は、行方向に電源線412が配置される場合(図21(A))と、列方向に電源線412が配置される場合(図21(C))で、電源線が異なる導電体層で形成されることにある。ここでは、駆動用TFT403のゲート電極が接続される配線に注目し、これらを作製する層が異なることを表すために、図21(A)と図21(C)に分けて示している。

【0120】

図21(A)と図21(C)に示す画素は、画素内に駆動用TFT403と電流制御用TFT404が直列に接続されており、駆動用TFT403のチャンネル長 L_3 とチャンネル幅 W_3 、電流制御用TFT404のチャンネル長 L_4 とチャンネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定することが好ましい。6000 : 1を満たす場合の一例としては、 L_3 が500 μm 、 W_3 が3 μm 、 L_4 が3 μm 、 W_4 が100 μm の場合がある。

10

【0121】

駆動用TFT403は、飽和領域で動作し発光素子405に流れる電流値を制御する。電流制御用TFT404は線形領域で動作し発光素子405に対する電流の供給を制御する。これらのTFTは同じ導電性を有していると作製工程上好ましい。また駆動用TFT403は、エンハンスメント型だけでなくディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、電流制御用TFT404が線形領域で動作するために、電流制御用TFT404のVGSの僅かな変動は発光素子405の電流値に影響を及ぼさない。つまり、発光素子405の電流値は、飽和領域で動作する駆動用TFT403により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

20

【0122】

図21(A)と図21(C)には、容量素子402を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子402を設けなくてもよい。

【0123】

発光素子405は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間(陽極と陰極の間)に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

30

【0124】

図21(B)に示す画素は、TFT406と走査線415を追加している以外は、図21(A)に示す画素構成と同じである。同様に、図21(D)に示す画素は、TFT406と走査線417を追加している以外は、図21(C)に示す画素構成と同じである。TFT406は、新たに配置された走査線415によりオン又はオフが制御される。TFT406がオンになると、容量素子402に保持された電荷は放電し、TFT406がオフする。つまり、TFT406の配置により、強制的に発光素子405に電流が流れない状態を作ることができる。

40

【0125】

従って、図21(B)と図21(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【0126】

図21(A)~(D)に示す画素において、TFT401は、画素に対するビデオ信号の入力を制御するものであり、スイッチング用TFT401がオンして、画素内にビデオ信号が入力されると、容量素子402にそのビデオ信号が保持される。図21(A)~(D)に示す画素のように、発光素子405に直列に接続するTFTを複数設け、その内の一つを飽和領域で動作させることにより、発光素子405の輝度のばらつきを抑制した表

50

示を行うことができる。

【 0 1 2 7 】

図 2 1 (E) に示す画素は、列方向に信号線 4 1 0、電源線 4 1 1、4 1 2、行方向に走査線 4 1 4 が配置される。また、スイッチング用 T F T 4 0 1、駆動用 T F T 4 0 3、容量素子 4 0 2 及び発光素子 4 0 5 を有する。図 2 1 (F) に示す画素は、T F T 4 0 6 と走査線 4 1 5 を追加している以外は、図 2 1 (E) に示す画素構成と同じである。なお、図 2 1 (F) の構成も、T F T 4 0 6 の配置により、時間階調で表示を行うときに、非発光期間に対する発光期間の割合を増加させることができる。

【 0 1 2 8 】

(第 8 の実施の形態)

第 1 の実施の形態、第 2 の実施の形態で示す表示装置において、走査線入力端子部と信号線入力端子部とに保護ダイオードを設けた一態様について図 1 5 を参照して説明する。図 1 5 は、画素 1 0 2 にはスイッチング用 T F T 2 3 1、駆動用 T F T 2 3 2 が設けられている。

【 0 1 2 9 】

信号線入力端子部には、保護ダイオード 5 6 1、5 6 2 が設けられている。この保護ダイオードは、スイッチング用 T F T 2 3 1 又は駆動用 T F T 2 3 2 と同様な工程で作製されている。保護ダイオード 5 6 1、5 6 2 は T F T のゲートとドレイン若しくはソースの一方とを接続することによりダイオードとして動作させている。なお、図 1 5 で示す上面図の等価回路を図 1 6 に示している。

【 0 1 3 0 】

保護ダイオード 5 6 1 は、ゲート電極 5 5 0、半導体層 5 5 1、チャネル保護用の絶縁層 5 5 2、配線 5 5 3 から成っている。保護ダイオード 5 6 2 も同様な構造である。この保護ダイオードと接続する共通電位線 5 5 4、5 5 5 はゲート電極と同じ層で形成している。従って、配線 5 5 3 と電氣的に接続するには、ゲート絶縁層にコンタクトホールを形成する必要がある。

【 0 1 3 1 】

ゲート絶縁層へのコンタクトホールは、液滴吐出法によりマスクを形成し、エッチング加工すれば良い。この場合、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスクを形成する必要はない。

【 0 1 3 2 】

信号配線 2 3 8 はスイッチング用 T F T 2 3 1 における配線 2 2 0 と同じ層で形成され、それに接続している信号配線 2 3 8 とソース又はドレイン側が接続する構造となっている。

【 0 1 3 3 】

走査信号線側の入力端子部における保護ダイオード 5 6 3、5 6 4 も同様な構成である。このように、本発明によれば、入力段に設けられる保護ダイオードを同時に形成することができる。なお、保護ダイオードを挿入する位置は、本実施の形態のみに限定されず、図 3 で説明したように、駆動回路と画素との間に設けることもできる。

【 0 1 3 4 】

(第 9 の実施の形態)

図 2 7 及び図 2 8 は、液滴吐出法により作製される T F T 基板 2 0 0 を用いて E L 表示モジュールを構成する一例を示している。図 2 7 及び図 2 8 において、T F T 基板 2 0 0 には、画素 1 0 2 により構成される画素部 1 0 1 が形成されている。

【 0 1 3 5 】

図 2 7 では、画素部 1 0 1 の外側であって、駆動回路 7 0 3 と画素 1 0 2 との間に、画素に形成されたものと同様な T F T 又はその T F T のゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部 7 0 1 が備えられている。駆動回路 7 0 3 は、単結晶半導体で形成されたドライバ I C、ガラス基板上に多結晶半導体膜で形成されたスティックドライバ I C、若しくは S A S で形成された駆動回路などが適

10

20

30

40

50

用されている。

【0136】

TFT基板200は、液滴吐出法で形成されたスペーサ708を介して封止基板236と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2枚の基板の間隔を一定に保つために設けておくことが好ましい。発光素子234上であって、TFT基板200と封止基板236との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

【0137】

図27では発光素子をトップエミッション型の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素102aを赤色、画素102bを緑色、画素102cを青色として発光色を異ならせることで、多色表示を行うことができる。また、このとき封止基板236側に各色に対応した着色層709a、着色層709b、着色層709cを形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素102a、102b、102cを白色発光素子として着色層709a、709b、709cと組み合わせても良い。

10

【0138】

外部回路705は、TFT基板200の一端に設けられた走査線若しくは信号線接続端子と、配線基板704で接続される。また、TFT基板200に接して若しくは近接させて、ヒートパイプ706と放熱板707を設け、放熱効果を高める構成としても良い。

20

【0139】

なお、図27では、トップエミッションのELモジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造としても良い。

【0140】

図28は、TFT基板200において、画素部が形成された側にシール材235や接着性の樹脂702を用いて樹脂フィルム709を貼り付けて封止構造を形成した一例を示している。樹脂フィルム709の表面には水蒸気の透過を防止するガスバリア膜を設けておくことが良い。図28では、発光素子の光が基板を通して放射されるボトムエミッションの構成を示しているが、樹脂フィルム708や接着性の樹脂702を透光性とすることにより、トップエミッション構造とすることもできる。いずれにしても、フィルム封止構造とすることで、さらなる表示装置の薄型化及び軽量化を図ることができる。

30

【0141】

(第10の実施の形態)

第9の実施の形態により作製されるEL表示モジュールによって、ELテレビ受像機を完成させることができる。図29はELテレビ受像機の主要な構成を示すブロック図を示している。EL表示パネルには、図1で示すような構成として画素部901が形成されて走査線駆動回路903と信号線駆動回路902とがTAB方式により実装される場合と、図2に示すような構成として画素部101とその周辺に走査線駆動回路903と信号線駆動回路902とがCOG方式により実装される場合と、図3に示すようにSASでTFTを形成し、画素部101と走査線駆動回路903を基板上に一体形成し信号線駆動回路902を別途ドライバICとして実装する場合などがあるが、どのような形態としても良い。

40

【0142】

その他の外部回路の構成として、映像信号の入力側では、チューナ904で受信した信号のうち、映像信号を増幅する映像信号増幅回路905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路906と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路907などからなっている。コントロール回路907は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路908を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

50

【 0 1 4 3 】

チューナ 9 0 4 で受信した信号のうち、音声信号は、音声信号増幅回路 9 0 9 に送られ、その出力は音声信号処理回路 9 1 0 を経てスピーカ 9 1 3 に供給される。制御回路 9 1 1 は受信局（受信周波数）や音量の制御情報を入力部 9 1 2 から受け、チューナ 9 0 4 や音声信号処理回路 9 1 0 に信号を送出する。

【 0 1 4 4 】

このような外部回路を組みこんで、図 2 7、図 2 8 で説明したような E L モジュールを、図 3 0 に示すように、筐体 9 2 0 に組みこんで、テレビ受像機を完成させることができる。E L 表示モジュールにより表示画面 9 2 1 が形成され、その他付属設備としてスピーカ 9 2 2、操作スイッチ 9 2 4 などが備えられている。このように、本発明によりテレビ受像機を完成させることができる。

10

【 0 1 4 5 】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【 図面の簡単な説明 】

【 0 1 4 6 】

【 図 1 】 本発明の E L 表示パネルの構成を説明する上面図である。

【 図 2 】 本発明の E L 表示パネルの構成を説明する上面図である。

【 図 3 】 本発明の E L 表示パネルの構成を説明する上面図である。

20

【 図 4 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 5 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 6 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 7 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 8 】 本発明の E L 表示パネルの作製工程を説明する上面図である。

【 図 9 】 本発明の E L 表示パネルの作製工程を説明する上面図である。

【 図 1 0 】 本発明の E L 表示パネルの作製工程を説明する上面図である。

【 図 1 1 】 本発明の E L 表示パネルの作製工程を説明する上面図である。

【 図 1 2 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 1 3 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

30

【 図 1 4 】 本発明の E L 表示パネルの作製工程を説明する断面図である。

【 図 1 5 】 本発明の液層表示パネルを説明する上面図である。

【 図 1 6 】 図 1 5 で説明する液晶表示パネルの等価回路図である。

【 図 1 7 】 本発明において適用可能な発光素子の形態を説明する図である。

【 図 1 8 】 本発明において適用可能な発光素子の形態を説明する図である。

【 図 1 9 】 本発明の E L 表示パネルの駆動回路の実装方法を説明する図である。

【 図 2 0 】 本発明の E L 表示パネルの駆動回路の実装方法を説明する図である。

【 図 2 1 】 本発明の E L 表示パネルに適用できる画素の構成を説明する回路図である。

【 図 2 2 】 本発明の液層表示パネルにおいて走査線駆動回路を T F T で形成する場合の回路構成を説明する図である。

40

【 図 2 3 】 本発明の液層表示パネルにおいて走査線駆動回路を T F T で形成する場合の回路構成を説明する図である（シフトレジスタ回路）。

【 図 2 4 】 本発明の液層表示パネルにおいて走査線駆動回路を T F T で形成する場合の回路構成を説明する図である（バッファ回路）。

【 図 2 5 】 本発明に適用することのできる液滴吐出装置の構成を説明する図である。

【 図 2 6 】 本発明の E L 表示パネルを説明する断面図である。

【 図 2 7 】 本発明の E L 表示モジュールの構成例を説明する断面図である。

【 図 2 8 】 本発明の E L 表示モジュールの構成例を説明する断面図である。

【 図 2 9 】 本発明の E L テレビ受像機の主要な構成を示すブロック図である。

【 図 3 0 】 本発明により完成する E L テレビ受像機の構成を説明する図である。

50

【図31】本発明のEL表示パネルを説明する上面図である。

【符号の説明】

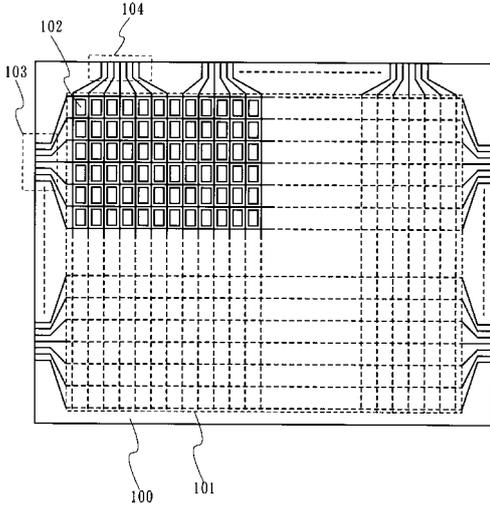
【0147】

100：基板、 101：画素部、 102：画素、 102a：画素、 102b：画素、 103c：画素、 103：走査線入力端子、 104：信号線入力端子、 105：走査線ドライバIC、 106：信号線ドライバIC、 107：走査線駆動回路、 108：保護回路、 200：TFT基板、 201：下地層、 202：ゲート配線、 203：ゲート電極、 204：容量電極、 205：ゲート電極、 206：絶縁体層、 207：ゲート絶縁層、 208：第1絶縁体層、 209：第2絶縁体層、 210：第3絶縁体層、 211：半導体層、 212：絶縁体層、 213、216：マスク、 214：絶縁体層、 215：n型半導体層、 217：半導体層、 218：n型半導体層、 219：貫通孔、 220：配線、 221：配線、 222：配線、 223：配線、 224：n型半導体層、 225：n型半導体層、 226：第1電極、 227：保護層、 228：絶縁体層、 230：第2電極、 231：スイッチング用TFT、 232：駆動用TFT、 233：容量部、 234：発光素子、 235：シール材、 236：封止基板、 237：フレキシブル配線基板、 238：信号配線、 250～253：接続配線、 271～275：配線、 276、277：n型半導体層、 278：半導体層、 279、280：ゲート電極、 291：スイッチング用TFT、 292：駆動用TFT、 293：容量部、 302：マスク、 303：半導体層、 401：スイッチング用TFT、 402：容量素子、 403：駆動用TFT、 404：電流制御用TFT、 405：発光素子、 406：TFT、 410：信号線、 411～413：電源線、 414、415：走査線、 416：電源線、 417：走査線、 500：パルス出力回路、 501：バッファ回路、 502：画素、 503：第2電極、 504：正孔輸送層、 505：発光層、 506：電子注入層、 507：第1電極、 508：第2電極、 509：第1電極、 510：第2電極、 550：ゲート電極、 551：半導体層、 552：絶縁層、 553配線、 554：共通電位線、 555：共通電位線、 561～564：保護ダイオード

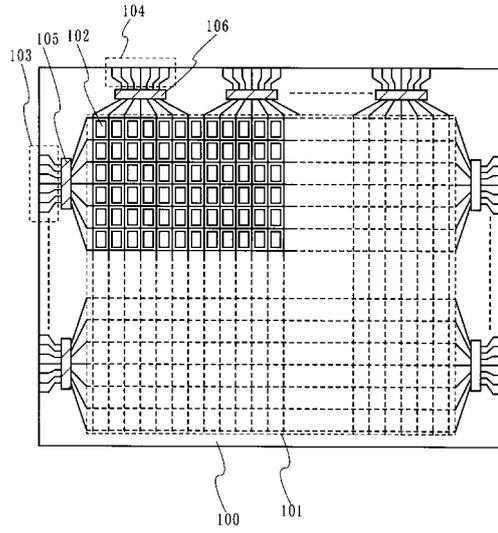
10

20

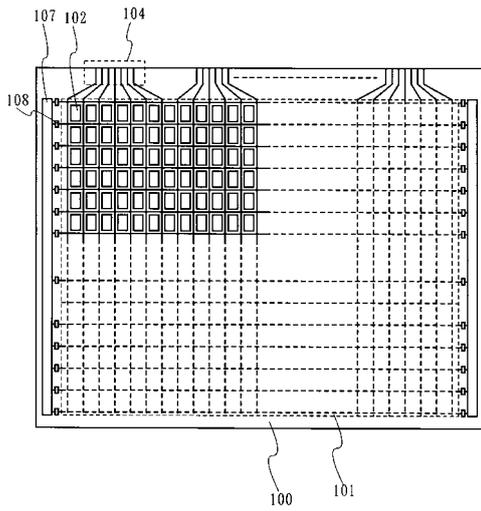
【図1】



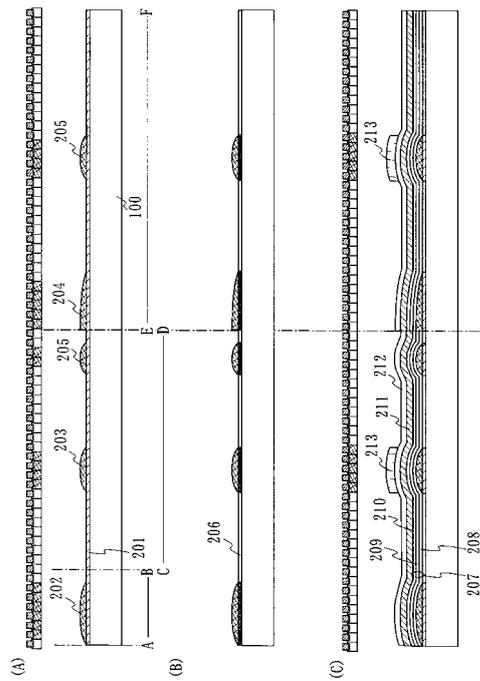
【図2】



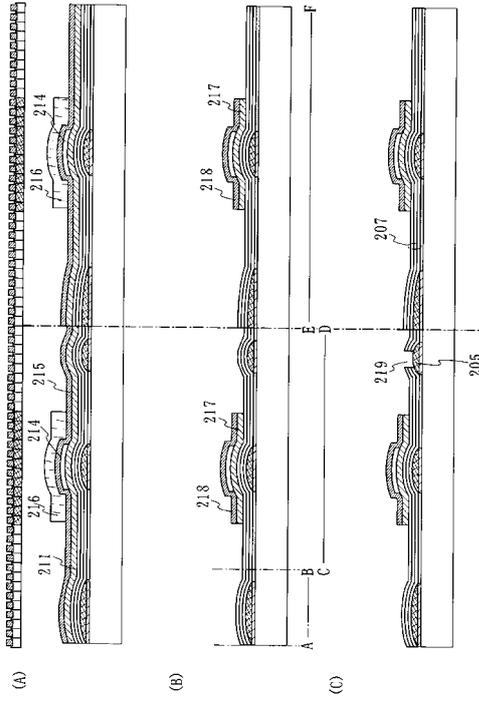
【図3】



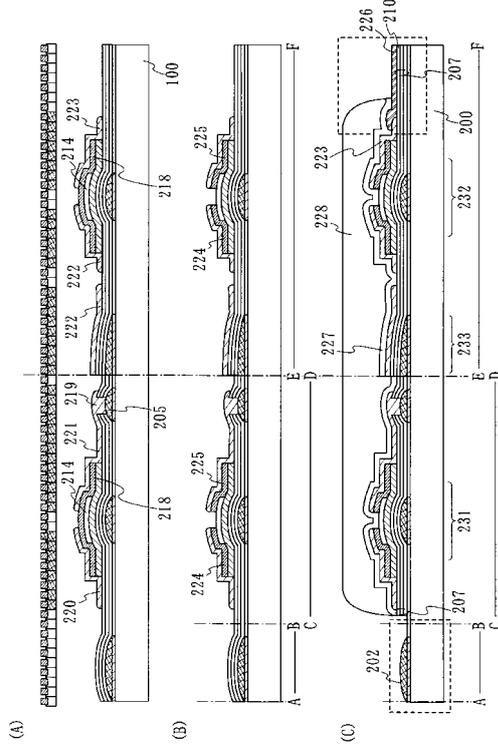
【図4】



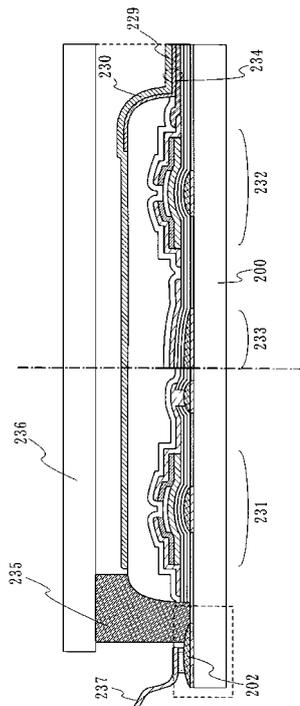
【 図 5 】



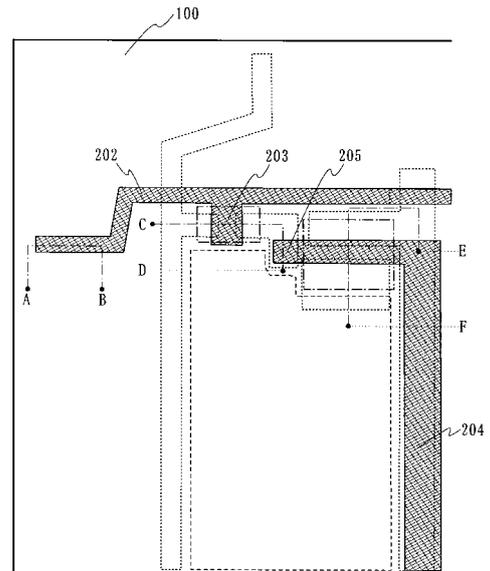
【 図 6 】



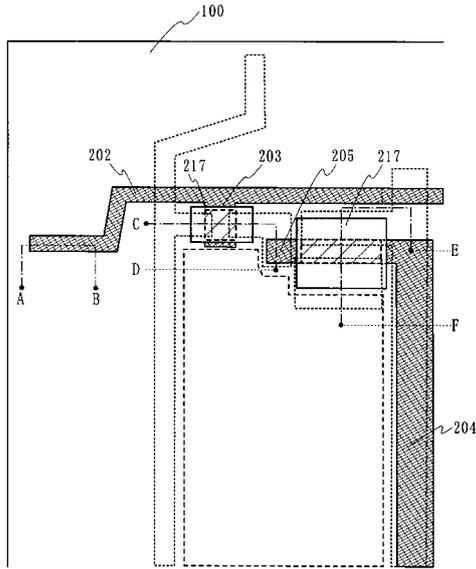
【 図 7 】



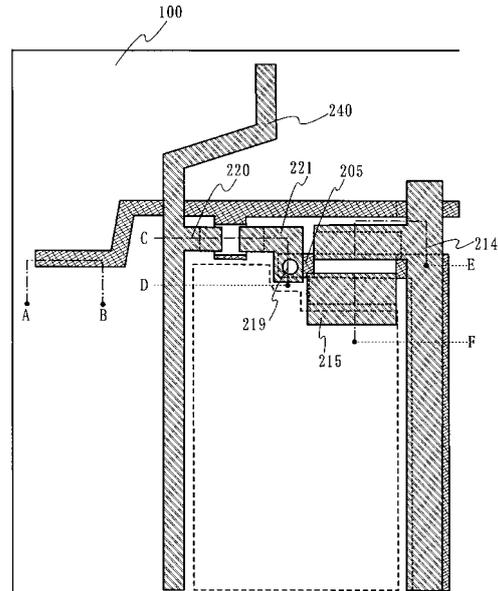
【 図 8 】



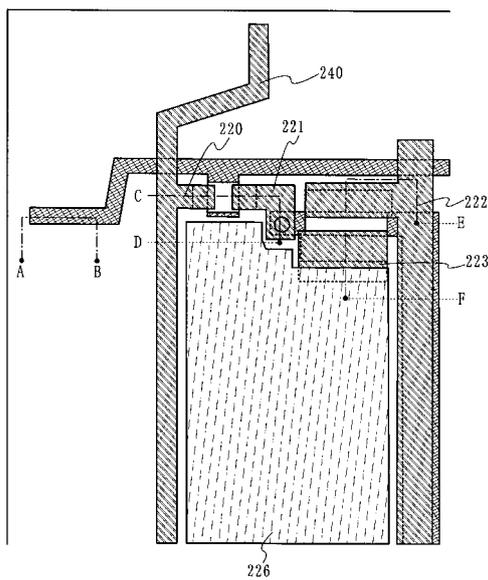
【 図 9 】



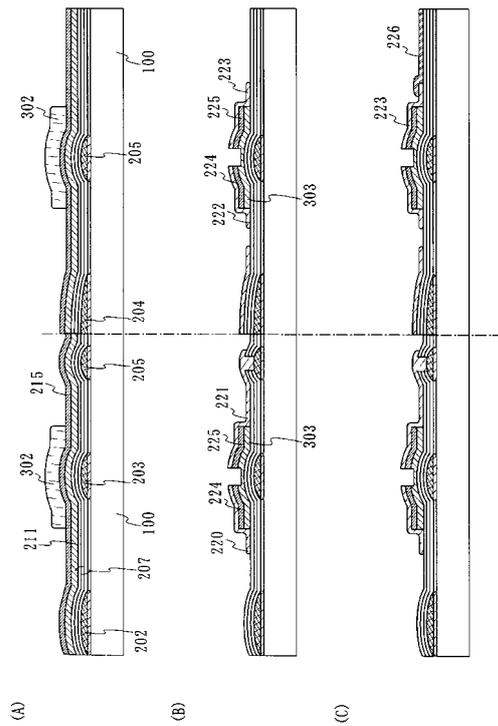
【 図 10 】



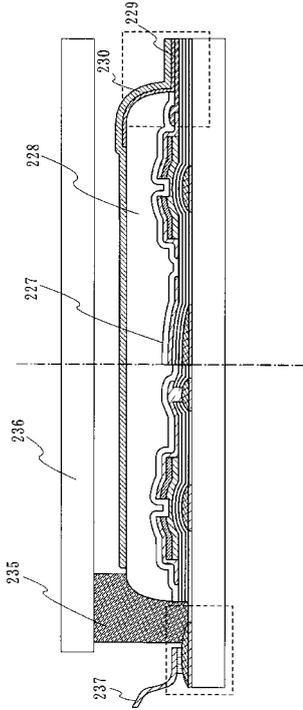
【 図 11 】



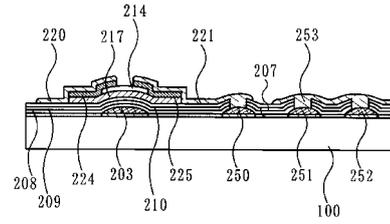
【 図 12 】



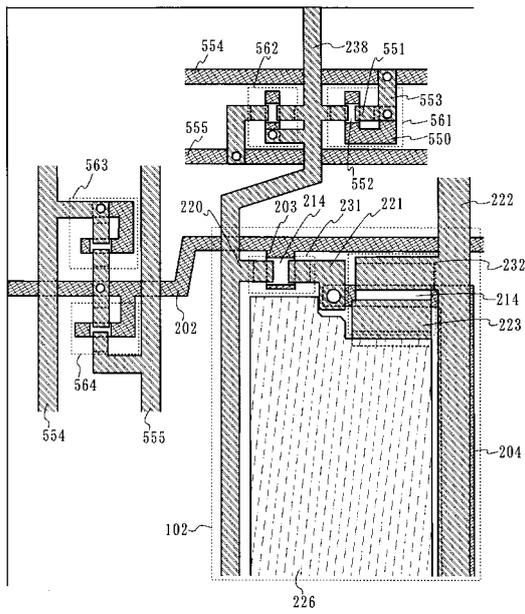
【 図 13 】



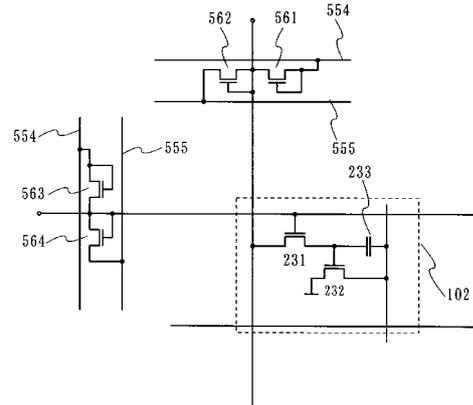
【 図 14 】



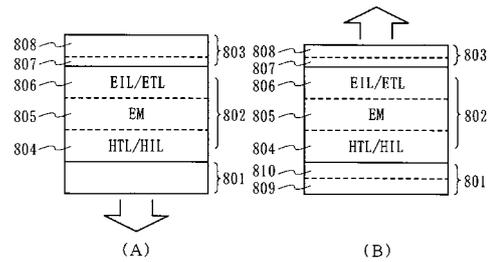
【 図 15 】



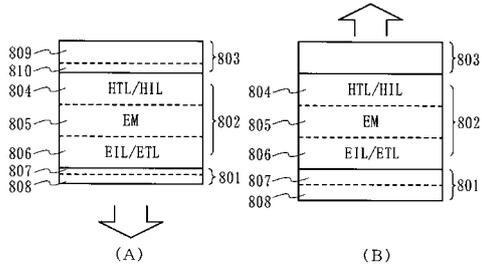
【 図 16 】



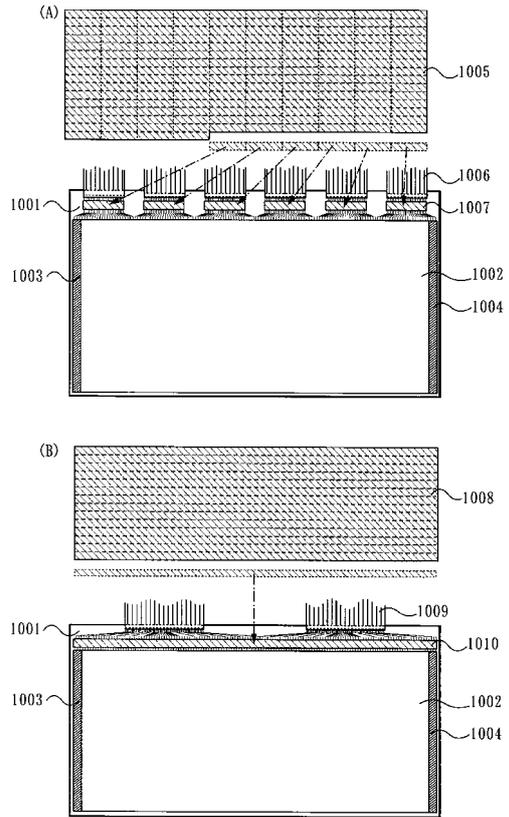
【 図 17 】



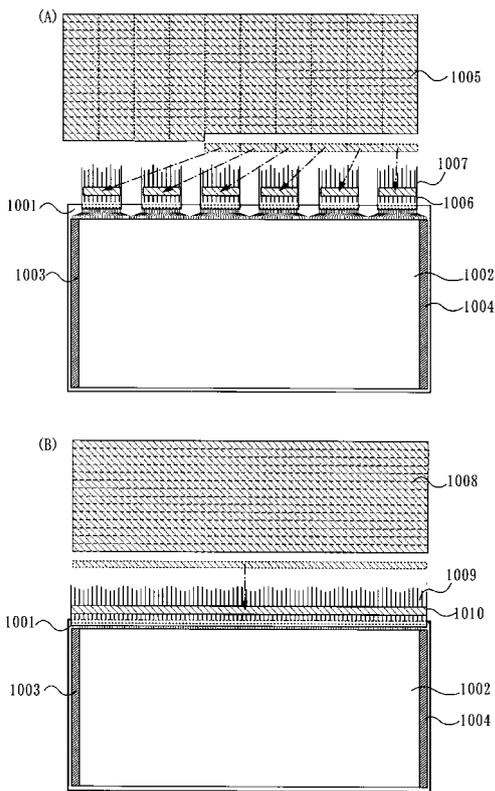
【図18】



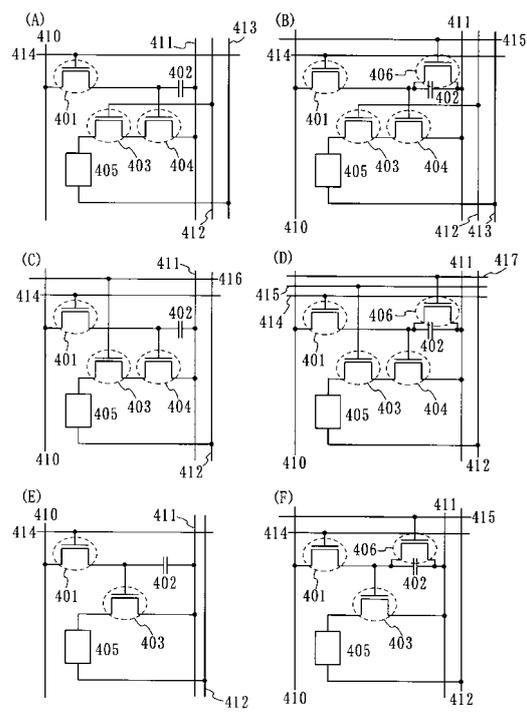
【図19】



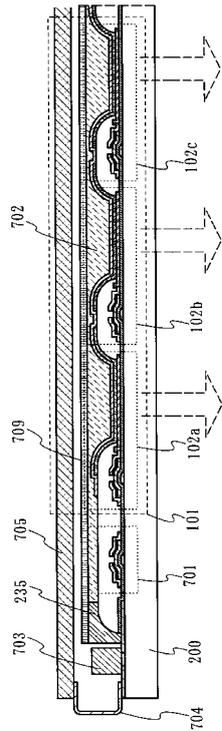
【図20】



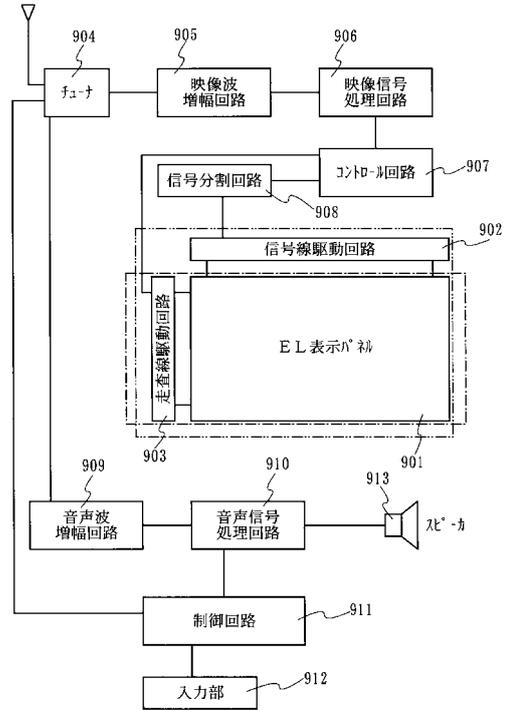
【図21】



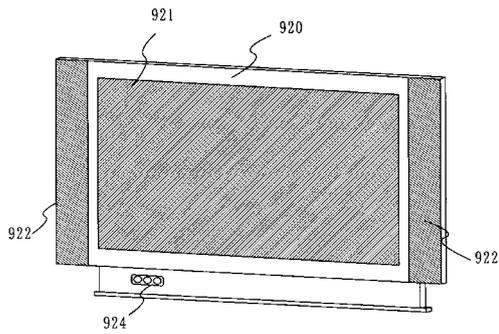
【図28】



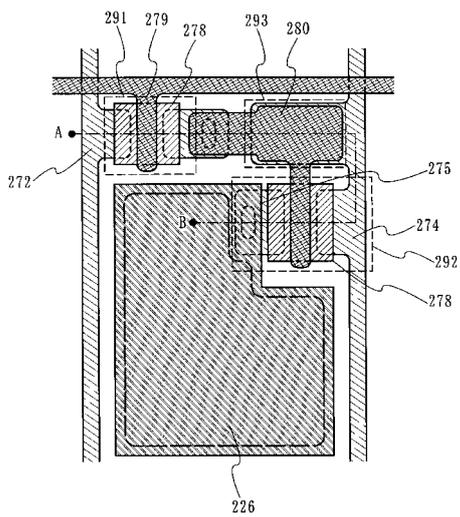
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 今井 馨太郎

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

(56)参考文献 特開2003-080694(JP,A)

特開2003-098548(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G09F 9/30

H01L 21/28

H01L 21/288

H01L 21/336

H01L 23/52

H01L 29/49

H01L 29/786