

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5982147号
(P5982147)

(45) 発行日 平成28年8月31日(2016.8.31)

(24) 登録日 平成28年8月5日(2016.8.5)

| | |
|----------------------|-------------------------|
| (51) Int.Cl. | F I |
| G09G 3/325 (2016.01) | G09G 3/325 |
| G09G 3/20 (2006.01) | G09G 3/20 624B |
| HO1L 51/50 (2006.01) | G09G 3/20 611H |
| | G09G 3/20 642A |
| | G09G 3/20 670J |
| | 請求項の数 6 (全 49 頁) 最終頁に続く |

(21) 出願番号 特願2012-69067 (P2012-69067)
 (22) 出願日 平成24年3月26日(2012.3.26)
 (65) 公開番号 特開2012-256025 (P2012-256025A)
 (43) 公開日 平成24年12月27日(2012.12.27)
 審査請求日 平成27年3月13日(2015.3.13)
 (31) 優先権主張番号 特願2011-81928 (P2011-81928)
 (32) 優先日 平成23年4月1日(2011.4.1)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-81923 (P2011-81923)
 (32) 優先日 平成23年4月1日(2011.4.1)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-108610 (P2011-108610)
 (32) 優先日 平成23年5月13日(2011.5.13)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【特許請求の範囲】

【請求項1】

第1乃至第6のトランジスタと、
発光素子と、
第1及び第2の容量素子と、を有し、
前記第1のトランジスタは、ソースが前記発光素子のアノードに電氣的に接続され、
前記第1のトランジスタは、前記発光素子に流れる電流を制御する機能を有し、
前記第2のトランジスタは、前記第1のトランジスタのゲートに画像信号を入力するか
否かを制御する機能を有し、
前記第3のトランジスタは、前記第1のトランジスタのゲートとドレインとの導通状態
を制御する機能を有し、
前記第4のトランジスタは、前記第1のトランジスタのドレインに第1の電位を供給す
るか否かを制御する機能を有し、
前記第5のトランジスタは、前記発光素子のアノードに第2の電位を供給するか否かを
制御する機能を有し、
前記第6のトランジスタは、前記第1のトランジスタのドレインに第3の電位を供給す
るか否かを制御する機能を有し、
前記第1の容量素子は、前記第1のトランジスタのゲートとソースの間の電圧を保持す
る機能を有し、
前記第2の容量素子は、前記発光素子のアノードと電氣的に接続され、

10

20

前記第 1 のトランジスタ乃至前記第 6 のトランジスタのそれぞれは、n チャンネル型トランジスタである発光装置であって、

一のフレーム期間に第 1 の期間を有し、

前記第 1 の期間では、前記第 3 のトランジスタがオンの状態にあり、前記第 5 のトランジスタがオンの状態にあり、かつ前記第 6 のトランジスタがオンの状態にある発光装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ乃至前記第 6 のトランジスタのそれぞれのチャンネル形成領域は、酸化物半導体を有する発光装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記一のフレーム期間に第 2 の期間を有し、

前記第 2 の期間では、前記第 3 のトランジスタがオンからオフに変化し、かつ前記第 6 のトランジスタがオンからオフに変化した後、前記第 2 のトランジスタがオフの状態にあり、前記第 3 のトランジスタがオフの状態にあり、かつ前記第 6 のトランジスタがオフの状態にある発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

第 1 の導電膜を有し、

前記第 1 の導電膜は、前記第 1 のトランジスタのゲートとして機能する領域と、前記第 1 の容量素子の一方の電極として機能する領域と、を有する発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

第 2 の導電膜を有し、

前記第 2 の導電膜は、前記第 1 のトランジスタのソースとして機能する領域と、前記第 1 の容量素子の他方の電極として機能する領域と、前記第 2 の容量素子の一方の電極として機能する領域と、前記第 5 のトランジスタのソース又はドレインの一方として機能する領域と、を有する発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記第 1 の容量素子が有する容量値は、前記発光素子及び前記第 2 の容量素子で構成される合成容量の容量値よりも小さい発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタが各画素に設けられた発光装置に関する。

【背景技術】

【0002】

発光素子を用いた表示装置は視認性が高く、薄型化に最適であると共に、視野角にも制限が無い場合、CRT (Cathode Ray Tube) や液晶表示装置に替わる表示装置として注目されている。発光素子を用いたアクティブマトリクス型の表示装置は、具体的に提案されている構成がメーカーによって異なるが、通常、少なくとも発光素子と、画素へのビデオ信号の入力を制御するトランジスタ (スイッチング用トランジスタ) と、該発光素子に供給する電流値を制御するトランジスタ (駆動用トランジスタ) とが、各画素に設けられている。

【0003】

画素に設ける上記トランジスタをすべて同じ極性とすることで、トランジスタの作製工程において、半導体層に一導電性を付与する不純物元素の添加などの工程を、一部省略することができる。下記の特許文献 1 には、n チャンネル型トランジスタのみで画素が構成されている発光素子型ディスプレイについて、記載されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-195810号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、発光装置では、駆動用トランジスタのドレイン電流が発光素子に供給されるため、画素間において駆動用トランジスタの閾値電圧にばらつきが生じると、発光素子の輝度にもそのばらつきが反映されてしまう。従って、閾値電圧のばらつきを見越して駆動用トランジスタの電流値を補正することができる画素構成の提案は、発光装置の画質向上を図る上で、重要な課題である。

10

【0006】

また、一般的に、発光素子のアノードとして用いる導電膜は、発光素子のカソードとして用いる導電膜よりも、大気中においてその表面が酸化されにくい。なおかつ、発光素子のアノードとして用いる導電膜は、通常、スパッタリング法を用いて形成されるため、電界発光材料を含む電界発光層上にアノードを形成すると、スパッタダメージにより電界発光層が損傷を受けやすい。よって、アノード、電界発光層、カソードの順に積層された構造を有する発光素子は、作製プロセスも簡易であり、高い発光効率を得られやすい。しかし、上記構造の発光素子にnチャンネル型の駆動用トランジスタを組み合わせる場合、駆動用トランジスタのソースが発光素子のアノードに接続される。よって、電界発光材料の劣化に伴って、発光素子のアノードとカソード間の電圧が増加すると、駆動用トランジスタにおいてソースの電位が上昇し、ゲートとソース間の電圧(ゲート電圧)が小さくなる。そのため、駆動用トランジスタのドレイン電流、すなわち、発光素子に供給される電流が小さくなり、発光素子の輝度が低下する。

20

【0007】

上述の問題に鑑み、本発明は、駆動用トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきが抑えられる、発光装置の提供を課題の一つとする。或いは、本発明は、電界発光層の劣化により、発光素子の輝度が低下するのを抑制できる発光装置の提供を、課題の一つとする。

30

【課題を解決するための手段】

【0008】

本発明の一態様では、上記課題を解決するために、駆動用トランジスタのゲートとソース間の電圧を保持する第1の容量素子と、当該第1の容量素子に直列に接続され、なおかつ発光素子と直列に接続された第2の容量素子とを、画素に設ける。また、第1の容量素子が有する容量値は、発光素子及び第2の容量素子で構成される合成容量の容量値よりも、小さい構成とする。上記画素において、駆動用トランジスタのゲートとドレインを接続した状態で、閾値電圧よりも大きい電圧を駆動用トランジスタのゲートとソースの間に印加する。次いで、上記ゲートとドレインを接続したまま、ソースをフローティング(浮遊状態)とすることで、上記第1の容量素子に駆動用トランジスタの閾値電圧が保持される。そして、ソースをフローティング(浮遊状態)としたまま、ゲートに画像信号の電圧を与えると、駆動用トランジスタのゲートとソース間に、画像信号の電圧に閾値電圧を加算した電圧が与えられる。発光素子は、駆動用トランジスタのゲート電圧に見合った値の電流が供給され、階調の表示を行う。

40

【0009】

本発明の一態様では、上記構成により、駆動用トランジスタの閾値電圧がシフトしても、閾値電圧の大きさに合わせてそのゲート電圧を定めることができる。また、本発明の一態様では、上記構成により、電界発光材料の劣化に伴って発光素子のアノードとカソード間の電圧が増加しても、駆動用トランジスタのゲート電圧に変化が生じない。

【0010】

50

具体的に、本発明の一態様に係る発光装置は、発光素子と、ソースが発光素子のアノードに電氣的に接続され、発光素子に流れる電流を制御する第1のトランジスタと、第1のトランジスタのゲートに画像信号を入力するか否かを制御する第2のトランジスタと、第1のトランジスタのゲートとドレインを電氣的に接続するか否かを制御する第3のトランジスタと、第1のトランジスタのドレインに第1の電源電位を供給するか否かを制御する第4のトランジスタと、発光素子のアノードに第2の電源電位を供給するか否かを制御する第5のトランジスタと、第1のトランジスタのゲートとソースの間の電圧を保持する第1の容量素子と、第1の容量素子に直列接続で電氣的に接続され、発光素子に直列接続で電氣的に接続される第2の容量素子と、を備え、第1のトランジスタ乃至第5のトランジスタのそれぞれは、nチャンネル型トランジスタである発光装置である。

10

【0011】

さらに、本発明の一態様に係る発光装置では、第2のトランジスタのドレインに第2の電源電位を供給するか否かを制御する第6のトランジスタを設けてもよい。

【0012】

さらに、上記本発明の一態様に係る発光装置では、第1のトランジスタ乃至第6のトランジスタにおいて、ソースとドレインの間に設けられるチャンネル形成領域が酸化物半導体、或いは単結晶シリコンであってもよい。

【発明の効果】

【0013】

本発明の一態様では、上記構成により、駆動用トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきが抑えられる。或いは、本発明の一態様では、電界発光層の劣化により、発光素子の輝度が低下するのを抑制できる。

20

【図面の簡単な説明】

【0014】

【図1】発光装置における画素部を示す回路図と、タイミングチャート。

【図2】発光装置の駆動方法を示す図。

【図3】発光装置の駆動方法を示す図。

【図4】発光装置における画素部を示す回路図。

【図5】画素の上面図。

【図6】画素の断面図。

30

【図7】画素の上面図。

【図8】画素の上面図。

【図9】画素の断面図。

【図10】画素の断面図。

【図11】駆動回路のブロック図。

【図12】駆動回路のブロック図。

【図13】発光装置の斜視図。

【図14】電子機器の図。

【図15】酸化物材料の構造を説明する図。

【図16】酸化物材料の構造を説明する図。

40

【図17】酸化物材料の構造を説明する図。

【図18】計算によって得られた移動度のゲート電圧依存性を説明する図である。

【図19】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。

【図20】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。

【図21】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。

【図22】計算に用いたトランジスタの断面構造を説明する図である。

【図23】トランジスタの特性を示す図。

50

【図 2 4】トランジスタの特性を示す図。

【図 2 5】トランジスタの特性を示す図。

【図 2 6】トランジスタの特性を示す図。

【図 2 7】トランジスタの特性を示す図。

【図 2 8】トランジスタの X R D スペクトルを示す図。

【図 2 9】トランジスタの特性を示す図。

【図 3 0】トランジスタの構造を説明する図。

【図 3 1】トランジスタの構造を説明する図。

【発明を実施するための形態】

【 0 0 1 5 】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 6 】

(実施の形態 1)

本実施の形態における発光装置は、画素部を含む。さらに、本実施の形態の発光装置における画素部の例について図 1 を用いて説明する。

【 0 0 1 7 】

図 1 (A) に示すように、画素部は、信号線 S 1 と、電源線 V A と、電源線 V B と、電源線 V C と、走査線 G 1 と、走査線 G 2 と、走査線 G 3 と、走査線 G 4 と、発光素子 1 0 1 と、トランジスタ 1 0 2 と、トランジスタ 1 0 3 と、トランジスタ 1 0 4 と、トランジスタ 1 0 5 と、トランジスタ 1 0 6 と、容量素子 1 0 7 と、容量素子 1 0 8 と、トランジスタ 1 0 9 とを備える。

20

【 0 0 1 8 】

図 1 (A) に示す発光装置において、トランジスタは電界効果トランジスタである。また、上記トランジスタでは、構造や動作条件などによって、ソースとドレインが互いに入れ替わることがある。

【 0 0 1 9 】

例えば、発光素子 1 0 1、トランジスタ 1 0 2、トランジスタ 1 0 3、トランジスタ 1 0 4、トランジスタ 1 0 5、トランジスタ 1 0 6、容量素子 1 0 7、容量素子 1 0 8、及びトランジスタ 1 0 9 を備える回路を一つの画素回路として、一つの画素回路により一つの画素を構成してもよい。上記画素回路は、画素部において、行列方向に複数設けられる。また、2つ以上の上記画素回路により一つの画素を構成してもよい。その場合、一つの画素における上記画素回路をサブ画素ともいう。

30

【 0 0 2 0 】

発光素子 1 0 1 は、アノード及びカソードを有し、該アノードとカソードの間に流れる電流量に応じた輝度で発光する。よって、発光素子 1 0 1 により、階調の表示を行うことができる。

【 0 0 2 1 】

40

発光素子 1 0 1 としては、例えばエレクトロルミネセンス素子又は発光ダイオードなどを用いることができる。例えば、発光素子 1 0 1 の構造を、アノードとして用いられる導電膜及びカソードとして用いられる導電膜の間に電界発光材料を含む電界発光層を含む構造にすることができる。

【 0 0 2 2 】

トランジスタ 1 0 2 のソースは、発光素子 1 0 1 のアノードに電氣的に接続される。トランジスタ 1 0 2 は、発光素子 1 0 1 に流れる電流を制御する駆動用トランジスタとしての機能を有する。

【 0 0 2 3 】

トランジスタ 1 0 3 のソース及びドレインの一方は、信号線 S 1 に電氣的に接続され、ト

50

トランジスタ103のソース及びドレインの他方は、トランジスタ102のゲートに電氣的に接続される。信号線S1は、画像信号(ビデオ信号)が供給される配線である。また、図1(A)において、トランジスタ103のゲートは、走査線G1に電氣的に接続される。走査線G1は、走査信号SCN1が供給される配線であり、トランジスタ103は、走査信号SCN1に応じてオン状態又はオフ状態になる。トランジスタ103は、トランジスタ102のゲートに画像信号を入力するか否かを制御するスイッチング用トランジスタとしての機能を有する。

【0024】

トランジスタ104のソース及びドレインの一方は、トランジスタ102のドレインに電氣的に接続され、トランジスタ104のソース及びドレインの他方は、トランジスタ102のゲートに電氣的に接続される。また、図1(A)において、トランジスタ104のゲートは、走査線G2に電氣的に接続される。走査線G2は、走査信号SCN2が供給される配線であり、トランジスタ104は、走査信号SCN2に応じてオン状態又はオフ状態になる。トランジスタ104は、トランジスタ102のゲートとドレインを電氣的に接続するか否かを制御する機能を有する。

【0025】

トランジスタ105のソース及びドレインの一方は、電源線VAに電氣的に接続され、トランジスタ105のソース及びドレインの他方は、トランジスタ102のドレインに電氣的に接続される。電源線VAは、電源電位V1が供給される配線であり、電源電位V1は、基準電位(例えば接地電位)より高い電位である。また、図1(A)において、トランジスタ105のゲートは、走査線G3に電氣的に接続される。走査線G3は、走査信号SCN3が供給される配線であり、トランジスタ105は、走査信号SCN3に応じてオン状態又はオフ状態になる。トランジスタ105は、トランジスタ102のドレインに電源電位V1を供給するか否かを制御する機能を有する。

【0026】

トランジスタ106のソース及びドレインの一方は、電源線VBに電氣的に接続され、トランジスタ106のソース及びドレインの他方は、発光素子101のアノードに電氣的に接続される。電源線VBは、電源電位V2が供給される配線であり、電源電位V2は、基準電位未満の電位である。また、図1(A)において、トランジスタ106のゲートは、走査線G4に電氣的に接続される。走査線G4は、走査信号SCN4が供給される配線であり、トランジスタ106は、走査信号SCN4に応じてオン状態又はオフ状態になる。トランジスタ106は、発光素子101のアノードに電源電位V2を供給するか否かを制御する機能を有する。また、発光素子101のカソードの電圧を、電源電位V2より高い電位にすることにより、例えば初期化期間において、発光素子101に流れる電流量を低減することができる。

【0027】

容量素子107の一对の電極の一方は、トランジスタ102のゲートに電氣的に接続され、容量素子107の一对の電極の他方は、トランジスタ102のソースに電氣的に接続される。容量素子107は、トランジスタ102のゲートとソースの間の電圧を保持する機能を有する。

【0028】

容量素子108の一对の電極の一方は、容量素子107の一对の電極の他方、及び発光素子101のアノードに電氣的に接続され、容量素子108の一对の電極の他方は、電源線VBに電氣的に接続される。容量素子108は、容量素子107に直列接続で電氣的に接続され、発光素子101に直列接続で電氣的に接続される。

【0029】

なお、容量素子107が有する容量値は、発光素子101及び容量素子108で構成される合成容量の容量値よりも小さいことが好ましい。これにより、発光素子101における容量によるトランジスタ102のゲートとソースの間における電圧の低下を抑制することができる。

10

20

30

40

50

【0030】

トランジスタ109のソース及びドレインの一方は、電源線VCに電氣的に接続され、トランジスタ109のソース及びドレインの他方は、トランジスタ102のドレインに電氣的に接続される。電源線VCは、電源電位V3が供給される配線であり、電源電位V3は、電源電位V1よりも低く、電源電位V2よりも高く、発光素子101のカソードの電位より高い電位である。なお、これに限定されず、発光素子101のカソードを電源線VCに電氣的に接続させてもよい。また、電源電位V3と電源電位V2の電位差は、トランジスタ102の閾値電圧より大きい。また、トランジスタ109のソース及びドレインの他方を、トランジスタ102のドレインではなくゲートに電氣的に接続させてもよい。また、図1(A)において、トランジスタ109のゲートは、走査線G2に電氣的に接続され、トランジスタ109は、走査信号SCN2に応じてオン状態又はオフ状態になる。トランジスタ109は、トランジスタ102のドレインに電源電位V3を供給するか否かを制御する機能を有する。トランジスタ109を設けることにより、初期化期間において、トランジスタ102のゲートとドレインに電源電位V1より低い電源電位V3を供給し、トランジスタ102のソースとドレインの間に流れる電流値を小さくすることができる。よって、消費電力を低減することができる。

10

【0031】

トランジスタ102としては、nチャネル型トランジスタを用いることができる。また、トランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、及びトランジスタ109としては、nチャネル型トランジスタ又はpチャネル型トランジスタを用いることができる。例えば、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、及びトランジスタ109としてnチャネル型トランジスタを用いることにより、製造工程数を削減することができる。

20

【0032】

また、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、及びトランジスタ109としては、例えばソースとドレインの間に設けられるチャネル形成領域が酸化物半導体などのワイドギャップ半導体であるトランジスタを用いても良いし、該チャネル形成領域が非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体であるトランジスタを用いても良い。上記酸化物半導体を用いたトランジスタは、従来のシリコンなどの半導体を用いたトランジスタよりオフ電流の低い酸化物半導体を用いたトランジスタである。上記酸化物半導体は、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い。そのため、トランジスタのオフ電流を極めて低くすることができ、上記酸化物半導体を用いたトランジスタのオフ電流は、チャネル幅1 μm あたり10 aA (1×10^{-17} A) 以下、好ましくはチャネル幅1 μm あたり1 aA (1×10^{-18} A) 以下、さらには好ましくはチャネル幅1 μm あたり10 zA (1×10^{-20} A) 以下、さらに好ましくはチャネル幅1 μm あたり1 zA (1×10^{-21} A) 以下、さらに好ましくはチャネル幅1 μm あたり100 yA (1×10^{-22} A) 以下である。

30

【0033】

次に、本実施の形態における発光装置の駆動方法例について、図1(B)に示すタイミングチャート、並びに図2及び図3を用いて説明する。なお、ここでは一例としてトランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、及びトランジスタ109が全てnチャネル型トランジスタであるとする。また、容量素子107の容量値は、発光素子101及び容量素子108で構成される合成容量の容量値よりはるかに小さく、該合成容量によるトランジスタ102のゲートとソースの間における電圧の低下は無いものとする。

40

【0034】

本実施の形態における発光装置の駆動方法例は、初期化期間T11、閾値電圧データ取得期間T12、画像信号入力期間T13、表示期間T14に大きく分けられる。

【0035】

50

まず、初期化期間 T 1 1 において、図 1 (B) 及び図 2 (A) に示すように、トランジスタ 1 0 4、トランジスタ 1 0 6、及びトランジスタ 1 0 9 をオン状態にする。

【 0 0 3 6 】

このとき、トランジスタ 1 0 2 のゲート及びドレインのそれぞれの電位が電源電位 V 3 となる。また、トランジスタ 1 0 2 のソースの電位が電源電位 V 2 となる。これにより、トランジスタ 1 0 2 がオン状態になり、トランジスタ 1 0 2 のゲートとソースの間の電圧 (電圧 V g s 1 0 2 ともいう) は、電源電位 V 3 から電源電位 V 2 を引いた値 (V 3 - V 2) になる。

【 0 0 3 7 】

次に、閾値電圧データ取得期間 T 1 2 において、図 1 (B) 及び図 2 (B) に示すように、トランジスタ 1 0 6 をオフ状態にする。

10

【 0 0 3 8 】

このとき、トランジスタ 1 0 2 はオン状態のままトランジスタ 1 0 2 のソースとドレインの間に電流が流れることにより、トランジスタ 1 0 2 のソースの電位が上昇し、トランジスタ 1 0 2 のゲートとソースの間の電圧がトランジスタ 1 0 2 の閾値電圧 (電圧 V t h 1 0 2 ともいう) 以下になった時点でトランジスタ 1 0 2 がオフ状態になる。その後、トランジスタ 1 0 4 及びトランジスタ 1 0 9 をオフ状態にすることにより、トランジスタ 1 0 2 のゲートとソースの間の電圧が保持される。

【 0 0 3 9 】

次に、画像信号入力期間 T 1 3 において、図 1 (B) 及び図 3 (A) に示すように、トランジスタ 1 0 3 をオン状態にする。

20

【 0 0 4 0 】

このとき、トランジスタ 1 0 2 のゲートに画像信号が入力され、トランジスタ 1 0 2 のゲートの電位が画像信号に応じて変化する。このとき、トランジスタ 1 0 2 のゲートとソースの間の電圧は、トランジスタ 1 0 2 の閾値電圧 + 電圧 V s (V t h 1 0 2 + V s) となる。電圧 V s の値は、画像信号によるトランジスタ 1 0 2 のゲートの電位の変化量に応じて決まる。図 3 (A) では、一例としてトランジスタ 1 0 2 がオン状態になるとする。

【 0 0 4 1 】

次に、表示期間 T 1 4 において、図 1 (B) 及び図 3 (B) に示すように、トランジスタ 1 0 3 をオフ状態にし、トランジスタ 1 0 5 をオン状態にする。

30

【 0 0 4 2 】

このとき、トランジスタ 1 0 2 のドレインの電位が電源電位 V 1 となり、トランジスタ 1 0 2 のソースとドレインの間に電流が流れる。さらに、発光素子 1 0 1 のアノードとカソードの間に電流が流れることにより発光素子 1 0 1 が発光する。よって、表示状態になる。

【 0 0 4 3 】

このとき、発光素子 1 0 1 に流れる電流値は、トランジスタ 1 0 2 のソースとドレインの間に流れる電流値 (I d s 1 0 2 ともいう) によって決まり、トランジスタ 1 0 2 を飽和領域で動作させる場合、トランジスタ 1 0 2 のソースとドレインの間に流れる電流値は、下記式 (1) で表すことができる。

40

【 0 0 4 4 】

【 数 1 】

$$I_{ds102} = \frac{1}{2} \beta (V_{gs102} - V_{th102})^2 \quad (1)$$

【 0 0 4 5 】

は、トランジスタ 1 0 2 の移動度、チャネル長、チャネル幅などから求められる定数である。

【 0 0 4 6 】

表示期間 T 1 4 において、トランジスタ 1 0 2 のゲートとソースの間の電圧 (V g s 1 0

50

2) は、 $V_{th102} + V_s$ であるため、上記式(1)に代入すると下記式(2)のようになる。

【0047】

【数2】

$$I_{ds102} = \frac{1}{2} \beta (V_{th102} + V_s - V_{th102})^2 = \frac{1}{2} \beta (V_s)^2 \quad (2)$$

【0048】

よって、トランジスタ102のソースとドレインの間に流れる電流値(I_{ds102})は、トランジスタ102の閾値電圧に関係なく、画像信号の値に応じて決まる。

10

【0049】

上記動作を全ての画素回路で行うことにより、発光装置において画像が表示される。さらに、上記動作を各画素回路で繰り返し行うことにより、発光装置の表示画像を書き換えることができる。

【0050】

以上が本実施の形態における発光装置の駆動方法例である。

【0051】

なお、本実施の形態における発光装置では、図4に示すようにトランジスタ109を設けなくてもよい。このとき、初期化期間T11では、トランジスタ105をオン状態にしてトランジスタ102のドレインに電源電位V1を供給する。トランジスタ109を設けない構成にすることにより、トランジスタの数を少なくすることができ、回路面積を小さくすることができる。

20

【0052】

図1乃至図4を用いて説明したように、本実施の形態における発光装置では、閾値電圧データ取得期間を設け、容量素子を用いて駆動トランジスタのゲートとソースの間の電圧を駆動トランジスタの閾値電圧に応じた値に設定しておく。これにより、表示期間において、駆動トランジスタのソースとドレインの間に流れる電流量を、駆動トランジスタの閾値電圧に関係なく決められることができるため、駆動トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきを抑えることができる。

【0053】

また、本実施の形態における発光装置では、初期化期間において、発光素子のアノードに初期化用の電源電位を供給することにより、発光素子における電界発光層の劣化による発光素子のアノードとカソードの間に印加される電圧の変化を抑えることができる。よって、電界発光層の劣化により、発光素子の輝度が低下するのを抑制することができる。

30

【0054】

また、本実施の形態における発光装置では、画素部における全てのトランジスタをnチャネル型トランジスタで構成することにより、製造工程数を削減することができる。

【0055】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0056】

(実施の形態2)

本実施の形態では、本発明の一態様に係る発光装置の、画素の具体的な構成について説明する。

40

【0057】

図5に、図1(A)に示した画素の上面図を、一例として示す。なお、図5では、画素のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素の上面図を示す。また、図5では、画素が有するトランジスタと容量素子のレイアウトを明確に示すために、アノードと、電界発光層と、カソードとを省略して、画素の上面図を示す。

【0058】

また、図6に、図5に示す上面図の、破線A1 - A2及び破線A3 - A4における断面図

50

を示す。

【0059】

トランジスタ103は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜801と、導電膜801上のゲート絶縁膜802と、導電膜801と重なる位置においてゲート絶縁膜802上に位置する半導体層803と、ソースまたはドレインとして機能し、半導体層803上に位置する導電膜804及び導電膜805とを有する。導電膜801は走査線G1としても機能する。導電膜804は、信号線S1としても機能する。

【0060】

トランジスタ102は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜806と、導電膜806上のゲート絶縁膜802と、導電膜806と重なる位置においてゲート絶縁膜802上に位置する半導体層807と、ソースまたはドレインとして機能し、半導体層807上に位置する導電膜808及び導電膜809とを有する。導電膜806は、コンタクトホールを介して導電膜805に接続されている。

10

【0061】

トランジスタ104は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜810と、導電膜810上のゲート絶縁膜802と、導電膜810と重なる位置においてゲート絶縁膜802上に位置する半導体層811と、ソースまたはドレインとして機能し、半導体層811上に位置する導電膜805及び導電膜808とを有する。導電膜810は、走査線G2としても機能する。

【0062】

トランジスタ105は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜812と、導電膜812上のゲート絶縁膜802と、導電膜812と重なる位置においてゲート絶縁膜802上に位置する半導体層813と、ソースまたはドレインとして機能し、半導体層813上に位置する導電膜808及び導電膜814とを有する。導電膜812は、走査線G3としても機能する。導電膜814は電源線VAとしても機能する。

20

【0063】

トランジスタ106は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜815と、導電膜815上のゲート絶縁膜802と、導電膜815と重なる位置においてゲート絶縁膜802上に位置する半導体層816と、ソースまたはドレインとして機能し、半導体層816上に位置する導電膜809及び導電膜817とを有する。導電膜815は走査線G4としても機能する。

30

【0064】

容量素子107は、絶縁表面を有する基板800上に、導電膜806と、導電膜806上のゲート絶縁膜802と、導電膜806と重なる位置においてゲート絶縁膜802上に位置する導電膜809とを有する。

【0065】

容量素子108は、絶縁表面を有する基板800上に、導電膜818と、導電膜818上のゲート絶縁膜802と、導電膜818と重なる位置においてゲート絶縁膜802上に位置する導電膜809とを有する。導電膜818は電源線VBとしても機能し、コンタクトホールを介して導電膜817に接続している。

40

【0066】

トランジスタ109は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜819と、導電膜819上のゲート絶縁膜802と、導電膜819と重なる位置においてゲート絶縁膜802上に位置する半導体層820と、ソースまたはドレインとして機能し、半導体層820上に位置する導電膜808及び導電膜821とを有する。導電膜819は走査線G2としても機能する。また、導電膜821は、コンタクトホールを介して、電源線VCとして機能する導電膜822に接続されている。

【0067】

また、導電膜804、導電膜805、導電膜808、導電膜809、導電膜814、導電膜817、導電膜821上には、絶縁膜823及び絶縁膜824が順に形成されている。

50

そして、絶縁膜 8 2 4 上には、アノードとして機能する導電膜 8 2 5 が設けられている。導電膜 8 2 5 は、絶縁膜 8 2 3 及び絶縁膜 8 2 4 に形成されたコンタクトホール 8 2 6 を介して、導電膜 8 0 9 に接続されている。

【 0 0 6 8 】

また、導電膜 8 2 5 の一部が露出するような開口部を有した絶縁膜 8 2 7 が、絶縁膜 8 2 4 上に設けられている。導電膜 8 2 5 の一部及び絶縁膜 8 2 7 上には、電界発光層 8 2 8 と、カソードとして機能する導電膜 8 2 9 とが、順に積層するように設けられている。導電膜 8 2 5 と、電界発光層 8 2 8 と、導電膜 8 2 9 とが重なっている領域が、発光素子 1 0 1 に相当する。

【 0 0 6 9 】

なお、図 5 では、導電膜 8 1 0 と導電膜 8 1 9 とが共に走査線 G 2 としても機能する場合を例示しているが、導電膜 8 1 0 と導電膜 8 1 9 とが一の導電膜で構成されていても良い。

【 0 0 7 0 】

次いで、図 7 に、図 4 に示した画素の上面図を、一例として示す。なお、図 7 では、画素のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素の上面図を示す。また、図 7 では、画素が有するトランジスタと容量素子のレイアウトを明確に示すために、アノードと、電界発光層と、カソードとを省略して、画素の上面図を示す。

【 0 0 7 1 】

図 7 に示す画素は、トランジスタ 1 0 9 と、トランジスタ 1 0 9 のゲートとして機能する導電膜 8 1 9 と、電源線 V C として機能する導電膜 8 2 2 と、導電膜 8 2 2 に接続された導電膜 8 2 1 とを有さない点において、図 5 に示す画素と異なる。

【 0 0 7 2 】

なお、図 5 乃至図 7 では、半導体層 8 0 3、半導体層 8 0 7、半導体層 8 1 1、半導体層 8 1 3、半導体層 8 1 6、半導体層 8 2 0 に、酸化物半導体などのワイドギャップ半導体を用いた場合を例示している。

【 0 0 7 3 】

酸化物半導体は、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い。そのため、上述したように、酸化物半導体を用いたトランジスタは、通常のシリコンやゲルマニウムなどの半導体を用いたトランジスタに比べて、オフ電流が極めて低い。

【 0 0 7 4 】

用いる酸化物半導体としては、少なくともインジウム (I n) あるいは亜鉛 (Z n) を含むことが好ましい。特に I n と Z n を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (G a) を有することが好ましい。また、スタビライザーとしてスズ (S n) を有することが好ましい。また、スタビライザーとしてハフニウム (H f) を有することが好ましい。また、スタビライザーとしてアルミニウム (A l) を有することが好ましい。

【 0 0 7 5 】

また、他のスタビライザーとして、ランタノイドである、ランタン (L a)、セリウム (C e)、プラセオジウム (P r)、ネオジウム (N d)、サマリウム (S m)、ユウロピウム (E u)、ガドリニウム (G d)、テルビウム (T b)、ジスプロシウム (D y)、ホルミウム (H o)、エルビウム (E r)、ツリウム (T m)、イッテルビウム (Y b)、ルテチウム (L u) のいずれか一種あるいは複数種を有してもよい。

【 0 0 7 6 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である I n - Z n 系酸化物、S n - Z n 系酸化物、A l - Z n 系酸化物、Z n - M g 系酸化物、S n - M g 系酸化物、I n - M g 系酸化物、I n - G a 系酸化物、三元系金属の酸化物である I n - G a - Z n 系酸化物 (I G Z O と表記する)、I n - A l - Z n 系

10

20

30

40

50

酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0077】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0078】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

20

【0079】

また、酸化物半導体として、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ あるいは $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0080】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

30

【0081】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0082】

なお、例えば、In、Ga、Znの原子数比が $In:Ga:Zn = a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $In:Ga:Zn = A:B:C$ ($A+B+C=1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 < r^2$ を満たすことを言う。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

40

【0083】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0084】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

50

【0085】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

【0086】

なお、Ra は、JIS B0601 で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0087】

【数3】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0088】

なお、上記において、 S_0 は、測定面 (座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される 4 点によって囲まれる長方形の領域) の面積を指し、 Z_0 は測定面の平均高さを指す。Ra は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて評価可能である。

【0089】

なお、特に断りが無い限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が 0 以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、オフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が 0 以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

【0090】

なお、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、酸化物半導体の他に、炭化珪素 (SiC)、窒化ガリウム (GaN) などがある。炭化シリコンや窒化ガリウムなどの化合物半導体は単結晶であることが必須で、単結晶材料を得るためには、酸化物半導体のプロセス温度よりも著しく高い温度による結晶成長であるとか、特殊な基板上的エピタキシャル成長が必要であるとか、作製条件が厳しく、いずれも入手が容易なシリコンウェハや耐熱温度の低いガラス基板上への成膜は難しい。しかし、酸化物半導体は、スパッタリング法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、酸化物半導体は室温でも成膜が可能のため、ガラス基板上への成膜、或いは半導体素子を用いた集積回路上への成膜が可能であり、基板の大型化にも対応が可能である。よって、酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能 (例えば電界効果移動度) を向上させるために結晶性の酸化物半導体を得ようとする場合でも、200 から 800 の熱処理によって結晶性の酸化物半導体を得ることができる。

【0091】

また、導電膜 801、導電膜 804 乃至導電膜 806、導電膜 808 乃至導電膜 810、導電膜 812、導電膜 814、導電膜 815、導電膜 817 乃至導電膜 819、導電膜 821、導電膜 822 などの各種導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金膜か、上述した元素を組み合わせた合金膜等を用いることができる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステ

10

20

30

40

50

ンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム、イットリウム等を用いることができる。また、Cu-Mg-Al合金、Mo-Ti合金、Ti、Mo、は、酸化膜との密着性が高い。よって、ゲート絶縁膜802が酸化物である場合、ゲート絶縁膜802上の導電膜804、導電膜805、導電膜808、導電膜809、導電膜814、導電膜817、導電膜821に、上述した酸化膜との密着性が高い材料を用いることが望ましい。例えば、導電膜804、導電膜805、導電膜808、導電膜809、導電膜814、導電膜817、導電膜821として、下層にCu-Mg-Al合金、Mo-Ti合金、Ti、或いはMoで構成される導電膜、上層に抵抗値の低いCuで構成される導電膜を積層して用いることで、酸化物であるゲート絶縁膜802との密着性を高め、なおかつ、抵抗値を下げるができる。

10

【0092】

半導体層803、半導体層807、半導体層811、半導体層813、半導体層816、半導体層820に酸化物半導体層を用いる場合、酸化物半導体層の成膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、ターゲットを用いて行うことができる。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

20

【0093】

また、スパッタリング装置の処理室のリークレートを 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体層への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

30

【0094】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体層に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体層において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0095】

なお、スパッタ等で成膜された酸化物半導体層中には、不純物としての水分又は水素(水酸基を含む)が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、酸化物半導体層中の水分又は水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体層に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、加熱処理を施しておくことが望ましい。

40

【0096】

酸化物半導体層に加熱処理を施すことで、酸化物半導体層中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程

50

度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0097】

なお、加熱処理装置は電気炉の他に、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【0098】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0099】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{18} / cm^3$ 以下、より好ましくは $1 \times 10^{17} / cm^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / cm^3$ 以下、好ましくは $1 \times 10^{16} / cm^3$ 以下、更に好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / cm^3$ 以下、好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / cm^3$ 以下、好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。

20

30

40

【0100】

酸化物半導体層中の水素の濃度を低減し、高純度化することで、酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体層を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

【0101】

本実施の形態では、c軸配向し、かつab面、表面または界面の方向から見て三角形状ま

50

たは六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)相(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物について説明する。

【0102】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0103】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0104】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACが形成される基板面、CAACの表面などに垂直な方向)に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACが形成される基板面、CAACの表面などに垂直な方向)を向いていてもよい。

【0105】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0106】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子(または窒素原子)の層状配列が認められる結晶を挙げることもできる。

【0107】

CAACに含まれる結晶構造の一例について図15乃至図17を用いて詳細に説明する。なお、特に断りがない限り、図15乃至図17は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。また、図15において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0108】

図15(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図15(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図15(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図15(A)に示す小グループは電荷が0である。

【0109】

図15(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図15(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図15(B)に示す構造をとりうる。図15(B)に示す小グループは電荷が0である。

【0110】

図15(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図15(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。図15(C)に示す小グループは電荷が0である。

10

20

30

40

50

【 0 1 1 1 】

図 1 5 (D) に、1 個の 6 配位の S_n と、 S_n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 5 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 5 (D) に示す小グループは電荷が + 1 となる。

【 0 1 1 2 】

図 1 5 (E) に、2 個の Z_n を含む小グループを示す。図 1 5 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 5 (E) に示す小グループは電荷が - 1 となる。

【 0 1 1 3 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

10

【 0 1 1 4 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 5 (A) に示す 6 配位の I_n の上半分の 3 個の O は下方向にそれぞれ 3 個の近接 I_n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 I_n を有する。図 1 5 (B) に示す 5 配位の G_a の上半分の 1 個の O は下方向に 1 個の近接 G_a を有し、下半分の 1 個の O は上方向に 1 個の近接 G_a を有する。図 1 5 (C) に示す 4 配位の Z_n の上半分の 1 個の O は下方向に 1 個の近接 Z_n を有し、下半分の 3 個の O は上方向に 3 個の近接 Z_n を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (I_n または S_n) が上半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (G_a または I_n) または 4 配位の金属原子 (Z_n) のいずれかと結合することになる。

20

【 0 1 1 5 】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

30

【 0 1 1 6 】

図 1 6 (A) に、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループのモデル図を示す。図 1 6 (B) に、3 つの中グループで構成される大グループを示す。なお、図 1 6 (C) は、図 1 6 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 1 1 7 】

図 1 6 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 S_n の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 1 6 (A) において、 I_n の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 1 6 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Z_n と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Z_n とを示している。

40

【 0 1 1 8 】

図 1 6 (A) において、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある S_n が、4 配位の O が 1 個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に 3 個の 4 配位の O がある Z_n と結合し、その Z_n の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に 1 個の 4 配位の O がある Z_n 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある S_n と結合している構成である。この中グ

50

ループが複数結合して大グループを構成する。

【0119】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、 In （6配位または5配位）、 Zn （4配位）、 Sn （5配位または6配位）の電荷は、それぞれ+3、+2、+4である。従って、 Sn を含む小グループは電荷が+1となる。そのため、 Sn を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図15（E）に示すように、2個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが1個に対し、2個の Zn を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

10

【0120】

具体的には、図16（B）に示した大グループが繰り返されることで、 $In-Sn-Zn-O$ 系の結晶（ $In_2SnZn_3O_8$ ）を得ることができる。なお、得られる $In-Sn-Zn-O$ 系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ （ m は0または自然数。）とする組成式で表すことができる。なお、 $In-Sn-Zn-O$ 系の結晶は、 m の数が大きいと結晶性が向上するため、好ましい。

【0121】

また、このほかにも、四元系金属の酸化物である $In-Sn-Ga-Zn$ 系酸化物や、三元系金属の酸化物である $In-Ga-Zn$ 系酸化物（ $IGZO$ とも表記する。）、 $In-Al-Zn$ 系酸化物、 $Sn-Ga-Zn$ 系酸化物、 $Al-Ga-Zn$ 系酸化物、 $Sn-Al-Zn$ 系酸化物や、 $In-Hf-Zn$ 系酸化物、 $In-La-Zn$ 系酸化物、 $In-Ce-Zn$ 系酸化物、 $In-Pr-Zn$ 系酸化物、 $In-Nd-Zn$ 系酸化物、 $In-Sm-Zn$ 系酸化物、 $In-Eu-Zn$ 系酸化物、 $In-Gd-Zn$ 系酸化物、 $In-Tb-Zn$ 系酸化物、 $In-Dy-Zn$ 系酸化物、 $In-Ho-Zn$ 系酸化物、 $In-Er-Zn$ 系酸化物、 $In-Tm-Zn$ 系酸化物、 $In-Yb-Zn$ 系酸化物、 $In-Lu-Zn$ 系酸化物や、二元系金属の酸化物である $In-Zn$ 系酸化物、 $Sn-Zn$ 系酸化物、 $Al-Zn$ 系酸化物、 $Zn-Mg$ 系酸化物、 $Sn-Mg$ 系酸化物、 $In-Mg$ 系酸化物や、 $In-Ga$ 系酸化物、一元系金属の酸化物である In 系酸化物、 Sn 系酸化物、 Zn 系酸化物などを用いた場合も同様である。

20

【0122】

例えば、図17（A）に、 $In-Ga-Zn-O$ 系の層構造を構成する中グループのモデル図を示す。

30

【0123】

図17（A）において、 $In-Ga-Zn-O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある In が、4配位のOが1個上半分にある Zn と結合し、その Zn の下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

【0124】

図17（B）に3つの中グループで構成される大グループを示す。なお、図17（C）は、図17（B）の層構造をc軸方向から観察した場合の原子配列を示している。

40

【0125】

ここで、 In （6配位または5配位）、 Zn （4配位）、 Ga （5配位）の電荷は、それぞれ+3、+2、+3であるため、 In 、 Zn および Ga のいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0126】

また、 $In-Ga-Zn-O$ 系の層構造を構成する中グループは、図17（A）に示した中グループに限定されず、 In 、 Ga 、 Zn の配列が異なる中グループを組み合わせた大

50

グループも取りうる。

【0127】

C A A Cで構成された酸化物半導体層は、スパッタリング法によっても作製することができる。スパッタリング法によってC A A Cを得るには酸化物半導体層の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、150mm～200mm程度）、基板加熱温度を100～500、好適には200～400、さらに好適には250～300にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体層を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

10

【0128】

また、In-Sn-Zn系酸化物層の形成に用いるターゲットの組成比は、In：Sn：Znが原子数比で、1：2：2、2：1：3、1：1：1、または20：45：35などとなる酸化物ターゲットを用いる。

【0129】

C A A Cは、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって酸素原子の配位数が異なることも有り得るが、C A A Cでは金属原子における酸素原子の配位数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子（水素イオンを含む）やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

20

【0130】

従って、C A A Cで構成された酸化物半導体層を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス-熱ストレス(BT)の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

【0131】

また、酸化物半導体層を半導体層803、半導体層807、半導体層811、半導体層813、半導体層816、半導体層820に用いる場合、酸化物半導体層に接するゲート絶縁膜802、絶縁膜823などの絶縁膜は、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))等を含む膜を、単数で、又は複数積層させることで、形成することができる。

30

【0132】

酸素を含む無機材料を上記絶縁膜に用いることで、水分または水素を低減させるための加熱処理により酸化物半導体層中に酸素欠損が発生していたとしても、酸化物半導体層に上記絶縁膜から酸素を供給し、ドナーとなる酸素欠損を低減して化学量論組成比を満たす構成とすることが可能である。よって、チャンネル形成領域を、i型に近づけることができ、酸素欠損によるトランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、トランジスタ109の電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

40

【0133】

また、酸化物半導体層に接するゲート絶縁膜802、絶縁膜823などの絶縁膜は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0134】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意

50

味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0135】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

10

【0136】

なお、図5乃至図7において、半導体層803、半導体層807、半導体層811、半導体層813、半導体層816、半導体層820に、非晶質、微結晶、又は多結晶であるシリコン又はゲルマニウムなどの半導体を用いても良い。ただし、非晶質、微結晶、又は多結晶であるシリコン又はゲルマニウムなどの半導体を、半導体層803、半導体層807、半導体層811、半導体層813、半導体層816、半導体層820に用いる場合、一導電性を付与する不純物元素を上記半導体層に添加して、ソースまたはドレインとして機能する不純物領域を形成する。例えば、リンまたはヒ素を上記半導体層に添加することで、n型の導電性を有する不純物領域を形成することができる。また、例えば、ボロンを上記半導体層に添加することで、p型の導電性を有する不純物領域を形成することができる。

20

【0137】

次いで、図8に、図1(A)に示した画素の上面図を、別の一例として示す。なお、図8では、画素のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素の上面図を示す。また、図8では、画素が有するトランジスタと容量素子のレイアウトを明確に示すために、アノードと、電界発光層と、カソードとを省略して、画素の上面図を示す。

30

【0138】

また、図9に、図8に示す上面図の、破線A1-A2及び破線A3-A4における断面図を示す。

【0139】

トランジスタ103は、絶縁表面を有する基板900上に、半導体層903と、半導体層903上のゲート絶縁膜902と、半導体層903と重なる位置においてゲート絶縁膜902上に位置し、なおかつゲートとして機能する導電膜901と、ソースまたはドレインとして機能し、半導体層903上に位置する導電膜904及び導電膜905とを有する。導電膜901は走査線G1としても機能する。導電膜904は、信号線S1としても機能する。

40

【0140】

トランジスタ102は、絶縁表面を有する基板900上に、半導体層907と、半導体層907上のゲート絶縁膜902と、半導体層907と重なる位置においてゲート絶縁膜902上に位置し、なおかつゲートとして機能する導電膜906と、ソースまたはドレインとして機能し、半導体層907上に位置する導電膜908及び導電膜909とを有する。導電膜906は、コンタクトホールを介して導電膜905に接続されている。

【0141】

トランジスタ104は、絶縁表面を有する基板900上に、半導体層907と、半導体層907上のゲート絶縁膜902と、半導体層907と重なる位置においてゲート絶縁膜9

50

02上に位置し、なおかつゲートとして機能する導電膜910と、ソースまたはドレインとして機能し、半導体層907上に位置する導電膜911及び導電膜908とを有する。導電膜910は、走査線G2としても機能する。導電膜911は、コンタクトホールを介して導電膜906に接続されている。なお、図8では、トランジスタ102とトランジスタ104とが一の半導体層907を共有しているが、トランジスタ102とトランジスタ104とが互いに独立した半導体層を有していても良い。

【0142】

トランジスタ105は、絶縁表面を有する基板900上に、半導体層913と、半導体層913上のゲート絶縁膜902と、半導体層913と重なる位置においてゲート絶縁膜902上に位置し、なおかつゲートとして機能する導電膜912と、ソースまたはドレインとして機能し、半導体層913上に位置する導電膜908及び導電膜914とを有する。導電膜912は、走査線G3としても機能する。導電膜914は電源線VAとしても機能する。

10

【0143】

トランジスタ106は、絶縁表面を有する基板900上に、半導体層916と、半導体層916上のゲート絶縁膜902と、半導体層916と重なる位置においてゲート絶縁膜902上に位置し、なおかつゲートとして機能する導電膜915と、ソースまたはドレインとして機能し、半導体層916上に位置する導電膜909及び導電膜917とを有する。導電膜915は走査線G4としても機能する。

【0144】

容量素子107は、絶縁表面を有する基板900上に、半導体層907と、半導体層907上のゲート絶縁膜902と、半導体層907と重なる位置においてゲート絶縁膜902上に位置する導電膜906とを有する。なお、図8では、容量素子107と、トランジスタ102とが一の半導体層907を共有しているが、容量素子107と、トランジスタ102とが、互いに独立した半導体層を有していても良い。

20

【0145】

容量素子108は、絶縁表面を有する基板900上に、半導体層918と、半導体層918上のゲート絶縁膜902と、半導体層918と重なる位置においてゲート絶縁膜902上に位置する導電膜906とを有する。半導体層918は、導電膜917を介して、電源線VBとしても機能する導電膜930に接続している。

30

【0146】

トランジスタ109は、絶縁表面を有する基板900上に、半導体層913と、半導体層913上のゲート絶縁膜902と、半導体層913と重なる位置においてゲート絶縁膜902上に位置し、なおかつゲートとして機能する導電膜919と、ソースまたはドレインとして機能し、半導体層913上に位置する導電膜908及び導電膜921とを有する。導電膜919は走査線G2としても機能する。また、導電膜921は、コンタクトホールを介して、電源線VCとして機能する導電膜922に接続されている。なお、図8では、トランジスタ105とトランジスタ109とが一の半導体層913を共有しているが、トランジスタ105とトランジスタ109とが互いに独立した半導体層を有していても良い。

40

【0147】

また、導電膜904、導電膜905、導電膜908、導電膜909、導電膜911、導電膜914、導電膜917、導電膜921上には、絶縁膜923が形成されている。そして、絶縁膜923上には、アノードとして機能する導電膜925が設けられている。導電膜925は、絶縁膜923に形成されたコンタクトホール926を介して、導電膜909に接続されている。

【0148】

また、導電膜925の一部が露出するような開口部を有した絶縁膜927が、絶縁膜923上に設けられている。導電膜925の一部及び絶縁膜927上には、電界発光層928と、カソードとして機能する導電膜929とが、順に積層するように設けられている。導

50

電膜 925 と、電界発光層 928 と、導電膜 929 とが重なっている領域が、発光素子 101 に相当する。

【0149】

なお、図 8 では、導電膜 910 と導電膜 919 とが共に走査線 G2 としても機能する場合を例示しているが、導電膜 910 と導電膜 919 とが一の導電膜で構成されていても良い。

【0150】

なお、半導体層 903、半導体層 907、半導体層 913、半導体層 916、半導体層 918 には、単結晶である、シリコン又はゲルマニウムなどの半導体を用いる。

【0151】

半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 が単結晶のシリコンである場合、まず、単結晶の半導体基板であるボンド基板を用意する。そして上記ボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁表面を有する基板 900 とを貼り合わせる。貼り合わせは、ボンド基板と基板 900 とを重ね合わせた後、ボンド基板と基板 900 の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と基板 900 の絶縁表面とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドの体積が増大し、微小ボイドどうしが結合する。その結果、脆化層においてボンド基板の一部である単結晶半導体層が、ボンド基板から分離する。上記加熱処理の温度は、基板 900 の歪み点を越えない温度とする。そして、上記単結晶半導体層をエッチング等により所望の形状に加工することで、半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 を形成することができる。

【0152】

半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、パターニングする前の半導体層に対して行っても良いし、パターニング後に形成された半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体層に対して、又はパターニングにより形成された半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 に対しても行っても良い。

【0153】

なお、半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体層 918 は、例えば、絶縁表面を有する基板 900 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体層を用いても良いし、上記半導体層を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を基板 900 として用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 程度の高温アニール法などを用いても良い。

【0154】

また、半導体層 903、半導体層 907、半導体層 913、半導体層 916、及び半導体

10

20

30

40

50

層 9 1 8 に、酸化物半導体などのワイドギャップ半導体を用いても良い。酸化物半導体を半導体層 9 0 3、半導体層 9 0 7、半導体層 9 1 3、半導体層 9 1 6、及び半導体層 9 1 8 に用いる場合、ドーパントを上記半導体層に添加して、ソースまたはドレインとして機能する不純物領域を形成する。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 15 族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【 0 1 5 5 】

なお、本発明の一態様に係る発光装置では、白色などの単色の光を発する発光素子と、カラーフィルタを組み合わせることで、フルカラー画像の表示を行う、カラーフィルタ方式を採用することができる。或いは、互いに異なる色相の光を発する複数の発光素子を用いて、フルカラー画像の表示を行う方式を採用することもできる。この方式は、発光素子が有する一対の電極間に設けられる電界発光層を、対応する色ごとに塗り分けるため、塗り分け方式と呼ばれる。

10

【 0 1 5 6 】

塗り分け方式の場合、電界発光層の塗り分けは、通常、メタルマスクなどのマスクを用いて、蒸着法で行われる。そのため、画素のサイズは蒸着法による電界発光層の塗り分け精度に依存する。一方、カラーフィルタ方式の場合、塗り分け方式とは異なり、電界発光層の塗り分けを行う必要がない。よって、塗り分け方式の場合よりも、画素サイズの縮小化が容易であり、高精細の画素部を実現することができる。

20

【 0 1 5 7 】

また、発光装置には、トランジスタが形成された基板 8 0 0 または基板 9 0 0 などの素子基板側から発光素子の光を取り出すボトムエミッション構造と、素子基板とは反対の側から発光素子の光を取り出すトップエミッション構造とがある。トップエミッション構造の場合、発光素子から発せられる光を、配線、トランジスタ、保持容量などの各種素子によって遮られることがないため、ボトムエミッション構造に比べて、画素からの光の取り出し効率を高めることができる。よって、トップエミッション構造は、発光素子に供給する電流値を低く抑えても、高い輝度を得ることができるため、発光素子の長寿命化に有利である。

30

【 0 1 5 8 】

また、本発明の一態様に係る発光装置では、電界発光層から発せられる光を発光素子内で共振させる、マイクロキャビティ（微小光共振器）構造を有していても良い。マイクロキャビティ構造により、特定の波長の光について、発光素子からの取り出し効率を高めることができるので、画素部の輝度と色純度を向上させることができる。

【 0 1 5 9 】

図 1 0 に、マイクロキャビティ構造を有する画素の断面図を、一例として示す。なお、図 1 0 では、赤に対応する画素の断面の一部、青に対応する画素の断面の一部と、緑に対応する画素の断面の一部とを示している。

【 0 1 6 0 】

具体的に、図 1 0 では、赤に対応した画素 1 4 0 r と、緑に対応した画素 1 4 0 g と、青に対応した画素 1 4 0 b とが示されている。画素 1 4 0 r、画素 1 4 0 g、画素 1 4 0 b は、それぞれアノード 7 1 5 r、アノード 7 1 5 g、アノード 7 1 5 b を有する。上記アノード 7 1 5 r、アノード 7 1 5 g、アノード 7 1 5 b は、画素 1 4 0 r、画素 1 4 0 g、画素 1 4 0 b のそれぞれにおいて、基板 7 4 0 に形成された絶縁膜 7 5 0 の上に設けられている。

40

【 0 1 6 1 】

そして、アノード 7 1 5 r、アノード 7 1 5 g、及びアノード 7 1 5 b 上には絶縁膜を有する隔壁 7 3 0 が設けられている。隔壁 7 3 0 は開口部を有し、上記開口部において、アノード 7 1 5 r、アノード 7 1 5 g、及びアノード 7 1 5 b が、それぞれ一部露出してい

50

る。また、上記露出している領域を覆うように、隔壁730上に、電界発光層731と、可視光に対して透光性を有するカソード732とが、順に積層されている。

【0162】

アノード715rと、電界発光層731と、カソード732とが重なる部分が、赤に対応した発光素子741rに相当する。アノード715gと、電界発光層731と、カソード732とが重なる部分が、緑に対応した発光素子741gに相当する。アノード715bと、電界発光層731と、カソード732とが重なる部分が、青に対応した発光素子741bに相当する。

【0163】

また、基板742は、発光素子741r、発光素子741g、及び発光素子741bを間に挟むように、基板740と対峙している。基板742上には、画素140rに対応した着色層743r、画素140gに対応した着色層743g、画素140bに対応した着色層743bが設けられている。着色層743rは、赤に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層743gは、緑に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層743bは、青に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層である。

【0164】

さらに、基板742上には、着色層743r、着色層743g、着色層743bを覆うように、オーバーコート744が設けられている。オーバーコート744は、着色層743r、着色層743g、着色層743bを保護するための、可視光に対して透光性を有する層であり、平坦性の高い樹脂材料を用いるのが好ましい。着色層743r、着色層743g、及び着色層743bと、オーバーコート744とを合わせてカラーフィルタと見なしても良いし、着色層743r、着色層743g、及び着色層743bのそれぞれをカラーフィルタと見なしても良い。

【0165】

そして、図10では、アノード715rに、可視光の反射率が高い導電膜745rと、可視光の透過率が上記導電膜745rよりも高い導電膜746rとを、順に積層して用いる。また、アノード715gに、可視光の反射率が高い導電膜745gと、可視光の透過率が上記導電膜745gよりも高い導電膜746gとを、順に積層して用いる。導電膜746gの膜厚は、導電膜746rの膜厚よりも小さいものとする。また、アノード715bに、可視光の反射率が高い導電膜745bを用いる。

【0166】

よって、図10に示す発光装置では、発光素子741rにおいて、電界発光層731から発せられた光の光路長は、導電膜745rとカソード732の距離により調節することができる。また、発光素子741gにおいて、電界発光層731から発せられた光の光路長は、導電膜745gとカソード732の距離により調節することができる。また、発光素子741bにおいて、電界発光層731から発せられた光の光路長は、導電膜745bとカソード732の距離により調節することができる。

【0167】

本発明の一態様では、発光素子741rと、発光素子741gと、発光素子741bにそれぞれ対応する光の波長に合わせて、上記光路長を調整することで、電界発光層731から発せられた光を上記各発光素子内において共振させる、マイクロキャビティ構造としても良い。例えば、図10の場合、導電膜745r、導電膜745g、または導電膜745bと、カソード732との間の距離をL、電界発光層731の屈折率をn、共振させたい光の波長を λ とすると、距離Lと屈折率nの積が、波長 λ の $(2N-1)/4$ 倍(Nは自然数)になるようにすると良い。

【0168】

上記マイクロキャビティ構造を、本発明の一態様に係る発光装置に採用することで、発光素子741rから発せられる光において、赤に対応した波長を有する光の強度が、共振により高まる。よって、着色層743rを通して得られる赤の光の色純度及び輝度が高まる

10

20

30

40

50

。また、発光素子 741g から発せられる光において、緑に対応した波長を有する光の強度が、共振により高まる。よって、着色層 743g を通して得られる緑の光の色純度及び輝度が高まる。また、発光素子 741b から発せられる光において、青に対応した波長を有する光の強度が、共振により高まる。よって、着色層 743b を通して得られる青の光の色純度及び輝度が高まる。

【0169】

なお、図 10 では、赤、緑、青の 3 色に対応する画素を用いる構成について示したが、本発明の一態様では、当該構成に限定されない。本発明の一態様で用いる色の組み合わせは、例えば、赤、緑、青、黄の 4 色、または、シアン、マゼンタ、イエローの 3 色を用いても良い。或いは、上記色の組み合わせは、淡色の赤、緑、及び青、並びに濃色の赤、緑、及び青の 6 色を用いても良い。或いは、上記色の組み合わせは、赤、緑、青、シアン、マゼンタ、イエローの 6 色を用いても良い。

10

【0170】

なお、例えば、赤、緑、及び青の画素を用いて表現できる色は、色度図上のそれぞれの発光色に対応する 3 点が描く三角形の内側に示される色に限られる。従って、赤、緑、青、黄の画素を用いた場合のように、色度図上の該三角形の外側に発光色が存在する発光素子を別途加えることで、当該発光装置において表現できる色域を拡大し、色再現性を豊かにすることができる。

【0171】

また、図 10 では、発光素子 741r、発光素子 741g、発光素子 741b のうち、光の波長 が最も短い発光素子 741b において、可視光の反射率が高い導電膜 745b をアノードとして用い、他の発光素子 741r、発光素子 741g においては、膜厚が互いに異なる導電膜 746r 及び導電膜 746g を用いることにより、光路長を調整している。本発明の一態様では、波長 が最も短い発光素子 741b においても、可視光の反射率が高い導電膜 745b 上に、導電膜 746r 及び導電膜 746g のような、可視光の透過率の高い導電膜を設けていても良い。ただし、図 10 に示すように、波長 が最も短い発光素子 741b において、可視光の反射率が高い導電膜 745b でアノードを構成する場合、全ての発光素子において、アノードに可視光の透過率が高い導電膜を用いる場合よりも、アノードの作製工程が簡素化されるため、好ましい。

20

【0172】

なお、可視光の反射率が高い導電膜 745b は、可視光の透過率が高い導電膜 746r 及び導電膜 746g に比べて、仕事関数が小さい場合が多い。よって、光の波長 が最も短い発光素子 741b では、発光素子 741r、発光素子 741g に比べて、アノード 715b から電界発光層 731 への正孔注入が行われにくいいため、発光効率が低い傾向にある。そこで、本発明の一態様では、光の波長 が最も短い発光素子 741b において、電界発光層 731 のうち、可視光の反射率が高い導電膜 745b と接する層において、正孔輸送性の高い物質に、当該正孔輸送性の高い物質に対してアクセプター性（電子受容性）を示す物質を含有させた複合材料を用いることが好ましい。上記複合材料を、アノード 715b に接して形成することにより、アノード 715b から電界発光層 731 への正孔注入が行われやすくなり、発光素子 741b の発光効率を高めることができる。

30

40

【0173】

アクセプター性を示す物質としては、7,7,8,8-テトラシアノ-2,3,5,6-テトラフルオロキノジメタン（略称：F₄-TCNQ）、クロラニル等を挙げることができる。また、遷移金属酸化物を挙げることができる。また、元素周期表における第 4 族乃至第 8 族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガ、酸化レニウムはアクセプター性が高いため好ましい。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため好ましい。

【0174】

複合材料に用いる正孔輸送性の高い物質としては、芳香族アミン化合物、カルバゾール誘

50

導体、芳香族炭化水素、高分子化合物（オリゴマー、 dendroマー、ポリマー等）など、種々の化合物を用いることができる。なお、複合材料に用いる有機化合物としては、正孔輸送性の高い有機化合物であることが好ましい。具体的には、 $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。

【0175】

また、可視光の反射率が高い導電膜745r、導電膜745g、導電膜745bとしては、例えば、アルミニウム、銀、または、これらの金属材料を含む合金等を、単層で、或いは積層することで、形成することができる。また、導電膜745r、導電膜745g、導電膜745bを、可視光の反射率の高い導電膜と、膜厚の薄い導電膜（好ましくは20nm以下、更に好ましくは10nm以下）とを積層させて、形成してもよい。例えば、可視光の反射率の高い導電膜上に、薄いチタン膜やモリブデン膜を積層して、導電膜745bを形成することにより、可視光の反射率の高い導電膜（アルミニウム、アルミニウムを含む合金、または銀など）の表面に酸化膜が形成されるのを防ぐことができる。

10

【0176】

また、可視光の透過率が高い導電膜746r及び導電膜746gには、例えば、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物などを用いることができる。

【0177】

また、カソード732は、例えば、光を透過する程度の薄い導電膜（好ましくは20nm以下、更に好ましくは10nm以下）と、導電性の金属酸化物で構成された導電膜とを積層することで、形成することができる。光を透過する程度の薄い導電膜は、銀、マグネシウム、またはこれらの金属材料を含む合金等を、単層で、或いは積層して形成することができる。導電性の金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物、またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

20

【0178】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0179】

（実施の形態3）

本実施の形態では、本発明の発光装置の具体的な構成の一例について説明する。図11に、本実施の形態における発光装置のブロック図を、一例として示す。なお、図11に示すブロック図では、発光装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

30

【0180】

図11に示す発光装置は、画素を複数有する画素部500と、各画素をラインごとに選択する走査線駆動回路510と、選択されたラインの画素への画像信号の入力を制御する信号線駆動回路520とを有する。

【0181】

画素部500の構成としては、例えば上記実施の形態1に示す発光装置における画素部の構成を適用することができる。

40

【0182】

信号線駆動回路520は、シフトレジスタ521、第1の記憶回路522、第2の記憶回路523、DA変換回路524を有している。シフトレジスタ521には、クロック信号S-CLK、スタートパルス信号S-SPが入力される。シフトレジスタ521は、これらクロック信号S-CLK及びスタートパルス信号S-SPに従って、パルスが順次シフトするタイミング信号を生成し、第1の記憶回路522に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

【0183】

50

第1の記憶回路522にタイミング信号が入力されると、該タイミング信号のパルスに従って、画像信号が順に第1の記憶回路522に書き込まれ、保持される。なお、第1の記憶回路522が有する複数の記憶回路に順に画像信号を書き込んでも良いが、第1の記憶回路522が有する複数の記憶回路をいくつかのグループに分け、該グループごとに並行して画像信号を入力する、いわゆる分割駆動を行っても良い。

【0184】

第1の記憶回路522の全ての記憶回路への、画像信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0185】

1ライン期間が終了すると、第2の記憶回路523に入力されるラッチ信号S-LSのパルスに従って、第1の記憶回路522に保持されている画像信号が、第2の記憶回路523に一斉に書き込まれ、保持される。画像信号を第2の記憶回路523に送出し終えた第1の記憶回路522には、再びシフトレジスタ521からのタイミング信号に従って、次の画像信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2の記憶回路523に書き込まれ、保持されている画像信号が、DA変換回路524に入力される。

【0186】

そしてDA変換回路524は、入力されたデジタルの画像信号をアナログの画像信号に変換し、信号線を介して画素部500内の各画素に入力する。

【0187】

なお、信号線駆動回路520は、シフトレジスタ521の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【0188】

また、図11では、DA変換回路524の後段に画素部500が直接接続されているが、本発明はこの構成に限定されない。画素部500の前段に、DA変換回路524から出力された画像信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えばバッファ、レベルシフトなどが挙げられる。

【0189】

次に、走査線駆動回路510の動作について説明する。走査線駆動回路510はパルスが順次シフトする選択信号を生成し、該選択信号を複数の走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、それぞれゲートが走査線の一つに電気的に接続された複数のトランジスタが適宜オン状態又はオフ状態になり、各信号又は電源電位の供給が行われる。

【0190】

なお、画素部500、走査線駆動回路510、信号線駆動回路520は、同じ基板に形成することができるが、いずれかを異なる基板で形成することもできる。

【0191】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0192】

(実施の形態4)

本実施の形態では、本発明の発光装置の具体的な構成の一例について説明する。図12に、本実施の形態における発光装置のブロック図を、一例として示す。なお、図12に示すブロック図では、発光装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0193】

図12に示す本発明の発光装置は、複数の画素を有する画素部600と、複数の画素をラインごとに選択する走査線駆動回路610と、選択されたライン内の画素への画像信号の入力を制御する信号線駆動回路620とを有する。

【0194】

10

20

30

40

50

画素部 600 の構成としては、例えば上記実施の形態 1 に示す発光装置における画素部の構成を適用することができる。

【0195】

信号線駆動回路 620 は、シフトレジスタ 621 と、サンプリング回路 622 と、アナログ信号を記憶することができる記憶回路 623 とを少なくとも有する。シフトレジスタ 621 にクロック信号 S - CLK と、スタートパルス信号 S - SP が入力される。シフトレジスタ 621 はこれらクロック信号 S - CLK 及びスタートパルス信号 S - SP に従って、パルスが順次シフトするタイミング信号を生成し、サンプリング回路 622 に入力する。サンプリング回路 622 では、入力されたタイミング信号に従って、信号線駆動回路 620 に入力された 1 ライン期間分のアナログの画像信号をサンプリングする。そして 1 ライン期間分の画像信号が全てサンプリングされると、サンプリングされた画像信号はラッチ信号 S - LS に従って一斉に記憶回路 623 へ出力され、保持される。記憶回路 623 に保持される画像信号は、信号線を介して画素部 600 へ入力される。

10

【0196】

なお本実施の形態では、サンプリング回路 622 において 1 ライン期間分の画像信号を全てサンプリングした後に、一斉に下段の記憶回路 623 にサンプリングされた画像信号を入力する場合を例に挙げて説明するが、本発明はこの構成に限定されない。サンプリング回路 622 において各画素に対応する画像信号をサンプリングしたら、1 ライン期間を待たずに、その都度下段の記憶回路 623 にサンプリングされた画像信号を入力しても良い。

20

【0197】

また画像信号のサンプリングは対応する画素毎に順に行っても良いし、1 ライン内の画素をいくつかのグループに分け、各グループに対応する画素ごとに並行して行っても良い。

【0198】

なお図 12 では記憶回路 623 の後段に直接画素部 600 が接続されているが、本発明はこの構成に限定されない。画素部 600 の前段に、記憶回路 623 から出力されたアナログの画像信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

【0199】

そして、記憶回路 623 から画素部 600 へ画像信号が入力されると並行して、サンプリング回路 622 は次のライン期間に対応する画像信号を再びサンプリングすることができる。

30

【0200】

次に、走査線駆動回路 610 の動作について説明する。走査線駆動回路 610 はパルスが順次シフトする選択信号を生成し、該選択信号を複数の走査線へ入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、ゲートのそれぞれが走査線の一つに電気的に接続された複数のトランジスタが適宜オン状態又はオフ状態になり、各信号又は電源電位の供給が行われる。

【0201】

なお、画素部 600、走査線駆動回路 610、信号線駆動回路 620 は、同じ基板に形成することができるが、いずれかを異なる基板で形成することもできる。

40

【0202】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0203】

(実施の形態 5)

図 13 は、本発明の一態様に係る発光装置の斜視図の一例である。図 13 では、上記実施の形態における発光装置を表示部に用いた場合の、発光装置を例示している。

【0204】

図 13 に示す発光装置は、表示部 1601 と、回路基板 1602 と、接続部 1603 とを有している。

50

【 0 2 0 5 】

回路基板 1 6 0 2 には、画像処理部が設けられており、接続部 1 6 0 3 を介して各種信号や電源電位が表示部 1 6 0 1 に入力される。接続部 1 6 0 3 には、F P C (F l e x i b l e P r i n t e d C i r c u i t) などを用いることができる。また、接続部 1 6 0 3 に C O F テープを用いる場合、画像処理部の一部の回路、或いは表示部 1 6 0 1 が有する駆動回路の一部などを別途用意したチップに形成しておき、C O F (C h i p O n F i l m) 法を用いて当該チップを C O F テープに接続しておいても良い。

【 0 2 0 6 】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【 0 2 0 7 】

(実施の形態 6)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、L e v i n s o n モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

【 0 2 0 8 】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

【 0 2 0 9 】

【数 4】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【 0 2 1 0 】

ここで、E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、L e v i n s o n モデルでは、以下の式で表される。

【 0 2 1 1 】

【数 5】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【 0 2 1 2 】

ここで、e は電気素量、N はチャネル内の単位面積当たりの平均欠陥密度、 μ は半導体の誘電率、n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、以下の式となる。

【 0 2 1 3 】

【数 6】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【 0 2 1 4 】

ここで、L はチャネル長、W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

10

20

30

40

50

【0215】

【数7】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0216】

数7の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d/V_g)$ 、横軸を $1/V_g$ とする直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの I_d/V_g 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In:Sn:Zn=1:1:1$ のものでは欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

10

【0217】

このようにして求めた欠陥密度等をもとに数4および数5より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。欠陥のある $In-Sn-Zn$ 系酸化物で測定される移動度は $35 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0218】

ただし、半導体内部に欠陥がなくても、チャンネルとゲート絶縁物との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁物界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

20

【0219】

【数8】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0220】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ (界面散乱が及ぶ深さ)である。 D が増加する(すなわち、ゲート電圧が高くなる)と数8の第2項が増加するため、移動度 μ_1 は低下することがわかる。

30

【0221】

半導体内部の欠陥が無い理想的な酸化物半導体をチャンネルに用いたトランジスタの移動度 μ_2 を計算した結果を図18に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0222】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁物の厚さは100nm、比誘電率は4.1とした。チャンネル長およびチャンネル幅はともに10 μm 、ドレイン電圧 V_d は0.1Vである。

40

【0223】

図18で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が望ましい。

【0224】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図19乃至図21に示す。なお、計算に用いたトランジスタの断面構

50

造を図 22 に示す。図 22 に示すトランジスタは酸化半導体層に n^+ の導電型を呈する半導体領域 8103a および半導体領域 8103c を有する。半導体領域 8103a および半導体領域 8103c の抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0225】

図 22 (A) に示すトランジスタは、下地絶縁物 8101 と、下地絶縁物 8101 に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物 8102 の上に形成される。トランジスタは半導体領域 8103a、半導体領域 8103c と、それらに挟まれ、チャネル形成領域となる真性の半導体領域 8103b と、ゲート 8105 を有する。ゲート 8105 の幅を 33 nm とする。

【0226】

ゲート 8105 と半導体領域 8103b の間には、ゲート絶縁物 8104 を有し、また、ゲート 8105 の両側面には側壁絶縁物 8106a および側壁絶縁物 8106b、ゲート 8105 の上部には、ゲート 8105 と他の配線との短絡を防止するための絶縁物 8107 を有する。側壁絶縁物の幅は 5 nm とする。また、半導体領域 8103a および半導体領域 8103c に接して、ソース 8108a およびドレイン 8108b を有する。なお、このトランジスタにおけるチャネル幅を 40 nm とする。

【0227】

図 22 (B) に示すトランジスタは、下地絶縁物 8101 と、酸化アルミニウムよりなる埋め込み絶縁物 8102 の上に形成され、半導体領域 8103a、半導体領域 8103c と、それらに挟まれた真性の半導体領域 8103b と、幅 33 nm のゲート 8105 とゲート絶縁物 8104 と側壁絶縁物 8106a および側壁絶縁物 8106b と絶縁物 8107 とソース 8108a およびドレイン 8108b を有する点で図 22 (A) に示すトランジスタと同じである。

【0228】

図 22 (A) に示すトランジスタと図 22 (B) に示すトランジスタの相違点は、側壁絶縁物 8106a および側壁絶縁物 8106b の下の半導体領域の導電型である。図 22 (A) に示すトランジスタでは、側壁絶縁物 8106a および側壁絶縁物 8106b の下の半導体領域は n^+ の導電型を呈する半導体領域 8103a および半導体領域 8103c であるが、図 22 (B) に示すトランジスタでは、真性の半導体領域 8103b である。すなわち、半導体領域 8103a (半導体領域 8103c) とゲート 8105 が L_{off} だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 8106a (側壁絶縁物 8106b) の幅と同じである。

【0229】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 19 は、図 22 (A) に示される構造のトランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0230】

図 19 (A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 19 (B) は 10 nm としたものであり、図 19 (C) は 5 nm としたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、10 μ A を超えることが示された。

【0231】

図 20 は、図 22 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 5 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を

10

20

30

40

50

+ 0.1 Vとして計算したものである。図20(A)はゲート絶縁膜の厚さを15 nmとしたものであり、図20(B)は10 nmとしたものであり、図20(C)は5 nmとしたものである。

【0232】

また、図21は、図22(B)に示される構造のトランジスタで、オフセット長 L_{off} を15 nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1 Vとし、移動度 μ はドレイン電圧を+0.1 Vとして計算したものである。図21(A)はゲート絶縁膜の厚さを15 nmとしたものであり、図21(B)は10 nmとしたものであり、図21(C)は5 nmとしたものである。

10

【0233】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0234】

なお、移動度 μ のピークは、図19では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図20では $60 \text{ cm}^2 / \text{Vs}$ 程度、図21では $40 \text{ cm}^2 / \text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流はオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1 V前後で、 $10 \mu\text{A}$ を超えることが示された。

【0235】

20

(実施の形態7)

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5 atomic %以上含まれる元素をいう。そこで、本実施の形態では、酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させた場合を図23乃至図29を用いて説明する。

【0236】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

30

【0237】

例えば、図23(A)~(C)は、In、Sn、Znを主成分とし、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $10 \mu\text{m}$ である酸化物半導体膜と、厚さ 100 nm のゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は10 Vとした。

【0238】

図23(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8 \text{ cm}^2 / \text{Vs}$ が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図23(B)は基板を 200°C に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2 \text{ cm}^2 / \text{Vs}$ が得られている。

40

【0239】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図23(C)は、In、Sn、Znを主成分とする酸化物半導体膜を 200°C でスパッタリング成膜した後、 650°C で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5 \text{ cm}^2 / \text{Vs}$ が得られている。

【0240】

50

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V s e c}$ を超える電界効果移動度を実現することも可能になると推定される。

【0241】

In 、 Sn 、 Zn を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

10

【0242】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In 、 Sn 、 Zn を主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図23(A)と図23(B)の対比からも確認することができる。

20

【0243】

なお、しきい値電圧は In 、 Sn 及び Zn の比率を変えることによっても制御することが可能であり、組成比として $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0244】

意図的な基板加熱温度若しくは熱処理温度は、 150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

30

【0245】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2 \text{ MV} / \text{cm}$ 、 150 、 1 時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

【0246】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、 650 の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0247】

まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁膜に印加される電界強度が $2 \text{ MV} / \text{cm}$ となるように V_g として 20 V を印加し、そのまま 1 時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

40

【0248】

同様に、まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁膜に印加される電界強度が $-2 \text{ MV} / \text{cm}$ となるように V_g に -20 V を印加し、そのまま 1 時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 1

50

0 Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナス B T 試験と呼ぶ。

【0249】

試料1のプラス B T 試験の結果を図24(A)に、マイナス B T 試験の結果を図24(B)に示す。また、試料2のプラス B T 試験の結果を図25(A)に、マイナス B T 試験の結果を図25(B)に示す。

【0250】

試料1のプラス B T 試験およびマイナス B T 試験によるしきい値電圧の変動は、それぞれ1.80 Vおよび-0.42 Vであった。また、試料2のプラス B T 試験およびマイナス B T 試験によるしきい値電圧の変動は、それぞれ0.79 Vおよび0.76 Vであった。試料1および試料2のいずれも、B T 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

10

【0251】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0252】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

20

【0253】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

30

【0254】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

【0255】

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

【0256】

脱水素化処理済みの石英基板上に $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜を 100 nm の厚さで成膜した。

40

【0257】

$\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100 W (DC) として成膜した。ターゲットは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子数比] の $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

【0258】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気中で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

50

【0259】

図28に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が 35 deg 近傍および $37\text{ deg} \sim 38\text{ deg}$ に結晶由来のピークが観測された。

【0260】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0261】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含まないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1\text{ aA}/\mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1\mu\text{m}$ あたりの電流値を示す。

10

【0262】

具体的には、図29に示すように、基板温度が 125°C の場合には $1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{ A}/\mu\text{m}$) 以下、 85°C の場合には $100\text{ zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{ A}/\mu\text{m}$) 以下、室温 (27°C) の場合には $1\text{ zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{ A}/\mu\text{m}$) 以下にすることができる。好ましくは、 125°C において $0.1\text{ aA}/\mu\text{m}$ ($1 \times 10^{-19}\text{ A}/\mu\text{m}$) 以下に、 85°C において $10\text{ zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{ A}/\mu\text{m}$) 以下に、室温において $0.1\text{ zA}/\mu\text{m}$ ($1 \times 10^{-22}\text{ A}/\mu\text{m}$) 以下にすることができる。

20

【0263】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70°C 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

30

【0264】

また、酸化物半導体膜成膜後に 650°C の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0265】

測定に用いたトランジスタは、チャンネル長 L が $3\mu\text{m}$ 、チャンネル幅 W が $10\mu\text{m}$ 、 L_{ov} が片側 $3\mu\text{m}$ (合計 $6\mu\text{m}$)、 dW が $0\mu\text{m}$ である。なお、 V_d は 10V とした。なお、基板温度は -40°C 、 -25°C 、 25°C 、 75°C 、 125°C および 150°C で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一对の電極のはみ出しを dW と呼ぶ。

40

【0266】

図26に、 I_d (実線) および電界効果移動度 (点線) の V_g 依存性を示す。また、図27(A)に基板温度としきい値電圧の関係を、図27(B)に基板温度と電界効果移動度の関係を示す。

【0267】

図27(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $1.09\text{V} \sim -0.23\text{V}$ であった。

【0268】

また、図27(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $36\text{ cm}^2/\text{Vs} \sim 32\text{ cm}^2/\text{Vs}$ であった。

50

従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0269】

上記のような I_n 、 S_n 、 Z_n を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vsec}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vsec}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vsec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

10

【実施例1】

【0270】

本実施例では、 $I_n - S_n - Z_n - O$ 膜を酸化物半導体膜に用いたトランジスタの一例について、図30などを用いて説明する。

【0271】

図30は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図30(A)にトランジスタの上面図を示す。また、図30(B)に図30(A)の一点鎖線A-Bに対応する断面A-Bを示す。

20

【0272】

図30(B)に示すトランジスタは、基板2100と、基板2100上に設けられた下地絶縁膜2102と、下地絶縁膜2102の周辺に設けられた保護絶縁膜2104と、下地絶縁膜2102および保護絶縁膜2104上に設けられた高抵抗領域2106aおよび低抵抗領域2106bを有する酸化物半導体膜2106と、酸化物半導体膜2106上に設けられたゲート絶縁膜2108と、ゲート絶縁膜2108を介して酸化物半導体膜2106と重畳して設けられたゲート電極2110と、ゲート電極2110の側面と接して設けられた側壁絶縁膜2112と、少なくとも低抵抗領域2106bと接して設けられた一対の電極2114と、少なくとも酸化物半導体膜2106、ゲート電極2110および一対の電極2114を覆って設けられた層間絶縁膜2116と、層間絶縁膜2116に設けられた開口部を介して少なくとも一対の電極2114の一方と接続して設けられた配線2118と、を有する。

30

【0273】

なお、図示しないが、層間絶縁膜2116および配線2118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜2116の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

【実施例2】

【0274】

本実施例では、上記とは異なる $I_n - S_n - Z_n - O$ 膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

40

【0275】

図31は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図31(A)はトランジスタの上面図である。また、図31(B)は図31(A)の一点鎖線A-Bに対応する断面図である。

【0276】

図31(B)に示すトランジスタは、基板3600と、基板3600上に設けられた下地絶縁膜3602と、下地絶縁膜3602上に設けられた酸化物半導体膜3606と、酸化物半導体膜3606と接する一対の電極3614と、酸化物半導体膜3606および一対の電極3614上に設けられたゲート絶縁膜3608と、ゲート絶縁膜3608を介して

50

酸化物半導体膜 3606 と重畳して設けられたゲート電極 3610 と、ゲート絶縁膜 3608 およびゲート電極 3610 を覆って設けられた層間絶縁膜 3616 と、層間絶縁膜 3616 に設けられた開口部を介して一对の電極 3614 と接続する配線 3618 と、層間絶縁膜 3616 および配線 3618 を覆って設けられた保護膜 3620 と、を有する。

【0277】

基板 3600 としてはガラス基板を、下地絶縁膜 3602 としては酸化シリコン膜を、酸化物半導体膜 3606 としては In - Sn - Zn - O 膜を、一对の電極 3614 としてはタングステン膜を、ゲート絶縁膜 3608 としては酸化シリコン膜を、ゲート電極 3610 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 3616 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 3618 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 3620 としてはポリイミド膜を、それぞれ用いた。

10

【0278】

なお、図 31 (A) に示す構造のトランジスタにおいて、ゲート電極 3610 と一对の電極 3614 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 3606 に対する一对の電極 3614 のはみ出しを dW と呼ぶ。

【実施例 3】

【0279】

本発明の一態様に係る発光装置は、画像発光装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD : Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る発光装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 14 に示す。

20

【0280】

図 14 (A) は携帯型ゲーム機であり、筐体 5001、筐体 5002、画像表示部 5003、画像表示部 5004、マイクロホン 5005、スピーカー 5006、操作キー 5007、スタイラス 5008 等を有する。本発明の一態様に係る発光装置を、画像表示部 5003 または画像表示部 5004 に用いることができる。画像表示部 5003 または画像表示部 5004 に本発明の一態様に係る発光装置を用いることで、高画質の携帯型ゲーム機を提供することができる。なお、図 14 (A) に示した携帯型ゲーム機は、2つの画像表示部 5003 と画像表示部 5004 とを有しているが、携帯型ゲーム機が有する画像表示部の数は、これに限定されない。

30

【0281】

図 14 (B) はノート型パーソナルコンピュータであり、筐体 5201、画像表示部 5202、キーボード 5203、ポインティングデバイス 5204 等を有する。本発明の一態様に係る発光装置は、画像表示部 5202 に用いることができる。画像表示部 5202 に本発明の一態様に係る発光装置を用いることで、高画質のノート型パーソナルコンピュータを提供することができる。

40

【0282】

図 14 (C) は携帯情報端末であり、筐体 5401、画像表示部 5402、操作キー 5403 等を有する。本発明の一態様に係る発光装置は、画像表示部 5402 に用いることができる。画像表示部 5402 に本発明の一態様に係る発光装置を用いることで、高画質の携帯情報端末を提供することができる。

【0283】

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

50

【 0 2 8 4 】

本実施例は、上記実施の形態と適宜組み合わせる実施することができる。

【 符号の説明 】

【 0 2 8 5 】

| | | |
|---------|----------|----|
| 1 0 1 | 発光素子 | |
| 1 0 2 | トランジスタ | |
| 1 0 3 | トランジスタ | |
| 1 0 4 | トランジスタ | |
| 1 0 5 | トランジスタ | |
| 1 0 6 | トランジスタ | 10 |
| 1 0 7 | 容量素子 | |
| 1 0 8 | 容量素子 | |
| 1 0 9 | トランジスタ | |
| 1 4 0 b | 画素 | |
| 1 4 0 g | 画素 | |
| 1 4 0 r | 画素 | |
| 5 0 0 | 画素部 | |
| 5 1 0 | 走査線駆動回路 | |
| 5 2 0 | 信号線駆動回路 | |
| 5 2 1 | シフトレジスタ | 20 |
| 5 2 2 | 記憶回路 | |
| 5 2 3 | 記憶回路 | |
| 5 2 4 | D A 変換回路 | |
| 6 0 0 | 画素部 | |
| 6 1 0 | 走査線駆動回路 | |
| 6 2 0 | 信号線駆動回路 | |
| 6 2 1 | シフトレジスタ | |
| 6 2 2 | サンプリング回路 | |
| 6 2 3 | 記憶回路 | |
| 7 1 5 b | アノード | 30 |
| 7 1 5 g | アノード | |
| 7 1 5 r | アノード | |
| 7 3 0 | 隔壁 | |
| 7 3 1 | 電界発光層 | |
| 7 3 2 | カソード | |
| 7 4 0 | 基板 | |
| 7 4 1 b | 発光素子 | |
| 7 4 1 g | 発光素子 | |
| 7 4 1 r | 発光素子 | |
| 7 4 2 | 基板 | 40 |
| 7 4 3 b | 着色層 | |
| 7 4 3 g | 着色層 | |
| 7 4 3 r | 着色層 | |
| 7 4 4 | オーバーコート | |
| 7 4 5 b | 導電膜 | |
| 7 4 5 g | 導電膜 | |
| 7 4 5 r | 導電膜 | |
| 7 4 6 g | 導電膜 | |
| 7 4 6 r | 導電膜 | |
| 7 5 0 | 絶縁膜 | 50 |

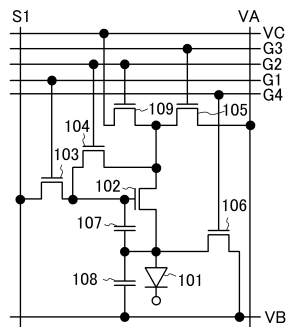
| | | |
|-------|----------|----|
| 8 0 0 | 基板 | |
| 8 0 1 | 導電膜 | |
| 8 0 2 | ゲート絶縁膜 | |
| 8 0 3 | 半導体層 | |
| 8 0 4 | 導電膜 | |
| 8 0 5 | 導電膜 | |
| 8 0 6 | 導電膜 | |
| 8 0 7 | 半導体層 | |
| 8 0 8 | 導電膜 | |
| 8 0 9 | 導電膜 | 10 |
| 8 1 0 | 導電膜 | |
| 8 1 1 | 半導体層 | |
| 8 1 2 | 導電膜 | |
| 8 1 3 | 半導体層 | |
| 8 1 4 | 導電膜 | |
| 8 1 5 | 導電膜 | |
| 8 1 6 | 半導体層 | |
| 8 1 7 | 導電膜 | |
| 8 1 8 | 導電膜 | |
| 8 1 9 | 導電膜 | 20 |
| 8 2 0 | 半導体層 | |
| 8 2 1 | 導電膜 | |
| 8 2 2 | 導電膜 | |
| 8 2 3 | 絶縁膜 | |
| 8 2 4 | 絶縁膜 | |
| 8 2 5 | 導電膜 | |
| 8 2 6 | コンタクトホール | |
| 8 2 7 | 絶縁膜 | |
| 8 2 8 | 電界発光層 | |
| 8 2 9 | 導電膜 | 30 |
| 9 0 0 | 基板 | |
| 9 0 1 | 導電膜 | |
| 9 0 2 | ゲート絶縁膜 | |
| 9 0 3 | 半導体層 | |
| 9 0 4 | 導電膜 | |
| 9 0 5 | 導電膜 | |
| 9 0 6 | 導電膜 | |
| 9 0 7 | 半導体層 | |
| 9 0 8 | 導電膜 | |
| 9 0 9 | 導電膜 | 40 |
| 9 1 0 | 導電膜 | |
| 9 1 1 | 導電膜 | |
| 9 1 2 | 導電膜 | |
| 9 1 3 | 半導体層 | |
| 9 1 4 | 導電膜 | |
| 9 1 5 | 導電膜 | |
| 9 1 6 | 半導体層 | |
| 9 1 7 | 導電膜 | |
| 9 1 8 | 半導体層 | |
| 9 1 9 | 導電膜 | 50 |

| | | |
|-----------|-------------|----|
| 9 2 1 | 導電膜 | |
| 9 2 2 | 導電膜 | |
| 9 2 3 | 絶縁膜 | |
| 9 2 5 | 導電膜 | |
| 9 2 6 | コンタクトホール | |
| 9 2 7 | 絶縁膜 | |
| 9 2 8 | 電界発光層 | |
| 9 2 9 | 導電膜 | |
| 9 3 0 | 導電膜 | |
| 1 6 0 1 | 表示部 | 10 |
| 1 6 0 2 | 回路基板 | |
| 1 6 0 3 | 接続部 | |
| 2 1 0 0 | 基板 | |
| 2 1 0 2 | 下地絶縁膜 | |
| 2 1 0 4 | 保護絶縁膜 | |
| 2 1 0 6 a | 高抵抗領域 | |
| 2 1 0 6 b | 低抵抗領域 | |
| 2 1 0 6 | 酸化物半導体膜 | |
| 2 1 0 8 | ゲート絶縁膜 | |
| 2 1 1 0 | ゲート電極 | 20 |
| 2 1 1 2 | 側壁絶縁膜 | |
| 2 1 1 4 | 一对の電極 | |
| 2 1 1 6 | 層間絶縁膜 | |
| 2 1 1 8 | 配線 | |
| 3 6 0 0 | 基板 | |
| 3 6 0 2 | 下地絶縁膜 | |
| 3 6 0 6 | 酸化物半導体膜 | |
| 3 6 0 8 | ゲート絶縁膜 | |
| 3 6 1 0 | ゲート電極 | |
| 3 6 1 4 | 一对の電極 | 30 |
| 3 6 1 6 | 層間絶縁膜 | |
| 3 6 1 8 | 配線 | |
| 3 6 2 0 | 保護膜 | |
| 5 0 0 1 | 筐体 | |
| 5 0 0 2 | 筐体 | |
| 5 0 0 3 | 画像表示部 | |
| 5 0 0 4 | 画像表示部 | |
| 5 0 0 5 | マイクロホン | |
| 5 0 0 6 | スピーカー | |
| 5 0 0 7 | 操作キー | 40 |
| 5 0 0 8 | スタイラス | |
| 5 2 0 1 | 筐体 | |
| 5 2 0 2 | 画像表示部 | |
| 5 2 0 3 | キーボード | |
| 5 2 0 4 | ポインティングデバイス | |
| 5 4 0 1 | 筐体 | |
| 5 4 0 2 | 画像表示部 | |
| 5 4 0 3 | 操作キー | |
| 8 1 0 1 | 下地絶縁物 | |
| 8 1 0 2 | 埋め込み絶縁物 | 50 |

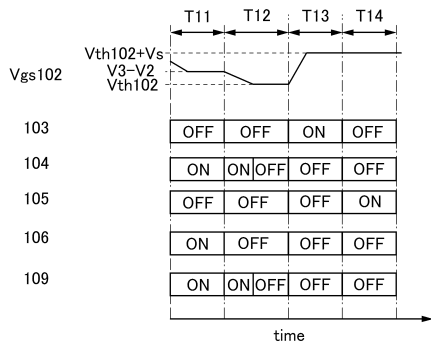
- 8 1 0 3 a 半導体領域
- 8 1 0 3 b 半導体領域
- 8 1 0 3 c 半導体領域
- 8 1 0 4 ゲート絶縁物
- 8 1 0 5 ゲート
- 8 1 0 6 a 側壁絶縁物
- 8 1 0 6 b 側壁絶縁物
- 8 1 0 7 絶縁物
- 8 1 0 8 a ソース
- 8 1 0 8 b ドレイン

【図1】

(A)

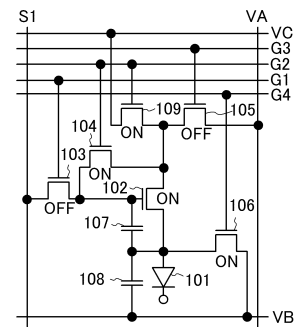


(B)

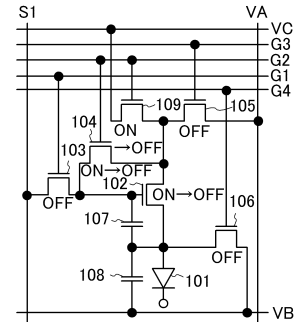


【図2】

(A) T11

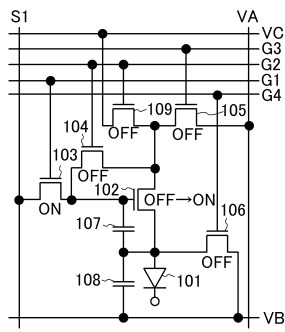


(B) T12

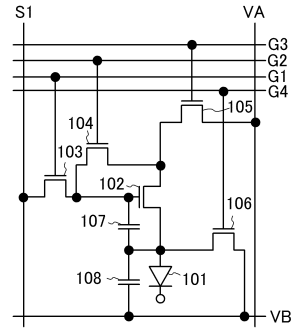


【 図 3 】

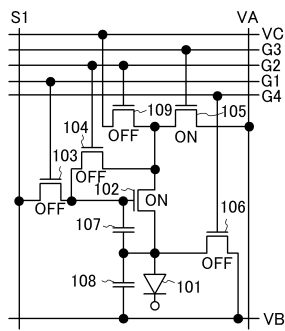
(A) T13



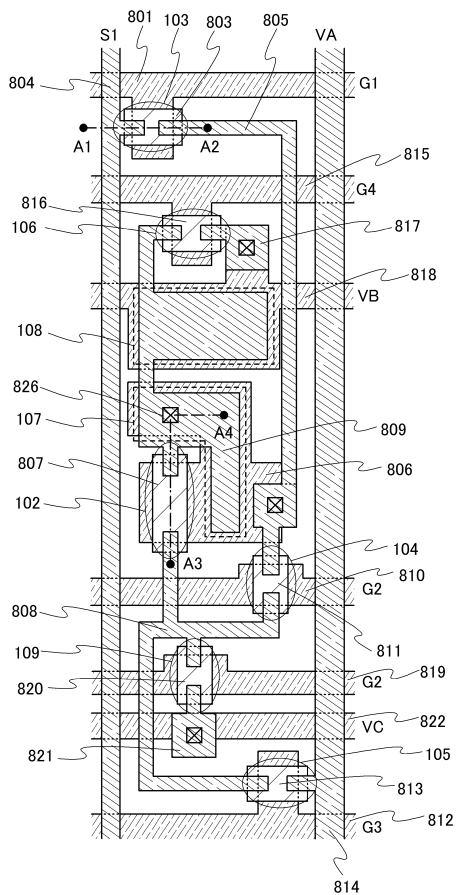
【 図 4 】



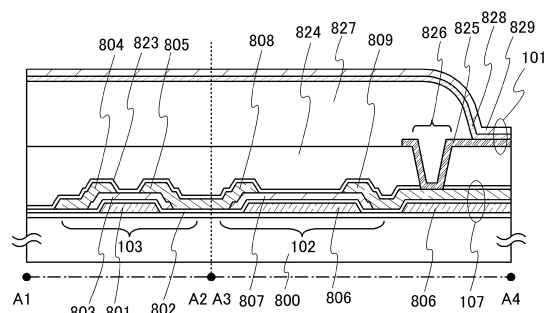
(B) T14



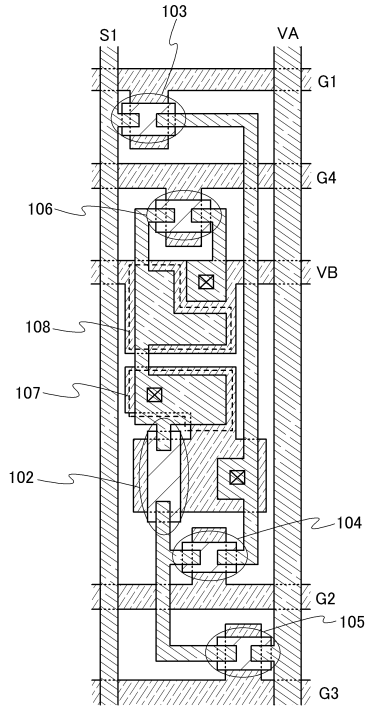
【 図 5 】



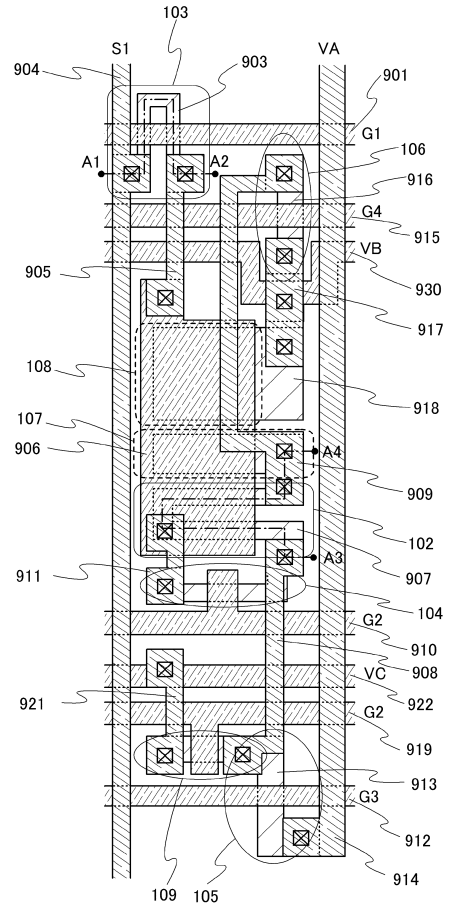
【 図 6 】



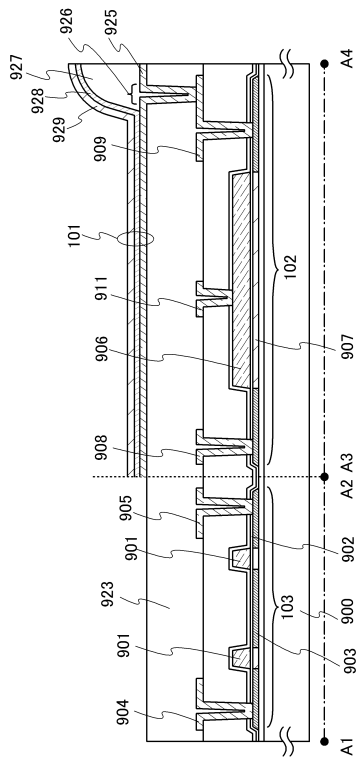
【 図 7 】



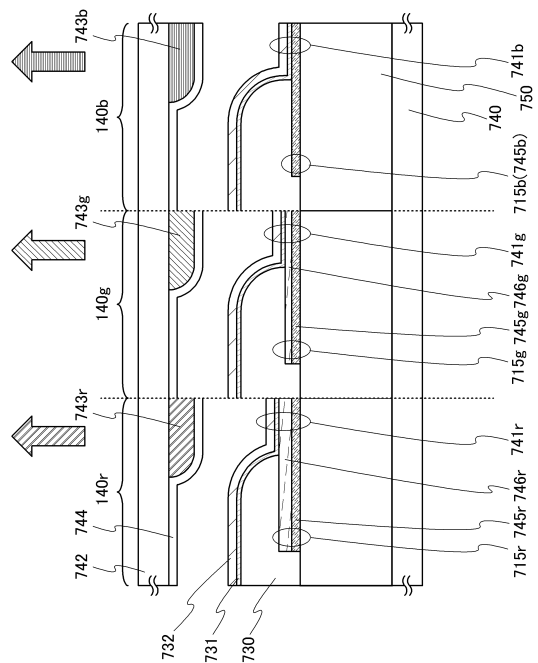
【 図 8 】



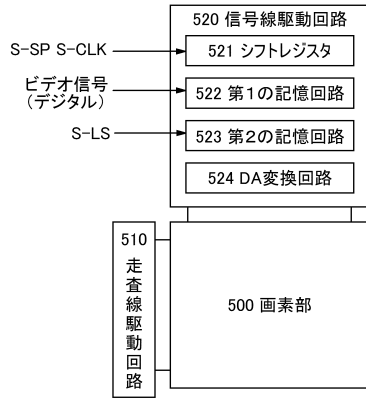
【 図 9 】



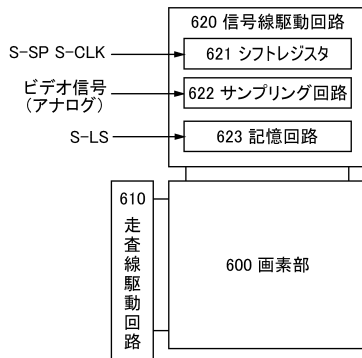
【 図 10 】



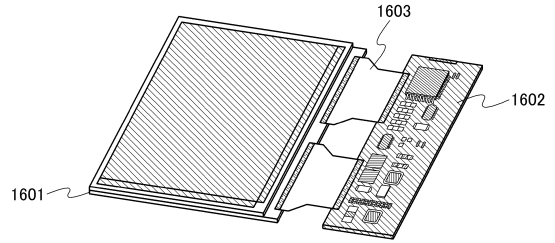
【図11】



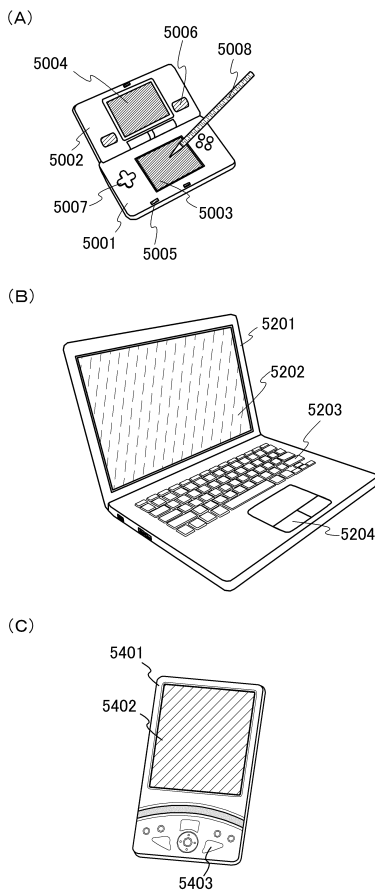
【図12】



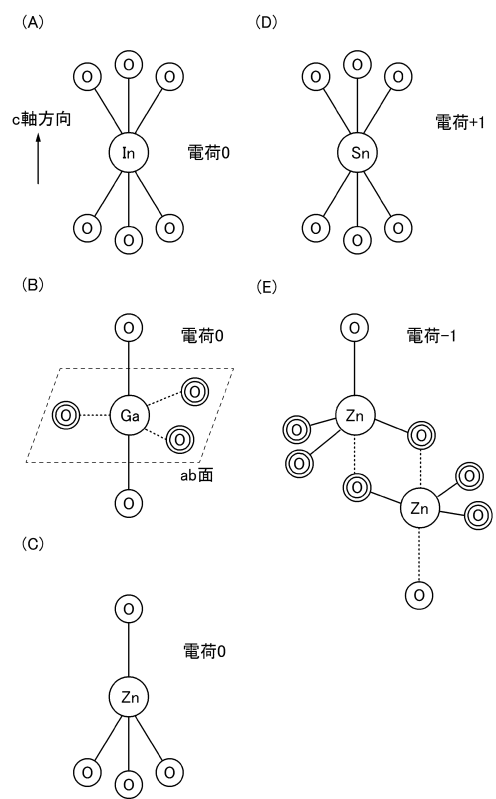
【図13】



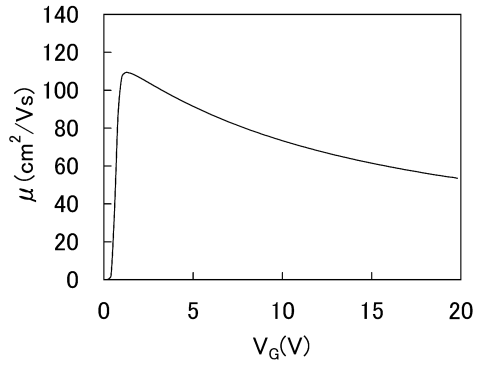
【図14】



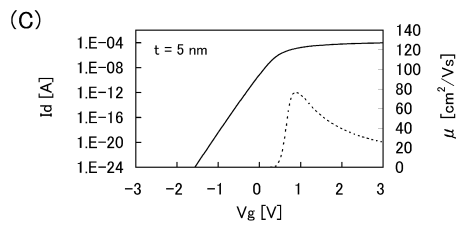
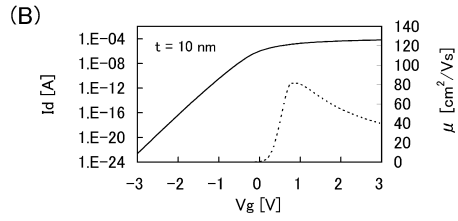
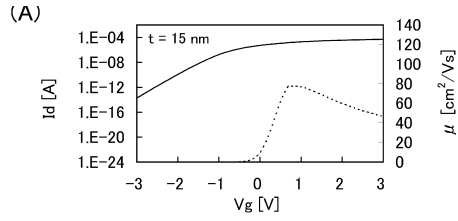
【図15】



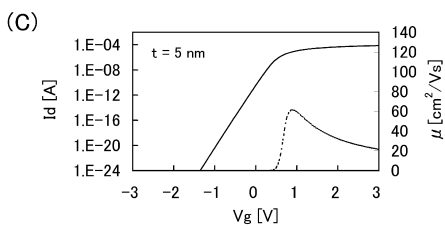
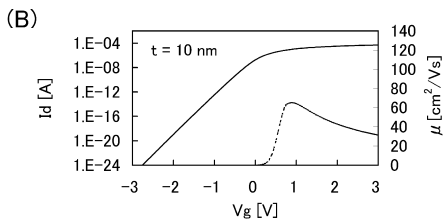
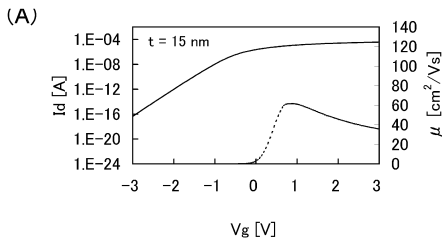
【 18 】



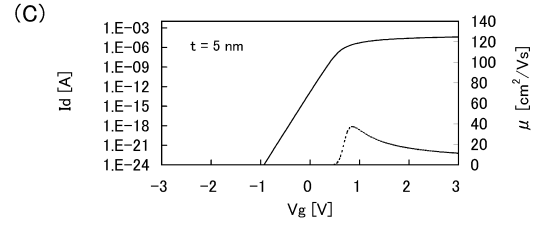
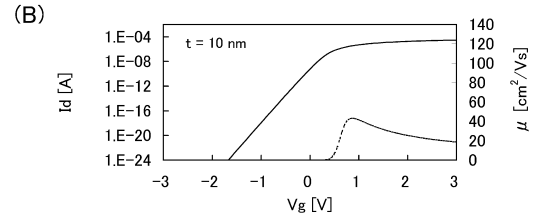
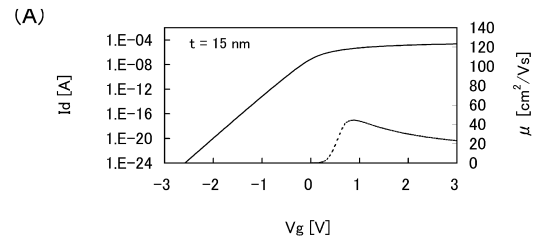
【 19 】



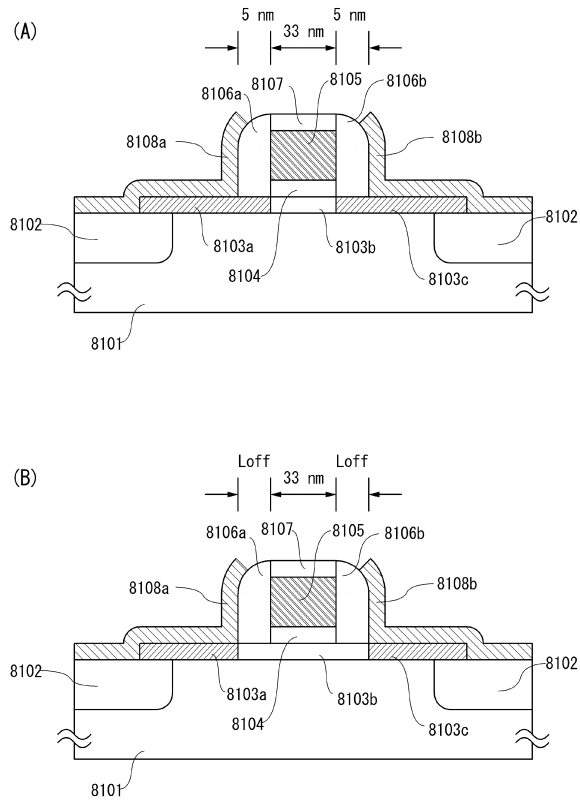
【 20 】



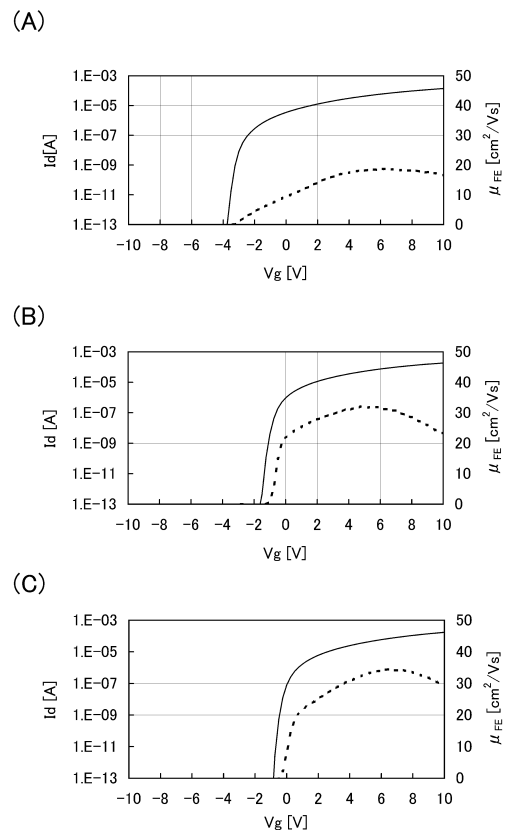
【 21 】



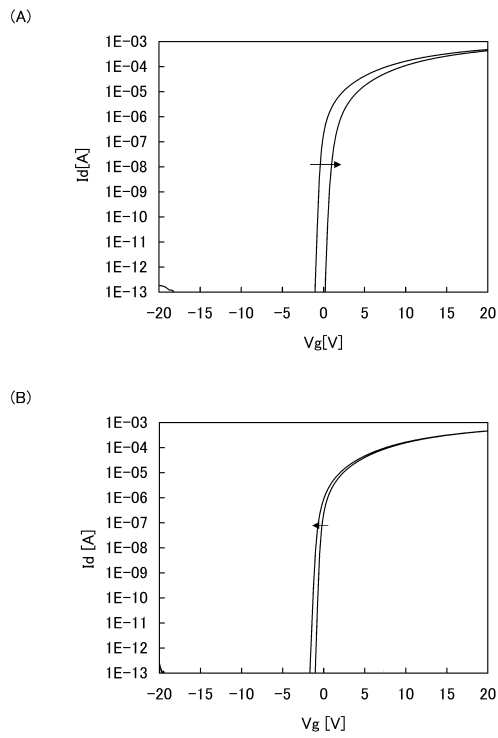
【 図 2 2 】



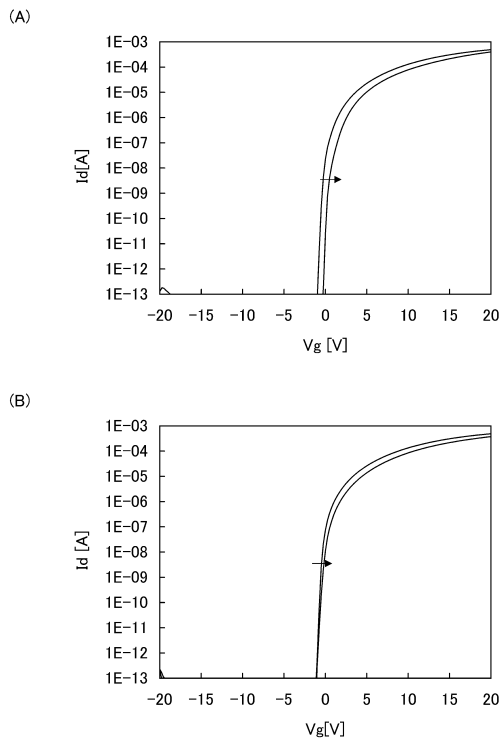
【 図 2 3 】



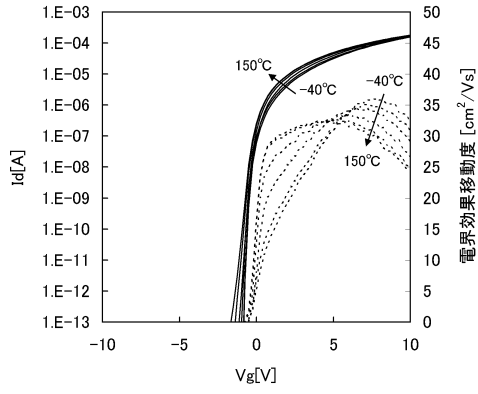
【 図 2 4 】



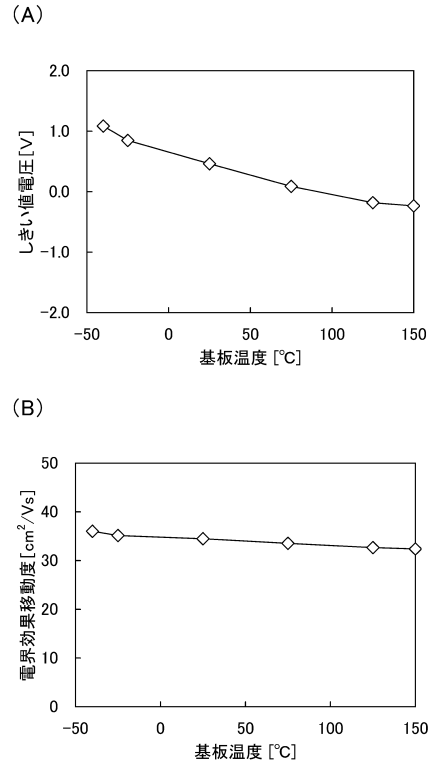
【 図 2 5 】



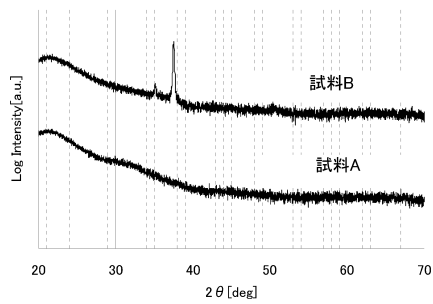
【図 26】



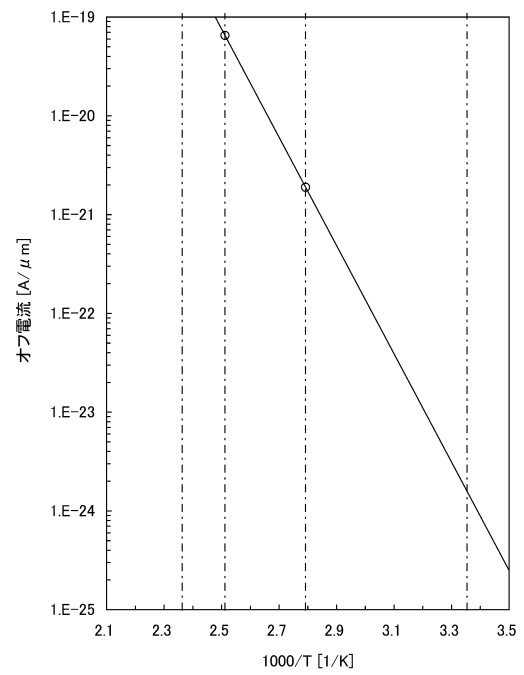
【図 27】



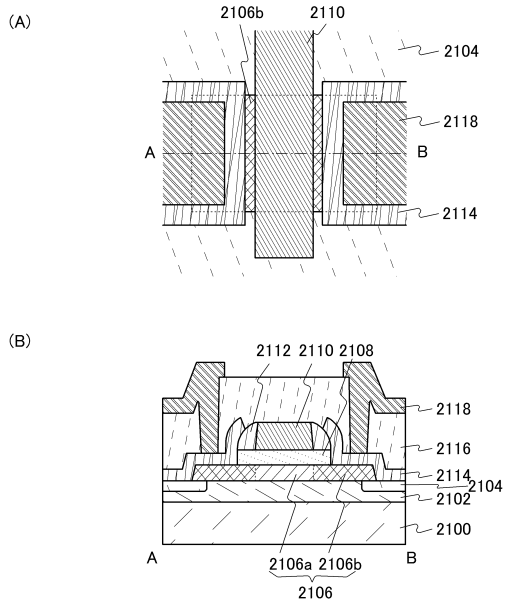
【図 28】



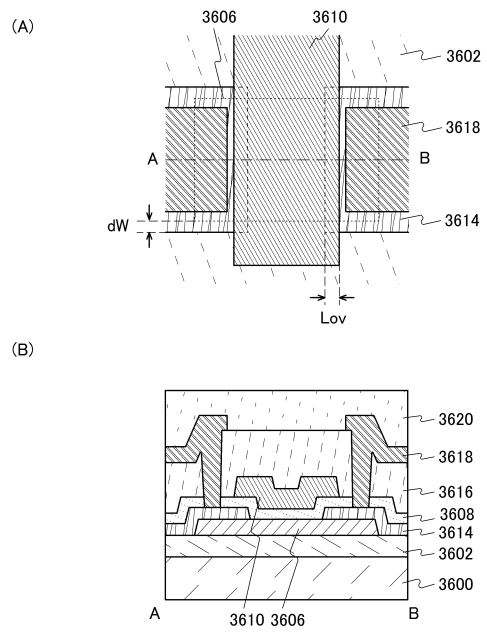
【図 29】



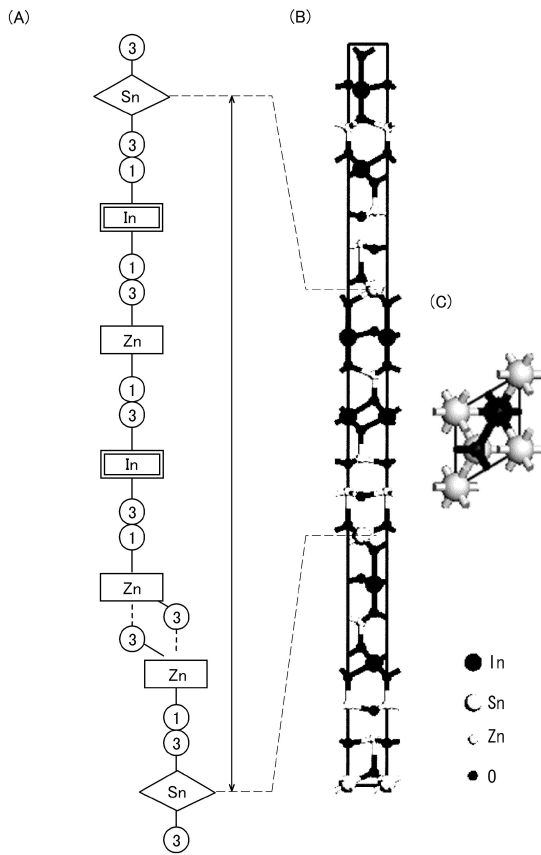
【 3 0 】



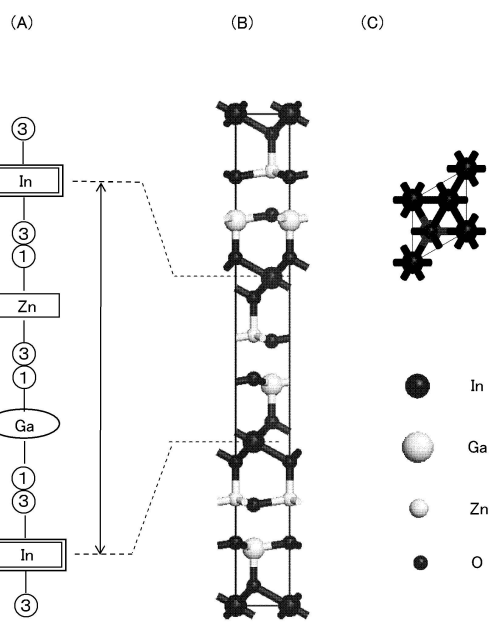
【 3 1 】



【 1 6 】



【 1 7 】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(31)優先権主張番号 特願2011-108587(P2011-108587)

(32)優先日 平成23年5月13日(2011.5.13)

(33)優先権主張国 日本国(JP)

(56)参考文献 米国特許出願公開第2010/0156762(US, A1)

特開2010-224532(JP, A)

特開2007-108380(JP, A)

特開2007-156420(JP, A)

特開2006-309149(JP, A)

特開2009-258397(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

H 0 1 L 5 1 / 5 0