



(12) 发明专利申请

(10) 申请公布号 CN 103904056 A

(43) 申请公布日 2014. 07. 02

(21) 申请号 201410129743. 9

H01L 21/56(2006. 01)

(22) 申请日 2014. 04. 02

(71) 申请人 华进半导体封装先导技术研发中心  
有限公司

地址 214135 江苏省无锡市新区太湖国际科  
技园菱湖大道 200 号中国传感网国际  
创新园 D1 栋

(72) 发明人 陈南南 王宏杰

(74) 专利代理机构 无锡市大为专利商标事务所  
(普通合伙) 32104

代理人 曹祖良 刘海

(51) Int. Cl.

H01L 23/538(2006. 01)

H01L 23/31(2006. 01)

H01L 21/768(2006. 01)

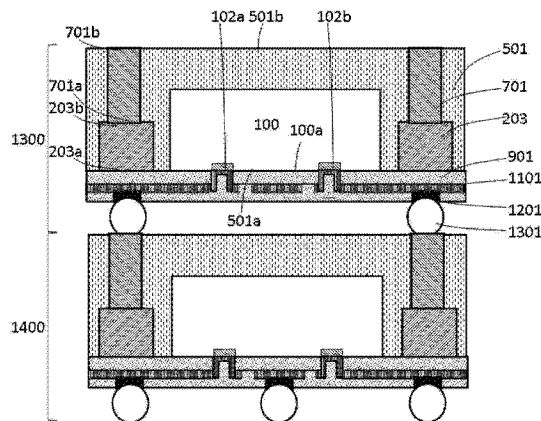
权利要求书2页 说明书5页 附图8页

(54) 发明名称

一种 PoP 封装结构及制造工艺

(57) 摘要

本发明涉及一种 PoP 封装结构及制造工艺,特征是,在扇外型封装单元制作时,采用芯片面朝下的工艺流程,通过在载片上先制作一层金属层,然后芯片面朝下贴放于金属层的开槽内,从而增强扇外型晶圆级封装的刚性和热胀系数,使得整个晶圆的翘曲以及因塑封料涨缩引起的滑移、错位等得到控制。塑封以后在背面开孔,填充金属,形成金属柱与金属层形成电互连,并且在金属柱上端制作 RDL 层(再布线层),最后制作 UBM、置球,形成单颗扇外型封装单元体。这样的封装单元可以通过封装单元背面的电极和其它封装体连接,形成多层 PoP 封装。



1. 一种 PoP 封装结构,包括上层封装结构(1300)和下层封装结构(1400);其特征是:所述上层封装结构(1300)和下层封装结构(1400)为扇外型封装单元体,所述扇外型封装单元体包括塑封材料(501),在塑封材料(501)中部设置芯片(100),芯片(100)的正面(100a)与塑封材料(501)的正面(501a)平齐,在芯片(100)的正面(100a)设置第一金属电极(102a)和第二金属电极(102b);在所述塑封材料(501)中设置金属层(203)和金属柱(701),金属层(203)的第一表面(203a)与塑封材料(501)的正面(501a)平齐,金属层(203)的第二表面(501b)与金属柱(701)的第一表面(701a)连接,金属柱(701)的第二表面(701b)与塑封材料(501)的背面(501b)平齐;在所述塑封材料(501)的正面(501a)设置第一介电层(901),在第一介电层(901)中设置再布线金属走线层(1101),再布线金属走线层(1101)与第一金属电极(102a)和第二金属电极(102b)形成电连接;在所述第一介电层(901)上设置凸点下金属层(1201),凸点下金属层(1201)的一端与布线金属走线层(1101)连接,凸点下金属层(1201)的另一端置焊球(1301);所述上层封装结构(1300)通过焊球(1301)与下层封装结构(1400)形成连接,下层封装结构(1400)的塑封材料(501)内金属柱(701)的设置位置及数量与上层封装结构(1300)的焊球(1301)相对应。

2. 如权利要求 1 所述的 PoP 封装结构,其特征是:在所述塑封材料(501)的背面(501b)还可以设置第二介电层(901a),在第二介电层(901a)中制作背面凸点下金属层(1201a)和背面再布线金属走线层(1101a),背面凸点下金属层(1201a)通过背面再布线金属走线层(1101a)和金属柱(701)形成电互联。

3. 一种 PoP 封装结构的制造工艺,其特征是,采用以下步骤:

(1)准备载体圆片(201),在载体圆片(201)的上表面涂覆第一粘胶层(202),并制作金属层(203),在金属层(203)上制作通孔,裸露出载体圆片(201)的上表面;在金属层(203)的通孔底部涂覆第二粘胶层(202a),将芯片(100)的正面(100a)朝下粘贴于载体圆片(201)上;

(2)将金属层(203)、芯片(100)塑封于塑封材料(501)中;

(3)在塑封材料(501)上制作通孔,裸露出金属层(203)的上表面;在得到的通孔内制作金属柱(701);

(4)去除载体圆片(201),清洗去除第一粘胶层(202)和第二粘胶层(202a),裸露出芯片(100)的正面(100a),上下翻转 180 度,将芯片(100)的正面(100a)朝上;

(5)在步骤(4)得到的塑封材料(501)的正面(501a)涂覆第一介电层(901),在第一介电层(901)上形成图形开口(1001),并实现第一金属电极(102a)、第二金属电极(102b)单层或多层再布线金属走线,得到再布线金属走线层(1101);

(6)在再布线金属走线层(1101)的上表面涂覆第一介电层(901)并制作凸点下金属层(1201);

(7)在凸点下金属层(1201)上植球回流,得到焊球(1301)凸点阵列;

(8)将两个单颗的扇外型芯片封装结构进行堆叠、回流,得到三维堆叠的 PoP 封装结构。

4. 如权利要求 3 所述的 PoP 封装结构的制造工艺,其特征是:所述金属层(203)采用溅射、沉积或电镀方法制成,或者采用金属箔/片或金属网板制成。

5. 如权利要求 3 所述的 PoP 封装结构的制造工艺,其特征是:还包括对所述步骤(7)重

构得到的圆片进行减薄、切割。

6. 如权利要求 3 所述的 PoP 封装结构的制造工艺,其特征是:在步骤(6)完成后,步骤(7)植球回流操作之前还包括:将步骤(6)得到的圆片翻转 180 度,重复步骤(5)和(6),在塑封材料(501)的背面(501b)制作第二介电层(901a),在第二介电层(901a)上制作背面再布线金属走线层(1101a)和背面凸点下金属层(1201a);然后再翻转 180 度进行步骤(7)的植球、回流操作。

## 一种 PoP 封装结构及制造工艺

### 技术领域

[0001] 本发明涉及一种 PoP 封装结构及制造工艺,属于半导体封装技术领域。

### 背景技术

[0002] 作为目前封装高密集成的主要方式,PoP (package on package,层叠封装)得到越来越多的重视。芯片的堆叠是提高电子封装高密化的主要途径之间,PoP 设计已经在业界得到比较广泛的开发和应用。但是,采用塑封(molding)工艺的扇外型封装的 PoP 解决方案在翘曲(warpage)控制方面非常困难,翘曲会导致电气连接断开,半导体元件无法正常运行。

### 发明内容

[0003] 本发明的目的是克服现有技术中存在的不足,提供一种 PoP 封装结构及制造工艺,有效改善翘曲,简单易行。

[0004] 按照本发明提供的技术方案,所述 PoP 封装结构,包括上层封装结构和下层封装结构;其特征是:所述上层封装结构和下层封装结构为扇外型封装单元体,所述扇外型封装单元体包括塑封材料,在塑封材料中部设置芯片,芯片的正面与塑封材料的正面平齐,在芯片的正面设置第一金属电极和第二金属电极;在所述塑封材料中设置金属层和金属柱,金属层的第一表面与塑封材料的正面平齐,金属层的第二表面与金属柱的第一表面连接,金属柱的第二表面与塑封材料的背面平齐;在所述塑封材料的正面设置第一介电层,在第一介电层中设置再布线金属走线层,再布线金属走线层与第一金属电极和第二金属电极形成电连接;在所述第一介电层上设置凸点下金属层,凸点下金属层的一端与布线金属走线层连接,凸点下金属层的另一端置焊球;所述上层封装结构通过焊球与下层封装结构形成连接,下层封装结构的塑封材料内金属柱的设置位置及数量与上层封装结构的焊球相对应。

[0005] 在所述塑封材料的背面还可以设置第二介电层,在第二介电层中制作背面凸点下金属层和背面再布线金属走线层,背面凸点下金属层通过背面再布线金属走线层和金属柱形成电互联。

[0006] 所述 PoP 封装结构的制造工艺,其特征是,采用以下步骤:

(1) 准备载体圆片,在载体圆片的上表面涂覆第一粘胶层,并制作金属层,在金属层上制作通孔,裸露出载体圆片的上表面;在金属层的通孔底部涂覆第二粘胶层,将芯片的正面朝下粘贴于载体圆片上;

(2) 将金属层、芯片塑封于塑封材料中;

(3) 在塑封材料上制作通孔,裸露出金属层的上表面;在得到的通孔内制作金属柱;

(4) 去除载体圆片,清洗去除第一粘胶层和第二粘胶层,裸露出芯片的正面,上下翻转 180 度,将芯片的正面朝上;

(5) 在步骤(4)得到的塑封材料的正面涂覆第一介电层,在第一介电层上形成图形开

口,并实现第一金属电极、第二金属电极单层或多层再布线金属走线,得到再布线金属走线层;

(6) 在再布线金属走线层的上表面涂覆第一介电层并制作凸点下金属层;

(7) 在凸点下金属层上植球回流,得到焊球凸点阵列;

(8) 将两个单颗的扇出型芯片封装结构进行堆叠、回流,得到三维堆叠的 PoP 封装结构。

[0007] 所述金属层采用溅射、沉积或电镀方法制成,或者采用金属箔/片或金属网板制成。

[0008] 还包括对所述步骤(7)重构得到的圆片进行减薄、切割。

[0009] 在步骤(6)完成后,步骤(7)植球回流操作之前还包括:将步骤(6)得到的圆片翻转 180 度,重复步骤(5)和(6),在塑封材料的背面制作第二介电层,在第二介电层上制作背面再布线金属走线层和背面凸点下金属层;然后再翻转 180 度进行步骤(7)的植球、回流操作。

[0010] 本发明所述的 PoP 封装结构及制造工艺将扇出型封装应用于 PoP 封装结构,作为 PoP 封装结构中的封装单元,有效改善翘曲;并且简单易行;同时在 PoP 上下封装互连的部分,金属通孔的填充也更为容易。

#### 附图说明

[0011] 图 1 为所述 IC 圆片的示意图。

[0012] 图 2 为所述 IC 圆片的切割示意图。

[0013] 图 3 为所述 IC 圆片切割后的示意图。

[0014] 图 4 为所述载体圆片上制作金属片的示意图。

[0015] 图 5 为在所述金属层上制作通孔的示意图。

[0016] 图 6 为在所述金属层的通孔底部粘贴芯片的示意图。

[0017] 图 7 为将金属层、芯片塑封于塑封材料中的示意图。

[0018] 图 8 为在塑封材料上制造通孔的示意图。

[0019] 图 9 为得到金属柱的示意图。

[0020] 图 10 为去除载体圆片和粘胶层的示意图。

[0021] 图 11 为得到第一介电层的示意图。

[0022] 图 12 为在第一介电层上得到图形开口的示意图。

[0023] 图 13 为得到再布线金属走线层的示意图。

[0024] 图 14 为得到凸点下金属层的示意图。

[0025] 图 15a 为上层封装结构或下层封装结构的第一种实施例的示意图。

[0026] 图 15b 为上层封装结构或下层封装结构的第二种实施例的示意图。

[0027] 图 15c 为上层封装结构或下层封装结构的第三种实施例的示意图。

[0028] 图 15d 为上层封装结构或下层封装结构的第四种实施例的示意图。

[0029] 图 16a 为得到 PoP 封装结构的第一种实施例的示意图。

[0030] 图 16b 为得到 PoP 封装结构的第二种实施例的示意图。

[0031] 图中序号为:芯片 100、IC 圆片 101、第一金属电极 102a、第二金属电极 102b、载片

圆片 201、第一粘胶层 202、第二粘胶层 202a、金属层 203、塑封材料 501、金属柱 701、第一介电层 901、第二介电层 901a、图形开口 1001、再布线金属走线层 1101、背面再布线金属走线层 1101a、凸点下金属层 1201、背面凸点下金属层 1201a、上层封装结构 1300、下层封装结构 1400、焊球 1301。

### 具体实施方式

[0032] 下面结合具体附图对本发明作进一步说明。

[0033] 如图 16a、图 16b 所示：所述 PoP 封装结构包括上层封装结构 1300 和下层封装结构 1400，上层封装结构 1300 通过焊球 1301 与下层封装结构 1400 形成连接，焊球 1301 与下层封装结构 1400 形成电气连接；所述下层封装结构 1400 的塑封材料 501 内设置有与焊球 1301 形成电气连接的金属柱 701，金属柱 701 的设置位置及数量与上层封装结构 1300 的焊球 1301 相对应；

如图 15a、图 15b、图 15c 所示，所述上层封装结构 1300 和下层封装结构 1400 为扇出型封装单元体，所述扇出型封装单元体包括塑封材料 501，在塑封材料 501 中部设置芯片 100，芯片 100 的正面 100a 与塑封材料 501 的正面 501a 平齐，在芯片 100 的正面 100a 设置第一金属电极 102a 和第二金属电极 102b；在所述塑封材料 501 中设置金属层 203 和金属柱 701，金属层 203 的第一表面 203a 与塑封材料 501 的正面 501a 平齐，金属层 203 的第二表面 203b 与金属柱 701 的第一表面 701a 连接，金属柱 701 的第二表面 701b 与塑封材料 501 的背面 501b 平齐；在所述塑封材料 501 的正面 501a 设置第一介电层 901，在第一介电层 901 中设置再布线金属走线层 1101，再布线金属走线层 1101 与第一金属电极 102a 和第二金属电极 102b 形成电连接；在所述第一介电层 901 上设置凸点下金属层 (UBM) 1201，凸点下金属层 1201 的一端与布线金属走线层 1101 连接，凸点下金属层 1201 的另一端置焊球 1301；

如图 15d 所示，所述扇出型封装单元体还可以采用图 15d 所示的结构，在所述塑封材料 501 的背面 501b 还可以设置第二介电层 901a，在第二介电层 901a 中制作背面凸点下金属层 (UBM) 1201a 和背面再布线金属走线层 1101a，背面凸点下金属层 1201a 通过背面再布线金属走线层 1101a 和金属柱 701 形成电互联。

[0034] 所述 PoP 封装结构的制造工艺，采用以下步骤：

(1) 如图 1 所示，取带有芯片电极的 IC 圆片 101，将上述 IC 圆片 101 减薄并切割成单颗的芯片 100 (如图 2、图 3 所示)；

(2) 如图 4 所示，准备载体圆片 201，在载体圆片 201 的上表面涂覆第一粘胶层 202，并制作金属层 203，金属层 203 采用溅射、沉积或电镀等方法制成，或者采用粘贴金属箔/片或金属网板的方式制成；

(3) 如图 5 所示，在步骤 (2) 得到的金属层 203 上制作通孔，形状为方形或圆形，尺寸大小与芯片 100 的尺寸相关，裸露出载体圆片 201 的上表面 (当采用整板时需要刻蚀通孔，并刷两次粘胶层；当采用预加工空的金属板/片时，不需要刻蚀通孔，刷 1 次粘胶层，依次粘贴金属板、芯片)；

(4) 如图 6 所示，在步骤 (3) 得到的金属层 203 的通孔底部涂覆第二粘胶层 202a，将芯片 100 的正面 100a 朝下粘贴于载体圆片 201 上；

(5) 如图 7 所示，将步骤 (4) 中的金属层 203、芯片 100 通过塑封材料 501 封成一个整

体；

(6) 如图 8 所示, 在步骤(5)得到的塑封材料 501 上制作垂直通孔, 裸露出金属层 203 的上表面；

(7) 如图 9 所示, 采用电镀、化学镀或溅射的方式在步骤(6)得到的通孔内填充导电材料, 形成金属柱 701；

(8) 如图 10 所示, 通过减薄、刻蚀等方法去除载体圆片 201, 清洗去除第一粘胶层 202 和第二粘胶层 202a, 裸露出芯片 100 的正面 100a, 上下翻转 180 度, 芯片 100 的正面 100a 朝上；

(9) 如图 11 ~ 图 13 所示, 在步骤(8)得到的塑封材料 501 的正面 501a 涂覆第一介电层 901, 通过电镀、化学镀或溅射的方式在第一介电层 901 的图形开口 1001 及其上表面制作单层或多层再布线金属走线层 1101, 再布线金属走线层 1101 用于连接第一金属电极 102a、第二金属电极 102b 及凸点下金属层 1201；

(10) 如图 14 所示, 在步骤(9)得到的再布线金属走线层 1101 的上表面涂覆第一介电层 901, 并用光学掩膜、刻蚀等方法得到凸点下金属层(UBM) 1201；

(11) 如图 15a、图 15b、图 15c、图 15d 所示, 在凸点下金属层 1201 上植球回流, 得到焊球 1301 凸点阵列；

其中, 步骤(3)在金属层 203 上制作通孔时, 在金属层 203 上制作不同的通孔以形成图 15a 和图 15b 不同的金属层 203 结构；

步骤(10)制作凸点下金属层(UBM) 1201 时, 可以根据具体需要制作相应数量, 再在相应的凸点下金属层(UBM) 1201 上植球回流, 以得到如图 15b 和图 15c 具有不同焊球数量的扇外型芯片封装结构；

或者在步骤(9)和(10)的操作完成后, 即涂覆第一介电层 901, 第一介电层 901 上制作再布线金属走线层 1101 和凸点下金属层 1201 后; 翻转 180 度, 重复步骤(9)和(10), 在塑封材料 501 的背面 501b 制作第二介电层 901a, 在第二介电层 901a 上制作背面再布线金属走线层 1101a 和背面凸点下金属层 1201a; 然后翻转进行步骤(11)的植球、回流操作, 得到如图 15d 所示的扇外型芯片封装结构单元；

(12) 对步骤(11)上述重构的圆片进行减薄、切割, 形成单颗的扇外型芯片封装结构；对于如图 15d 所示的扇外型封装结构单元背面制作 RDL 层不需要进行减薄工艺；

(13) 将两个得到单颗的扇外型芯片封装结构单元进行堆叠、回流, 形成三维堆叠 PoP 封装结构。如图 16a 所示, 是将图 15c 的扇外型芯片封装结构和图 15b 的扇外型芯片封装结构进行堆叠；如图 16b 所示, 是将图 15b 的扇外型芯片封装结构和图 15d 的扇外型封装结构进行堆叠。

[0035] 本发明在扇外型封装单元制作时, 采用芯片面朝下的工艺流程, 通过在载片(carrier wafer)制作金属层, 然后芯片面朝下贴放于金属层的开槽内, 从而增强扇外型晶圆级封装(fan out WLP)的刚性和热胀系数, 使得整个晶圆(wafer)的翘曲(warp)以及因塑封料(EMC)涨缩引起的滑移、错位(shift)得到控制。塑封(Molding)以后在背面开孔, 填充金属, 与之前金属层形成电互连, 并且在金属柱上端制作 RDL 层(再布线层), 最后制作 UBM、置球, 形成单颗扇外型封装单元体。这样的封装单元可以通过封装单元背面的电极和其它封装体连接, 形成多层 PoP 封装。具体实例不一一赘述, 与本专利相关的结构和技术

均在本专利保护之列。



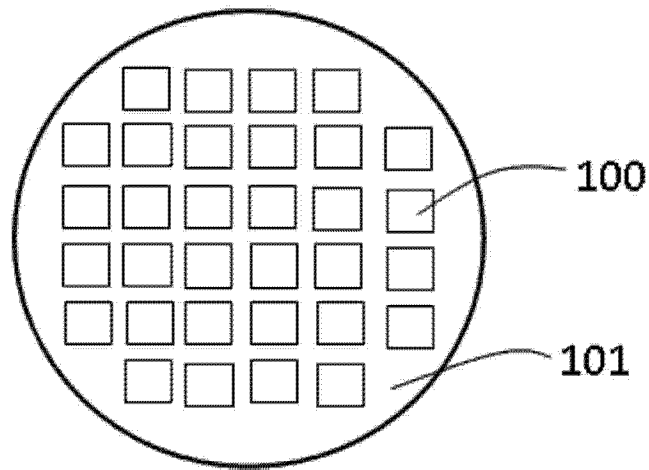


图 1

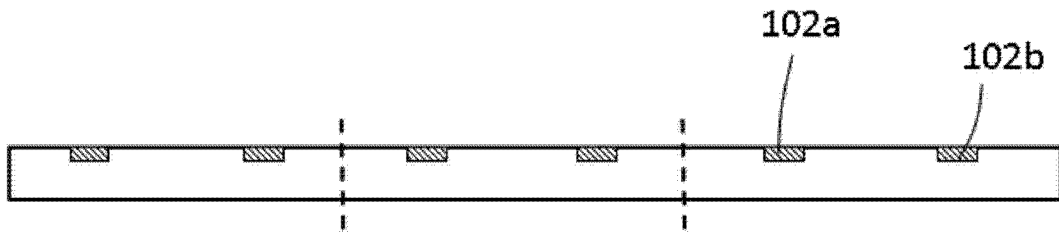


图 2

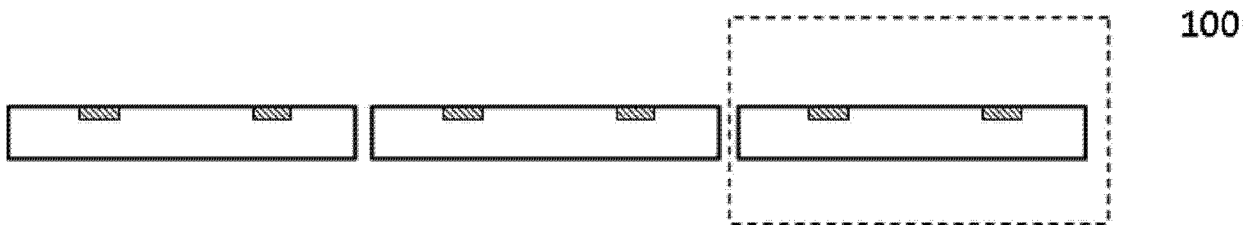


图 3

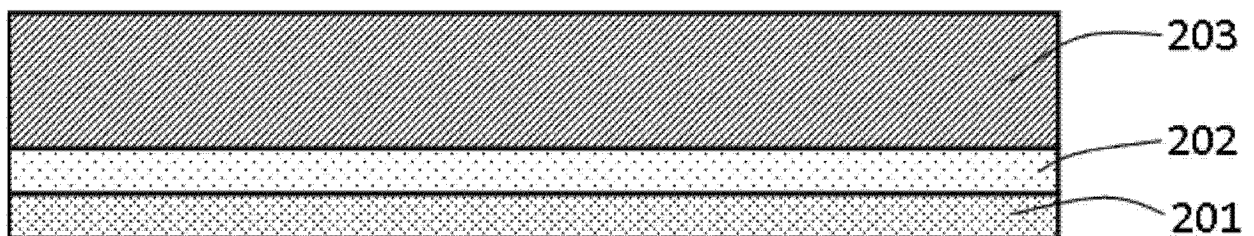


图 4

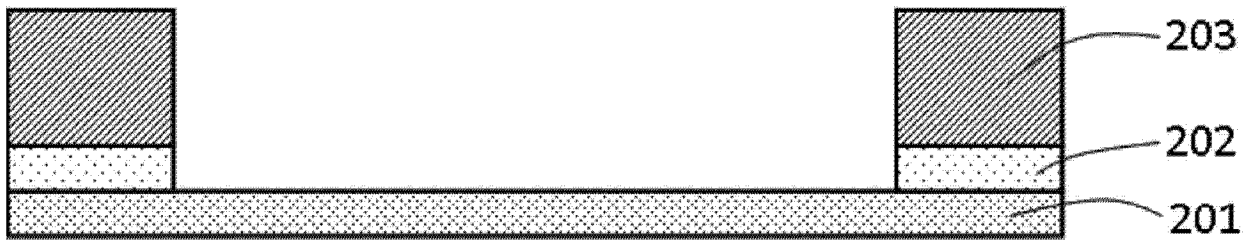


图 5

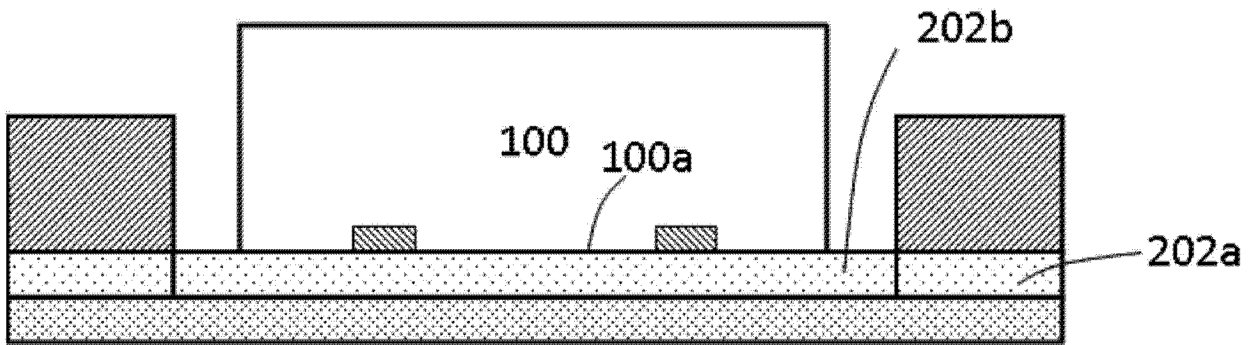


图 6

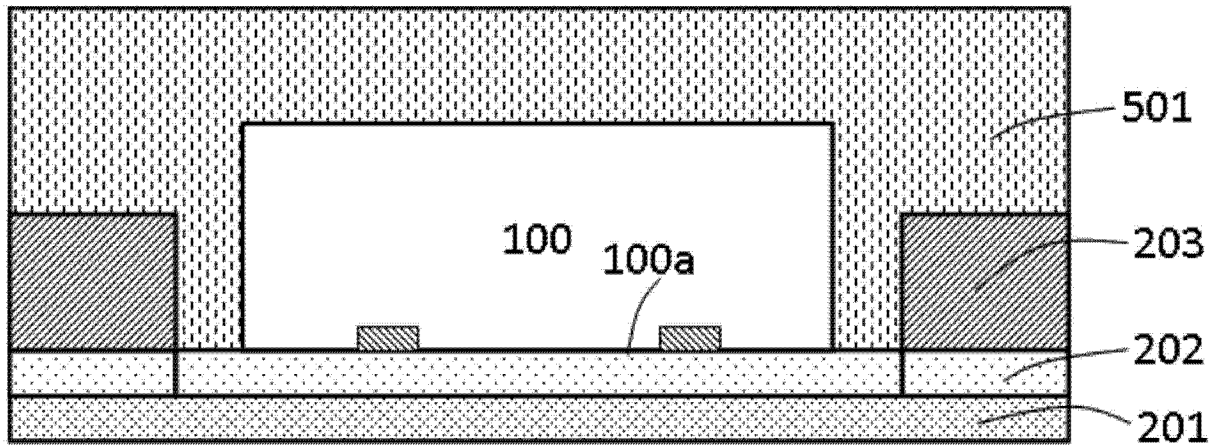


图 7

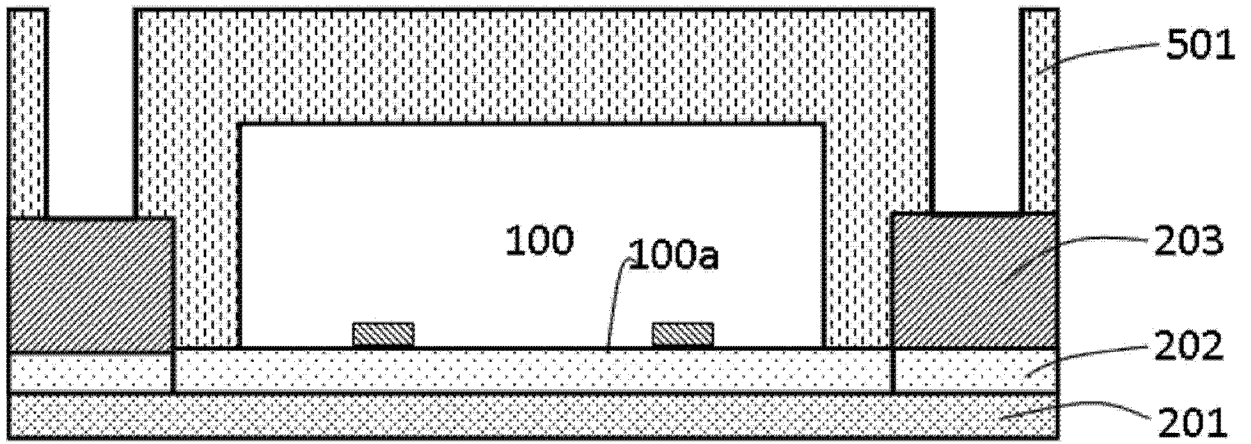


图 8

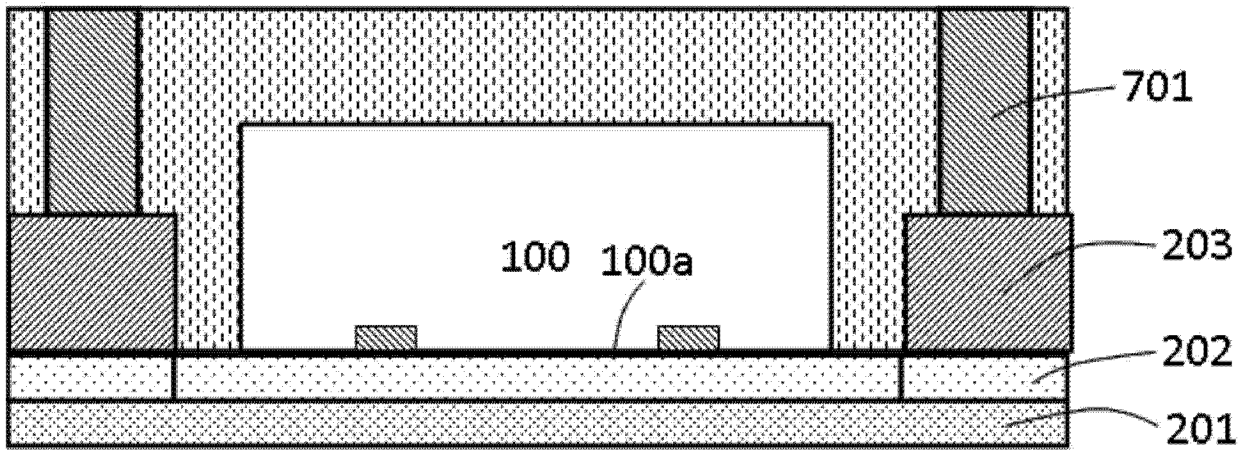


图 9

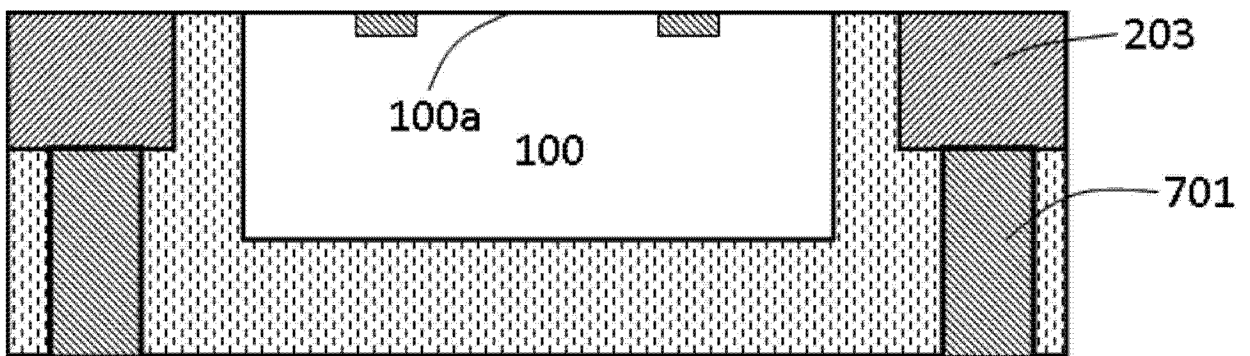


图 10

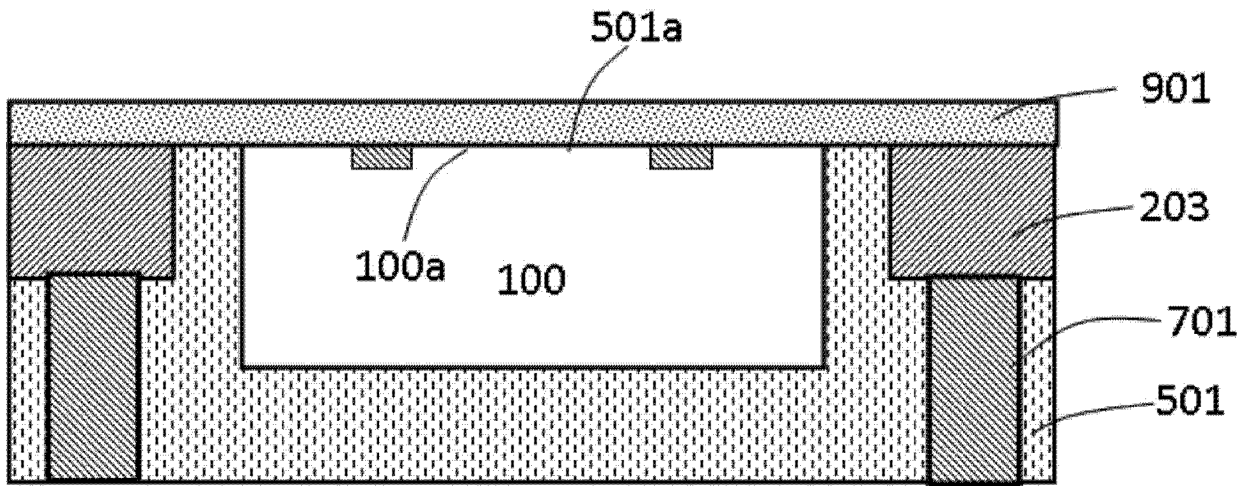


图 11

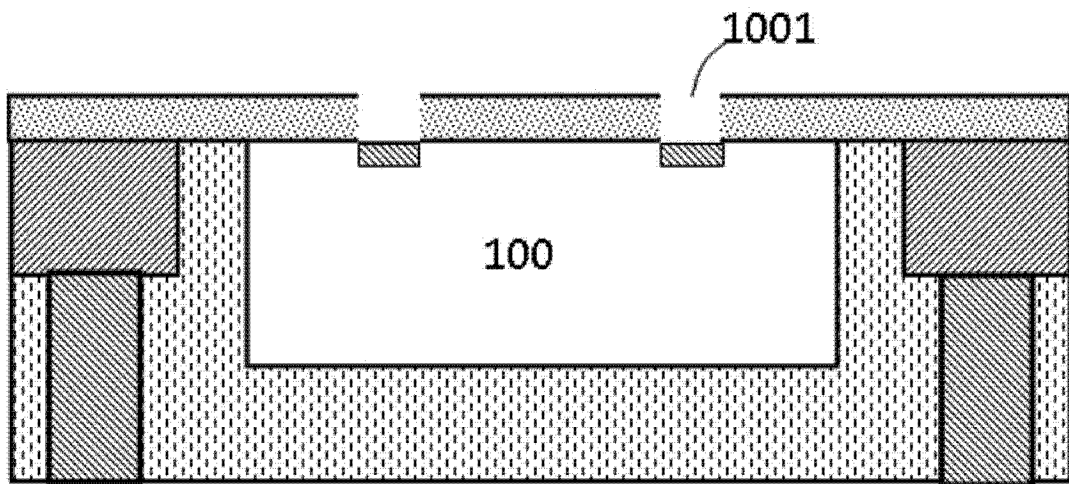


图 12

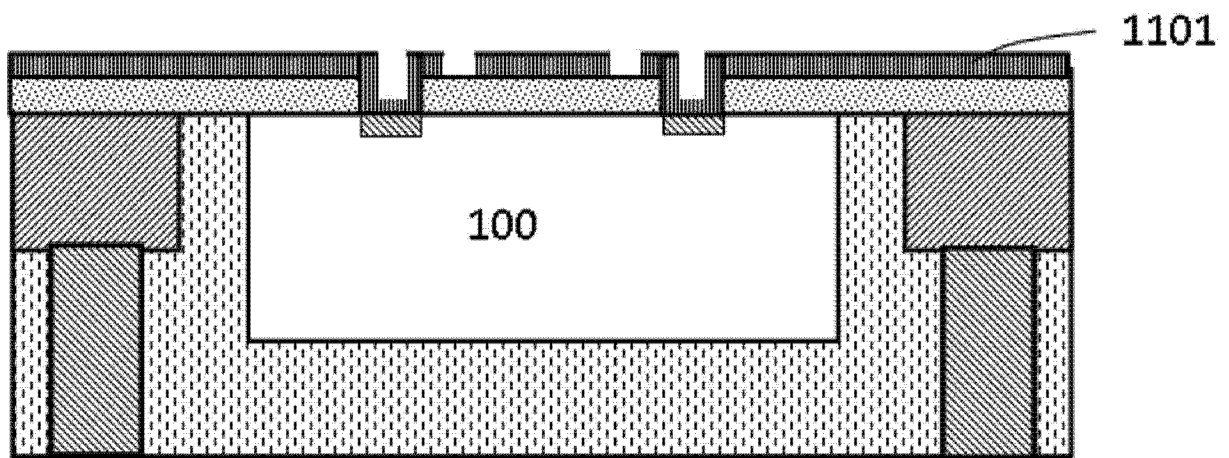


图 13

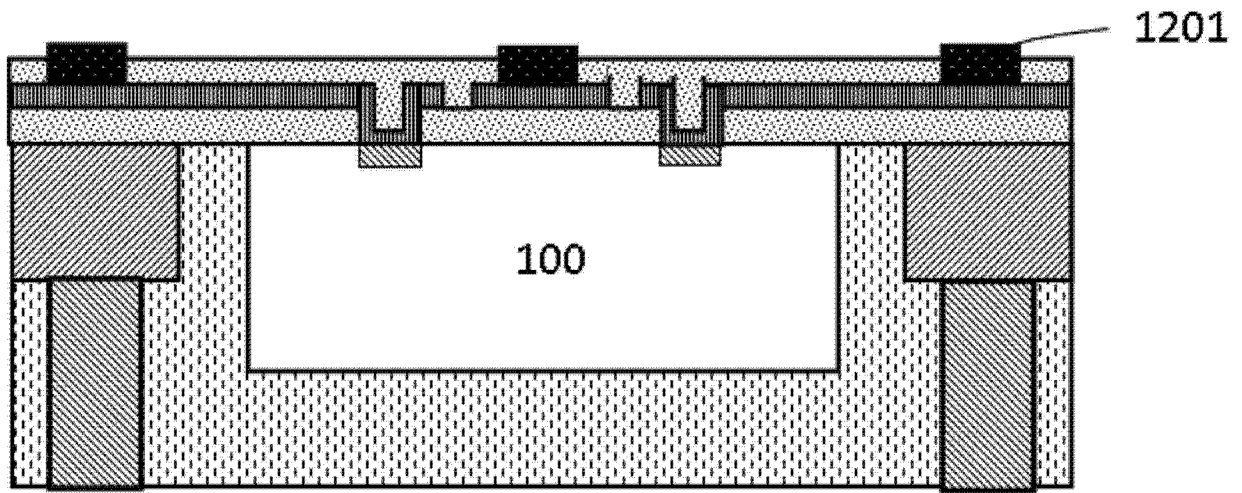


图 14

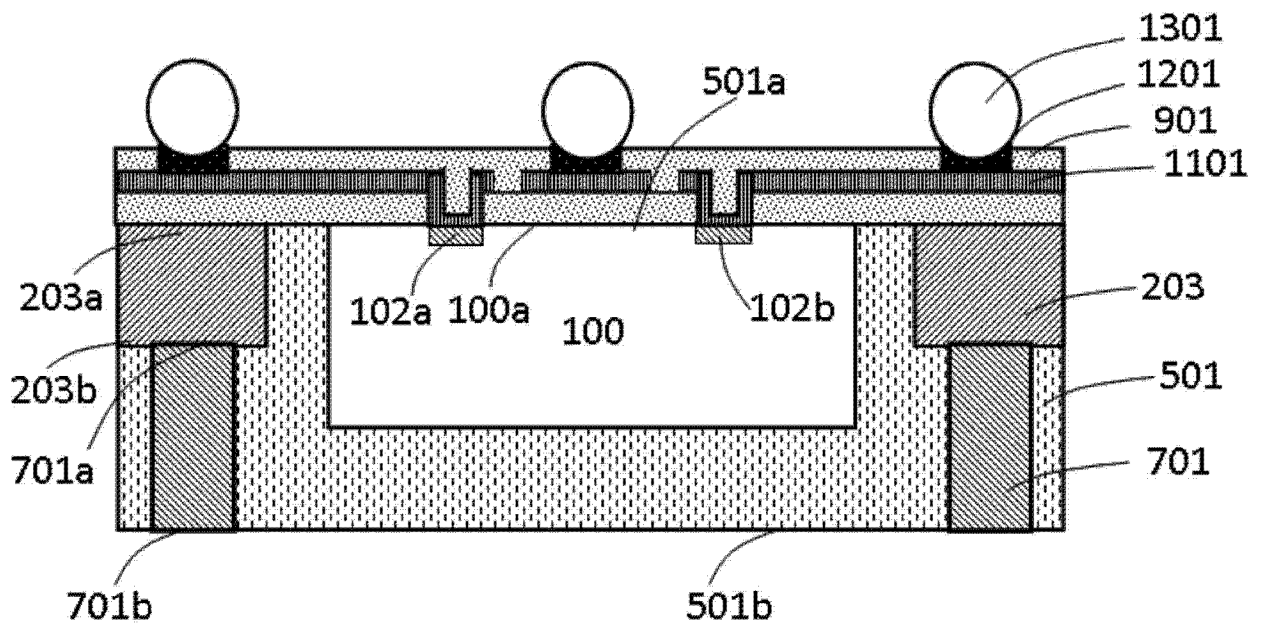


图 15a

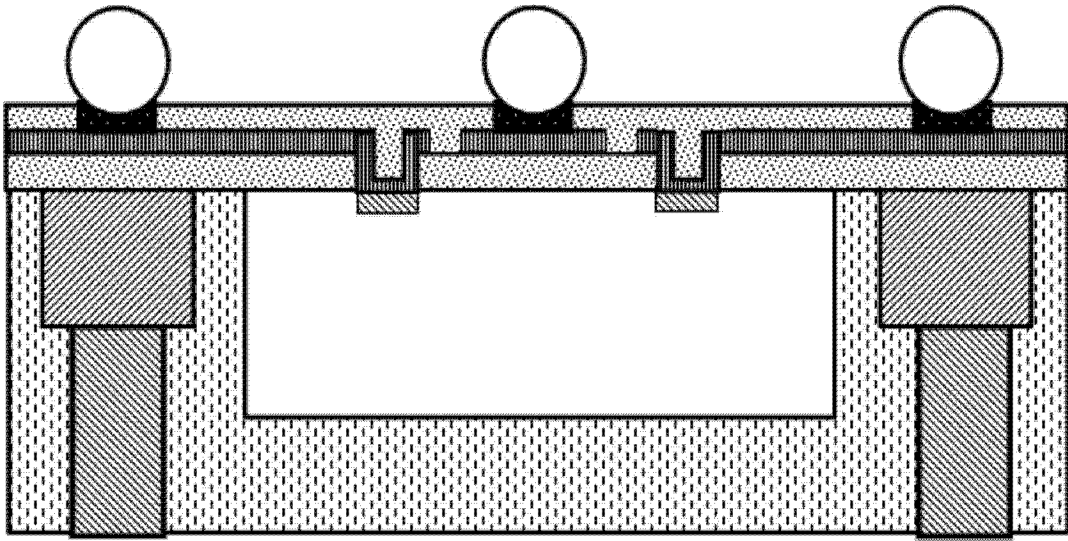


图 15b

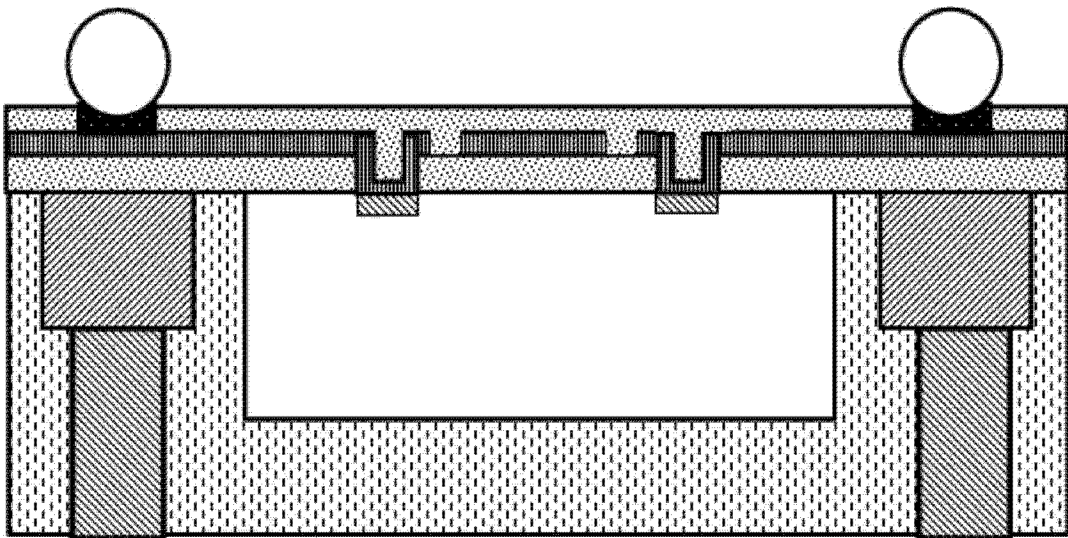


图 15c

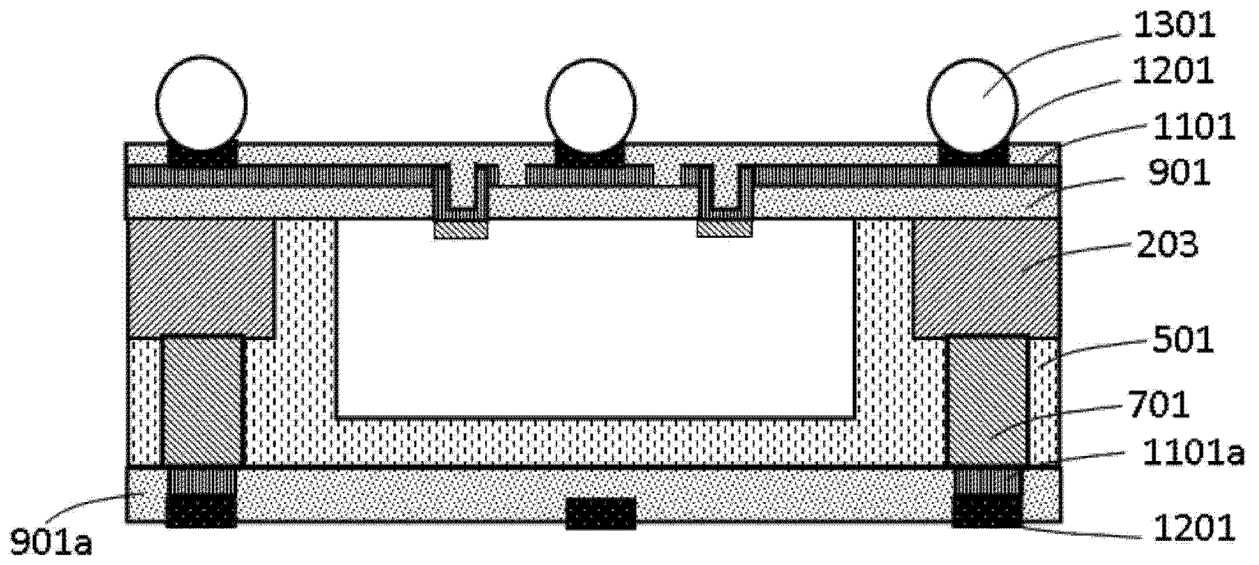


图 15d

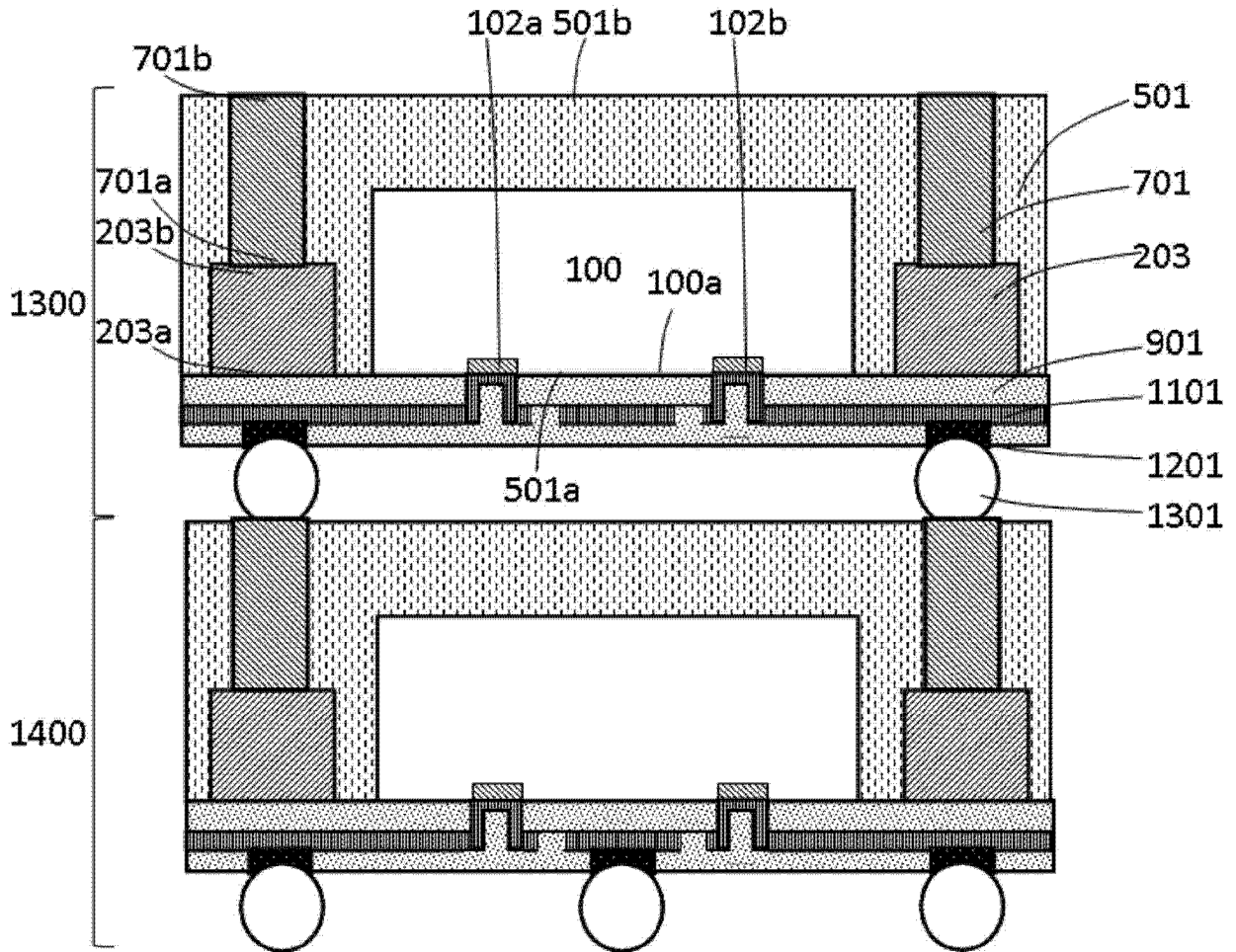


图 16a

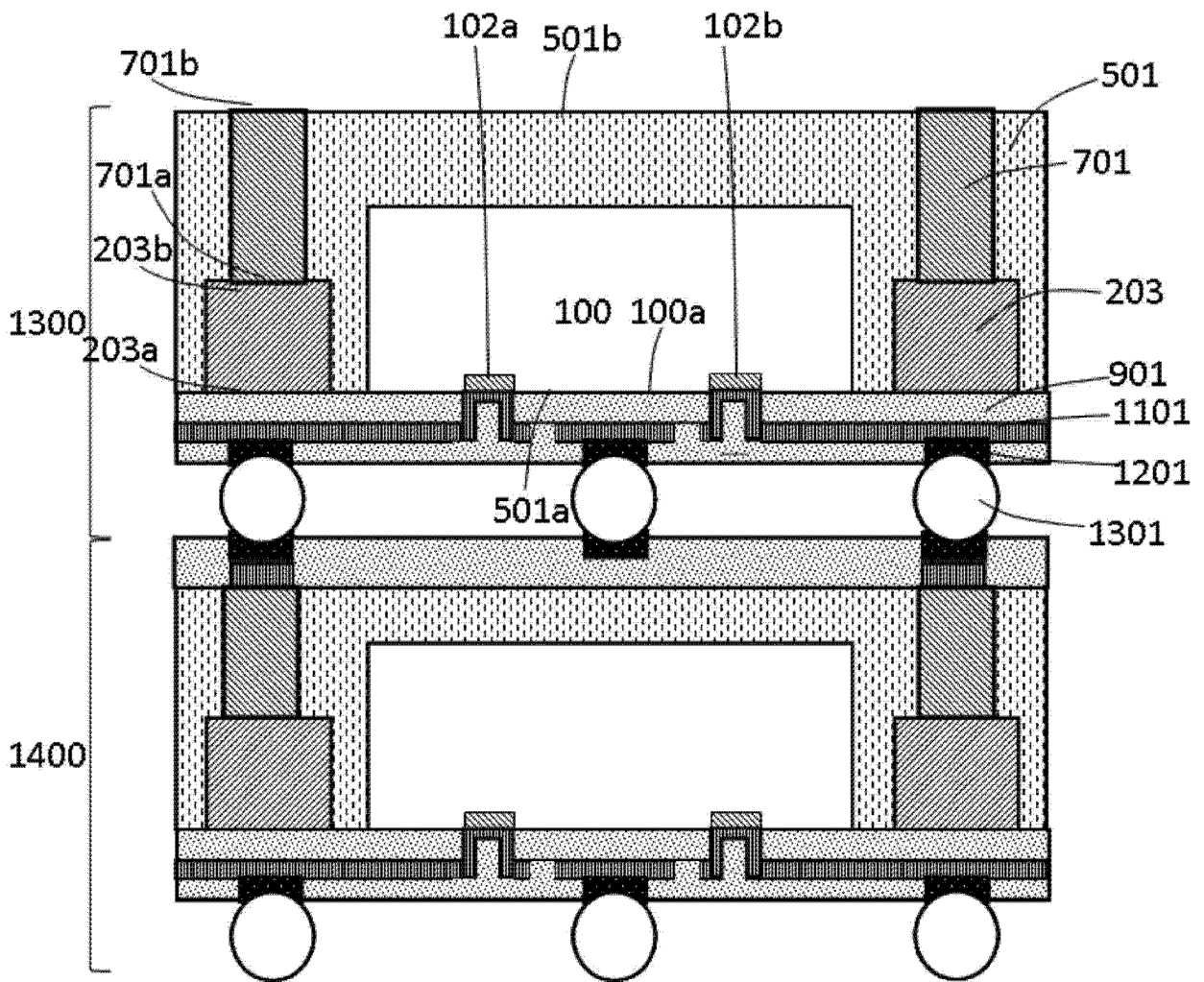


图 16b