

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-139295

(P2006-139295A)

(43) 公開日 平成18年6月1日(2006.6.1)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G02F 1/133 570	5C080
G09G 3/34 (2006.01)	G09G 3/20 660V	
	G09G 3/20 621F	
審査請求 有 請求項の数 6 O L (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2005-358174 (P2005-358174)	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成17年12月12日 (2005.12.12)		東京都千代田区丸の内一丁目6番6号
(62) 分割の表示	特願2001-261744 (P2001-261744) の分割	(74) 代理人	100091096 弁理士 平木 祐輔
原出願日	平成13年8月30日 (2001.8.30)	(72) 発明者	青山 哲也 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72) 発明者	沖代 賢次 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72) 発明者	近藤 克己 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
最終頁に続く			

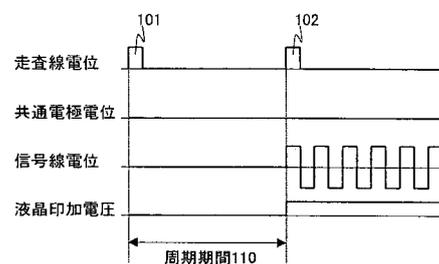
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 液晶応答が高速であると同時に、動画像の輪郭が鮮明なIPS表示モードによる液晶表示装置を提供する。

【解決手段】 1周期期間110中に、2回の選択パルスを走査線に印加する。初めの選択パルス101によって画素電極には共通電極と同じ電位が供給され、液晶への印加電圧はゼロになり、ノーマリーブラック表示モードの黒階調を表示する。同じ周期期間110中の、次の選択パルス102によって、画像を表示するための電位が画素電極に供給され、黒階調から画像を表示する階調へと変化する。各画素の輝度が画像を表示する階調へと変化するときは、必ず、黒階調から画像を表示する階調へと変化するにより、中間調への応答時間を短縮できる。

【選択図】 図39



【特許請求の範囲】**【請求項 1】**

光源、及び第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板とで挟持された液晶層と、

前記第 1 基板上に配置された複数の走査線と、前記第 1 基板上に前記走査線と交差して配置された信号線と、前記走査線と前記信号線とに囲まれた領域に対応して構成される画素と、前記第 1 基板上に配置され、前記信号線に対応した画素電極と、前記第 1 基板上または前記第 2 基板上に配置され、前記画素電極に対応した共通電極と、前記走査線と前記信号線との交点に対応して配置され、前記信号線と前記走査線と前記画素電極とに電氣的に接続された第 1 アクティブ素子と、前記第 1 基板上に配置された絶縁膜とを有し、

10

1 画像を表示する 1 周期期間中に、前記走査線に順次パルス電圧を印加して、前記画素電極の全てに画像を表示するための電位を印加し、保持させた後、一定期間を置いて光源が点灯される液晶表示装置において、

前記 1 周期期間中の最後にパルス電圧が印加される走査線に対応する画素の液晶の前記パルス電圧が印加される直前の状態が、その状態から各階調への応答時間の最大値が前記一定期間よりも短い状態であるようにする状態調整手段を設けたことを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記状態調整手段が、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の全てに同一の電圧を印加する手段であることを特徴とする液晶表示装置。

20

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置において、

前記状態調整手段が、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の電位と前記共通電極の電位とを等しくする手段を有することを特徴とする液晶表示装置。

【請求項 4】

光源、及び第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板とで挟持された液晶層と、

前記第 1 基板上に配置された複数の走査線と、前記第 1 基板上に前記走査線と交差して配置された信号線と、前記走査線と前記信号線とに囲まれた領域に対応して構成される画素と、前記第 1 基板上に配置され、前記信号線に対応した画素電極と、前記第 1 基板上または前記第 2 基板上に配置され、前記画素電極に対応した共通電極と、前記走査線と前記信号線との交点に対応して配置され、前記信号線と前記走査線と前記画素電極とに電氣的に接続された第 1 アクティブ素子と、前記第 1 基板上に配置された絶縁膜とを有し、

30

1 画像を表示する 1 周期期間中に、前記走査線に順次パルス電圧を印加して、前記画素電極の全てに画像を表示するための電位を印加し、保持させた後、一定期間を置いて光源が点灯される液晶表示装置の駆動方法において、

前記 1 周期期間中の最後にパルス電圧が印加される走査線に対応する画素の液晶の状態を、その状態から各階調への応答時間の最大値が前記一定期間よりも短い状態であるように状態調整をした後に、前記走査線に順次パルス電圧を印加することを特徴とする液晶表示装置の駆動方法。

40

【請求項 5】

請求項 4 に記載の液晶表示装置の駆動方法において、

前記状態調整を、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の全てに同一の電圧を印加して行うことを特徴とする液晶表示装置の駆動方法。

【請求項 6】

請求項 4 又は 5 に記載の液晶表示装置の駆動方法において、

前記状態調整を、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の電位と前記共通電極の電位とを等しくすることにより行うことを特徴とする液晶表示装置の

50

駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は新規な構成を持つ液晶表示装置に関する。

【背景技術】

【0002】

従来の液晶表示装置は、ツイステッドネマチック(TN)表示モードに代表されるように、基板面に対してほぼ垂直な電界を印加する表示モードを採用している。しかし、TN表示モードでは、視野角特性が不十分であるという問題がある。一方、インプレーン・スイッチング(In-Plane Switching: IPS)表示モードが、特公昭63-21907号、USP4345249号、WO91/10936号、特開平6-160878号等の公報により提案されている。

10

【0003】

このIPS表示モードでは、液晶駆動用の電極が液晶を挟持する一对の基板のうち一方の基板上に形成され、液晶には基板面に対して平行な成分を持つ電界が印加される。このIPS表示モードでは、TN表示モードに比較して広い視野角が得られる。しかしながら、IPS表示モードにおいても色調が視角に応じて変化するという問題を持っている。この問題を解決するマルチドメインIPS表示モードが特開平9-258269等の公報により提案されている。このマルチドメインIPS表示モードによる液晶表示装置を図2、

20

【0004】

図2はマルチドメインIPS表示モードによる液晶表示装置の構成を示す図である。画素電極35に信号電位を供給する信号ドライバ51と、画素を選択する電位を供給する走査ドライバ52と、共通電極36に電位を供給する共通電極ドライバ54と、信号ドライバ51および走査ドライバ52および共通電極ドライバ54とを制御する表示制御装置53とを有している。

【0005】

基板1には、走査ドライバ52に接続された複数の走査線32と、信号ドライバ51に接続され、かつ走査線32と交差した信号線31と、走査線32と信号線31との交点付近に対応して配置され、走査線32と信号線31と電氣的に接続された第1TFT33と、第1TFT33に電氣的に接続され、信号線31に対応した画素電極35と、画素電極35に対応した共通電極36と、共通電極36と共通電極ドライバ54とに電氣的に接続された共通電極接続部36'が備えられている。信号線31と走査線32とに囲まれた領域に対応して画素11が形成され、複数の画素11によって表示部22が形成されている。

30

【0006】

図3はマルチドメインIPS表示モードによる液晶表示装置の画素近傍の回路配置パターン構成を示す図である。走査線32と信号線31とは互いに交差し、走査線32と信号線31とに囲まれた領域に対応して画素11が形成されている。第1TFT33は走査線32と信号線31との交点付近に対応して配置され、走査線32と信号線31と画素電極35とに電氣的に接続されている。共通電極36は画素電極35に対応して配置され、共通電極36と画素電極35とで基板面に対して平行な成分を持つ電界を発生する。画素電極35と共通電極36と信号線31は一つの画素内で1回以上折れ曲がり、マルチドメインを形成している。電界印加時の液晶の回転方向を隣合うドメイン同士で反対方向とし、視野角を広げるためである。

40

【0007】

図4は、図3のA-A'断面の断面図である。材質が透明ガラスの基板1と、基板1に対向配置され、材質が透明ガラスの基板2と、基板1と基板2とで挟持された液晶層34とを有する。基板1は、共通電極36と、第1絶縁膜81を介し共通電極36よりも上層

50

に配置された信号線 3 1 と、共通電極 3 6 に対応し、基板 1 面に対して平行な成分を持つ電界を発生する画素電極 3 5 と、画素電極 3 5 上に備えられた保護膜 8 2 と、保護膜 8 2 上に備えられた配向膜 8 5 と、基板 1 の液晶に面しない側の面上に備えられ、液晶の配向状態に応じて光学特性を変える手段である偏光板 6 とを有する。基板 2 は、不要な間隙部からの光を遮光する遮光膜 5 と、遮光膜 5 上に備えられ、R、G、B に対応した色を表現するカラーフィルタ 4 と、カラーフィルタ 4 上に備えられ、凹凸を平坦化する平坦化膜 3 と、平坦化膜上 3 に備えられた配向膜 8 5 と、基板 2 の液晶に面しない側の面上に備えられた偏光板 6 とを有する。

【0008】

配向膜 8 5 には液晶を配向させるためのラビング処理が施されている。ラビング方向は信号線の延伸方向 D L a に平行である。屈曲した画素電極の一辺とラビング方向とのなす角は 15 度であり、IPS 表示モードに対応している。偏光板 6 の透過軸は、それぞれの偏光板が配置されている基板上の配向膜のラビング方向に対して平行あるいは垂直に向けられており、基板 1 の偏光板と基板 2 の偏光板はクロスニコルに配置され、ノーマリーブランクモードに対応している。画像表示は、基板 1 面と平行な成分を持つ電界を共通電極 3 6 と画素電極 3 5 とによって液晶 3 4 に印加し、液晶 3 4 を基板 1 とほぼ平行な面内で回転させることを行う。

10

【0009】

【特許文献 1】特公昭 63 - 21907 号公報

【特許文献 1】USP 4,345,249 明細書

20

【特許文献 1】WO 91 / 10936 号公報

【特許文献 1】特開平 6 - 160878 号公報

【特許文献 1】特開平 9 - 258269 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

近年、液晶表示装置への期待は PC (Personal Computer) モニターのみに向けたものではなく、動画に対応した液晶テレビへと拡大している。液晶テレビとしては、複数人で鑑賞できるように視野角の広い IPS 表示モードが適していると考えられる。この IPS 表示モードによる液晶表示装置において、より美しく動画を表示するためには、液晶の応答時間の短縮が望まれる。また、IPS 表示モードでは、駆動電圧によって色調が変化するという問題もあり、これを解決することが望まれる。さらに、近年、液晶表示装置において、動画像の輪郭が不鮮明になるといった問題が指摘されている。

30

【0011】

よって、本発明の第 1 の目的は、新規な画素構造により液晶の応答時間の短縮を図ることにある。また、本発明の第 2 の目的は、駆動電圧に伴う色調変化の生じない液晶表示装置を提供することにある。さらに、本発明の第 3 の目的は、動画像の輪郭が鮮明な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0012】

請求項 1 記載の発明は、光源、及び第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板とで挟持された液晶層と、前記第 1 基板上に配置された複数の走査線と、前記第 1 基板上に前記走査線と交差して配置された信号線と、前記走査線と前記信号線とに囲まれた領域に対応して構成される画素と、前記第 1 基板上に配置され、前記信号線に対応した画素電極と、前記第 1 基板上または前記第 2 基板上に配置され、前記画素電極に対応した共通電極と、前記走査線と前記信号線との交点に対応して配置され、前記信号線と前記走査線と前記画素電極とに電気的に接続された第 1 アクティブ素子と、前記第 1 基板上に配置された絶縁膜とを有し、1 画像を表示する 1 周期期間中に、前記走査線に順次パルス電圧を印加して、前記画素電極の全てに画像を表示するための電位を印加し、保持させた後、一定期間を置いて光源が点灯される液晶表示装置において

40

50

、前記1周期期間中の最後にパルス電圧が印加される走査線に対応する画素の液晶の前記パルス電圧が印加される直前の状態が、その状態から各階調への応答時間の最大値が前記一定期間よりも短い状態であるようにする状態調整手段を設けたことを特徴とする。

【0013】

光源が点灯される前の一定期間内に、全ての画素電極に画像を表示するための電位が正しく印加されるので、動画像の輪郭が鮮明になる。請求項2記載の発明は、請求項1に記載の液晶表示装置において、前記状態調整手段が、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の全てに同一の電圧を印加する手段であることを特徴とする。予め画素電極の全てに同一の電圧を印加することにより、各画素電極周辺の液晶を各階調への応答時間の最大値が前記一定期間よりも短い状態になるような状態にしておく。例えば、一定期間が5msであればその状態は0に近い階調であれば良く、一定期間が6msであれば、その状態は階調0~63であれば良い。

10

【0014】

請求項3記載の発明は、請求項1又は2に記載の液晶表示装置において、前記状態調整手段が、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の電位と前記共通電極の電位とを等しくする手段を有することを特徴とする。一定期間が5msであれば、共通電極の電位を0に近い階調に対応する電位に、一定期間が6msであれば、共通電極の電位を階調0~63に対応する電位にして印加すれば良い。

【0015】

請求項4記載の発明は、液晶表示装置の駆動方法であって、光源、及び第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板とで挟持された液晶層と、前記第1基板上に配置された複数の走査線と、前記第1基板上に前記走査線と交差して配置された信号線と、前記走査線と前記信号線とに囲まれた領域に対応して構成される画素と、前記第1基板上に配置され、前記信号線に対応した画素電極と、前記第1基板上または前記第2基板上に配置され、前記画素電極に対応した共通電極と、前記走査線と前記信号線との交点に対応して配置され、前記信号線と前記走査線と前記画素電極とに電氣的に接続された第1アクティブ素子と、前記第1基板上に配置された絶縁膜とを有し、1画像を表示する1周期期間中に、前記走査線に順次パルス電圧を印加して、前記画素電極の全てに画像を表示するための電位を印加し、保持させた後、一定期間を置いて光源が点灯される液晶表示装置の駆動方法において、前記1周期期間中の最後にパルス電圧が印加される走査線に対応する画素の液晶の状態を、その状態から各階調への応答時間の最大値が前記一定期間よりも短い状態であるように状態調整をした後に、前記走査線に順次パルス電圧を印加することを特徴とする。請求項1記載の液晶表示装置に対応する駆動方法である。

20

30

【0016】

請求項5記載の発明は、請求項4に記載の液晶表示装置の駆動方法において、前記状態調整を、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の全てに同一の電圧を印加して行うことを特徴とする。請求項2記載の液晶表示装置に対応する駆動方法である。

【0017】

請求項6記載の発明は、請求項4又は5に記載の液晶表示装置の駆動方法において、前記状態調整を、前記走査線に順次前記パルス電圧を印加する前に、前記画素電極の電位と前記共通電極の電位とを等しくすることにより行うことを特徴とする。請求項3記載の液晶表示装置に対応する駆動方法である。なお、従来の液晶表示装置には段差があったとしても、電極やコンタクトホールや遮光膜等を形成する際の段差が残っているだけで、本願明細書で説明するように、液晶の応答時間を短縮するために意図的に形成されたことはなかった。

40

【発明の効果】

【0018】

本発明によれば、電界を印加したとき液晶層の厚い領域部分からスイッチングが始まる

50

ため、ゼロ階調から中間調までの液晶の応答時間を短縮できるとともに、駆動電圧の変化に伴う色調の変化を抑制することができる。また、動画像の輪郭を鮮明に表示できる。

【発明を実施するための最良の形態】

【0019】

従来のIPS表示モードを用いた液晶表示装置では、図4に示すように、液晶層34の厚みはほぼ一定である。この液晶層を図6(a)に示すように、厚みを変化させると、液晶の応答時間を短縮できることを見出した。ここで、図6(a)では、図4に比較して、保護膜82上に第2絶縁膜86を選択的に配置し、凹凸を設けたことのみが異なる。このことによる高速化の原理を次に記述する。IPS表示モードにおける液晶配向変化のしきい値電圧(V_{th})は、一般に次式〔1〕で表される。

10

【0020】

$$V_{th} = \left(\frac{K_2}{\epsilon_0} \cdot \frac{L}{d} \right) \cdot \left[\frac{K_2}{\epsilon_0} \cdot \left(\frac{L}{d} \right) \right]^{1/2} \quad [1]$$

〔但し、L：電極間ギャップ、d：液晶層の厚み、 K_2 ：液晶のツイストの弾性定数、 ϵ_0 ：真空誘電率、 ϵ ：液晶の誘電率異方性〕

【0021】

すなわち、液晶層の厚みdが厚い方がしきい値電圧 V_{th} が低くなる。これは、次のように解釈できる。IPS表示モードでは、電界を印加することによる電界エネルギーと、換れた液晶が初期配向状態に戻ろうとする弾性エネルギーとのバランスによってスイッチングが行われる。液晶層の厚みdが厚くなると、液晶の回転を固定している配向膜同士の距離が離れるため、弾性エネルギーが低下する。その結果、より少ない電界エネルギーで液晶の換れを誘起することができ、しきい値電圧 V_{th} が低下する。

20

【0022】

したがって、液晶層の厚みに変動がある場合には次のようにスイッチングが起こる。液晶層が厚い凹部では弾性エネルギーが低く、液晶層が薄い凸部では弾性エネルギー高い。そのため、図6(b)は液晶を透過する光の透過率の時間的変化を示すが、電界が印加されると、液晶層の厚い凹部からスイッチングが始まり、その後から液晶層の薄い凸部でスイッチングが行われる。また、低い電圧のときは、液晶層の厚い凹部付近のみでスイッチングが行われる。

【0023】

以上のようにして、黒階調から中間調へのスイッチングでは、液晶層の厚い凹部付近の高速なスイッチングが支配的となるため、液晶の応答時間が短縮される。図7は、凹凸形成による液晶の応答時間の短縮の様相を示す図である。横軸はスイッチング後の階調であり、縦軸が応答時間である。ここで、スイッチング前の階調はゼロである。図7が示すように、凹凸がない従来の液晶表示装置では、ゼロ階調から中間調へのスイッチングが遅い。一方、凹凸を設けた液晶表示装置では、ゼロ階調から中間調へのスイッチングが高速化されている。さらに、本発明により、駆動電圧の増減に伴う色調変化を抑制することができる。それは、次に記述する原理による。IPS表示モードにおける透過率(T)は、一般に次式〔2〕で表される。

30

【0024】

$$T = T_0 \cdot \sin^2(2\theta) \cdot \sin^2\left(\frac{2\pi}{\lambda} \cdot d \cdot n_{eff}\right) \quad [2]$$

40

〔但し、 T_0 ：補正係数、 θ ：液晶の実効的な光軸と入射光の偏光方向とのなす角、 n_{eff} ：液晶の実効的な屈折率異方性、 λ ：入射光の波長〕。

【0025】

したがって、液晶の実効的な配向方向と入射光の偏光方向とのなす角が $\pi/4$ ラジアン(45度)のとき、実効的なリターデーション $d \cdot n_{eff}$ の2倍の波長の光が最大の透過率を示す。つまり、実効的なリターデーション $d \cdot n_{eff}$ が変化すると、透過率が最大となる波長が変化するため、色調が変化する。

【0026】

ここで本発明によれば、電界が印加されたとき、液晶層が厚み(d_{eff})が厚い領域、すなわち、実効的なリターデーション $d_{eff} \cdot n_{eff}$ が大きい領域からスイッチ

50

ングが始まる。すなわち、駆動電圧が低いときでもすでに、 $d \cdot e \cdot f \cdot f \cdot n \cdot e \cdot f \cdot f$ が大きくなり、透過率が最大となる波長が長く、黄色が強調される。そのため、図2ないし図4に示した液晶層に厚みの変化のない従来の液晶表示装置における、駆動電圧の増大に伴って色調が青色から黄色へと変化するという問題を補正することができる。

【0027】

本発明は、部分的に弾性エネルギーの低い領域があると、その領域からスイッチングが始まるという原理に基づいている。そのため、本発明を適用するためには、光の透過領域で液晶層の厚みの変動があれば良く、凹凸の形状は一切限定されない。凹凸は尖っていてもよいし、丸まってもよい。また、凹部と凸部の面積比も限定されない。ただし、凹凸の形状や凹部と凸部の面積比が変更されると、高速化の効果の大きさや高速化される階調、および駆動電圧の増減に伴う色調変化を抑制する効果の大きさが変化する。ただし、効果を大にするには、液晶層の厚みがある程度以上であることが好適である。次に、本発明の実施形態を図面にに基づき、より具体的に説明する。

10

【0028】

〔実施形態1〕

本発明の実施形態1の構成を図1、図2および図5を用いて説明する。本実施形態1の液晶表示装置は、図2に示すように、画素電極35に信号電位を供給する信号ドライバ51と、画素を選択する電位を供給する走査ドライバ52と、共通電極36に電位を供給する共通電極ドライバ54と、信号ドライバ51および走査ドライバ52および共通電極ドライバ54とを制御する表示制御装置53とを有している。

20

【0029】

基板1には、走査ドライバ52に接続された複数の走査線32と、信号ドライバ51に接続され、かつ走査線32と交差した信号線31と、走査線32と信号線31との交点付近に対応して配置され、走査線32と信号線31と電気的に接続された第1TF T33と、第1TF T33に電気的に接続され、信号線31に対応した画素電極35と、画素電極35に対応した共通電極36と、共通電極36と共通電極ドライバ54とに電気的に接続された共通電極接続部36'が備えられている。信号線31と走査線32とに囲まれた1つの領域に対応して1つの画素11が形成され、複数の画素11によって表示部22が形成されている。

【0030】

図1は実施形態1の画素近傍の回路配置パターン構成を示す図である。走査線32と信号線31とは互いに交差し、走査線32と信号線31とに囲まれた領域に対応して画素11が形成されている。第1TF T33は走査線32と信号線31との交点付近に対応して配置され、走査線32と信号線31と画素電極35とに電気的に接続されている。共通電極36は画素電極35に対応して配置され、共通電極36と画素電極35とで基板面に対して平行な成分を持つ電界を発生する。画素電極35と共通電極36と信号線31は一つの画素内で1回以上折れ曲がり、マルチドメインを形成している。第2絶縁膜86は、画素電極35と共通電極36の間の光の透過領域に配置され、液晶層34の厚みを変動させている。

30

【0031】

図5は、図1のA-A'断面の断面図である。材質が透明ガラスの基板1と、基板1に対向配置され、材質が透明ガラスの基板2と、基板1と基板2とで挟持された液晶層34とを有する。基板1は、共通電極36と、走査線32(図5に示されない)と、第1絶縁膜81を介し共通電極36よりも上層に配置された信号線31と、共通電極36に対応し、基板1面に対して平行な成分を持つ電界を発生する画素電極35と、画素電極35上に備えられた保護膜82と、保護膜上82に備えられ、液晶層34の厚みを変動させる凹凸を形成している第2絶縁膜86と、第2絶縁膜86上に備えられた配向膜85と、基板1の液晶に面しない側の面上に備えられ、液晶の配向状態に応じて光学特性を変える手段である偏光板6とを有する。

40

【0032】

50

共通電極 36、画素電極 35、信号線 31 は膜厚が 0.2 μm 程度の導電体であり、CrMo や Al や ITO (Indium Tin Oxide) などを用いることができる。第 1 絶縁膜 81、保護膜 82 は膜厚がそれぞれ 0.3 μm 、0.8 μm 程度の絶縁体であり、窒化珪素などを用いることができる。第 2 絶縁膜 86 は膜厚が 1 μm 程度の絶縁体であり、凹凸による段差をつけるために形成されたものである。無機物質も有機物質も用いることができる。なお、本発明が上記の膜厚や材質に限定されるものではないことは、いうまでもない。

【0033】

基板 2 は、不要な間隙部からの光を遮光する遮光膜 5 と、遮光膜 5 上に備えられ、R、G、B に対応した色を表現するカラーフィルタ 4 と、カラーフィルタ 4 上に備えられ、凹凸を平坦化する平坦化膜 3 と、平坦化膜 3 上に備えられた配向膜 85 と、基板 2 の液晶に面しない側の面上に備えられた偏光板 6 とを有する。配向膜 85 には液晶を配向させるためのラビング処理が施されている。ラビング方向は信号線の延伸方向 DL a に平行である。屈曲した画素電極の一辺とラビング方向とのなす角は 15 度であり、IPS 表示モードに対応している。

10

【0034】

偏光板 6 の透過軸は、それぞれの偏光板 6 が配置されている基板 1 の配向膜 85 のラビング方向に対して平行あるいは垂直に向けられており、基板 1 の偏光板と基板 2 の偏光板はクロスニコルに配置され、ノーマリーブラックモードに対応している。なお、本発明が上記のラビング角度に限定されるものではないこと、また、ノーマリーホワイトモードにも適用できることは、いうまでもない。

20

【0035】

基板 1 と基板 2 との間にはビーズが分散され、液晶層 34 の厚みを確保している。ビーズは凸部にも存在するため、凸部上のビーズによって液晶層の厚みが決定される。そのため、各画素の液晶層の厚みの平均値をパネル全体に渡って均一にするためには、凸部の面積が広い方が望ましい。そのため、信号線 31 上や走査線 32 上のように、画素内の表示領域外にも、凹凸を形成するための第 2 絶縁膜 86 が配置されている。なお、第 2 絶縁膜の代わりに柱状スペーサーが適用できることはいうまでもない。

【0036】

ビーズの直径は 3 μm 程度、したがって液晶層 34 の厚みは 4 μm 程度、液晶層 34 の屈折率異方性は 0.1 程度であり、この組み合わせによってレターデーションが調整される。なお、本発明が上記のレターデーションに限定されるものではないことは、いうまでもない。バックライト (図示せず) に対する制約はなく直下型方式の物もサイドライト方式の物も使用することができる。駆動はアクティブマトリクス駆動によって行われる。

30

【0037】

本発明によれば、液晶層の厚みが変動しているため、液晶層が厚い凹部では弾性エネルギーが低く、画素電極 35 と共通電極 36 との間に電界が印加されたときに、凹部の領域からスイッチングが始まる。そのため、ゼロ階調から中間調へのスイッチングを高速化することができ、動画表示品質の優れた液晶表示装置を提供することができる。なお、凹凸の形成に第 2 絶縁膜 86 を用いず、保護膜 82 で凹凸を形成しても本発明が適用できることはいうまでもない。さらに、第 2 絶縁膜 86 の有無によって凹凸を形成するのではなく、凹凸のある第 2 絶縁膜を表示部 22 全面に形成することによって、液晶層 34 の厚みを光の透過領域で変動させた場合にも本発明が適用できることはいうまでもない。

40

【0038】

〔比較例 1〕

本発明の比較例 1 は、実施形態 1 に比較して、第 2 絶縁膜 86 が形成されず、液晶層 34 の厚みが光の透過領域でほぼ一定であることのみが異なる。図 3 は比較例 1 の画素近傍の回路配置パターン構成を示す図である。実施形態 1 と異なり第 2 絶縁膜が形成されていない。図 4 は、図 3 の A - A' 断面の断面図である。実施形態 1 と異なり第 2 絶縁膜がなく、液晶層の厚みがほぼ一定である。そのため、ゼロ階調から中間調への液晶の応答時間が

50

、実施形態 1 に比較して遅い。

【0039】

〔実施形態 2〕

実施形態 2 は、実施形態 1 に比較して、第 2 絶縁膜 86 の形状が異なるだけである。よって、これについて図 8 および図 9 を用いて説明する。図 8 は実施形態 2 の画素近傍の回路配置パターン構成を示す図である。実施形態 1 と異なり、第 2 絶縁膜の形状と配置とがランダムに形成されている。

【0040】

図 9 は、図 8 の A - A' 断面の断面図である。実施形態 1 と異なり第 2 絶縁膜の形状と配置と凹凸の高さがランダムに形成されている。ただし、一つの画素内の凹部と凸部の面積比や、凹凸の高さの平均値は、各画素間で一致していることが望ましい。不一致である場合には、各画素毎に高速化の効果の大きさが変化することになり、輝度ムラ等の不具合を生じる原因となる。

10

【0041】

本発明によれば、実施形態 1 と同様に、液晶層の厚みが変動しているため、液晶層が厚い凹部では弾性エネルギーが低く、画素電極 35 と共通電極 36 との間に電界が印加されたときに、凹部の領域からスイッチングが始まる。そのため、ゼロ階調から中間調へのスイッチングを高速化することができ、動画表示品質の優れた液晶表示装置を提供することができる。

【0042】

20

〔実施形態 3〕

実施形態 3 は、実施形態 1 に比較して、第 2 絶縁膜の形状と配置が異なる。これについて図 10 および図 11 を用いて説明する。図 10 は実施形態 3 の画素近傍の回路配置パターン構成を示す図である。また、図 11 は、図 10 の A - A' 断面の断面図である。

【0043】

本実施形態は実施形態 1 と異なり、第 2 絶縁膜 86 によって形成される凹凸に伴う段差が、画素電極 35 と共通電極 36 との間に一つだけある。また、画素電極 35 が凸部に重畳して配置され、共通電極 36 は凹部に重畳している。これにより、凹凸のパターン幅が実施形態 1 に比較して大きくなり、第 2 絶縁膜 86 の加工が容易になる。

【0044】

30

〔実施形態 4〕

実施形態 4 は、実施形態 3 に比較して、電極と第 2 絶縁膜の配置が異なる。これについて図 12 および図 13 を用いて説明する。図 12 は実施形態 4 の画素近傍の回路配置パターン構成を示す図である。また、図 13 は、図 12 の A - A' 断面の断面図である。

【0045】

実施形態 4 は実施形態 3 と異なり、画素電極 35 及び信号線 31 が第 2 絶縁膜 86 より上層に配置されている。なお、共通電極 36 は走査線 32 (図 13 に示されない) と共に基板 1 上に配置されている。ここで、実施形態 3 では、図 11 から分かるように、画素電極 35 と共通電極 36 との間に発生する電界の電気力線 21 のうち、液晶層を通る電気力線 21 の大部分は第 2 絶縁膜 86 も通る。換言すれば、液晶層 34 は第 2 絶縁膜 86 を介して電界が印加される。一方、実施形態 4 では、図 13 から分かるように、画素電極 35 が第 2 絶縁膜 86 より上層に配置されているため、第 2 絶縁膜 86 を介することなく液晶層 34 に電界が印加される。そのため、実施形態 4 では実施形態 3 より駆動電圧を低下させることができる。

40

【0046】

なお、保護膜 82 が形成されていない場合、保護膜 82 と第 2 絶縁膜 86 が一括加工されている場合、保護膜 82 と第 2 絶縁膜 86 が同一材料で一体化されている場合においても、液晶層 34 の厚みを変動させることができるため、本発明が適用できることはいうまでもない。

【0047】

50

〔実施形態 5〕

実施形態 5 は、実施形態 4 に比較して、第 2 絶縁膜の配置が異なる。これについて図 1 4、図 1 5 および図 1 6 を用いて説明する。図 1 4 は実施形態 5 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。また、図 1 5 は実施形態 5 の基板 2 上の画素近傍の回路配置パターン構成を示す図である。図 1 6 は、図 1 4 の A - A' 断面の断面図である。

【0048】

基板 1 は、共通電極 3 6 と、走査線 3 2 (図 1 6 に示されない) と、第 1 絶縁膜 8 1 を介し共通電極 3 6 よりも上層に配置された信号線 3 1 と、画素電極 3 5 を備え、基板 1 面に対して平行な成分を持つ電界を発生する画素電極 3 5 と、画素電極 3 5 上に備えられた保護膜 8 2 と、保護膜 8 2 上に備えられた配向膜 8 5 と、基板 1 の液晶に面しない側の面上に備えられ、液晶の配向状態に応じて光学特性を変える手段である偏光板 6 とを有する。

10

【0049】

基板 2 は、不要な間隙部からの光を遮光する遮光膜 5 と、遮光膜 5 上に備えられ、R、G、B に対応した色を表現するカラーフィルタ 4 と、カラーフィルタ 4 上に備えられ、凹凸を平坦化する平坦化膜 3 と、平坦化膜 3 上に備えられ、液晶層 3 4 の厚みを変動させる凹凸を形成している第 2 絶縁膜 8 6 と、第 2 絶縁膜 8 6 上に備えられた配向膜 8 5 と、基板 2 の液晶に面しない側の面上に備えられた偏光板 6 とを有する。

【0050】

実施形態 5 は実施形態 4 と異なり、液晶層の厚みを変動させる凹凸を形成する第 2 絶縁膜 8 6 が基板 2 上に配置されている。そのため、画素電極 3 5 や共通電極 3 6 や信号線 3 1 や走査線 3 2 等の配線あるいは電極と第 2 絶縁膜 8 6 とが離れているため、第 2 絶縁膜 8 6 の膜厚が変動する場合にも、画素電極 3 5 と共通電極 3 6 との間などの浮遊容量が変動することなく、表示ムラ等を誘発しにくくなる。

20

【0051】

〔実施形態 6〕

実施形態 6 は、実施形態 5 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 1 4、図 1 7、図 1 8 および図 1 9 を用いて説明する。実施形態 6 の基板 1 上の画素近傍の回路配置パターン構成を示す図は図 1 4 と同様である。また、図 1 7 は実施形態 6 の基板 2 上の画素近傍の回路配置パターン構成を示す図である。図 1 8 は、図 1 7 の A - A' 断面の断面図である。図 1 9 は、図 1 4 及び図 1 7 の B - B' 断面の断面図である。

30

【0052】

実施形態 6 では、第 2 絶縁膜 8 6 によって形成される凹凸の延伸方向 DLb が、画素電極の延伸方向 DLc からずれており、ほぼ垂直に交わっている。そのため、基板 1 と基板 2 との間に合わせずれが生じた場合にも、遮光膜 5 に対する第 2 絶縁膜 8 6 の位地関係は画素毎に変化せず、画素電極 3 5 と共通電極 3 6 との間の領域一つ一つで、凹部と凸部の面積比が変動せず、液晶の応答時間の短縮の効果が変わらない。

【0053】

〔実施形態 7〕

実施形態 7 は、実施形態 6 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 1 4、図 2 0 および図 2 1 を用いて説明する。実施形態 7 の基板 1 上の画素近傍の回路配置パターン構成は図 1 4 と同様である。また、図 2 0 は実施形態 7 の基板 2 上の画素近傍の回路配置パターン構成を示す図である。図 2 1 は、図 2 0 の A - A' 断面の断面図である。実施形態 7 では、第 2 絶縁膜 8 6 によって形成される凹凸に伴う段差の延伸方向 DLd が、液晶の初期配向方向 DLe と一致している。そのため、配向膜 8 5 にラビング処理を施すときに、光の透過領域において凹凸に伴う段差を乗り越えることができ、均一にラビング処理を施すことができ、配向不良等を誘発しにくい。

40

【0054】

〔実施形態 8〕

実施形態 8 は、実施形態 7 に比較して、第 2 絶縁膜の配置と形状が異なる。これについ

50

て図 2 2 および図 2 3 を用いて説明する。図 2 2 は実施形態 8 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。また、図 2 3 は図 2 2 の A - A ' 断面の断面図である。基板 1 は、共通電極 3 6 と、走査線 3 2 (図 2 3 に示されない) と、共通電極 3 6 上に配置された第 1 絶縁膜 8 1 と、第 1 絶縁膜 8 1 上に配置された保護膜 8 2 と、保護膜上 8 2 に配置され、液晶層 3 4 の厚みを変動させる凹凸を形成している第 2 絶縁膜 8 6 と、第 2 絶縁膜 8 6 上に配置された信号線 3 1 と、第 2 絶縁膜 8 6 より上層に配置され、共通電極 3 6 に対応して基板 1 面に対して平行な成分を持つ電界を発生する画素電極 3 5 と、画素電極 3 5 上に配置された配向膜 8 5 と、基板 1 の液晶に面しない側の面上に備えられ、液晶の配向状態に応じて光学特性を変える手段である偏光板 6 とを有する。なお、共通電極 3 6 は走査線 3 2 と共に基板 1 上に配置されている。

10

【 0 0 5 5 】

基板 2 は、不要な間隙部からの光を遮光する遮光膜 5 と、遮光膜 5 上に備えられ、R、G、B に対応した色を表現するカラーフィルタ 4 と、カラーフィルタ 4 上に備えられ、凹凸を平坦化する平坦化膜 3 と、平坦化膜上 3 に備えられた配向膜 8 5 と、基板 2 の液晶に面しない側の面上に備えられた偏光板 6 とを有する。実施形態 8 は実施形態 7 と異なり、液晶層の厚みを変動させる凹凸を形成する第 2 絶縁膜 8 6 が基板 1 上に配置されている。そのため、基板 1 と基板 2 との間に合わせずれが生じた場合にも、第 2 絶縁膜 8 6 は影響を受けないため、全画素にわたって液晶の応答時間の短縮の効果が変動しない。

【 0 0 5 6 】

また、実施形態 8 は実施形態 4 と異なり、第 2 絶縁膜 8 6 によって形成される凹凸に伴う段差の延伸方向 D L d が、液晶の初期配向方向 D L e と一致している。そのため、配向膜 8 5 にラビング処理を施すときに、光の透過領域において凹凸に伴う段差を乗り越えることがなく、均一にラビング処理を施すことができ、配向不良等を誘発することがない。

20

【 0 0 5 7 】

〔 実施形態 9 〕

実施形態 9 は、実施形態 8 に比較して、第 2 絶縁膜 8 6 と画素電極 3 5 と共通電極 3 6 の配置と形状が異なるだけである。よって、これについて図 2 4 を用いて説明する。図 2 4 は実施形態 9 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。実施形態 9 は、実施形態 8 と異なり、画素電極 3 5 および共通電極 3 6 が屈曲していない。そのため、ラビング方向は信号線 3 1 の延伸方向に対して 1 5 度傾いている。ただし、画素電極 3 5 の一辺とラビング方向とのなす角が 1 5 度であることは、実施形態 8 と同じである。

30

【 0 0 5 8 】

第 2 絶縁膜 8 6 によって形成される凹凸に伴う段差の延伸方向は信号線 3 1 の延伸方向に対して 1 5 度傾いている。ただし、第 2 絶縁膜 8 6 によって形成される凹凸に伴う段差の延伸方向 D L d が、液晶の初期配向方向 D L e と一致していることは、実施形態 8 と同じである。そのため、実施形態 8 と同様に、実施形態 9 では、配向膜 8 5 にラビング処理を施すときに、光の透過領域において凹凸に伴う段差を乗り越えることがなく、均一にラビング処理を施すことができ、配向不良等を誘発することがない。

【 0 0 5 9 】

〔 実施形態 1 0 〕

実施形態 1 0 は、実施形態 8 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 2 5 および図 2 6 を用いて説明する。図 2 5 は実施形態 1 0 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。また、図 2 6 は図 2 5 の A - A ' 断面の断面図である。実施形態 1 0 は、実施形態 8 と異なり、画素電極 3 5 および共通電極 3 6 が第 2 絶縁膜 8 6 による凹凸に伴う段差を乗り越えていない。例えば、実施形態 8 の図 2 2 R>2 に示す部分 C では、画素電極 3 5 が第 2 絶縁膜 8 6 の端を乗り越えている。一方、実施形態 1 0 の図 2 5 に示す部分 C では、画素電極 3 5 は第 2 絶縁膜 8 6 を乗り越えてはいない。すなわち、図 2 2 では A - A ' 断面に平行な断面をとった場合に、画素電極 3 5 が第 2 絶縁膜 8 6 上 (段差の上部) にある個所と保護膜 8 2 上 (段差の下部) にある個所が存在するのに対し、図 2 5 では、第 2 絶縁膜 8 6 は画素電極 3 5 を避けて配置されており、A - A

40

50

断面に平行などの断面をとっても、画素電極 35 が保護膜 82 上（段差の下部）にある。そのため、実施形態 10 では、第 2 絶縁膜 86 による凹凸に伴う段差によって画素電極 35 が切れるということなどの不良が生じない。

【0060】

〔実施形態 11〕

実施形態 11 は、実施形態 10 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 27 および図 28 を用いて説明する。図 27 は実施形態 11 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。また、図 28 は図 27 の A - A' 断面の断面図である実施形態 11 は、実施形態 10 と異なり、第 2 絶縁膜 86 による凹凸に伴う段差が、画素電極 35 および共通電極 36 と重畳している。例えば、実施形態 10 の図 25 に示す部分 C では、第 2 絶縁膜 86 による凹凸に伴う段差が画素電極 35 に重畳していない。一方、実施形態 11 の図 27 に示す部分 C では、第 2 絶縁膜 86 による凹凸に伴う段差が画素電極 35 に重畳している。そのため、実施形態 11 では、第 2 絶縁膜 86 による凹凸に伴う段差部分でラビング処理が不十分となり、配向不良が生じた場合でも、画素電極 35 および共通電極 36 が不透明な導電体であれば、その不良は画素電極 35 および共通電極 36 によって隠されるため、表示には影響しない。

10

20

【0061】

また、実施形態 11 は、実施形態 10 と同様に、第 2 絶縁膜 86 による凹凸に伴う段差が、画素電極 35 および共通電極 36 と重畳しているものの、乗り越えてはいない。すなわち、図 27 では、第 2 絶縁膜 86 はおおよそ画素電極 35 を避けて配置されているが、画素電極 35 は端部で第 2 絶縁膜 86 上に乗り上げている。このため、A - A' 断面に平行などの断面をとっても、画素電極 35 はおおよそ保護膜 82 上（段差の下部）にあり、端部のみ第 2 絶縁膜 86 上（段差の上部）にある。そのため、実施形態 10 と同様に、第 2 絶縁膜 86 による凹凸に伴う段差によって画素電極 35 が切れるということなどの不良が生じない。

【0062】

〔実施形態 12〕

実施形態 12 は、実施形態 9 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 29 を用いて説明する。図 29 は実施形態 12 の基板 1 上の画素近傍の回路配置パターン構成を示す図である。実施形態 12 は、実施形態 9 と異なり、画素電極 35 および共通電極 36 が第 2 絶縁膜 86 による凹凸に伴う段差を乗り越えていない。例えば、実施形態 9 の図 24 に示す部分 C では、画素電極 35 が第 2 絶縁膜 86 の端を乗り越えている。一方、実施形態 12 の図 29 に示す部分 C では、画素電極 35 は第 2 絶縁膜 86 に一部重畳しているものの乗り越えてはいない。すなわち、図 29 では、第 2 絶縁膜 86 はおおよそ画素電極 35 を避けて配置されているが、画素電極 35 は端部で第 2 絶縁膜 86 上に乗り上げている。このため、横軸に平行などの断面をとっても、画素電極 35 はおおよそ保護膜 82 上（段差の下部）にあり、端部のみ第 2 絶縁膜 86 上（段差の上部）にある。

30

【0063】

そのため、実施形態 12 では、実施形態 10 と同様に、第 2 絶縁膜 86 による凹凸に伴う段差によって画素電極 35 が切れるということなどの不良が生じない。さらに、第 2 絶縁膜 86 による凹凸に伴う段差が、画素電極 35 および共通電極 36 と重畳している。そのため、実施形態 12 では、第 2 絶縁膜 86 による凹凸に伴う段差部分でラビング処理が不十分となり、配向不良が生じた場合でも、画素電極 35 および共通電極 36 が不透明な導電体であれば、その不良は画素電極 35 および共通電極 36 によって隠されるため、表示には影響しない。

40

【0064】

〔実施形態 13〕

実施形態 13 は、実施形態 11 に比較して、第 2 絶縁膜の配置と形状が異なる。これについて図 30 および図 31 を用いて説明する。図 30 は実施形態 13 の画素近傍の回路配置パターン構成を示す図である。また、図 31 は、図 30 の A - A' 断面の断面図である。

50

【0065】

実施形態13は実施形態11と異なり、第2絶縁膜86によって形成される凹凸に伴う段差が、画素電極35と共通電極36との間に一つだけある。また、画素電極35が凸部に重畳して配置され、共通電極は凹部に重畳している。これにより、凹凸のパターン幅が実施形態11に比較して大きくなり、第2絶縁膜86の加工が容易になる。

【0066】

なお、画素電極35が第2絶縁膜86より上層に配置されているため、第2絶縁膜86を介することなく液晶層34に電界を印加することができ、駆動電圧の上昇を抑制している。さらに、第2絶縁膜86によって形成される凹凸に伴う段差の延伸方向DLdが、液晶の初期配向方向DLeと一致しているため、配向膜85にラビング処理を施すときに、光の透過領域において凹凸に伴う段差を乗り越えることができなく、均一にラビング処理を施すことができ、配向不良等を誘発しにくい。

10

【0067】

さらに、光の透過領域において、画素電極35および共通電極36が第2絶縁膜86による凹凸に伴う段差を乗り越えていないため、段差によって画素電極35が切れるということなどの不良が生じない。すなわち、図30では画素電極35及び信号線31は全て第2絶縁膜86上に形成されており、段差にかかることはない。

【0068】

〔実施形態14〕

実施形態14は、実施形態13に比較して、信号線31と画素電極35と共通電極36と第2絶縁膜86の形状と配置が異なる。これについて図32および図33を用いて説明する。図32は実施形態14の画素近傍の回路配置パターン構成を示す図である。走査線32と信号線31とは互いに交差し、走査線32と信号線31とに囲まれた領域に対応して画素が形成されている。第1TFE33は走査線32と信号線31との交点付近に対応して配置され、走査線32と信号線31と画素電極35とに電氣的に接続されている。共通電極36は画素電極35に対応して配置され、共通電極36と画素電極35とで基板面に対して平行な成分を持つ電界を発生する。画素電極35と共通電極36と信号線31は一つの画素内で1回以上折れ曲がり、マルチドメインを形成している。第2絶縁膜86は、画素電極と共通電極の間の光の透過領域に配置され、液晶層34の厚みを変動させている。信号線31と共通電極36とは第2絶縁膜86を介して重畳している。

20

30

【0069】

図33は、図32のA-A'断面の断面図である。材質が透明ガラスの基板1と、基板1に対向配置され、材質が透明ガラスの基板2と、基板1と基板2とで挟持された液晶層34とを有する。基板1は、第1絶縁膜81と、第1絶縁膜81上に配置された信号線31および画素電極35と、信号線31および画素電極35上に配置された保護膜82と、保護膜82上に配置された第2絶縁膜86と、第2絶縁膜86を介して信号線31に重畳して配置された共通電極36と、液晶34との界面に配置された配向膜85と、基板1の液晶に面しない側の面上に備えられ、液晶の配向状態に応じて光学特性を変える手段である偏光板6とを有する。なお、共通電極36は走査線32(図33に示されない)と共に第1絶縁膜81上に配置される。

40

【0070】

共通電極36、画素電極35、信号線31は膜厚が0.2μm程度の導電体であり、CrMoやAlやITO(Indium Tin Oxide)などを用いることができる。第1絶縁膜81、保護膜82は膜厚がそれぞれ0.3μm、0.8μm程度の絶縁体であり、窒化珪素などを用いることができる。第2絶縁膜86は膜厚が1μm程度の絶縁体であり、無機物質も有機物質も用いることができる。なお、本発明が上記の膜厚に限定されるものではないことは、いうまでもない。基板2は、不要な間隙部からの光を遮光する遮光膜5と、遮光膜5上に備えられ、R、G、Bに対応した色を表現するカラーフィルタ4と、カラーフィルタ4上に備えられ、凹凸を平坦化する平坦化膜3と、平坦化膜上3に備えられた配向膜85と、基板2の液晶に面しない側の面上に備えられた偏光板6とを有す

50

る。

【0071】

配向膜85には液晶を配向させるためのラビング処理が施されている。ラビング方向は信号線の延伸方向に平行である。屈曲した画素電極の一辺とラビング方向とのなす角は15度であり、IPS表示モードに対応している。偏光板6の透過軸は、それぞれの偏光板が配置されている基板上の配向膜のラビング方向に対して平行あるいは垂直に向けられており、基板1の偏光板と基板2の偏光板はクロスニコルに配置され、ノーマリーブラックモードに対応している。なお、本発明が上記のラビング角度に限定されるものではないこと、また、ノーマリーホワイトモードにも適用できることは、いうまでもない。

【0072】

基板1と基板2との間にはビーズが分散され、液晶層の厚みを確保している。ビーズは凸部にも存在するため、凸部上のビーズによって液晶層の厚みが決定される。そのため、各画素の液晶層の厚みの平均値をパネル全体に渡って均一にするためには、凸部の面積が広い方が望ましい。そのため、信号線31上や走査線32上の画素内の表示領域外にも、凹凸を形成するための第2絶縁膜86が配置されている。なお、本発明に柱状スペーサーが適用できることはいうまでもない。

【0073】

ビーズの直径は3 μ m程度、液晶層の屈折率異方性は0.1程度であり、この組み合わせによってレターデーションが調整される。なお、本発明が上記のレターデーションに限定されるものではないことは、いうまでもない。バックライト(図示せず)に対する制約はなく直下型方式の物もサイドライト方式の物も使用することができる。駆動はアクティブマトリクス駆動によって行われる。

【0074】

実施形態14によれば、液晶層の厚みが変動しているため、液晶層が厚い凹部では弾性エネルギーが低く、画素電極35と共通電極36との間に電界が印加されたときに、凹部の領域からスイッチングが始まる。そのため、ゼロ階調から中間調へのスイッチングを高速化することができ、動画表示品質の優れた液晶表示装置を提供することができる。

【0075】

また、電界が印加されたとき、液晶層が厚み(d e f f)が厚い領域、すなわち、実効的なレターデーションd e f f · n e f fが大きい領域からスイッチングが始まるため、駆動電圧が低いときでもすでに透過率が最大となる波長が長く、黄色が強調される。これにより、液晶層の厚みの変化のない従来の液晶表示装置における、駆動電圧の増大に伴って色調が青色から黄色へと変化するという問題を補正することができる。

【0076】

実施形態14は実施形態13と異なり、信号線31と共通電極36とは第2絶縁膜86を介して重畳しており、実施形態13では信号線31の両側に配置された二つの共通電極36が一つにまとめられている。そのため、フォトリソ工程のマスクを増やすことなく、開口率が向上される。

【0077】

また、実施形態14は実施形態13と異なり、信号線31と共通電極36とは第2絶縁膜86を介して重畳しているため、光の透過領域における凹部と凸部の面積比が同じ場合と比較して、実施形態14は実施形態13と比較して信号線31に重畳している第2絶縁膜の面積を広く取ることができる。これにより、液晶層34の厚みは凸部上のビーズによって決定されるため、実施形態14は実施形態13と比較して各画素の液晶層34の厚みの平均値をパネル全体に渡って均一にすることが容易になる。

【0078】

さらには、実施形態11と異なり、第2絶縁膜86によって形成される凹凸に伴う段差が、画素電極35と共通電極36との間に一つだけある。また、画素電極35が凹部に重畳して配置され、共通電極36は凸部に重畳している。これにより、凹凸の形状が実施形態11と比較して大きくなり、第2絶縁膜86の加工が容易になる。なお、凸部に重畳し

10

20

30

40

50

ている共通電極 36 が第 2 絶縁膜 86 より上層に配置されているため、第 2 絶縁膜 86 を介することなく液晶層 34 に電界を印加することができ、駆動電圧の上昇を抑制している。

【0079】

さらに、第 2 絶縁膜 86 によって形成される凹凸に伴う段差の延伸方向 DLd が、液晶の初期配向方向 DLe と一致しているため、配向膜 85 にラビング処理を施すときに、光の透過領域において凹凸に伴う段差を乗り越えることがなく、均一にラビング処理を施すことができ、配向不良等を誘発しにくい。さらに、光の透過領域において、画素電極 35 および共通電極 36 が第 2 絶縁膜 86 による凹凸に伴う段差を乗り越えていないため、段差によって画素電極 35 が切れるということなどの不良が生じない。

10

【0080】

〔実施形態 15〕

実施形態 15 は、実施形態 14 に比較して、第 2 絶縁膜 86 の形状と配置が異なる。これについて図 34 および図 35 を用いて説明する。図 34 は実施形態 15 の画素近傍の回路配置パターン構成を示す図である。また、図 35 は、図 34 の A - A' 断面の断面図である。

【0081】

実施形態 15 は実施形態 14 と異なり、第 2 絶縁膜 86 が信号線 31 と共通電極 36 とに重畳している部分で、共通電極 36 より小さい幅で、選択的に形成されている。そのため、図 35 に示すように、共通電極 36 が第 2 絶縁膜 86 を覆うように形成されている。これにより、電気力線 21 が示すような、信号線 31 と画素電極 35 との間に発生する表示に不要なノイズ電界のうち、第 2 絶縁膜 86 と液晶層 34 の凹部とを通るノイズ電界を遮断することができ、表示品質を向上させることができる。

20

【0082】

〔実施形態 16〕

実施形態 16 は、実施形態 14 に比較して、共通電極 36 の形状と配置が異なる。これについて図 36 および図 37 を用いて説明する。図 36 は実施形態 16 の画素近傍の回路配置パターン構成を示す図である。また、図 37 は、図 36 の A - A' 断面の断面図である。

【0083】

実施形態 16 は実施形態 14 と異なり、信号線 31 と第 2 絶縁膜 86 とが重畳している部分で、第 2 絶縁膜 86 の上に共通電極 36 と配向膜 85 とが配置されている。すなわち、実施形態 14 の図 33 では信号線 31 の全面(ただし、図 36 の A - A' 断面において全面という意味である)に共通電極 36 が重畳しているが、実施形態 16 の図 37 では信号線 31 の一部分に共通電極 36 が重畳している。そのため、この重畳している面積を変化させることによって、信号線 31 と共通電極 36 との間に発生する容量を変化させることができる。ここで、信号線 31 を通る映像信号の遅延を引き起こすため、この容量を調整することは重要である。

30

【0084】

つまり、実施形態 14 では、第 2 絶縁膜 86 の厚みを変化させることで容量を変化させることができたが、実施形態 16 では、第 2 絶縁膜 86 の厚みだけではなく、信号線 31 と共通電極 36 とが重畳している面積を変化させることでも容量を変化させることができる。したがって、第 2 絶縁膜 86 の厚みに関する自由度が広がり、液晶層 34 の厚みの凹凸による高速化の効果が最適化されるように第 2 絶縁膜の厚みを決定することができる。換言すれば、実施形態 16 は液晶層 34 の厚みの変動の最適化と、信号線 31 と共通電極 36 との間の容量の最適化を、独立してそれぞれ行うことができる。

40

【0085】

〔実施形態 17〕

実施形態 17 は、実施形態 14 に比較して、保護膜 82 の形状が異なるだけである。これについて図 32 および図 38 を用いて説明する。図 32 は実施形態 17 の画素近傍の回

50

路配置パターン構成を示す図である。また、図38は、図32のA-A'断面の断面図である。

【0086】

実施形態17は実施形態14と異なり、凹凸を形成する第2絶縁膜86とは異なって、かつ凹凸を有する絶縁膜である保護膜82が基板1上に配置され、凹凸を形成する第2絶縁膜86と保護膜82の凹部とが重畳している。すなわち、図38に示すように、実施形態17は保護膜82が凹凸を有し、保護膜82の凹部に絶縁膜86が配置されているため、実施形態14に比較して液晶層の厚みの変動が小さくなっている。

【0087】

すなわち、実施形態17では、液晶層34の厚みの変動を第2絶縁膜86と保護膜82の両方で変化させることができる。そのため、信号線31と共通電極36との間の容量は第2絶縁膜の厚みで変化させることができ、液晶層34の厚みの変動は第2絶縁膜86の厚みと保護膜82の凹凸の大きさとの組み合わせで変化させることができる。

【0088】

換言すれば、実施形態17は液晶層34の厚みの変動の最適化と、信号線31と共通電極36との間の容量の最適化を、独立してそれぞれ行うことができる。なお、最初から保護膜82の断面形状を本実施形態での第2絶縁膜86と保護膜82を合わせた断面形状になるように形成しても、同様の効果を得られる。

【0089】

〔実施形態18〕

実施形態18は、実施形態1に比較して、駆動方法が異なるだけである。これについて図39を用いて説明する。図39は実施形態18の各配線および電極の電位の時間変化と液晶に印加される電圧の時間変化の例である。

【0090】

実施形態18では、1周期期間110中に2回の選択パルスが走査線に供給される。初めの選択パルス101によって、画素電極には共通電極と同じ電位が供給され、液晶への印加電圧はゼロになり、ノーマリーブラック表示モードの本液晶表示装置は黒階調を表示する。同じ周期期間110中の、次の選択パルス102によって、画像を表示するための電位が前記画素電極に供給され、本液晶表示装置は黒階調から画像を表示する階調へと変化する。このように、実施形態18は、1画像を表示する1周期期間中に、画素電極の電位と共通電極の電位とを等しくする手段を有する駆動方法を用いている。

【0091】

そのため、各画素の輝度が画像を表示する階調へと変化するときは、必ず、黒階調から画像を表示する階調へと変化する。実施形態18は黒階調から中間調への応答時間を短縮できる構成であるため、上記の駆動方法と回路構成を組み合わせることによって、高速化された黒階調から中間調へのスイッチングを多用することになり、動画像の表示品質が向上する。

【0092】

なお、実施形態18は実施形態1におけるアクティブマトリクス駆動を上記の駆動方法に入れ換えたものである。そのため、アクティブマトリクス駆動を用いている実施形態2ないし実施形態17においても、アクティブマトリクス駆動を上記の駆動方法で置き換えることによって、実施形態18と同様の効果が得られることは、いうまでもない。

【0093】

〔実施形態19〕

実施形態19は、実施形態18に比較して、駆動方法が異なるだけである。これについて図40および図41を用いて説明する。なお、バックライト光源を用いてもよい。

図40は実施形態19による液晶表示装置の構成を示す図である。実施形態19の液晶表示装置は、画素電極35に信号電位を供給する信号ドライバ51と、画素を選択する電位を供給する走査ドライバ52と、共通電極36に電位を供給する共通電極ドライバ54と、信号ドライバ51および走査ドライバ52および共通電極ドライバ54とを制御する

10

20

30

40

50

表示制御装置 53 とを有している。

【0094】

基板 1 には、走査ドライバ 52 に接続された複数の走査線 32 と、信号ドライバ 51 に接続され、かつ走査線 32 と交差した信号線 31 と、走査線 32 と信号線 31 との交点付近に対応して配置され、走査線 32 と信号線 31 と電氣的に接続された第 1 TFT 33 と、第 1 TFT 33 に電氣的に接続され、信号線 31 に対応した画素電極 35 と、画素電極 35 に対応した共通電極 36 と、第 1 TFT が接続されている走査線 32 と異なる走査線と画素電極 35 と共通電極 36 とに電氣的に接続された第 2 TFT 33' と、共通電極 36 と共通電極ドライバ 54 とに電氣的に接続された共通電極配線 36" が備えられている。

10

【0095】

図 41 は実施形態 19 の各配線および電極の電位の時間変化と液晶に印加される電圧の時間変化の例である。実施形態 19 の駆動は、図 41 に示すように、共通電極配線 36" を介して共通電極 36 に負の選択パルスが 103 供給されると、図 40 の第 2 TFT 33' が接続されている走査線 32 が選択された場合と等価になることから、第 2 TFT 33' がオンになり、画素電極 35 の電位と共通電極 36 の電位とが等しくなり、ノーマリーブラック表示モードの本液晶表示装置は黒階調を表示する。この場合、走査線 32 は 1 番目から m 番目へと順次選択されていくので、共通電極配線 36" 駆動時に選択中の走査線に接続された第 2 TFT 33' のみがオンになり、画素電極 35 の電位と共通電極 36 の電位とが等しくなる。続いて、同じ周期期間 110 中の、選択パルス 102 によって、画像を表示するための電位が前記画素電極に供給され、本液晶表示装置は黒階調から画像を表示する階調へと変化する。この場合、次の走査線 32 が選択されているので、共通電極と同じ電位になった当該画素電極 35 に接続された第 1 TFT 33 のみがオンになり、画像を表示するための電位が当該画素電極に供給される。このようにして、走査線が 1 番目から m 番目へと順次選択されるにつれて、走査線に接続された画素電極も順次選択されていき、一旦、共通電極の電位と等しくなった後に画像を表示するための電位が供給されていくこととなる。

20

【0096】

このように、実施形態 19 は、1 画像を表示する 1 周期期間中に、画素電極の電位と共通電極の電位とを等しくする手段を有する駆動方法を用いている。そのため、各画素の輝度が画像を表示する階調へと変化するときは、必ず、黒階調から画像を表示する階調へと変化する。実施形態 19 は黒階調から中間調への応答時間を短縮できる構成であるため、上記の駆動方法と回路構成を組み合わせることによって、高速化された黒階調から中間調へのスイッチングを多用することになり、動画像の表示品質が向上する。

30

【0097】

また、実施形態 19 は実施形態 18 と異なり、画素電極の電位と共通電極の電位とを等しくする手段が信号線 31 に対して独立であるため、画像を表示するための電位の供給と、画素電極の電位と共通電極の電位とを等しくすることとを、異なる画素で同時刻に行うことができ、黒階調を表示する時間と画像を表示する時間との割合を任意に変更することができる。

40

【0098】

なお、実施形態 19 は実施形態 1 におけるアクティブマトリクス駆動を上記の駆動方法に入れ換えたものである。そのため、アクティブマトリクス駆動を用いている実施形態 2 ないし実施形態 17 においても、アクティブマトリクス駆動を上記の駆動方法で置き換えることによって、実施形態 19 と同様の効果が得られることは、いうまでもない。

【0099】

〔実施形態 20〕

実施形態 20 は実施形態 1 と異なり、ラビング処理の代わりに、液晶層と接する部分に光反応性の材料層を配置し、光配向を適用したことのみが異なる。すなわち、配向膜 85 として光配向に適した材料を使用し、ほぼ直線に偏光した光を照射して液晶層 34 の初期

50

配向方向を決定した。そのため、凹凸に伴う段差部において配向不良等を誘発しにくくなる。光反応性の材料としてはポリビニルシンナメート等を使用できる。なお、実施形態 20 は実施形態 1 における配向処理を変更しただけである。そのため、実施形態 2 ないし実施形態 19 においても、配向処理に光配向を適用すれば、実施形態 20 と同様の効果が得られることは、いうまでもない。

【0100】

〔比較例 2〕

本発明の比較例 2 は、実施形態 1 から 20 に比較して、駆動方法が異なるだけである。よって、これについて図 4 2 を用いて説明する。図 4 2 は比較例 2 の各配線および電極の電位の時間変化と画素の輝度の時間変化の例である。

10

【0101】

比較例 2 では、すべての走査線に選択パルスが順次供給されて、すべての画素電極に表示するための電位が信号線から画素電極に印加され、保持された後、バックライトが点灯して表示が行なわれる。従来のバックライトが点灯され続けられた状態で、画素電極に電位を印加する表示方式では、動画像の輪郭が不鮮明になるといった問題があったが、この比較例 2 の駆動方式を用いて、間欠的に表示を行うことによって、この輪郭の不鮮明を防ぐことが可能ではある。しかしながら、画面全体で均一な表示を実現するためには、画素電極に電圧を印加した後、液晶が完全に応答してからバックライトを点灯させる必要があるため、点灯時間が短くなり、明るい表示が得られないといった問題がある。

【0102】

図 4 2 に示す例では、1 ~ m 番目の走査線に $V_G(1) \sim V_G(m)$ の電圧波形（選択パルス）を順次印加して、それぞれ表示に対応した信号電圧 V_D を画素電極に順次書き込んでいく。最後の走査線（m 番目）に対応した画素電極に電圧が書き込まれたあと、一定期間（この場合 5 ms）をおいてバックライトを点灯させる。この時間を 1 フレームと称する。この場合、16.6 ms である。図 4 2 において、画素の輝度 $B(1) \sim B(m)$ は特定の信号線に対応した、1 ~ m 番目の走査線に接続された画素の輝度を示している。バックライトが点灯している期間は斜線で示した。この例の場合、(1)(2)番目のフレームでは表示は変化していない。(3)番目のフレームで画像 A から画像 B に表示が変化した後、(4)(5)のフレームでは再び表示は変化していない。

20

【0103】

(2)番目のフレームから(3)番目のフレームにおいて、1 番目及び 2 番目の走査線に対応する画素の表示は最高階調レベル（255 レベル）から中間階調レベルに変化している。これらの画素の輝度 $B(1)$ 及び $B(2)$ は、電圧が書き込まれてから、バックライトが点灯するまでの間に十分な時間があるので、所望の（画像 B を表示するための）中間階調レベルに達してからバックライトが点灯している。一方、m 番目の走査線に対応する画素の表示は最高階調レベル（255 階調レベル）から最低階調レベル（0 階調レベル）に変化している。一番最後の m 番目の走査線に対応する画素では、画素電極に電圧が印加されてから、バックライトが点灯するまでの期間が 5 ms と短いため、 $B(m)$ のように、輝度が 0 階調レベルに達する前にバックライトが点灯してしまう。このように、動画の輪郭の不鮮明さを防ぐための本比較例 2 の駆動方法の場合においても、1 番目に近い最初の方の走査線に対応した画素では効果があるが、m 番目に近い最後の方の走査線に対応した画素では効果が得られない。

30

40

【0104】

図 4 3 は、本比較例で用いた液晶表示素子の輝度の応答特性を示す図である。256 階調の場合で、0 階調レベルから各階調レベルへの応答時間と、255 階調レベルから各階調レベルへの応答時間と、中間階調レベルから各階調レベルへの応答時間を示した。最終到達階調レベルを横軸、応答時間を縦軸にとり、始点での階調レベルをパラメータとして示す。応答時間の定義を図 4 4 に示す。縦軸は輝度を階調レベルで表したものの、横軸は時間である。最高階調レベル（この場合は 255 階調レベル）と最低階調レベル（0 階調レベル）との輝度差を 100% として、輝度が最終到達階調レベルに対して $\pm 5\%$ に達する

50

までの時間を応答時間と定義する。図 4 3 (a) は低い階調レベル (6 3 階調レベル) から高い階調レベル (1 9 1 階調レベル) への応答の場合である (立ち上がり) 。最終到達階調レベルである 1 9 1 階調レベルの - 5 % 、すなわち 1 7 8 . 2 5 階調レベルに達するまでの時間が応答時間である。図 4 3 (b) は高い階調レベル (1 9 1 階調レベル) から低い階調レベル (0 階調レベル) への応答の場合である (立ち下がり) 。最終到達階調レベルである 0 階調レベルの + 5 % 、すなわち 1 2 . 7 5 階調レベルに達するまでの時間が応答時間である。

【 0 1 0 5 】

本発明では、0 階調レベルから各階調レベルへの応答が 5 m s 以下と改善されているが、2 5 5 階調レベルからの応答特性は、基本的に緩和過程によるものであり改善はされておらず、図 4 3 に示すように遅い応答となっている。特に、2 5 5 階調レベルから 0 階調レベルへの応答は遅く、バックライトが点灯するまでの期間を長くしないと、輝度が 0 階調レベルに達する前にバックライトが点灯してしまうという問題の原因となっている。

10

【 0 1 0 6 】

〔 実施形態 2 1 〕

実施形態 2 1 は比較例 2 の問題を解決する駆動方法である。実施形態 1 から 2 0 に比較して、駆動方法が異なるだけである。図 4 5 は本実施形態の各配線および電極の電位の時間変化と画素の透過率の時間変化の例である。

【 0 1 0 7 】

比較例 2 と異なるのは、順次走査を行う前に、すべての走査線に選択パルスを与えて、すべての画素に 0 階調レベルに対応する電圧を印加している点である。図 4 5 では黒く塗りつぶしたパルスで示してある。以後このパルスをアシストパルスと称する。

20

【 0 1 0 8 】

B (1) ~ B (m) 、 V G (1) ~ V G (m) 、 V D は、それぞれ図 4 2 の場合と同様に画素の輝度、走査線の印加電圧波形 (選択パルス) 、信号電圧線の印加電圧波形を示している。また、図 4 2 の場合と同様、(1) (2) 番目のフレームでは表示は変化していない。(3) 番目のフレームで画像 A から画像 B に表示が変化した後、(4) (5) のフレームでは再び表示は変化していない。

【 0 1 0 9 】

(1) 番目のフレームについて説明する。1 番目の走査線に対応した画素の輝度 B (1) は、アシストパルスによって、階調レベル 0 の輝度に向かって応答しかけるが、続けてすぐに選択パルスが印加されて、所定の (画像 A を表示するための) 電圧が画素電極に印加されるため、すぐにもとの輝度に戻る。2 番目の走査線に対応した画素の輝度 B (2) も同様である。最後の走査線に対応した画素の輝度 B (m) は、アシストパルスが印加された後、選択パルスが印加されるまでに十分な時間があるため、その輝度は 0 階調レベルに達する。その後、選択パルスの印加によって輝度は所定の (画像 A を表示するための) 輝度に向かって応答する。この時、図 4 2 4 2 に示すように 0 階調レベルから各階調レベルへの応答は最大でも 5 m s と高速であるため、バックライトが点灯するまでの期間 (5 m s) 中に所定の (画像 A を表示するための) 輝度に達することができる。以上のようにして、すべての画素が応答し終わってからバックライトが点灯するので、(1) 番目のフレームにおいて均一な表示が可能である。(2) 番目のフレームに関しても同様である。

30

40

【 0 1 1 0 】

(3) 番目のフレームでは、表示が変化している。比較例 2 の場合と同様に、(2) 番目のフレームから (3) 番目のフレームにおいて、1 番目及び 2 番目の走査線に対応する画素の表示は最高階調レベル (2 5 5 階調レベル) から中間階調レベルに変化している。これらの画素の輝度 B (1) 及び B (2) は、電圧が書き込まれてから、バックライトが点灯するまでの間に十分な時間があるので、所望の (画像 B を表示するための) 中間階調レベルに達してからバックライトが点灯している。一方、m 番目の走査線に対応する画素の表示は最高階調レベル (2 5 5 階調レベル) から最低階調レベル (0 階調レベル) に変化している。アシストパルスが印加されてから、選択パルスが印加されるまでの期間は、(1) 番目

50

及び(2)番目のフレームと同様で、画素の輝度 $B(m)$ は、アシストパルスが印加された後、選択パルスが印加されるまでに十分な時間があるため、その輝度は0階調レベルに達する。その後、選択パルスによって、所定の表示(画像 B を表示するための)である0階調レベルに対応した電圧が画素電極に印加されるが、その輝度 $B(m)$ はすでに0階調レベルに達している。したがって、バックライトが点灯する際にはすべての画素が所定の(画像 B を表示するための)輝度に達しており、所定の表示が可能である。

【0111】

以上のように、実施形態20を用いれば、選択パルスから点灯までの期間の短い、 m 番目に近い最後の方の走査線に対応した画素では、その応答がかならず0階調レベルからの速い応答となるため、比較例2のように、最後の方の走査線に対応した画素の表示が不良となることは無く、良好な表示が可能である。以上のように、選択パルスを順次印加して、すべての画素電極に所定の電圧を書き込んだあとに、バックライトを点灯させることによって、動画を鮮明に表示する駆動方法において、選択パルスを順次印加する前に、すべての画素に0階調レベルに対応した電圧を印加することにより、良好な動画表示を実現することが可能である。

10

【0112】

尚、本実施形態ではアシストパルスによって0階調レベルに対応した電圧をすべての画素電極に印加し、保持したが、液晶表示方式によっては必ずしも0階調レベルに対応した電圧を印加する必要はない。図46 $R>6$ はTN液晶の応答特性を示す図であるが、この場合にはその階調からの各階調レベルへの応答時間の最大値が最も小さい63階調レベルに対応した電圧を印加するべきである。以上のように、液晶素子の特性に応じて、その状態からの各階調レベルへの応答時間の最大値がもっとも小さくなる状態になるような電圧をアシストパルスの期間に画素に印加するべきである。

20

【0113】

また、IPS表示モードにおいても、アシストパルスによって必ずしも0階調レベルに対応した電圧をすべての画素電極に印加する必要はない。走査線に順次パルス電圧を印加する前に、予め画素電極の全てに同一の電圧を印加することにより、各画素電極周辺の液晶を各階調への応答時間の最大値が前記一定期間よりも短い状態になるような状態にしておけば良い。例えば、一定期間が5msであればその状態は0に近い階調であれば良く、一定期間が6msであれば、その状態は階調0~63であれば良い。

30

【0114】

また、このようなアシストパルスは、一定の階調に統一するのであれば、前記画素電極の全てに同一の電圧を印加すれば良い。また、画素電極の電位と前記共通電極の電位とを等しくすることにより同一の電圧を印加しても良い。このようなアシストパルスの印加は、図2のような回路構成を用いて、初めの選択パルスの代わりにアシストパルスを用いて、画素電極に共通電極と同じ電位を供給し、次の選択パルスによって、画像を表示するための電位を前記画素電極に供給することにより実現しても良く、図40のような回路構成を用いて、共通電極配線36"を介して共通電極36に印加する選択パルスの代わりにアシストパルスを用いて、画素電極に共通電極と同じ電位を供給し、続いて、同じ周期期間中の、選択パルス102によって、画像を表示するための電位を画素電極に供給することにより実現しても良い。それ以外にも、図2のような回路構成を用いて、信号線電位を0階調レベルにして全ての走査線を一括選択することによりアシストパルスを印加する等、走査線に順次選択パルスを印加する前に、予め画素電極の全てにアシストパルスを用いて所定の(0階調の付近にする)電位を供給できる回路構成であれば良い。

40

【図面の簡単な説明】

【0115】

【図1】本発明による実施形態1の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図2】従来および本発明の液晶表示装置の回路構成を説明する図である。

【図3】従来液晶表示装置における画素近傍の回路配置パターン構成を説明する図である

50

。

【図 4】従来の液晶表示装置における画素近傍の断面を説明する図である。

【図 5】本発明による実施形態 1 の液晶表示装置における画素近傍の断面を説明する図である。

【図 6】液晶層が凹凸を有することによる高速化の原理を説明する図である。

【図 7】液晶層が凹凸を有することによる高速化の効果を説明する図である。

【図 8】本発明による実施形態 2 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 9】本発明による実施形態 2 の液晶表示装置における画素近傍の断面を説明する図である。

【図 10】本発明による実施形態 3 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 11】本発明による実施形態 3 の液晶表示装置における画素近傍の断面を説明する図である。

【図 12】本発明による実施形態 4 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 13】本発明による実施形態 4 の液晶表示装置における画素近傍の断面を説明する図である。

【図 14】本発明による実施形態 5 ないし実施形態 7 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 15】本発明による実施形態 5 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 16】本発明による実施形態 5 の液晶表示装置における画素近傍の断面を説明する図である。

【図 17】本発明による実施形態 6 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 18】本発明による実施形態 6 の液晶表示装置における画素近傍の断面（図 17 の A - A' 断面）を説明する図である。

【図 19】本発明による実施形態 6 の液晶表示装置における画素近傍の断面（図 17 の B - B' 断面）を説明する図である。

【図 20】本発明による実施形態 7 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 21】本発明による実施形態 7 の液晶表示装置における画素近傍の断面を説明する図である。

【図 22】本発明による実施形態 8 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 23】本発明による実施形態 8 の液晶表示装置における画素近傍の断面を説明する図である。

【図 24】本発明による実施形態 9 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 25】本発明による実施形態 10 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 26】本発明による実施形態 10 の液晶表示装置における画素近傍の断面を説明する図である。

【図 27】本発明による実施形態 11 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図 28】本発明による実施形態 11 の液晶表示装置における画素近傍の断面を説明する図である。

【図 29】本発明による実施形態 12 の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

10

20

30

40

50

【図30】本発明による実施形態13の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図31】本発明による実施形態13の液晶表示装置における画素近傍の断面を説明する図である。

【図32】本発明による実施形態14および実施形態17の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図33】本発明による実施形態14の液晶表示装置における画素近傍の断面を説明する図である。

【図34】本発明による実施形態15の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

10

【図35】本発明による実施形態15の液晶表示装置における画素近傍の断面を説明する図である。

【図36】本発明による実施形態16の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図37】本発明による実施形態16の液晶表示装置における画素近傍の断面を説明する図である。

【図38】本発明による実施形態17の液晶表示装置における画素近傍の回路配置パターン構成を説明する図である。

【図39】本発明による実施形態18の液晶表示装置における各配線および電極の電位の時間変化と液晶に印加される電圧の時間変化を説明する図である。

20

【図40】本発明による実施形態19の液晶表示装置の構成を説明する図である。

【図41】本発明による実施形態19の液晶表示装置における各配線および電極の電位の時間変化と液晶に印加される電圧の時間変化を説明する図である。

【図42】本発明による比較例2の液晶表示装置における各配線の電位の時間変化と画素の透過率の時間変化を説明する図である。

【図43】本発明による比較例2と実施形態21の液晶表示装置における液晶の応答特性を説明する図である。

【図44】応答時間の定義を説明する図である。

【図45】本発明による実施形態21の液晶表示装置における各配線の電位の時間変化と画素の透過率の時間変化を説明する図である。

30

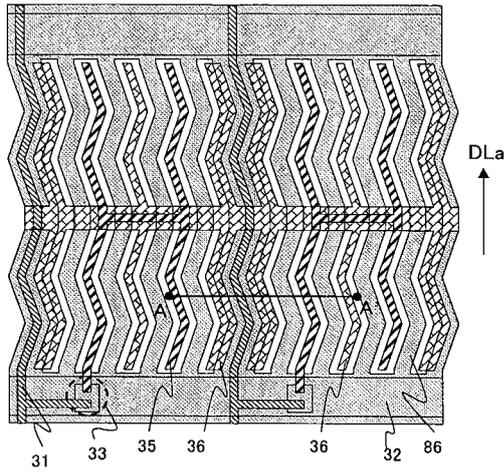
【図46】TN液晶素子の応答特性を説明する図である。

【符号の説明】

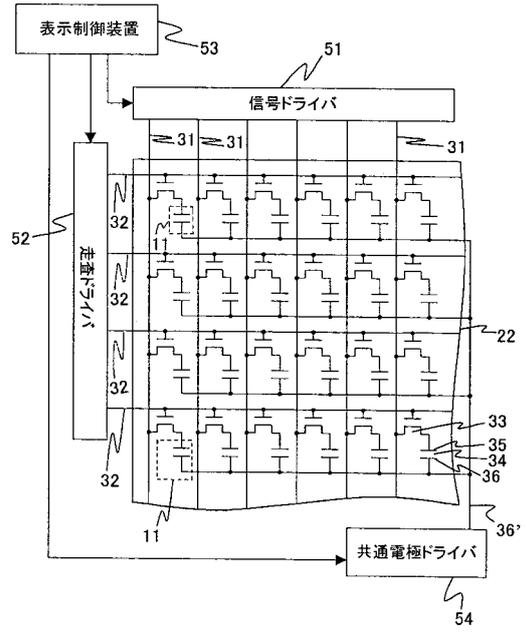
【0116】

1, 2 ... 基板、3 ... 平坦化膜、4 ... カラーフィルタ、5 ... ブラックマトリクス、6 ... 偏光板、11 ... 画素、21 ... 電気力線、22 ... 表示部、31 ... 信号線、32 ... 走査線、33 ... 第1 TFT、33' ... 第2 TFT、34 ... 液晶、35 ... 画素電極、36 ... 共通電極、36' ... 共通電極接続部、36'' ... 共通電極配線、81 ... 絶縁膜、82 ... 保護膜、85 ... 配向膜、86 ... 第2絶縁膜、101, 102, 103 ... 選択パルス、110 ... 1周期期間

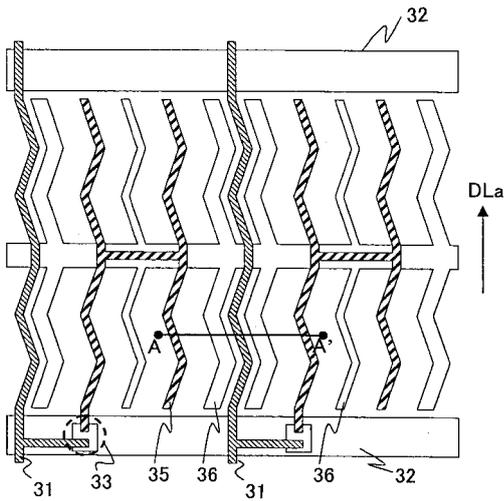
【図1】



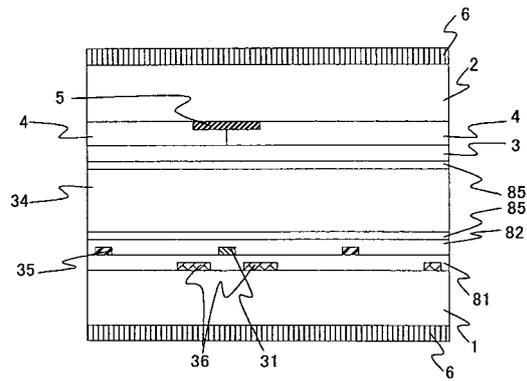
【図2】



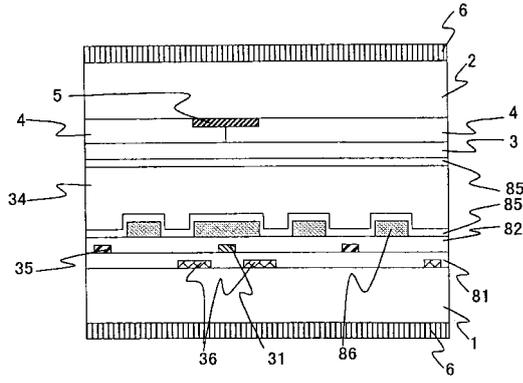
【図3】



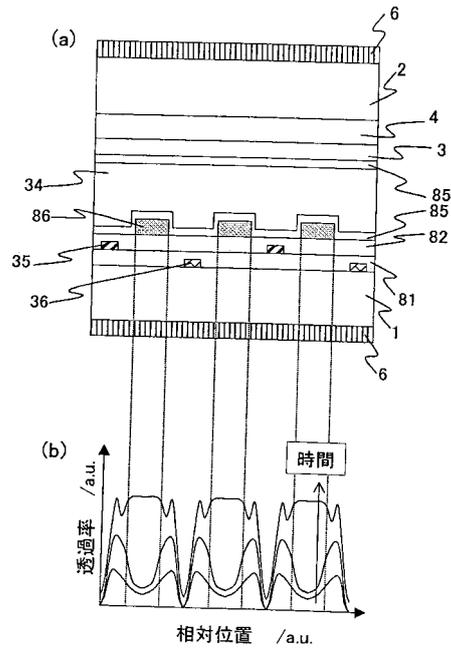
【図4】



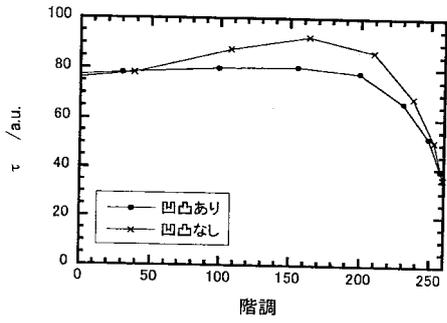
【 図 5 】



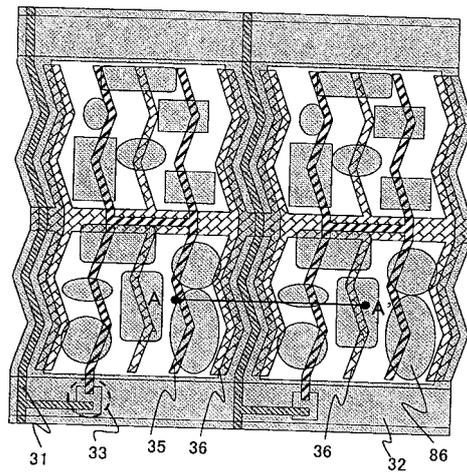
【 図 6 】



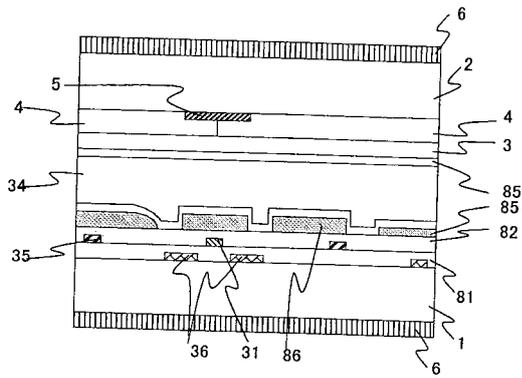
【 図 7 】



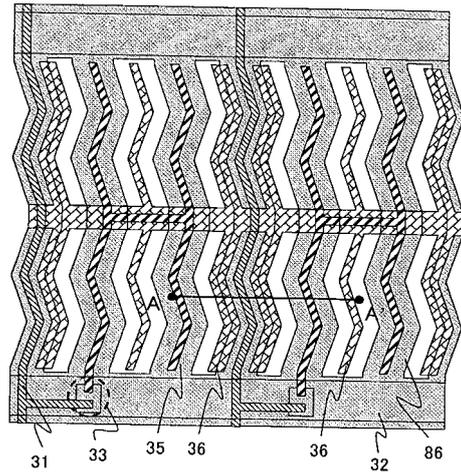
【 図 8 】



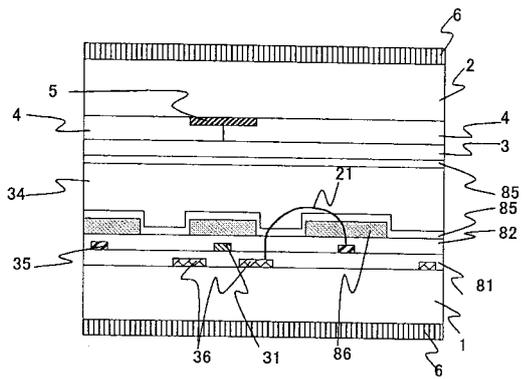
【図 9】



【図 10】

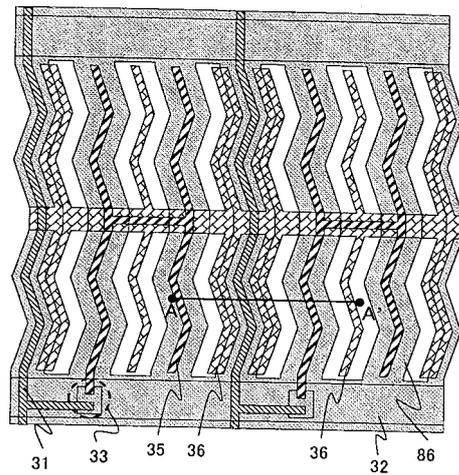


【図 11】

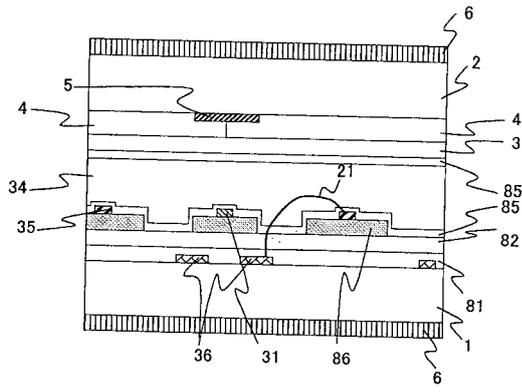


21...電気力線

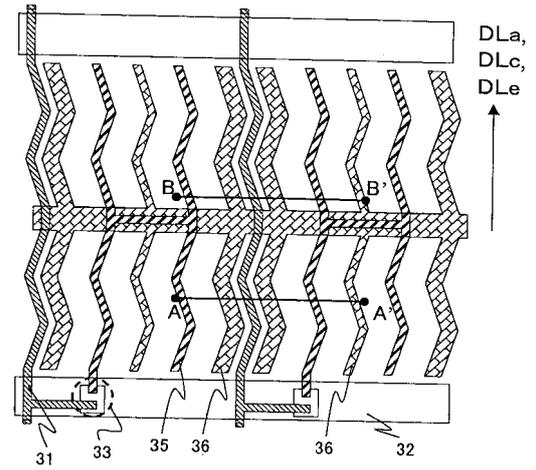
【図 12】



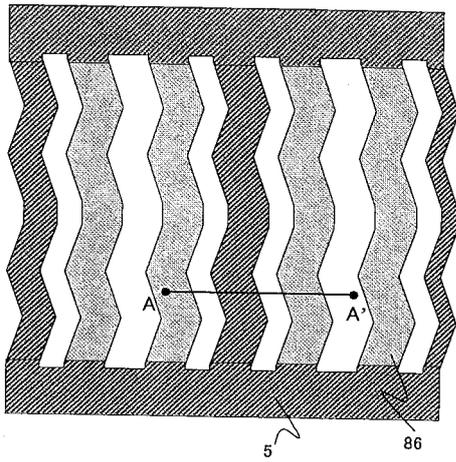
【図 13】



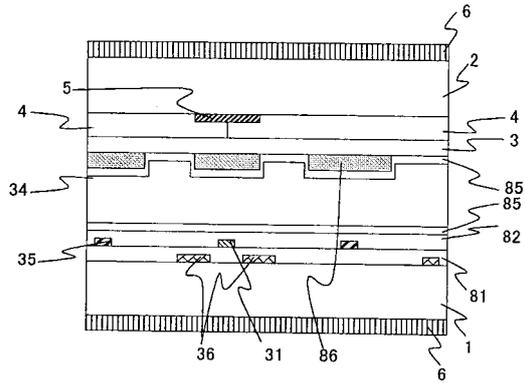
【図 14】



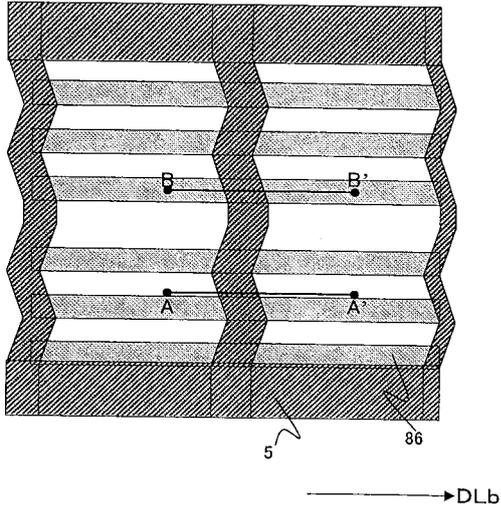
【図 15】



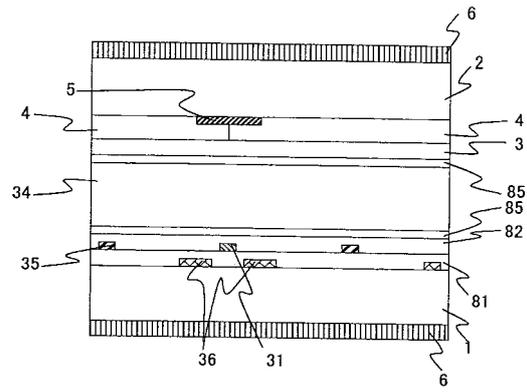
【図 16】



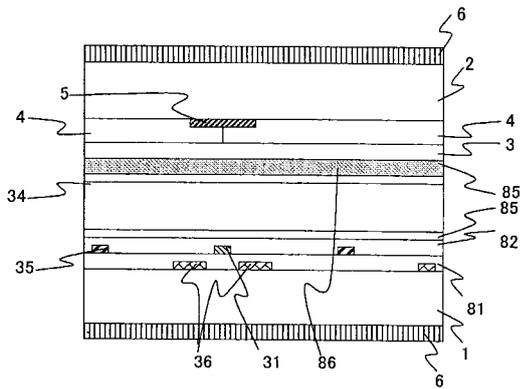
【 図 1 7 】



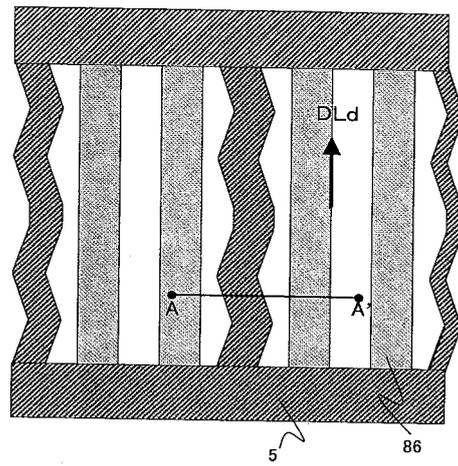
【 図 1 8 】



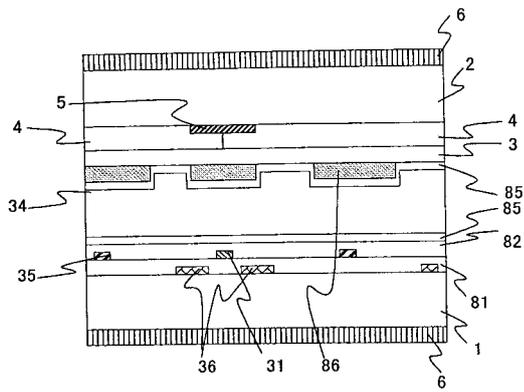
【 図 1 9 】



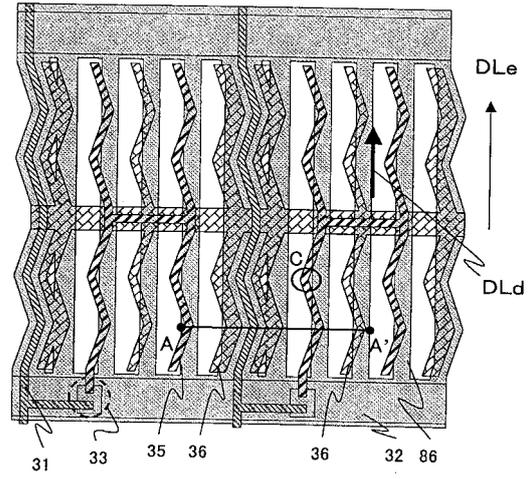
【 図 2 0 】



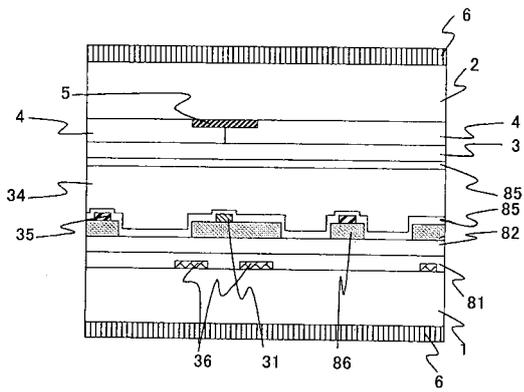
【図 2 1】



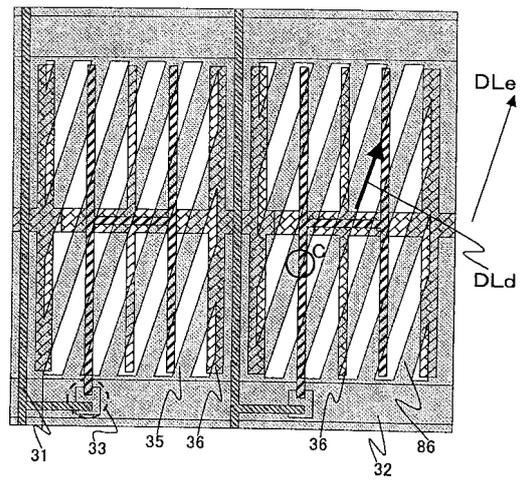
【図 2 2】



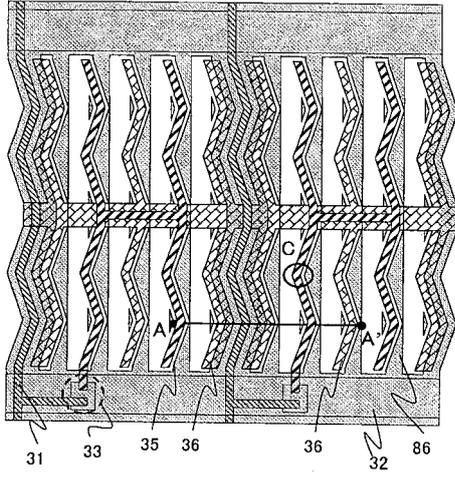
【図 2 3】



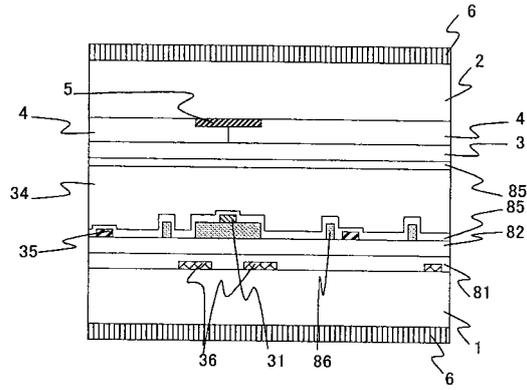
【図 2 4】



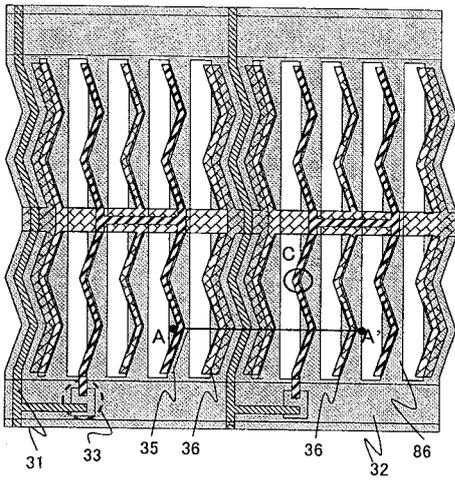
【 図 2 5 】



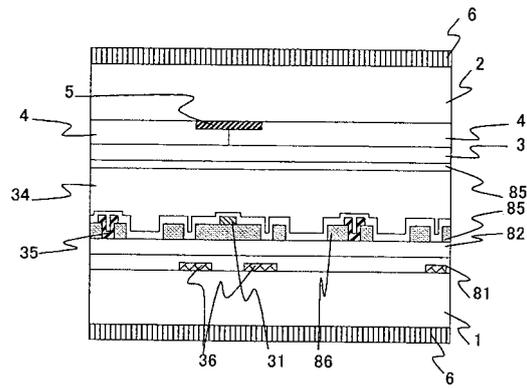
【 図 2 6 】



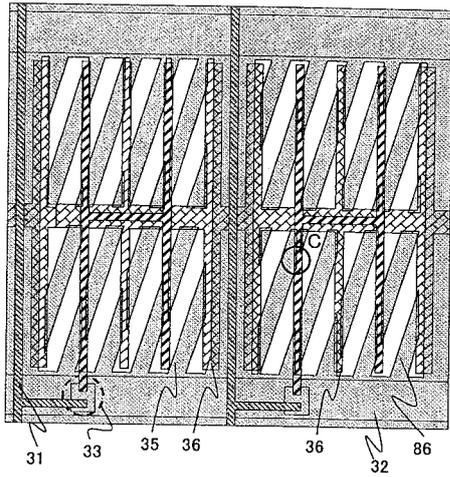
【 図 2 7 】



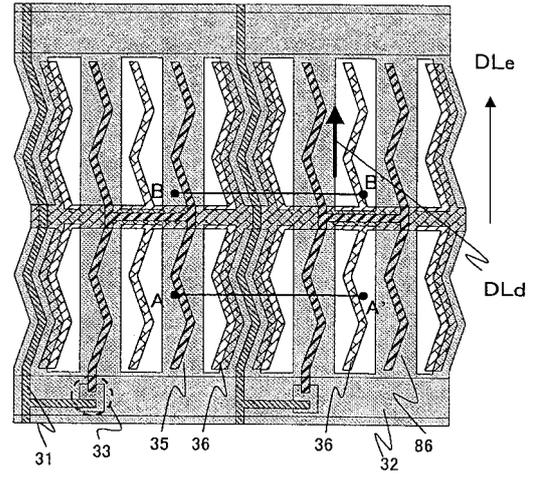
【 図 2 8 】



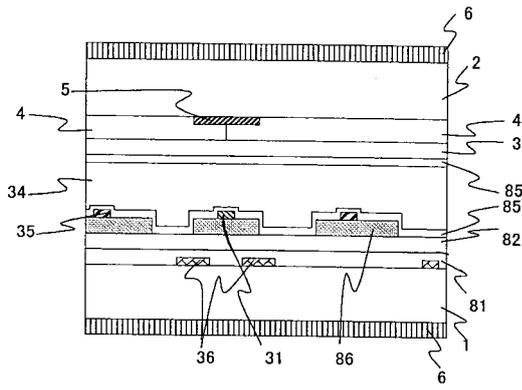
【図 29】



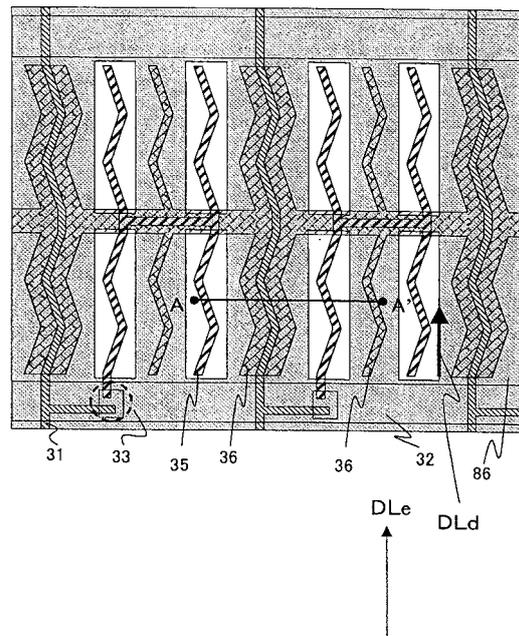
【図 30】



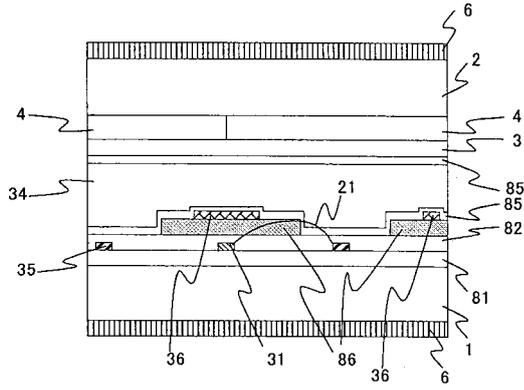
【図 31】



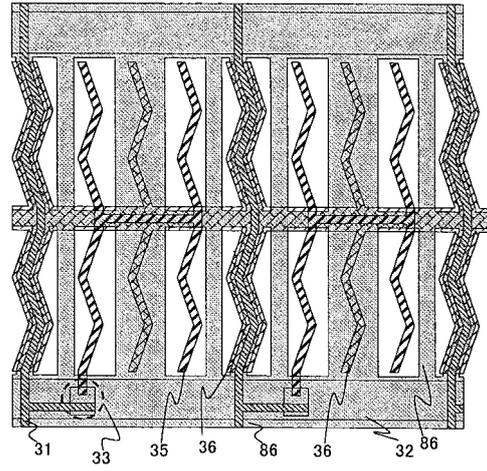
【図 32】



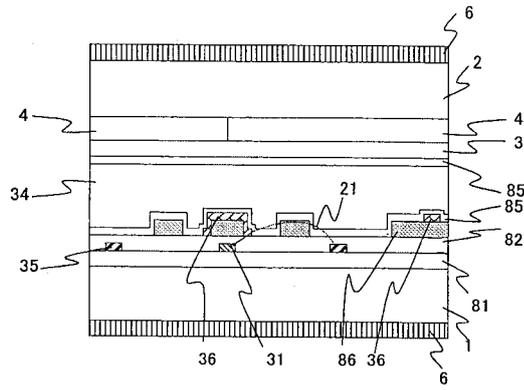
【図 3 3】



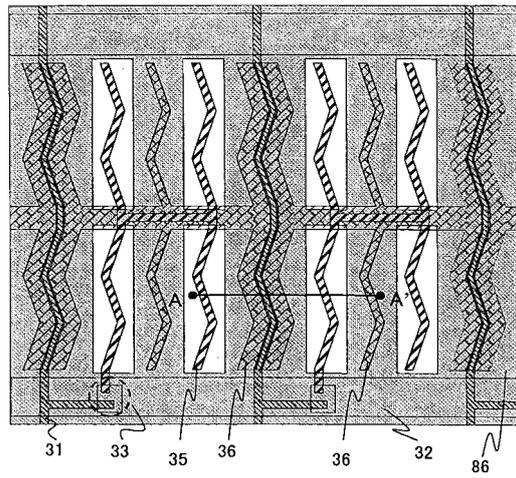
【図 3 4】



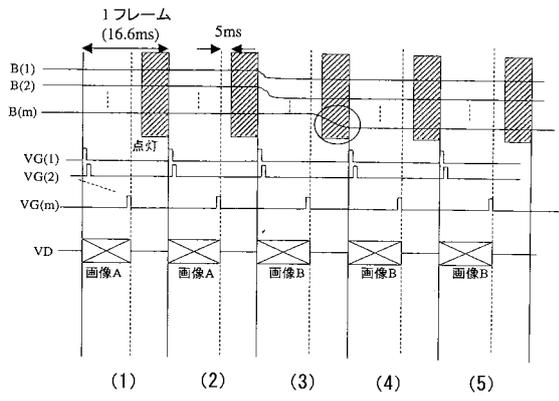
【図 3 5】



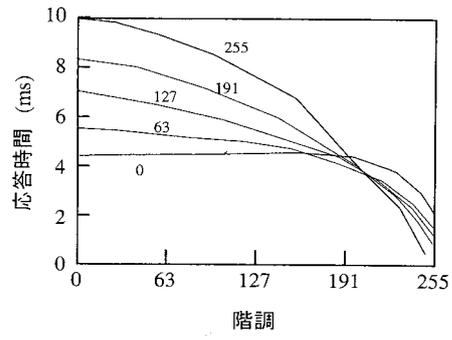
【図 3 6】



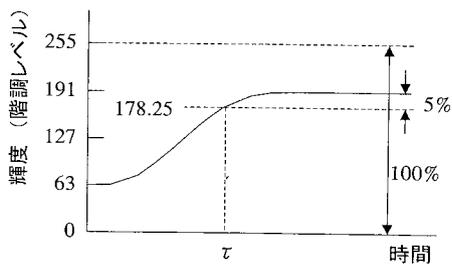
【 図 4 2 】



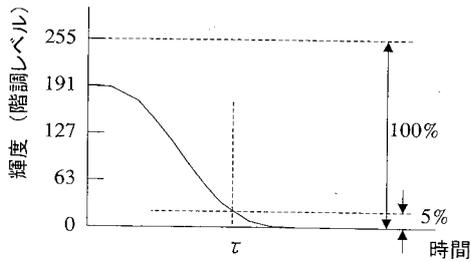
【 図 4 3 】



【 図 4 4 】

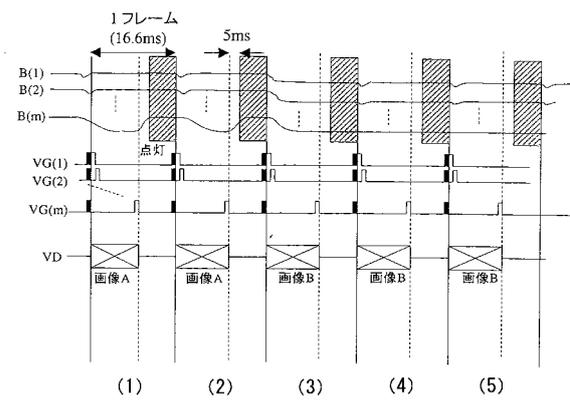


(a) 立ち上がり

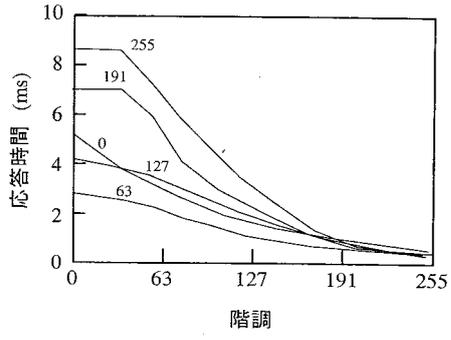


(b) 立ち下がり

【 図 4 5 】



【 図 4 6 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 R
	G 0 9 G 3/20	6 8 0 H
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/34	J

(72)発明者 山本 恒典

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

Fターム(参考) 2H093 NA16 NA43 NA53 NB22 NC09 NC15 NC16 NC22 NC34 ND06
 ND33 ND34 NE03 NE06 NF09
 5C006 AC11 AC24 AC25 AF42 AF43 AF59 BB16 BB29 BC06 EA01
 FA12 FA29
 5C080 AA10 BB05 DD02 DD08 EE19 EE29 FF07 FF11 JJ02 JJ04
 JJ05 JJ06