



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월02일
(11) 등록번호 10-1053761
(24) 등록일자 2011년07월27일

(51) Int. Cl.

H01L 27/146 (2006.01) H01L 27/14 (2006.01)

H01L 21/28 (2006.01)

(21) 출원번호 10-2008-0111418

(22) 출원일자 2008년11월11일

심사청구일자 2008년11월11일

(65) 공개번호 10-2010-0052617

(43) 공개일자 2010년05월20일

(56) 선행기술조사문헌

KR100277246 B1

KR100888684 B1

KR1020060120260 A

전체 청구항 수 : 총 7 항

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

윤기준

경기 수원시 영통구 원천동 신미주아파트
102-1211

(74) 대리인

서교준

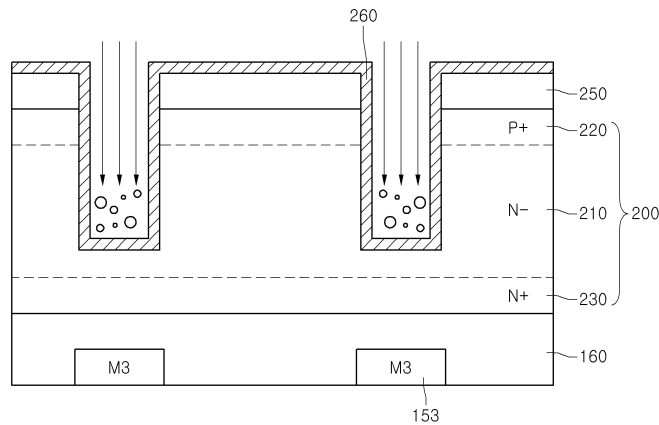
심사관 : 한지혜

(54) 이미지 센서의 제조 방법

(57) 요약

본 발명의 실시예에 따른 이미지 센서의 제조 방법은 반도체 기판에 배선을 포함하는 회로를 형성하는 단계; 상기 배선 상에 포토 다이오드를 형성하는 단계; 및 상기 배선과 연결되는 콘택 플러그를 상기 포토 다이오드 내에 형성하는 단계;를 포함하고, 상기 콘택 플러그를 형성하는 단계는, 상기 포토 다이오드 내에 상기 콘택 플러그를 형성할 비아홀 형성공정으로서, 상기 포토 다이오드의 일부 영역을 식각하는 제 1 식각 공정과, 식각중 발생하는 부산물을 이용하여 상기 배선의 일부면을 노출시키는 제 2 식각 공정을 포함하는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

반도체 기판에 배선을 포함하는 회로를 형성하는 단계;

상기 배선 상에 포토 다이오드를 형성하는 단계; 및

상기 포토 다이오드의 상부 영역을 식각하여 홈을 형성하는 제 1 식각 공정을 수행하는 단계;

상기 홈이 형성된 상기 포토 다이오드 상에 배리어층을 형성하는 단계;

식각중 발생하는 부산물을 이용하여 상기 홈에서 바닥면의 상기 배리어층 및 상기 포토 다이오드를 관통하도록 식각하여 상기 배선의 일부를 노출시키는 비아홀을 형성하는 제 2 식각 공정을 수행하는 단계;

상기 비아홀 내에 상기 배선과 연결되는 콘택 플러그를 형성하는 단계를 포함하는 이미지 센서의 제조 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기의 제 2 식각 공정은 상기 배리어층의 하부, 상기 포토 다이오드 및 상기 배선이 형성된 층간 절연층을 식각하는 것을 특징으로 하는 이미지 센서의 제조 방법.

청구항 4

제 1 항에 있어서,

상기의 제 2 식각 공정은 식각 공정중 발생하는 부산물을 이용하는 BCM(by-product capping mask) 공정으로서, 상기 BCM 공정은 900 ~ 1100W 소스 파워와, 1300 ~ 1700W 바이어스 파워 조건에서, 120 ~ 400sccm 유량의 Ar 가스, 12 ~ 17sccm 유량의 C₅F₈ 가스, 7 ~ 12sccm 유량의 O₂ 가스를 이용하는 것을 특징으로 하는 이미지 센서의 제조 방법.

청구항 5

금속배선이 형성된 층간 절연층 상에 위치한 기판 내에, 이온주입공정을 통해서 제 1 불순물 영역과, 상기 제 1 불순물 영역 상에 제 2 불순물 영역을 갖는 포토 다이오드를 형성하는 단계;

상기 포토 다이오드를 식각하여, 상기 포토 다이오드의 제 2 불순물 영역의 일부를 노출시키는 홈을 형성하는 단계;

상기 포토 다이오드 상에 배리어층을 형성하는 단계;

상기 홈에서 바닥면의 상기 배리어층, 상기 포토 다이오드 및 층간 절연층을 식각하여, 상기 금속배선의 일부를 노출시키는 비아홀을 형성하는 단계; 및

상기 금속배선과 전기적으로 연결되는 콘택 플러그를 상기 비아홀 내에 형성하는 단계;를 포함하고,

상기 금속배선의 일부를 노출시키는 단계는, 식각 공정 과정에서 발생한 부산물을 이용하여 BCM 공정을 수행하는 것을 특징으로 하는 이미지 센서의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 포토 다이오드는 제 1 불순물 영역과 제 2 불순물 영역에 의하여 PN 접합을 형성하고,

상기 제 2 불순물 영역의 일부를 노출시키는 단계는, 상기 제 1 불순물 영역에 대해서는 식각이 수행되지 않도록 하는 것을 특징으로 하는 이미지 센서의 제조 방법.

청구항 7

제 5 항에 있어서,

상기의 BCM 공정은 상기 제 1 불순물 영역과 층간 절연층에 대해서 수행되는 것을 특징으로 하는 이미지 센서의 제조 방법.

청구항 8

제 7 항에 있어서,

상기의 BCM 공정은, 900 ~ 1100W 소스 파워와, 1300 ~ 1700W 바이어스 파워 조건에서, 120 ~ 400sccm 유량의 Ar가스, 12 ~ 17sccm 유량의 C₅F₈ 가스, 7 ~ 12sccm 유량의 O₂ 가스를 이용하는 것을 특징으로 하는 이미지 센서의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 이미지 센서의 제조 방법에 대해서 개시한다.

배경기술

[0002] 종래기술에 따른 씨모스 이미지 센서는 포토다이오드가 트랜지스터와 수평으로 배치되는 구조이다.

[0003] 물론, 종래기술에 의한 수평형의 씨모스 이미지 센서에 의해 CCD 이미지센서의 단점이 해결되기는 하였으나, 종래기술에 의한 수평형의 씨모스 이미지 센서에는 여전히 문제점들이 있다.

[0004] 즉, 종래기술에 의한 수평형의 씨모스 이미지 센서에 의하면 포토 다이오드와 트랜지스터가 기판상에 상호 수평으로 인접하여 제조된다. 이에 따라, 포토 다이오드를 위한 추가적인 영역이 요구되며, 이에 의해 필팩터(fill factor) 영역을 감소시키고 또한 레졸루션(Resolution)의 가능성을 제한하는 문제가 있다.

[0005] 또한, 종래기술에 의한 수평형의 씨모스 이미지센서에 의하면 포토 다이오드와 트랜지스터를 동시에 제조하는 공정에 대한 최적화를 달성하는 점이 매우 어려운 문제가 있다. 즉, 신속한 트랜지스터 공정에서는 작은 면저항(low sheet resistance)을 위해 셸로우 정션(shallow junction)이 요구되나, 포토 다이오드에는 이러한 셸로우 정션(shallow junction)이 적절하지 않을 수 있다.

[0006] 또한, 종래기술에 의한 수평형의 씨모스 이미지센서에 의하면 추가적인 온칩(on-chip) 기능들이 이미지센서에 부가되면서 단위화소의 크기가 이미지센서의 센서티버티(sensitivity)를 유지하기 위해 증가되거나 또는 포토다이오드를 위한 면적이 픽셀사이즈를 유지하기 위해 감소되어야한다.

[0007] 그런데, 픽셀사이즈가 증가되면 이미지센서의 레졸루션(Resolution)이 감소하게되며, 또한, 포토 다이오드의 면적이 감소되면 이미지센서의 센서티버티(sensitivity)가 감소하는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명의 실시예는 회로(circuitry)와 포토다이오드의 새로운 집적을 제공할 수 있는 이미지센서의 제조방법을 제공하고자 한다.

[0009] 본 발명의 실시예는 두 개의 칩을 이용하여 포토 다이오드 형성후 칼라필터 어레이와 마이크로 렌즈를 형성시키는 이미지 칩과, 이를 구동하는 드라이버 IC 및 기타 부가기능을 부여할 수 있는 로직 어레이로 구성되는 로직 칩으로 분리하여 이미지 칩과 로직 칩을 하나의 패드를 이용하여 3차원 집적할 수 있는 이미지 센서의 제조방법을 제공하고자 한다.

[0010] 그리고, 포토 다이오드 상부에서의 다수의 메탈 라인들이 생략되도록 함으로써, 포토 다이오드와 마이크로 렌즈 사이의 거리를 줄여 광경로를 획기적으로 감소시키고, 이로 인하여 광감도를 향상시킬 수 있는 이미지 센서의

제조 방법을 제안한다.

[0011] 또한, 포토 다이오드의 수광 능력을 증가시키기 위해서는 포토 다이오드 영역을 더 크게 형성하거나 상기 포토 다이오드를 관통하는 비아홀의 사이즈를 줄여야 할 것이다. 그러나, 상기 비아홀의 사이즈가 너무 작은 경우에는, 상기 포토 다이오드의 일부 도핑 영역에 대해서 배리어 패턴을 형성하는 과정에서 비아홀의 입구가 막혀버리게 되는 현상이 발생할 수 있다. 따라서, 본 발명은 비아홀의 사이즈를 줄일 수 있으면서도, 배리어 패턴의 형성등에 의해서도 비아홀의 입구 개방성을 유지할 수 있도록 하는 제조 방법을 제안하는 것을 목적으로 한다.

과제 해결수단

[0012] 본 발명의 실시예에 따른 이미지 센서의 제조 방법은 반도체 기판에 배선을 포함하는 회로를 형성하는 단계; 상기 배선 상에 포토 다이오드를 형성하는 단계; 및 상기 배선과 연결되는 콘택 플러그를 상기 포토 다이오드 내에 형성하는 단계;를 포함하고, 상기 콘택 플러그를 형성하는 단계는, 상기 포토 다이오드 내에 상기 콘택 플러그를 형성할 비아홀 형성공정으로서, 상기 포토 다이오드의 일부 영역을 식각하는 제 1 식각 공정과, 식각중 발생하는 부산물을 이용하여 상기 배선의 일부면을 노출시키는 제 2 식각 공정을 포함하는 것을 특징으로 한다.

[0013] 또한, 실시예의 이미지 센서의 제조 방법은 금속배선이 형성된 층간 절연막 상에 위치한 기판 내에, 이온주입공정을 통해서 제 1 불순물 영역과, 상기 제 1 불순물 영역 상에 제 2 불순물 영역을 갖는 포토 다이오드를 형성하는 단계; 상기 포토 다이오드를 식각하여, 상기 포토 다이오드의 제 2 불순물 영역의 일부면을 노출시키는 단계; 상기 포토 다이오드 내에 상기 제 2 불순물 영역의 절연을 위한 배리어층을 형성하는 단계; 상기 포토 다이오드 및 층간 절연층을 식각하여, 상기 금속배선의 일부면을 노출시키는 단계; 및 상기 금속배선과 전기적으로 연결되는 콘택 플러그를 상기 포토 다이오드 내에 형성하는 단계;를 포함하고, 상기 금속배선의 일부면을 노출시키는 단계는, 식각 공정 과정에서 발생한 부산물을 이용하여 BCM 공정을 수행하는 것을 특징으로 한다.

효과

[0014] 제안되는 바와 같은 실시예의 이미지 센서의 제조 방법에 의해서, 포토 다이오드 영역을 관통하는 비아홀의 형성과 상기 비아홀 내에 포토 다이오드의 일부 도핑영역을 절연하기 위한 배리어 패턴의 형성시에, 상기 비아홀의 상부 개구영역의 사이즈를 유지할 수 있는 장점이 있다.

[0015] 또한, 포토 다이오드를 관통하는 비아홀의 개구 영역이 확보됨에 따라, 후속되는 콘택 플러그의 형성시에도 그 프로파일을 확보할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하에서는, 본 실시예에 대하여 첨부되는 도면을 참조하여 상세하게 살펴보도록 한다. 다만, 본 실시예가 개시하는 사항으로부터 본 실시예가 갖는 발명의 사상의 범위가 정해질 수 있을 것이며, 본 실시예가 갖는 발명의 사상은 제안되는 실시예에 대하여 구성요소의 추가, 삭제, 변경등의 실시변형을 포함한다고 할 것이다.

[0017] 그리고, 이하의 설명에서, 단어 '포함하는'은 열거된 것과 다른 구성요소들 또는 단계들의 존재를 배제하지 않는다.

[0018] 그리고, 본 발명의 실시예에 대한 상세한 설명을 위하여 이미지 센서를 구성하는 각 부분이 일부 확대되어 도시되니, 이 점 참조할 필요가 있다.

[0019] 도 1 내지 도 7은 본 발명의 실시예에 따른 이미지 센서의 제조 방법을 설명하기 위한 도면이다.

[0020] 먼저, 도 1과 같이, 배선(150)과 회로(circuitry)(120)가 형성된 제 1 기판(100)을 준비한다. 예를 들어, 제 2 도전형 제 1 기판(100)에 소자 분리막(110)을 형성하여 액티브영역을 정의하고, 상기 액티브영역에 트랜지스터를 포함하는 회로(120)를 형성한다.

[0021] 예를 들어, 상기 회로(120)는 트랜스퍼 트랜지스터(Tx)(121), 리셋 트랜지스터(Rx)(123), 드라이브 트랜지스터(Dx)(125), 셀렉트 랜지스터(Sx)(127)를 포함하여 형성할 수 있다. 이후, 플로팅 디퓨전영역(FD)(131), 소스/드레인영역(133, 135, 137)을 포함하는 이온주입영역(130)을 형성할 수 있다.

[0022] 한편, 상기 제 1 기판(100)에 회로(120)를 형성하는 단계는 상기 제 1 기판(100)에 전기접합영역(140)을 형성하는 단계 및 상기 전기접합영역(140) 상부에 상기 배선(150)과 연결되는 고농도 제 1 도전형 영역(147)을 형성하는 단계를 포함할 수 있다. 예를 들어, 상기 전기접합영역(140)은 PN 정션(junction)(140) 일 수 있으나 이에

한정되는 것은 아니다.

- [0023] 예를 들어, 실시예의 전기접합영역(140)은 제 2 도전형 웰(141) 또는 제 2 도전형 에피층 상에 형성된 제 1 도전형 이온주입층(143), 상기 제 1 도전형 이온주입층(143) 상에 형성된 제 2 도전형 이온주입층(145)을 포함할 수 있다.
- [0024] 예를 들어, 상기 PN 정션(junction)(140)은, 도 1과 같이, P0(145)/N-(143)/P-(141) Junction 일 수 있으나 이에 한정되는 것은 아니다.
- [0025] 포토다이오드(Photodiode) 역할을 하는 P0/N-/P- Junction(140)을 제1 기판(Si Sub)(100)에 형성시킨 이유는 다음과 같다.
- [0026] N+ Junction인 FD(131) Node와 달리, P0/N-/P- Junction(140)은 인가전압이 모두 전달되지 않고 일정 전압에서 핀치오프(Pinch-off) 된다. 이 전압을 피닝볼티지(Pinning Voltage)이라 부르며 피닝볼티지(Pinning Voltage)는 P0(145) 및 N-(143) 도핑(Doping) 농도에 의존한다.
- [0027] 구체적으로, 포토 다이오드(Photodiode)(200)에서 생성된 전자는 P0/N-/P- Junction(140)으로 이동하게 되며 Tx(121) On 시 FD(131) Node로 전달되어 전압으로 변환된다.
- [0028] P0/N-/P- Junction(140)의 전압의 최대값은 피닝볼티지(Pinning Voltage)가 되고 FD(131) Node 전압의 최대값은 $V_{dd} - R_x(123) V_{th}$ (문턱전압)이 되므로 Tx(131) 양단간 전위차로 인해 차지 셰어링(Charge Sharing) 없이 칩(Chip) 상부의 포토다이오드(Photodiode)(200)에서 발생한 전자가 FD(131) Node로 덤핑(Dumping) 될 수 있다.
- [0029] 따라서 실시예에 의하면 N+ Junction으로 연결된 경우와 달리 Saturation Signal 및 감도 하락 등의 문제를 피할 수 있다.
- [0030] 또한, 실시예에 의하면 P0/N-/P- Junction(140)의 표면에 오믹컨택(Ohmik Contact)을 위한 N+ 층(147)을 형성해야만 하는데 이때 N+ 층(147)은 리키지 소스소스(Leakage Source)가 될 수 있다.
- [0031] 이를 최소화 하기 위한 방법으로 실시예는 제 1 메탈컨택(151a) 에치(Etch) 후 플러그 임플란트(Plug Implant)를 진행함으로써 N+ 층(147)의 면적을 최소화할 수 있다. 이는 수직형의 3 차원집적(3-D Integrated) CIS의 암전류(Dark Current) 감소에 기여할 수 있다.
- [0032] 그 다음으로, 상기 제 1 기판(100) 상에 층간 절연층(160)을 형성하고, 배선(150)을 형성할 수 있다. 상기 배선(150)은 제 1 메탈컨택(151a), 제 1 메탈(151), 제 2 메탈(152), 제 3 메탈(153), 제 4 메탈컨택(154a)을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0033] 그 다음, 도 2를 참조하면, 제 2 기판 상에 결정형 반도체층(crystalline semiconductor layer)을 형성한다. 이러한 결정형 반도체층에 포토 다이오드(200)가 형성됨으로써 포토 다이오드 내의 디펙트를 방지할 수 있다.
- [0034] 참고로, 도 2에 도시된 배선(150)의 제 3 메탈(153) 및 층간 절연층(160)은 도 1에 도시된 배선(150) 및 층간 절연층(160)의 일부를 나타내는 것으로 설명의 편의를 위하여 회로(120)와 배선(150)의 일부는 생략되었다.
- [0035] 상기 제 1 기판(100)의 층간 절연층(160) 상에 포토 다이오드(200)를 형성하기 위한 과정이 수행된다. 상기 포토 다이오드(200)는 제1 도핑층(N-)(210) 및 제2 도핑층(P+)(220)으로 이루어져 PN접합의 포토다이오드 구조를 가질 수 있다. 또한, 상기 제1 도핑층(210)의 하부에는 오믹컨택층(N+)(제 3 도핑층)(230)이 형성될 수 있다.
- [0036] 예를 들어, 상기 포토 다이오드(200)는 결정형 구조의 제 2 기판 내부에 제 1 불순물(예컨대, N형 불순물(N-))을 이온주입시켜 제 1 도핑층(210)을 형성하고, 제 2 불순물(예컨대, P형 불순물(P+))을 이온주입하여 제 2 도핑층(220)을 형성한다.
- [0037] 추가적으로, 상기 제 1 도핑층(210)의 하부로 제 1 불순물인 고농도의 N형 불순물(N+)을 이온주입하여 오믹컨택층(230)을 형성할 수 있다. 상기 오믹컨택층(230)은 상기 포토 다이오드(200)와 배선(150)의 접촉저항을 낮출 수 있다.
- [0038] 실시예에서 상기 제 1 도핑층(210)은 상기 제 2 도핑층(220)보다 넓은 영역을 가지도록 형성될 수 있다. 이 경우, 공핍영역이 확장되어 광전자의 생성을 증가시킬 수 있다.
- [0039] 다음으로, 상기 층간 절연층(160)의 상부로 상기 제 2 기판의 오믹컨택층(230)을 위치시킨 후 본딩공정을 진행하여 상기 제 1 기판(100)과 제 2 기판을 결합시킨다. 이후, 상기 층간 절연층(160) 상에 본딩된 상기 포토 다이오드(200)가 노출되도록 수소층이 형성된 제 2 기판을 클리빙 공정에 의하여 제거하여 상기 제2 도핑층(220)

의 표면을 노출시킨다.

- [0040] 따라서, 상기 포토 다이오드(200)가 회로(120) 상측에 형성되어 필팩터를 높이고, 포토 다이오드(200)의 디펙트를 방지할 수 있다. 또한, 균일한 표면 프로파일을 가지는 상기 층간 절연층(160)의 상에 상기 포토 다이오드(200)가 본딩되므로 물리적으로 본딩력이 향상될 수 있다.
- [0041] 그 다음, 도 3을 참조하면, 상기 포토 다이오드(200) 상에 하드 마스크(250)를 증착 형성시킨다. 여기서, 상기 하드 마스크(250)는 후속되는 식각 공정에서 식각 마스크로 이용될 수 있으며, 산화막과 질화막의 적층구조로 이루어질 수 있다.
- [0042] 예컨대, 상기 하드 마스크(250)는 ONO 막으로 이루어져, 제 1 산화막과, 상기 제 1 산화막 상에 형성된 질화막과, 상기 질화막 상에 형성된 제 2 산화막으로 이루어 질 수 있다.
- [0043] 그 다음, 도 4를 참조하면, 제 3 메탈(153)에 대응되는 영역에 대해서 상기 하드 마스크(250) 및 포토 다이오드(200)를 식각하는 공정을 수행한다. 여기서의 식각 공정은, 상기 포토 다이오드(200)의 제 2 도핑층(220)의 측면이 노출될 수 있는 홀(또는 홈으로도 볼 수 있음)이 형성되도록 한다.
- [0044] 즉, 상기 포토 다이오드(200)의 제 1 식각 공정에서는, 상기 포토 다이오드(200)를 구성하는 제 2 도핑층(220)의 측면이 노출되도록 하고, 다만, 상기 포토 다이오드(200)의 제 2 도핑층(230)은 노출되지 않은 상태를 유지한다. 이를 위해서, 상기 포토 다이오드(200)를 식각하는 제 1 식각 공정에서는 그 식각비를 조절하여, 상기 하드 마스크(250), 제 2 도핑층(220) 및 제 1 도핑층(210)의 일부까지만 식각되도록 한다.
- [0045] 그리고, 상기 제 3 메탈(153)에 대응되는 영역의 포토 다이오드(200)의 일부를 식각한 다음에는, 상기 제 2 도핑층(220)의 노출된 영역을 절연하기 위한 절연물로 이루어진 배리어층(260)을 형성한다. 여기서, 상기 배리어층(260)은 후술되는 제 1 콘택 플러그(270)와 제 2 도핑층(220)간의 아이슬레이션을 위한 것으로서, 산화막 또는 질화막등의 절연막으로 이루어질 수 있다.
- [0046] 그 다음, 도 5를 참조하면, 상기 포토 다이오드(200)에 형성된 개구부에 상기 배리어층(260)을 형성한 다음에는, 상기 포토 다이오드(200)의 개구부가 연장됨으로써, 상기 제 3 메탈(153)의 일부분을 노출하는 비아홀 형성 공정을 진행한다.
- [0047] 여기서, 상기 제 3 메탈(153)의 일부분을 노출하기 위한 비아홀 형성 공정에 의해서, 상기 배리어층(260)의 하부면도 함께 식각됨으로써, 배리어 패턴(261, 도 6참조)으로 형성된다.
- [0048] 특히, 여기서 상기 비아홀을 형성하기 위한 공정은 상기 포토 다이오드(200)에 대해서 제 2 식각 공정으로도 볼 수 있으며, 이때의 식각 공정은 폴리머(polymer)를 형성시켜 상기 제 3 도핑층(230)과 제 1 도핑층(210)의 일부에 대응되는 측벽 실리콘이 보호되도록 한다.
- [0049] 즉, 폴리머를 이용한 실리콘 측벽 보호 방법은 식각중 발생하는 부산물(byproduct)를 이용하기 때문에, 측벽 두께가 두껍지 않아도 되며, 이는 상기 비아홀의 사이즈를 크게 줄일 수 있다는 것을 나타낸다.
- [0050] 상기 제 3 메탈(153)의 일부분을 노출하기 위한 제 2 식각 공정은, 식각 공정을 수행하는 과정에서 발생한 부산물을 이용하여 BCM(by-product capping mask) 공정으로 이루어질 수 있으며, 전술한 바와 같이 이때의 부산물은 폴리머 부산물이고, 이러한 폴리머 부산물을 이용한 BCM공정 조건은 다음과 같이 수행될 수 있다.
- [0051] 상기 BCM 공정은, 900 ~ 1100W 소스 파워와, 1300 ~ 1700W 바이어스 파워 조건에서, 120 ~ 400sccm 유량의 Ar 가스, 12 ~ 17sccm 유량의 C₅F₈ 가스, 7 ~ 12sccm 유량의 O₂ 가스를 주입할 수 있다.
- [0052] 결국, 상기 제 3 메탈(153)의 일부분을 노출하기 위한 비아홀 형성공정은, 제 2 도핑층(220)의 일부분을 노출시키는 제 1 식각 공정과, 상기 포토 다이오드(200)를 관통하여 상기 제 3 메탈(153)의 상부면을 노출시키는 제 2 식각 공정은 포함한다고 할 수 있으며, 상기 제 2 식각 공정은 식각 공정중 발생하는 폴리머를 이용한 BCM 공정으로서, 이를 통하여 실리콘 측벽 보호 및 비아홀 사이즈의 감소가 가능해진다.
- [0053] 그 다음, 도 6을 참조하면, 비아홀내에 상기 포토 다이오드(200)와 상기 회로(120)를 전기적으로 연결하기 위한 제 1 콘택 플러그(270)를 형성한다.
- [0054] 예를 들어, 상기 제 1 콘택 플러그(270)는 구리(Cu), 알루미늄(Al), 타이타늄(Ti), 탄탈륨(Ta) 타이타늄/타이타늄 나이트 라이드(Ti.TiN) 및 텅스텐(W)과 같은 금속재료 중 어느 하나로 형성될 수 있다.
- [0055] 상기 제 1 콘택 플러그(270)는 금속재료를 상기 하드 마스크(250)의 개구부 및 비아홀(240)내에 갭 필(gap-

fill)한 다음, 평탄화 공정을 진행함으로써 형성되고, 상기 컨택 플러그(270)는 상기 비아홀(240)을 통해 상기 포토 다이오드(200) 및 층간 절연층(160)을 관통하여 상기 제 3 메탈(153)과 전기적으로 연결된다.

[0056] 또한, 상기 제 1 컨택 플러그(270)의 측면에는 부분적으로 배리어 패턴(260)이 형성되어 상기 컨택 플러그(270)와 상기 제 2 도핑층(220)은 전기적으로 분리된 상태가 된다.

[0057] 따라서, 상기 포토 다이오드(200)에서 생성된 광전하는 상기 컨택 플러그(270)를 통해 회로(120)로 전달되고, 상기 배리어 패턴(260)이 상기 제 1 컨택플러그(270)와 상기 제 2 도핑층(220)을 전기적으로 분리하고 있으므로, 상기 포토 다이오드(200)는 정상적인 동작을 할 수 있다.

[0058] 그 다음, 도 7을 참조하면, 상기 하드 마스크(250) 및 제 1 컨택 플러그(270) 상에 절연막을 증착시켜, 제 2 층간 절연막(280)을 형성한다.

[0059] 그리고, 상기 제 2 층간 절연막(280) 상에 포토 레지스트를 도포하여 패터닝한 다음, 제 2 층간 절연막(280) 및 하드 마스크(250)를 식각하여 제 2 컨택 플러그(290)를 형성할 비아홀을 형성하고, 그 비아홀 내부에 제 2 컨택 플러그(300)를 형성한다.

[0060] 이후, 상부전극(미도시), 컬러필터(미도시) 등의 공정을 진행할 수 있다

[0061] 제안되는 바와 같은 본 발명의 실시예에 의해서, 포토 다이오드를 식각하는 과정에서, 폴리머등의 부산물을 이용한 식각 공정을 진행함으로써 노출된 실리콘 측벽을 보호할 수 있으며, 특히 컨택 플러그를 형성할 비아홀의 사이즈를 줄일 수 있어, 궁극적으로 포토 다이오드의 수광 능력을 향상시킬 수 있다.

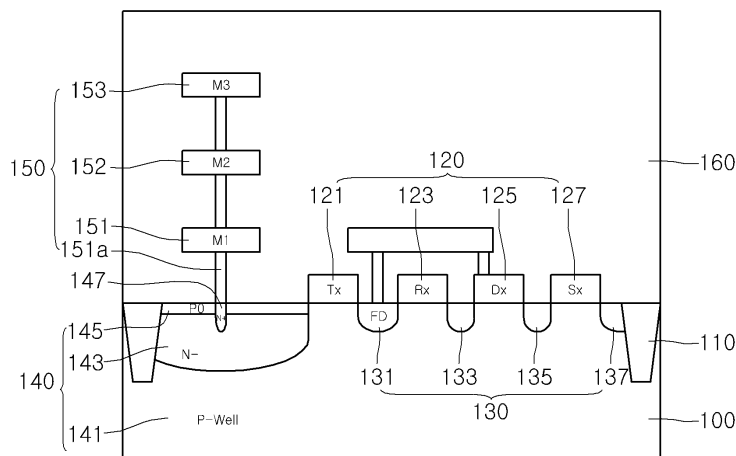
[0062] 이상에서 설명한 실시예는 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 실시예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

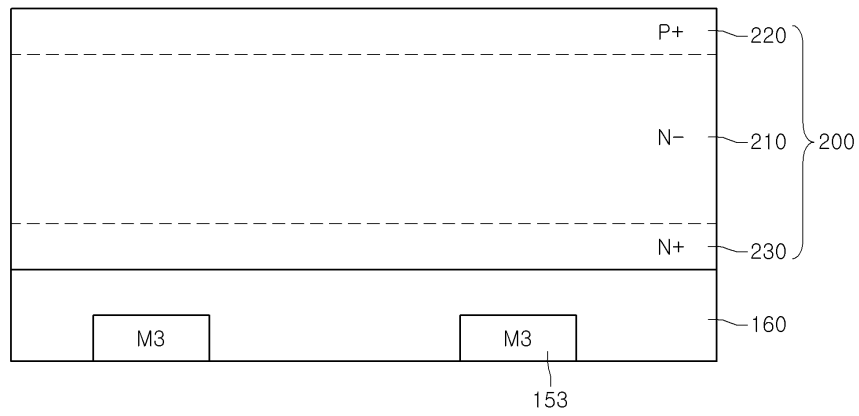
[0063] 도 1 내지 도 7은 본 발명의 실시예에 따른 이미지 센서의 제조 방법을 설명하기 위한 도면이다.

도면

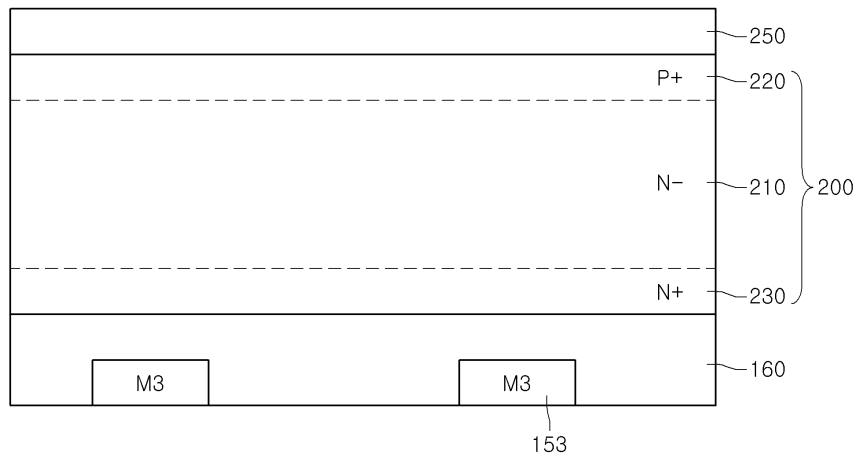
도면1



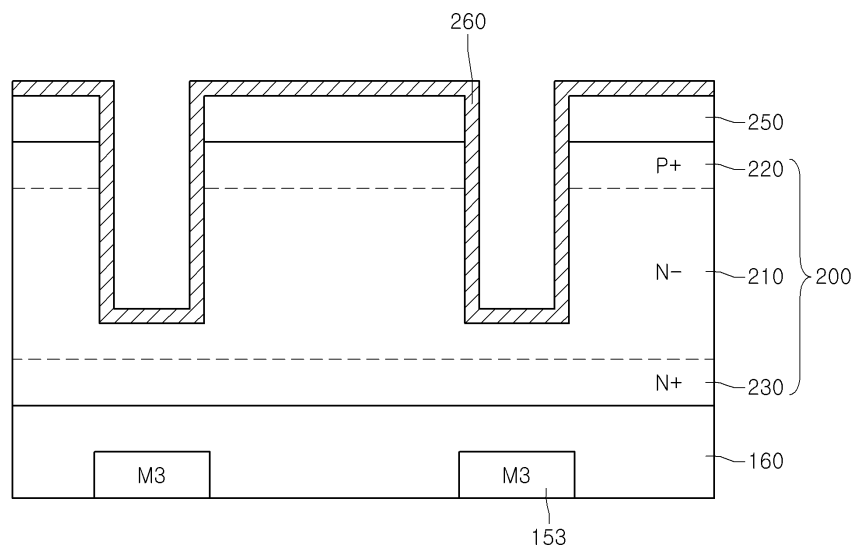
도면2



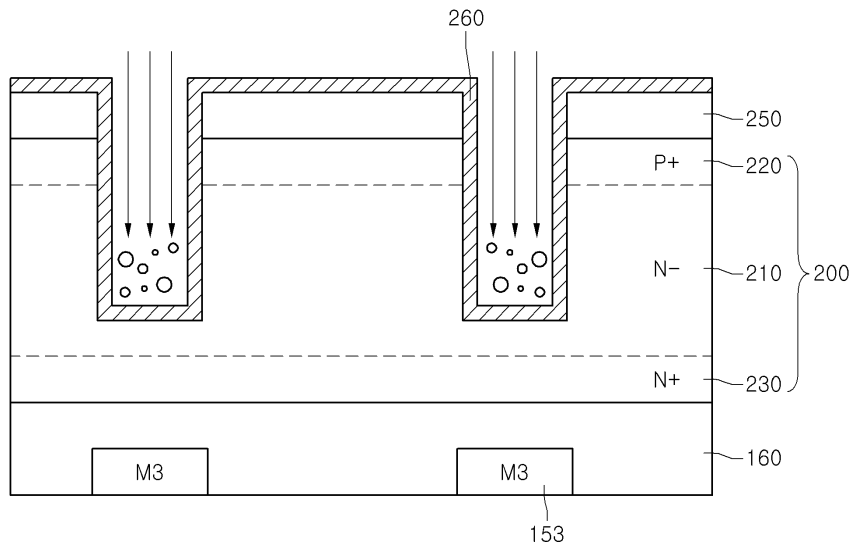
도면3



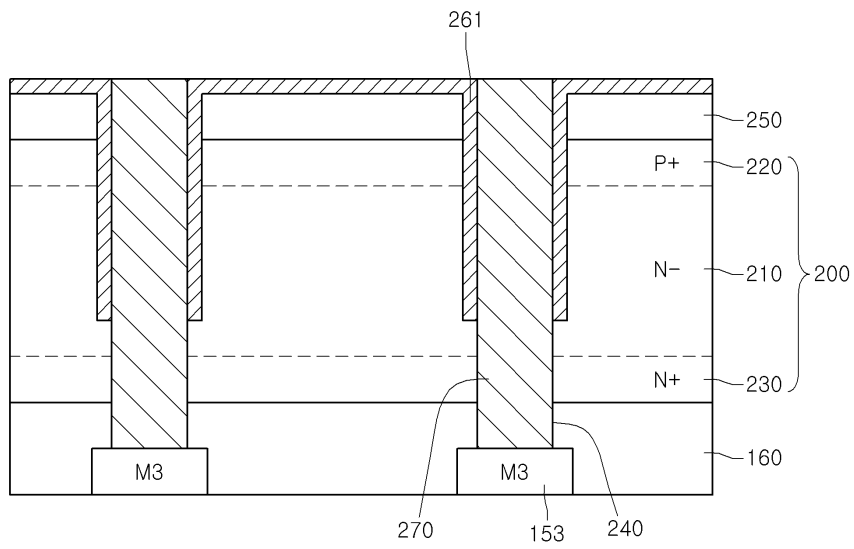
도면4



도면5



도면6



도면7

