

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-511539

(P2016-511539A)

(43) 公表日 平成28年4月14日(2016.4.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14	F 4M118
HO 1 L 27/14 (2006.01)	HO 1 L 27/14	D 5C024
HO 4 N 5/374 (2011.01)	HO 1 L 27/14	A
	HO 4 N 5/335	740

審査請求 有 予備審査請求 未請求 (全 58 頁)

(21) 出願番号 特願2015-556040 (P2015-556040)
 (86) (22) 出願日 平成26年1月15日 (2014.1.15)
 (85) 翻訳文提出日 平成27年9月18日 (2015.9.18)
 (86) 国際出願番号 PCT/US2014/011682
 (87) 国際公開番号 W02014/120447
 (87) 国際公開日 平成26年8月7日 (2014.8.7)
 (31) 優先権主張番号 13/756,459
 (32) 優先日 平成25年1月31日 (2013.1.31)
 (33) 優先権主張国 米国 (US)

(71) 出願人 503260918
 アップル インコーポレイテッド
 アメリカ合衆国 95014 カリフォル
 ニア州 クパチーノ インフィニット ル
 ープ 1
 (74) 代理人 100086771
 弁理士 西島 孝喜
 (74) 代理人 100088694
 弁理士 弟子丸 健
 (74) 代理人 100094569
 弁理士 田中 伸一郎
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100121979
 弁理士 岩崎 吉信

最終頁に続く

(54) 【発明の名称】 垂直積層型画像センサ

(57) 【要約】

フォトダイオードチップ及びトランジスタアレイチップを有する垂直積層型画像センサ。フォトダイオードチップは、少なくとも1つのフォトダイオードを含み、転送ゲートは、フォトダイオードチップの上面から垂直方向に延びる。本画像センサは、フォトダイオードチップの上に積層されたトランジスタアレイチップを更に含む。トランジスタアレイチップは、制御回路及び蓄積ノードを含む。本画像センサは、トランジスタアレイチップ上に垂直方向に積層された論理チップを更に含む。転送ゲートは、少なくとも1つのフォトダイオードからトランジスタアレイチップにデータを通信し、論理チップは、垂直転送ゲート、リセットゲート、ソースフォロワゲート及び行選択ゲートを選択的に活性化する。

【選択図】 図8

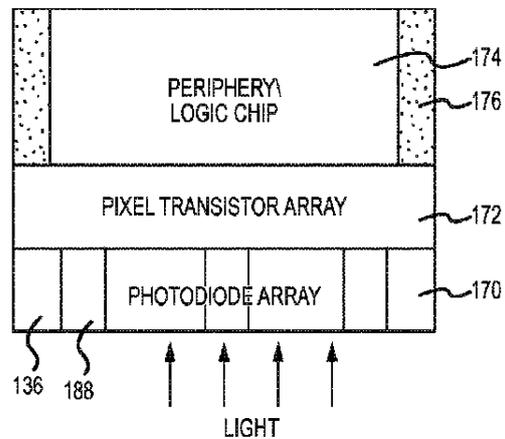


FIG.8

【特許請求の範囲】**【請求項 1】**

フォトダイオードチップであって、
光を受光するための少なくとも 1 つのフォトダイオード、及び
前記フォトダイオードチップの上面から延びた転送ゲートを含む、
フォトダイオードチップと、
前記フォトダイオードチップと通信し、前記フォトダイオードチップ上に垂直方向に積層されたトランジスタアレイチップであって、前記トランジスタアレイチップが、
前記少なくとも 1 つのフォトダイオードと通信する浮遊拡散ノード、
前記少なくとも 1 つのフォトダイオードと通信するリセットゲート、
前記浮遊拡散ノードと通信するソースフォロワゲート、並びに
前記ソースフォロワゲート及び前記浮遊拡散ノードと通信する行選択ゲートを含む、
トランジスタアレイチップと、
前記トランジスタアレイチップ上に動作可能に垂直方向に積層され、それと通信する論理チップと、を備える、電子装置用画像センサにおいて、
前記転送ゲートが、前記少なくとも 1 つのフォトダイオードから前記トランジスタアレイチップにデータを通信し、かつ、前記トランジスタアレイチップに接続されており、
前記論理チップが、前記垂直転送ゲート、前記リセットゲート、前記ソースフォロワゲート、及び前記行選択ゲートを選択的に活性化することを特徴とする、電子装置用画像センサ。

10

20

【請求項 2】

前記垂直転送ゲートが、前記フォトダイオードチップの前記上面から前記トランジスタアレイチップの下面まで延びていることを特徴とする、請求項 1 に記載の電子装置用画像センサ。

【請求項 3】

前記転送ゲートが、
半導体転送チャンネルと、
前記転送チャンネルの外周面を取り囲む酸化物層と、
前記酸化物の外周面を少なくとも部分的に取り囲むポリシリコン層と、
前記転送チャンネル及び前記酸化物層と通信する金属層と、を含み、
前記転送ゲートが前記フォトダイオードチップの前記上面から垂直方向に延び、
前記金属層が、前記転送ゲートを前記トランジスタアレイチップに通信可能に接続することを特徴とする、請求項 1 に記載の電子装置用画像センサ。

30

【請求項 4】

前記転送チャンネルが、円筒形であり、かつ、シリコンであることを特徴とする、請求項 3 に記載の電子装置用画像センサ。

【請求項 5】

前記フォトダイオードチップが、蓄積転送ゲート及び蓄積ノードを更に含むことを特徴とする、請求項 1 に記載の電子装置用画像センサ。

【請求項 6】

前記フォトダイオードチップが、アンチブルーミングゲートを更に含むことを特徴とする、請求項 1 に記載の電子装置用画像センサ。

40

【請求項 7】

前記トランジスタアレイチップの一部及び前記論理チップの一部を少なくとも通って延びる、少なくとも 1 つのシリコン貫通電極を更に含むことを特徴とする、請求項 1 に記載の電子装置用画像センサ。

【請求項 8】

前記フォトダイオードチップの前記上面が前記トランジスタアレイチップの前記下面に面するように、前記フォトダイオードチップと前記トランジスタアレイチップとが垂直方向に積層されることを特徴とする、請求項 1 の電子装置用画像センサ。

50

【請求項 9】

前記転送ゲートが第 1 の接触を含み、前記トランジスタアレイチップが第 2 の接触を含み、前記転送ゲートの前記第 1 の接触が、前記トランジスタアレイチップの前記第 2 の接触にデータを転送することを特徴とする、請求項 1 に記載の電子装置用画像センサ。

【請求項 10】

プロセッサと、
前記プロセッサと通信するディスプレイスクリーンと、
前記プロセッサ及び前記ディスプレイスクリーンと通信するメモリ構成要素と、
前記プロセッサと通信する少なくとも 1 つの画像捕獲要素とを備える、モバイル電子装置であって、前記少なくとも 1 つの画像捕獲要素が、
レンズ、及び
前記レンズと光通信する画像センサ

を含み、前記画像センサが、制御回路チップとフォトダイオードチップと論理チップとを含む 3 チップ垂直積層体を含むことを特徴とする、モバイル電子装置。

【請求項 11】

前記画像センサが、前記制御回路チップと前記フォトダイオードチップとの間に延びた少なくとも 1 つの垂直転送ゲートを更に含み、前記少なくとも 1 つの垂直転送ゲートが、前記フォトダイオードチップを前記トランジスタアレイチップに結合することを特徴とする、請求項 10 に記載のモバイル電子装置。

【請求項 12】

前記フォトダイオードチップが、少なくとも 1 つのフォトダイオードを画定し、前記少なくとも 1 つのフォトダイオードが、前記少なくとも 1 つの垂直転送ゲートと通信することを特徴とする、請求項 11 に記載のモバイル電子装置。

【請求項 13】

前記画像センサが、複数のフォトダイオードを更に含み、前記複数のフォトダイオード内の各フォトダイオードが、前記少なくとも 1 つの垂直転送ゲートのうちの垂直転送ゲートと通信することを特徴とする、請求項 12 に記載のモバイル電子装置。

【請求項 14】

前記少なくとも 1 つの垂直転送ゲートが、前記フォトダイオードチップの上面から前記制御回路チップの下面まで延びていることを特徴とする、請求項 12 に記載のモバイル電子装置。

【請求項 15】

前記少なくとも 1 つの垂直転送ゲートが、
半導体転送チャンネルと、
前記転送チャンネルの外周面を取り囲む酸化層と、
前記酸化層の外周面を少なくとも部分的に取り囲むポリシリコン層と、
前記転送チャンネル及び前記酸化層と通信する金属層と、を含み、
前記転送ゲートが前記フォトダイオードチップの前記上面から垂直方向に延び、
前記金属層が、前記転送ゲートを前記制御回路に通信可能に接続することを特徴とする、請求項 12 に記載のモバイル電子装置。

【請求項 16】

前記転送チャンネルが、円筒形であり、かつ、シリコンであることを特徴とする、請求項 15 に記載のモバイル電子装置。

【請求項 17】

前記フォトダイオードチップが、蓄積転送ゲート及び蓄積ノードを更に含むことを特徴とする、請求項 12 に記載のモバイル電子装置。

【請求項 18】

前記少なくとも 1 つのカメラが、第 1 のカメラ及び第 2 のカメラを更に含むことを特徴とする、請求項 10 に記載のモバイル電子装置。

【請求項 19】

前記少なくとも 1 つのカメラが、第 1 のカメラ及び第 2 のカメラを更に含むことを特徴とする、請求項 10 に記載のモバイル電子装置。

10

20

30

40

50

複数のピクセルを画定するフォトダイオードチップであって、各ピクセルが、
 光を受光するためのフォトダイオード、及び
 前記フォトダイオードチップの上面から垂直方向に延びた転送ゲートを含む、
 フォトダイオードチップと、
 前記フォトダイオードチップと通信し、前記フォトダイオードチップ上に垂直方向に積層されたトランジスタアレイチップであって、前記トランジスタアレイチップが、
 前記フォトダイオードと通信する浮遊拡散ノード、
 前記フォトダイオードと通信するリセットゲート、
 前記浮遊拡散ノードと通信するソースフォロワゲート、並びに
 前記ソースフォロワゲート及び前記浮遊拡散ノードと通信する行選択ゲートを含む、
 トランジスタアレイチップと、
 前記トランジスタアレイチップ上に動作可能に垂直方向に積層され、それと通信する論理チップと
 を備える、電子装置用画像センサにおいて、
 前記転送ゲートが、前記フォトダイオードから前記トランジスタアレイチップにデータを通信し、かつ、前記トランジスタアレイチップに接続されており、
 前記論理チップが、前記垂直転送ゲート、前記リセットゲート、前記ソースフォロワゲート、及び前記行選択ゲートを選択的に活性化することを特徴とする、電子装置用画像センサ。

【請求項 20】

前記転送ゲートが、前記フォトダイオードチップの前記上面から前記トランジスタアレイチップの下面まで延びていることを特徴とする、請求項 19 に記載の電子装置用画像センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、概して、電子装置に関し、より詳細には、電子装置用画像センサに関する。

【0002】

(関連出願の相互参照)

本特許協力条約特許出願は、2013年1月31日に出願され、「Vertically Stacked Image Sensor」と題する米国特許非仮出願第13/756,459号に対する優先権を主張するものであり、その内容全体は参照により本明細書に組み込まれる。

【背景技術】

【0003】

カメラ及び他の画像記録装置は、しばしば、電荷結合素子(CCD)センサ又は相補型金属酸化膜半導体(CMOS)画像センサのような1つ以上の画像センサを使用する。典型的なCMOS画像センサは、フォトダイオードのような光検出器と、ピクセルを活性化するための1つ以上のトランジスタとを各ピクセルが含み得るピクセルの2次元アレイを含み得る。画像センサは、ローリングシャッター構成又はグローバルシャッター構成で実装され得る。

【0004】

ローリングシャッターにおいて、画像センサ内のピクセルの各々が行毎に光を捕獲し、次いで、捕獲された光が、行毎にプロセッサへと読み出される。この構成では、第1のピクセル行がシーンから光を捕獲する時点と最終ピクセル行がシーンから光を捕獲する時点との間に時間遅延がある。したがって、第1のピクセル行と最終ピクセル行との間にシーンの動きがある場合、その動きは、ぼやけた線又は他のモーションアーチファクトとして捕獲され得る。グローバルシャッターにおいて、ピクセルの各々は、同時に光を捕獲し(即ち、同じ集積期間を有し)、次いで、プロセッサによりピクセルを読み出すことができるまで、ピクセルは蓄積構成要素に光を転送する。グローバルシャッター構成において、

ピクセルの各々は厳密に同じ時点で光を捕獲するので、モーションが捕獲され、ローリングシャッターよりも良好な画像の形態で再生される。しかしながら、この構成では、画像センサは一般に、各ピクセルについて蓄積スペースを含まなければならず、これにより、解像度の低減又は画像センサのサイズの増大が必要となり得る。

【0005】

例えば、画像センサの解像度は、典型的には、ピクセル数に依存し、ピクセル数が高くなればなるほど、画像センサの解像度が高くなる。しかしながら、解像度が増大するにつれて、しばしば、画像センサダイのサイズもまた増大する。サイズの増大は特に、光捕獲要素（例えば、フォトダイオード）及び蓄積構成要素を各ピクセルが含むグローバルシャッター構成の画像センサにあてはまる。したがって、グローバルシャッター実装を組み込んだ画像シャッターの解像度は、一般に、同じサイズのローリングシャッター画像センサよりも低い。

【0006】

更に、多くの画像センサは、サイズをより小さくするために解像度の増大を犠牲にすることがある。例えば、携帯電話、タブレットコンピュータなどのような多くのポータブル電子装置はカメラを含み得るが、このカメラの画像センサは、可能な限り小さくなるように設計され得る。したがって、ポータブル装置用の多くのカメラは、それらが可能な限り小さくなり得るように解像度が減少した画像センサを有し得る。

【発明の概要】

【0007】

本開示の例は、電子装置用の画像センサであり得る。本画像センサは、フォトダイオードチップとトランジスタアレイチップとの間で分割されたピクセルアレイを含む。フォトダイオードチップは、光を受光するための少なくとも1つのフォトダイオード又はフォトゲートを含む。いくつかの実施形態では、フォトダイオードチップの上面から垂直方向に転送ゲートが延びる。本画像センサは、フォトダイオードチップと通信するトランジスタアレイチップを更に含む。トランジスタアレイチップは、少なくとも1つのフォトダイオードと通信する浮遊拡散ノード、少なくとも1つのフォトダイオードと通信するリセットゲート、浮遊拡散ノードと通信するソースフォロワゲート、並びにソースフォロワゲート及び浮遊拡散ノードと通信する行選択ゲートを含む。本画像センサは、トランジスタアレイチップに動作可能に接続され、それと通信する論理チップとを更に含む。転送ゲートは、少なくとも1つのフォトダイオードからトランジスタアレイチップにデータを通信し、論理チップは、垂直転送ゲート、リセットゲート、ソースフォロワゲート及び行選択ゲートを選択的に活性化する。

【0008】

本開示の別の例は、モバイル電子装置であり得る。本モバイル電子装置は、プロセッサと、プロセッサと通信するディスプレイスクリーンと、プロセッサ及びディスプレイスクリーンと通信するメモリ構成要素と、プロセッサと通信する少なくとも1つのカメラとを含む。少なくとも1つのカメラは、レンズ、及びレンズと光通信する画像センサを含み、画像センサは、制御回路チップとフォトダイオードチップと論理チップとを含む3チップ垂直積層体を含む。

【0009】

本開示の更に他の例は、垂直転送ゲート及び/又は水平転送ゲートを含む画像センサを含む。これらの実施形態では、画像センサは、1つ以上の共有ピクセルを含み得、ピクセルアーキテクチャ内の1つ以上のゲートについて別様にドープし、集積全体にわたって電荷転送を変動させる。

【図面の簡単な説明】

【0010】

【図1A】 1つ以上のカメラを含む電子装置の正面透視図である。

【図1B】 図1Aの電子装置の背面透視図である。

【図2】 図1Aの電子装置の単純化されたブロック図である。

10

20

30

40

50

- 【図 3】図 1 A の線 3 - 3 に沿った図 1 A の電子装置の断面図である。
- 【図 4 A】電子装置のカメラの画像センサアーキテクチャの単純化された図である。
- 【図 4 B】単一のピクセルを示す図 4 A のピクセルアーキテクチャの拡大図である。
- 【図 5】図 4 A のピクセルの単純化された概略図である。
- 【図 6】垂直転送ゲートを示す図 5 のピクセルの概略図である。
- 【図 7】フォトダイオードチップとトランジスタアレイチップとの間に延びた垂直転送ゲートを示す、図 6 の概略図のブロック図である。
- 【図 8】フォトダイオードチップとトランジスタアレイチップと論理チップとを含むチップ積層体を示す、画像センサの単純化されたブロック図である。
- 【図 9 A】画像センサの単純化された構造、特に、フォトダイオードチップとトランジスタアレイチップとの間の転送ゲートを示すブロック図である。 10
- 【図 9 B】フォトダイオードチップとトランジスタアレイチップとの間の転送ゲートを示す、4 つのピクセルを有するピクセルセルの単純化された構造を示すブロック図である。
- 【図 10】図 9 A の線 10 - 10 に沿った転送ゲートの断面図である。
- 【図 11】フォトダイオードチップ上の蓄積ゲートを含む、フォトダイオードチップ及びトランジスタアレイチップのピクセルの単純化された図である。
- 【図 12 A】共有制御回路を有するピクセルセルの単純化された概略図である。
- 【図 12 B】図 12 A の共有アーキテクチャを含む画像センサの単純化された断面図である。
- 【図 12 C】浮遊拡散ノードを共有する 4 つのピクセルを含むモノクロモード画像センサのピクセル共有アーキテクチャの単純化された概略図である。 20
- 【図 12 D】グローバルシャッターモノクロモード画像センサを実装するためのピクセル共有アーキテクチャの単純化された概略図である。
- 【図 12 E】デュアルモード画像センサを動作させる方法を示すフローチャートである。
- 【図 13】複数の制御経路を含む共有ピクセルアーキテクチャの別の例の単純化された概略図である。
- 【図 14】調整可能な変換利得を有する浮遊拡散ノードを含む共有アーキテクチャを有する画像センサの単純化された概略図である。
- 【図 15 A】共有制御回路・グローバルシャッター構成を有するピクセルセルの単純化された概略図である。 30
- 【図 15 B】グローバルシャッター共有アーキテクチャ構成の単純化された概略図である。
- 【図 15 C】各ピクセルの蓄積ノードと調整可能な変換利得とを含む共有ピクセルアーキテクチャの別の例を示す。
- 【図 16 A】実効的なグローバルシャッター構成を含む 4 ピクセルセルの単純化された概略図である。
- 【図 16 B】図 16 A の概略図のためのタイミング図である。
- 【図 17 A】2 ピクセル混合構成を含む画像センサの単純化された概略図である。
- 【図 17 B】4 又はクアドラピクセル混合構成を含む画像センサの単純化された概略図である。 40
- 【図 18】3 チップ積層アレイを含む画像センサを示す単純化された図である。
- 【図 19 A】初めに 1 つに接続した後のトランジスタアレイチップ及びフォトダイオードチップを示す単純化されたブロック図である。
- 【図 19 B】トランジスタアレイチップを薄くした後のトランジスタアレイチップ及びフォトダイオードチップの単純化されたブロック図である。
- 【図 19 C】論理チップに動作可能に接続されたトランジスタアレイチップ及びフォトダイオードチップの単純化されたブロック図である。
- 【図 19 D】フォトダイオードチップを薄くした後の、1 つに動作可能に接続されたトランジスタアレイチップ、論理チップ及びフォトダイオードチップの単純化されたブロック図である。 50

【図 2 0】画像センサの製造プロセスの第 1 の例を示すフローチャートである。

【図 2 1 A】1 つに動作可能に接続した後のトランジスタレイチップ及び論理チップを示す単純化されたブロック図である。

【図 2 1 B】トランジスタレイチップが薄くされた、1 つに動作可能に接続された論理チップとトランジスタレイチップとを示す単純化されたブロック図である。

【図 2 1 C】フォトダイオードチップに動作可能に接続された論理チップとトランジスタレイチップとの単純化されたブロック図である。

【図 2 1 D】フォトダイオードチップが薄くされた、1 つに動作可能に接続された論理チップとトランジスタレイチップとフォトダイオードチップとを示す単純化されたブロック図である。

【図 2 1 E】フォトダイオードチップとトランジスタレイチップと論理チップとを含む画像センサ積層体を示す単純化されたブロック図である。

【図 2 2】画像センサの製造プロセスの第 2 の例を示すフローチャートである。

【図 2 3 A】4 チップ積層体を含む画像センサを示す単純化されたブロック図である。

【図 2 3 B】4 チップ積層体を含む画像センサの別の例を示す単純化されたブロック図である。

【図 2 4 A】チップ間接続のために別様にドーブされた接触を含むピクセル回路の単純化された概略図である。

【図 2 4 B】第 1 のショットキー接触及び第 2 のショットキー接触、並びにリングゲート構造を示す、図 2 4 A のフォトダイオードチップ及びトランジスタレイチップの概略断面図ある。

【図 2 4 C】図 2 4 B のフォトダイオードチップの上面図である。

【図 2 5 A】チップ間接続のためのシャロドーブ領域を含むピクセル回路の単純化された概略である。

【図 2 5 B】図 2 5 A の回路に対するド - ピングスキームを示す単純化されたブロック図である。

【図 2 6】図 2 5 A 及び図 2 5 B に示すピクセル回路についての電位プロファイル図である。

【図 2 6 A】トランジスタレイチップ上に配置された蓄積ノードを含むピクセル回路の単純化された概略図である。

【図 2 6 B】光シールドを含むトランジスタレイチップと共に積層されたフォトダイオードチップを示す図である。

【図 2 6 C】複数の遮光層を含むトランジスタレイチップと共に積層されたフォトダイオードチップを示す図である。

【図 2 7】動的に調整可能なフルウェルキャパシティを有する画像センサのピクセルのための例示的な概略図を示す。

【図 2 8】画像センサの 1 つ以上のフォトダイオードについてフルウェルキャパシティを調整するための方法を示すフローチャートである。

【発明を実施するための形態】

【0011】

概要

本開示は、カメラ及び他の電子装置のための画像センサの形態をとることができる。本開示の多くの実施形態は、画像センサのフォトダイオードとそれらのフォトダイオードの読み出し回路との間で通信するための転送ゲートを有する画像センサを含む。いくつかの実施形態では、(以下により詳細に記載するように)転送ゲートは垂直に配向され得、他の実施形態では、転送ゲートは水平に配向され得る。転送ゲートの配向は、実装される所望の実施形態、並びに画像センサの所望のサイズ、形状及び機能に基づいて選択することができる。

【0012】

いくつかの実施形態では、画像センサは、1 つに積層され、垂直ゲート構造と相互接続

10

20

30

40

50

された2つ以上のチップを有するピクセルアレイを含み得る。換言すると、ピクセルアレイは、例えば、一方のチップがフォトダイオードを有し、他方のチップが読み出し回路とトランジスタアレイとを有する、2つのチップに分割され得る。例えば、第1のチップはまず、フォトダイオードを含むことができ、第1のチップ上に垂直方向に積層され得る第2のチップは、トランジスタアレイを含むことができる。垂直転送ゲートは、2つのチップを1つに通信可能に結合することができる。別個のチップ上にトランジスタアレイを含むことによって、第1のチップは、トランジスタアレイのためのスペースを含まなくてもよいので、フォトダイオードの露光区域を最大化することができる。このようにして節約されたスペースは、フォトダイオードの各々についてピクセルを追加する又はウェルサイズを増大させるために使用することができる。

10

【0013】

いくつかの実施形態では、画像センサは、トランジスタアレイチップの上に積層された、論理チップのような第3のチップを更を含み得る。トランジスタアレイチップとフォトダイオードチップと論理チップとは、1つ以上の垂直転送ゲート、金属対金属接触（若しくは他の導電材料の接触）、及び/又はシリコン貫通電極を介して通信し得る。いくつかの事例では、トランジスタアレイチップ及び論理チップのような2つのチップは、1つの通信接続（例えば、シリコン貫通電極）を介して通信することができ、第3のチップ（例えば、フォトダイオードチップ）は、別の接続（例えば、垂直転送ゲート）を介して、他の2つのチップのうちの1つと通信し得る。更に、いくつかの実施形態では、画像センサは、論理チップ上に積層された第4のチップを含み得る。例えば、いくつかの実施形態では、画像センサは、論理チップ上に積層されたメモリチップを含み得る。

20

【0014】

他の実施形態では、フォトダイオードチップとトランジスタアレイチップとは、リングゲート構造を介して通信し得る。リングゲート構造は、フォトダイオードチップ上に形成され得、（導電性ワイヤのような）チップ間接続は、トランジスタアレイチップと接続するために垂直方向に延び得る。この例では、フォトダイオードチップ及びトランジスタアレイチップは各々、チップ間接続を介して1つに接続された1つ以上のショットキー接触を含み得る。ショットキー接触の各々は、漏洩電流を低減するために、トリプルウェル構造で形成され得る。例えば、各接触は、接触とは反対のドーパ材を有するウェルにより取り囲まれ得る（例えば、n型ドーパ接触は、p型ドーパウェルにより取り囲まれ得る）。ショットキー接触により、フォトダイオードチップとトランジスタアレイチップとの間のチップ間接続をピンングすることが可能になり、それにより、フォトダイオードの空乏電圧及び電荷蓄積量を制御することができる。更に、順方向バイアスがかかっている間、画像センサの活性領域のサイズ及びドーピングが、活性領域を完全に空乏させるために必要なバイアスについて最適化され得るので、ショットキー接触は完全に空乏され得る。換言すると、フォトダイオードからの予想電荷転送に対応するようにド-ピンング量及びドーピング領域が決定され得る。フォトダイオードチップとトランジスタアレイチップとの間の接触のド-ピンングタイプは、画像センサの望ましいピクセルアーキテクチャに基づいて変わり得る。

30

【0015】

別の例では、転送ゲートを形成し、それと通信するノードのドーピング濃度、ド-ピンング深さ及びノード活性面積は、電荷転送ノードがリセットと転送後との間に実質的に同一の状態を有するように制御され得る。例えば、画像センサは、電荷蓄積ノードを形成するシャロードープ領域を含むことができ、その領域では、ドーピング濃度が比較的高くなり得る。換言すると、シャロードープ領域の各々は、高度にドーパされ得るが、厚さ又は深さが薄くなり得る。サイズは小さいがドーピング濃度が高いと、電荷を蓄積ノードから完全に転送することが可能になり、捕獲画像内のノイズ及びエラーを低減することができる。

40

【0016】

いくつかの実施形態では、画像センサの各ノードのピンング電位（pinning potential

50

)は、フォトダイオードから浮遊拡散ノードに向かって増大し得る。換言すると、各ノードのドーピング濃度が、フォトダイオードから浮遊拡散ノードに向かって増大し得る。これらの実施形態では、電圧空乏レベルは、フォトダイオードから浮遊拡散ノードに向かって増大し、それにより、フォトダイオードから(電荷が最後に読み出され得る)浮遊拡散ノードまでの間で電荷をより簡単に転送することが可能になり得る。

【0017】

いくつかの実施形態では、積層型画像センサはまた、より小さいピクセルサイズのグローバルシャッターを提供し得る。これが可能な理由は、フォトダイオードの露光区域の上方に、フォトダイオードからの電荷を蓄積する蓄積ノードが配置でき、したがって、画像センサに追加の構成要素が含まれるにもかかわらずフォトダイオードの区域のサイズは維持されるためである。更に、いくつかのグローバルシャッター動作では、ピクセルを動作させるために追加のトランジスタが必要とされることがある。例えば、蓄積ゲートは、蓄積ノードへの電荷の出入りを制御する1つ以上のトランジスタを含み得る。これらの実施形態では、画像センサにより、フォトダイオードの上方にこれらの追加のトランジスタを配置することが可能になり、したがって、フォトダイオードについて可能な第1のチップの表面積又はスペースは低減されない。

10

【0018】

更に、積層型画像センサは、(グローバルシャッターを実装するために使用され得る)蓄積構成要素を光学的及び/又は電氣的に絶縁するために使用され得る1つ以上のシールドを含むことができる。例えば、画像センサの裏面を照明することができ、トランジスタアレイチップ上に蓄積構成要素を配置することができ、フォトダイオードチップとトランジスタアレイチップとの間に金属シールドを配置することができる。この例では、蓄積構成要素又は蓄積ノードは、フォトダイオードに露光する光源から光学的に絶縁され得、それにより、蓄積構成要素が光に曝露していることに起因して、画像センサにより捕獲された画像に導入され得るアーチファクトを低減することができる。金属シールドは、光汚染(例えば、集積中にフォトダイオードが捕獲しない光)が蓄積ノードに入り、そこに蓄積されたデータを破損することを防止することができる。これにより、集積後にフォトダイオードチップ内で反射する光又はフォトダイオードチップに入射する光に起因するエラーを低減することができる。

20

【0019】

他の実施形態では、画像センサは、隣接ピクセルにより共有され得る1つ以上の構成要素を含み得る。例えば、ピクセル群により、1つ以上の蓄積ノード又はトランジスタが共有され得る。この例を引き続き参照すると、グローバルシャッター実装形態において、ピクセル群内の共有ピクセルの各々の電荷は、蓄積ノードに逐次転送され得、各ピクセル群(例えば、ピクセルセル)は、包括的にアクセスされ得る。別の例として、弱光中などに最大信号を生成するために、選択ピクセルセル内のピクセルが1つにサミングされ(summed)得る。

30

【0020】

共有ピクセルアーキテクチャを含むいくつかの実施形態では、ピクセルのセルの電荷は、いくつかのピクセルの電荷を他のピクセルと共有することにより再平衡化され得る。例えば、ピクセルセル内の選択ピクセルはリセットされ得、セル内の他のピクセルのフォトダイオードに蓄積された電荷は、リセットされた1つ以上のピクセルに(少なくとも部分的に)分散され得る。ピクセル間で電荷を再平衡化することにより、カメラ内の開口制御を必要とすることなく画像センサの感度を動的に調整することが可能になり得る。

40

【0021】

また、本開示は、画像センサを製造する方法の例を含み得る。垂直転送ゲートを含む実施形態において、積層型画像センサは、いくつかの事例では、チップの各々が実質的に同一のダイサイズを有することができ、かつ、ウェハレベルで積層することができるように製造され得る。ウェハレベルでチップを積層することにより、従来の画像センサと比較して全体的なダイ/モジュールサイズを低減することができるだけでなく、ピクセル/セン

50

サ機能を向上させることができる。更に、画像センサの特定の機能、例えば、フォトダイオード及びトランジスタ論理は個別のチップに分離され得るので、各チップは、特定の機能について最適化され得る。

【0022】

いくつかの実施形態において、画像センサは、ピクセル信号を最適化するために又は向上させるために、照明条件及び他の動作条件に基づいて変換利得を変動させるように構成され得る。例えば、フォトダイオードは、トランジスタアレイから離隔しているため、各ピクセルについて利用可能なシリコン量が増大し、それにより、更なる構成要素の使用が可能になる。いくつかの事例では、異なる浮遊拡散ノードは、ピクセル電荷レベルに基づいて（例えば、多重化プロセスにより）選択され得、あるいは、浮遊拡散区域は、変換利得制御ゲートを介してキャパシタ又は同様の構成要素に接続され得る。

10

【0023】

詳細な説明

次に各図を参照して、画像センサ及び画像センサを組み込むための例示的な電子装置についてより詳細に記載する。図1Aは、画像センサを含む電子装置100の正面図である。図1Bは、電子装置100の背面図である。電子装置100は、第1のカメラ102と、第2のカメラ104と、筐体106、ディスプレイ110と、入出力ボタン108とを含むことができる。電子装置100は、限定はしないが、コンピュータ、ラップトップ、タブレット、スマートフォン、デジタルカメラ、プリンタ、スキャナ、複写機などのような、実質的に任意のタイプの電子装置又はコンピューティング装置であり得る。電子装置100はまた、コンピューティング装置又は電子装置に典型的な、限定はしないが1つ以上のプロセッサ、メモリ構成要素、ネットワークインターフェースなどのような1つ以上の内部構成要素（図示せず）を含むことができる。

20

【0024】

図1に示すように、筐体106は、電子装置100の外側表面若しくは部分外側表面、及び内部構成要素の保護ケースを形成することができ、ディスプレイ110を少なくとも部分的に取り囲むことができる。筐体106は、前面部品及び背面部品のような、1つに動作可能に接続された1つ以上の構成要素で形成され得る、あるいは、ディスプレイ110に動作可能に接続された単一部品で形成され得る。

【0025】

（スイッチ、ボタン、容量センサ又は他の入力機構であり得る）入力部材108は、ユーザが電子装置100と相互作用することを可能にする。例えば、入力部材108は、ボリュームを変更する、ホームスクリーンに戻るなどのためのボタン又はスイッチであり得る。電子装置100は、1つ以上の入力部材108及び/又は出力部材を含むことができ、各部材は、単一の入力若しくは出力機能、又は複数の入出力機能を有することができる。

30

【0026】

電子装置100に、ディスプレイ110を動作可能に接続する、又は通信可能に結合することができる。ディスプレイ110は、電子装置100に視覚出力を提供することができ、及び/又は電子装置100へのユーザ入力を受け取るために機能することができる。例えば、ディスプレイ110は、1つ以上のユーザ入力を検出することができるマルチタッチ容量感知スクリーンであり得る。

40

【0027】

電子装置100はまた、複数の内部構成要素を含むことができる。図2は、電子装置100の単純化されたブロック図である。電子装置100はまた、1つ以上のプロセッサ114、ストレージ又はメモリ構成要素116、入出力インターフェース118、電源120、並びに1つ以上のセンサ122をも含むことができ、以下に各々について論じる。

【0028】

プロセッサ114は、電子装置100の動作を制御することができる。プロセッサ114は、直接的あるいは間接的に、電子装置100の構成要素の実質的に全てと通信し得る

50

。例えば、1つ以上のシステムバス124又は他の通信機構は、プロセッサ114、カメラ102及び104、ディスプレイ110、入力部材108、センサ122などの間の通信を提供することができる。プロセッサ114は、命令を処理、受信及び/又は送信の任意の電子装置ケーブルでもよい。例えば、プロセッサ114は、マイクロプロセッサ又はマイクロコンピュータであり得る。本明細書に記載する場合、用語「プロセッサ」とは、単一のプロセッサ若しくは処理ユニット、複数のプロセッサ若しくは複数の処理ユニット、又は他の適切に構成されたコンピューティング要素を包含することが意図するものである。

【0029】

メモリ116は、電子装置100により利用され得る電子データを記憶することができる。例えば、メモリ116は、様々なアプリケーションに対応する電氣的データ又はコンテンツ、例えば、オーディオファイル、ビデオファイル、文書ファイルなどを記憶することができる。メモリ116は、例えば、不揮発性記憶装置、磁気記憶媒体、光記憶媒体、光磁気記憶媒体、リードオンリーメモリ、ランダムアクセスメモリ、消去可能なプログラマブルメモリ、又はフラッシュメモリであり得る。

10

【0030】

入出力インターフェース118は、ユーザ又は1つ以上の他の電子装置からデータを受け取ることができる。更に、入出力インターフェース118は、ユーザ又は他の電子装置へのデータ伝送を容易にすることができる。例えば、電子装置100が電話である実施形態では、入出力インターフェース118は、ネットワークからデータを受信するために使用され得、あるいは(インターネット、Wi-Fi(登録商標)、Bluetooth(登録商標)及びEthernet(登録商標)がいくつかの例である)ワイヤレス接続又はワイヤード接続を介して、電子信号を送信又は伝送するために使用され得る。いくつかの実施形態において、入出力インターフェース118は、複数のネットワーク又は通信機構をサポートすることができる。例えば、ネットワーク/通信インターフェース118は、Wi-Fi又は他のネットワークからデータを同時に受信しながら、Bluetoothネットワーク上で信号を他の装置に転送するために、別の装置とペアリングすることができる。

20

【0031】

電源120は、電子装置100にエネルギーを供給することが可能な実質的に任意の装置であり得る。例えば、電源120は、バッテリー、壁コンセントなどの別の電源に電子装置100を接続するように構成され得る接続ケーブルなどであり得る。

30

【0032】

センサ122は、実質的に任意のタイプのセンサを含むことができる。例えば、電子装置100は、1つ以上のオーディオセンサ(例えば、マイクロホン)、光センサ(例えば、周囲光センサ)、ジャイロ스코プ、加速度計などを含み得る。センサ122は、電子装置100の機能を向上又は変更するために使用され得るプロセッサ114にデータを提供するために使用され得る。

【0033】

図1A及び図1Bを再び参照すると、電子装置100はまた、1つ以上のカメラ102及び104と、任意選択的に、カメラ用のフラッシュ112又は光源を含むことができる。図3は、図1Aの線3-3に沿った1つのカメラ102の単純化された断面図である。図3は第1のカメラ102を示しているが、第2のカメラ104は、第1のカメラ102と実質的に同様であり得ることに留意されたい。いくつかの実施形態では、1つのカメラは、ローリングシャッター構成型画像センサを含むことができ、1つのカメラは、グローバルシャッター構成型画像センサを含み得る。他の例では、一方のカメラは、もう一方のカメラの画像センサよりも解像度が高い画像センサを有することができる。図3を参照すると、カメラ102及び104は、画像センサ130と光通信するレンズ126を含むことができる。レンズ126は、筐体106に動作可能に接続され、かつ、画像センサ130の上方に配置され得る。レンズ126は、その視野内の光128を、画像センサ130

40

50

のフォトダイオード層（以下により詳細に論じる）に向ける又は伝達することができる。

【0034】

基板132又は他の支持構造体によって、レンズ126の下に画像センサ130を支持することができる。画像センサ130は、光128を、捕獲されたシーンからの光を表し得る電気信号に変換することができる。換言すると、画像センサ130は、レンズ126を介して光学的に伝達された光128を捕獲して電気信号にする。

【0035】

画像センサアーキテクチャ

次に、画像センサ130の例示的なアーキテクチャについてより詳細に論じる。図4Aは、画像センサ130のアーキテクチャの単純化された図である。図4Bは、図4Aのピクセルアーキテクチャのピクセルの拡大図である。図5は、図4Aのピクセルの単純化された概略図である。図4A～図5を参照すると、画像センサは、画像処理構成要素150と、ピクセルアーキテクチャ134又はピクセルアレイを含むことができる。このアーキテクチャは、1つ以上のピクセル136及び/又はピクセルセル138のグループ（例えば、ベイヤーピクセル又はピクセルの他のセットを形成するために1つにグループ化されたピクセル136のグループ）を画定する。ピクセルアーキテクチャ134は、1つ以上の列出力線146を介して列選択140と通信し、かつ、1つ以上の行出力線148を介して行選択144と通信することができる。

【0036】

行選択144及び/又は列選択140は、画像プロセッサ142と通信することができる。画像プロセッサ142は、ピクセル136からのデータを処理し、電子装置100のプロセッサ114及び/又は他の構成要素にそのデータを提供することができる。いくつかの実施形態では、画像プロセッサ142は、プロセッサ114に組み込んで、又はプロセッサ114とは別個としてもよいことに留意されたい。行選択144は、特定のピクセル136又は特定の行上の全てのピクセル136のようなピクセル群を選択的に活性化することができる。列選択140は、選択ピクセル136又はピクセル136のグループ（例えば、特定の列の全てのピクセル）から出力されたデータを選択的に受け取ることができる。

【0037】

図5を参照すると、各ピクセル136は、トランジスタアレイ152若しくは制御回路、及びフォトダイオード154を含むことができる。フォトダイオード154は、そこを通過して伝達される光を受光するために、レンズ126と光通信することができる。フォトダイオード154は、光を吸収し、吸収した光を電気信号に変換することができる。フォトダイオード154は、電子ベースのフォトダイオードであっても、ホールベースのフォトダイオードであってもよい。更に、本明細書で使用される用語「フォトダイオード」とは、フォトゲート又は他の光子感知領域など、実質的に任意のタイプの光子検出構成要素又は光検出構成要素を包含することを意図するものである。フォトダイオード154は、転送ゲート158に結合され、転送ゲート158は、フォトダイオード154をピクセル136の残りの制御回路152に選択的に接続する。

【0038】

転送ゲート158は、リセットゲート156及びソースフォロワ(SF)ゲート160に結合される。リセットゲート162及びSFゲート160は、2つのゲートを基準電圧源(V_{dd})166に接続する基準電圧ノード164に結合される。行選択ゲート162は、ピクセル136の行出力線148に結合される。転送ゲート158とリセットゲート156とSFゲート160との間に、電荷蓄積構成要素168を含む浮遊拡散ノード163を結合することができる。制御回路152（又はトランジスタアレイ）は、図5に示したものの他に追加のゲートを含むことができる。例えば、アンチブルーミングゲートは、フォトダイオードから飽和レベルを超えた電荷をドレインするためにフォトダイオード154と通信し得る。

【0039】

10

20

30

40

50

一般に、動作中、写真を撮るためにユーザによってカメラ102及び104のうちの1つが作動された時には、リセットゲート156及び転送ゲート158に基準電圧166が印加される。転送ゲート158が開くと、フォトダイオード154内の電荷がドレインされ、フォトダイオードが空乏する(deplete)。いくつかの実施形態では、カメラ102及び104は、レンズ126を覆うシャッターを含まないことがあり、画像センサ130は、常に光に曝露され得る。これらの実施形態では、望ましい画像を捕獲する前に、フォトダイオード154をリセット又は空乏させる必要があり得る。フォトダイオード154からの電荷が空乏すると、転送ゲート158及びリセットゲート156がターンオフされ、フォトダイオード154を絶縁することができる。次いで、フォトダイオード154は、集積並びにレンズ126から画像センサ130に伝達された光128の集光を開始することができる。フォトダイオード154は、光を受光するにつれて電荷を収集し始める(例えば、光からの電子を受け取るにつれて、空乏領域が減少する)。しかしながら、制御回路150及び他のゲートへの(フォトダイオード154を接続する)転送ゲート158がオフであるので、フォトダイオード154内の電荷は、フォトダイオード154のウェル内に残ることができる。

10

【0040】

集積が完了し、フォトダイオード154がレンズ126からの光128を集光し終わると、リセットゲート152をターンオンして浮遊拡散ノード163をリセットすることができる。浮遊拡散163のリセット後、リセットゲート156をターンオフし、転送ゲート158をターンオンすることができる。次いで、フォトダイオード154からの電荷を浮遊拡散ノード163に転送し、蓄積構成要素168に蓄積することができる。(ここでは浮遊拡散163を介して)フォトダイオード154から電荷を読み出すために、行選択ゲート152及びSFゲート160を活性化することができ、SFゲート160が浮遊拡散163内の電荷を増幅し、信号又は電荷は、行選択ゲート162を介して列出力線146に提供される。

20

【0041】

ローリングシャッター動作では、異なる行のフォトダイオード154を異なる時点で露光することができる。したがって、シーン内の1つ以上のオブジェクトが動いている場合、第1の行及び第2の行は逐次露光されるので、第1の行は、第2の行とは異なる位置の画像を捕獲することがあり得、それにより、感知画像のモーションアーチファクトを引き起こすことがあり得る。グローバルシャッター動作では、フォトダイオード154からの電荷を蓄積するために、追加の蓄積ノードを付加することができる。グローバルシャッター動作では、ピクセルアーキテクチャ134内の各行を実質的に同じ時点でリセット及び露光することができる。各ピクセルはまた、フォトダイオード154から蓄積ノードに電荷を同時に転送することができ、次いで、行毎に各ピクセル136を読み出すことができる。

30

【0042】

垂直転送ゲート

いくつかの実施形態では、画像センサ130は、転送ゲート158が2つのチップ間に延びた2チップ積層構造を含むピクセルアレイを含み得る。この例では、各ピクセルの構成要素は、2つの別個のチップに分割され得る。いくつかの実施形態では、画像センサは、積層構造内に、第3のチップ、論理チップを更に含み得る。図6は、画像センサのチップの分割を示す、画像センサ130のピクセルの概略図である。図7は、任意選択のアンチブルーミングゲートを含む、図6に示したピクセルの単純化されたブロック図である。図8は、図6の転送ゲート構造を含む画像センサ130の単純化された側面図である。図6~図8を参照すると、画像センサ130は、フォトダイオードチップ170及びトランジスタアレイチップ172を含むことができ、2つのチップ170及び172は垂直方向に積層される。この構成では、転送ゲート158は、それらを1つに通信可能に結合するために2つのチップ170と172との間に垂直方向に延びることができる。

40

【0043】

50

チップの各々は、上面及び下面、並びに厚さを含むことができる。いくつかの事例では、厚さの寸法は、それぞれのチップの表面又は面の寸法よりも小さくてもよい。本明細書で使用される場合、用語「垂直積層型」とは、フォトダイオードチップ、トランジスタアレイチップ及び/又は論理チップの面又は表面が互いに当接し、厚さ寸法にわたって全体的に整列するように、トランジスタアレイチップ及び/又は論理チップが積層され得る実施形態を包含することを意図するものである。

【0044】

いくつかの実施形態では、フォトダイオードチップ170は、フォトダイオード154と、任意選択的にアンチブルーミングゲート178とを含むことができ、トランジスタアレイチップ172は、制御回路150又はトランジスタアレイを含むことができる。転送ゲート158は、フォトダイオードチップ170とトランジスタアレイチップ172との間の接続により画定され得る。いくつかの実施形態では、転送ゲート158のドレイン又は電荷蓄積ノード（即ち、浮遊拡散ノード163に接続するゲートの端部）は、トランジスタアレイチップ172上に配置され得る。これにより、フォトダイオードチップ170上のより多くのスペースを各ピクセルのフォトダイオード専用にすることが可能になる。したがって、画像センサ130の表面積をその後増大させることなく、フォトダイオード154の数及び/又はそれらのウェルサイズを増大させることができる。更に、後でより詳細に論じるように、2つのチップ170及び172は、それらの専門機能に照らして製造され得、例えば、フォトダイオードチップ170は、フォトダイオード機能の性能を高めるように製造され得、それにより、チップの所望の性能についてチップを最適化することが可能になり得る。

10

20

【0045】

画像センサ130の、特に転送ゲート158の単純化された構造を図9Aに示す。ピクセルセル138の単純化された構造を図9Bに示す。図9A及び図9Bを参照すると、転送ゲート158は、（シリコン基板を含み得る）フォトダイオードチップ170から延びることができる。転送ゲート158は、酸化層182（例えば、シリコン酸化物）及びポリシリコン層184によって取り囲まれ得る半導体転送チャンネル180を含むことができる。図10は、図9Aの線10-10に沿った転送ゲート158の断面図である。図10に示すように、転送チャンネル180は、酸化層182により取り囲まれ得、酸化層182は、ポリシリコン層184により（少なくとも部分的に）取り囲まれ得る。

30

【0046】

図9A～図10を参照すると、金属層186は、転送チャンネル180をトランジスタアレイチップ172に接続することができる。金属層186は、各ピクセルの接続間に配置された、1つ以上のアイソレーション181（図9Bを参照）又は絶縁バリアを含むことができる。アイソレーション181は、1つのフォトダイオード154からの信号が、トランジスタへの転送中に、意図せずに転送されないこと、又は隣接するフォトダイオードからの信号と合成されないことを保証するのに役立ち得る。

【0047】

半導体転送チャンネル180の上部は、その上部に配置されたドレイン領域183を含むことができる。この実施形態では、半導体転送チャンネル180はp型ドーパされ得、ドレイン領域183はn型ドーパされ得るが、他のバリエーションも想定される。引き続き図9Aを参照すると、フォトダイオード154とポリシリコン層184との間に下部酸化層185を配置することができる。この実施形態では、下部酸化層185とフォトダイオード154との間にベースベースドーパ領域187が配置され得る。

40

【0048】

転送ゲート158が活性化される、例えば、ターンオンされると、金属層186は、フォトダイオード154から転送チャンネル180を介した電子の流れを助長することができる。フォトダイオード154を形成するシリコンベースは、転送ゲート158のソースを形成し、シリコン転送チャンネル180が電子のチャンネル又は経路として作用し、かつ、ドレイン領域183は、転送ゲート158のドレインを形成する。この構造により、（チャ

50

ネルと金属 186 との接触を介して) フォトダイオードからトランジスタアレイ 172 に電子を伝達することが可能になる。

【0049】

転送ゲート 158 の構造は、選択エピタキシ (EPI) プロセスにより形成され得る。例えば、ゲート酸化物層 182 は、EPI の熱酸化により形成され得る。この例では、EPI ドーピング又はイオン注入を調整することによって、転送ゲート 158 の閾値電圧を変化させることができる。他の実施形態では、転送ゲート 158 は、他のプロセスにより形成され得る。一例として、アモルファス又はポリシリコンは、転送チャネル 180 を形成することができ、並びに/あるいは、ポリシリコン層 182 は、金属材料又は限定はしないがアモルファスシリコン、タンタル若しくはタングステンのような他の半導体材料により形成され得る。フォトダイオードチップ 170 とトランジスタアレイチップ 172 との間のシリコン貫通電極 (TSV) の代わりに、フォトダイオードチップ 170 とトランジスタアレイチップ 172 との間の金属接触を使用してもよい。TSV を必要としない接続を使用することによって、フォトダイオードアレイ 170 の基板 (例えば、シリコン) が TSV の追加サイズを収容するのに十分な大きさでなくてもよいので、より小さいサイズのピクセルアーキテクチャを作成するために画像センサ 130 を使用することができる。換言すると、実質的に、フォトダイオードチップ 170 上の全てのスペースを使用して光を集光することができる。いくつかの実施形態では、垂直転送ゲートの代わりに又はそれに加えて、1 つ以上の TSV を使用してもよいことに留意されたい。

10

【0050】

図 8 及び図 9 B を再び参照すると、いくつかの実施形態では、フォトダイオードアレイチップ 170 は、その中に画定される各ピクセル 136 のための複数のフォトダイオードを含むことができる。例えば、フォトダイオードチップ 170 を形成する基板は、各ピクセル 136 のフォトダイオード 154 間にピクセルセパレータ 188 のインプラントを含むことができる。ピクセルセパレータ 188 は、隣接するピクセルウェルから各ピクセルウェルを離隔することができ、各フォトダイオード 154 の区域を画定することができる。一例として、ピクセルセパレータ 188 は、シリコンのインプラントであり得る。これらの実施形態では、各ピクセル 136 の転送ゲート 158 は、フォトダイオードチップ 170 の上面に形成され得るが、隣接する転送ゲートから、実質的に離隔材料 188 の長さに等しい距離だけ離隔され得る。各フォトダイオード 154 について、フォトダイオードチップ 170 は、別個の垂直転送ゲート 158 を介したトランジスタアレイチップ 170 へのチップ間接続を含むことができる。例えば、2 つのチップ 170 と 172 との間の接続の数は、ピクセルの数により決定され得る。即ち、フォトダイオード 154 毎に、フォトダイオードチップ及びトランジスタアレイは、各フォトダイオード 154 によって感知されたデータのための通信経路又は相互接続を含むことができる。ピクセル毎に制御回路への接続を提供するためにシリコン貫通電極を使用することは困難で、かつ、画像センサのサイズを増大させる必要が生じる。垂直転送ゲートを用いると、各ピクセルは、制御回路への個別の接続を有することができる。しかしながら、他の実施形態 (図 16 A を参照) では、ピクセルのセットの回路が共有され得るので、チップ間接続の数を低減することができる。

20

30

40

【0051】

図 8 ~ 図 10 に示す画像センサ 130 の構造は、光子感知区域を増大させることができる。これは、光に曝露される画像センサ 130 の表面区域がフォトダイオード 154 のみを含み得、1 つ以上の蓄積ノード又はスイッチングトランジスタのような追加の制御回路を必要としなくてもよいからである。したがって、集光のために露光表面が最大化され得る一方で、制御回路は、集光区域の後ろに配置され得る。これにより、ピクセルアーキテクチャ 134 は、従来のピクセルと実質的に同一の露出面積を有するが、増大した数のピクセル 136 を含むことが可能になり得る。これにより、同一の表面積を有する従来のピクセルと比較して感度及び解像度を増大させることができる。それに加えて、又は代替として、フォトダイオードチップ上に配置することができるピクセルの数を低減することな

50

く、飽和レベルに達する前により多くの光を受光するために、各フォトダイオード154のウェルサイズを増大させることができる。

【0052】

いくつかの実施形態では、フォトダイオードチップ170を裏面から照明することができ、即ち、フォトダイオードチップ170の下部は、レンズ126と光通信し得る。裏面照射は、転送ゲート158又はトランジスタアレイの構成要素により遮断することなく、フォトダイオード154を含むフォトダイオードチップ170の裏面全体を光に曝露させることを可能にし得る。

【0053】

いくつかの実施形態では、画像センサ130は更に、グローバルシャッターモード用に構成され得る。図11は、蓄積ゲートを含む、フォトダイオードチップ170及びトランジスタアレイ172のチップの単純化された図である。図11を参照すると、各ピクセル136は、蓄積ノード192を画定する蓄積ゲート190を含むことができる。蓄積ゲート190は、グローバルシャッター動作を可能にするために、フォトダイオード154からの電荷を蓄積ノード192の領域に蓄積することができる。例えば、グローバルシャッター動作において、画像センサ130のピクセル136の各々は、同時に電荷集積を開始することができる。集積期間中、フォトダイオード154の各々は、各フォトダイオード154に直面するレンズ126を介して伝達された光に対応する電荷を蓄積することができる。集積後、蓄積ゲート190を活性化することができ、フォトダイオード154からの電荷を（いくつかの実施形態では、蓄積ゲート190の下方にn型ドープ領域として形成され得る）蓄積ノード192に伝達することができる。特定のピクセル136を読み出す準備がととのうまで、フォトダイオード154からのデータを蓄積ノード192に保持することができる。

【0054】

ピクセル136を読み出す準備がととのった時、転送ゲート158を活性化して、蓄積ノード192からの電荷を浮遊拡散ノード163に転送することができる。データが浮遊拡散163に蓄積されると、図6に関して上述したのと実質的に同じ様式で、ピクセル136を動作させることができ、即ち、あらゆるピクセルを逐次読み出すことができる。グローバルシャッター動作中、全てのピクセル136は、実質的に同時に光を捕獲することができる。それにより、オブジェクトが動いていることに起因する画像のアーチファクトを減少させることができる。例えば、各ピクセルが逐次集積され読み出されるローリングシャッター動作中、第1のピクセルの行集積と最終行の集積との間でオブジェクトが動いた場合、画像の線がぼやける又は歪むことがある。図11の画像センサ130では、ピクセルは、同時に光を捕獲し、次いで、その光が蓄積され、それにより、ピクセルを逐次読み出すのが、光を同時に捕獲することが可能になる。

【0055】

垂直積層型ピクセル構造は、画像センサ130が、解像度を大幅に低減させる必要なくグローバルシャッターモードを実装することを可能し得ることに留意されたい。例えば、グローバルシャッターモードを有する従来の画像センサは、グローバルシャッター動作のための追加のトランジスタ及び蓄積ノードを収容するために各ピクセルのサイズを増大させる必要があり得るので、少数のピクセルを使用しなければならないことがある。ピクセルサイズが増大した結果、特定の画像センサの基板にフィットするピクセルの数が低減され得る。逆に、図11の画像センサ130は、フォトダイオードのスペースを犠牲にすることなく、各ピクセル136における蓄積ノード192を可能にすることができる。これは、転送ゲート158が垂直方向に形成されており、フォトダイオードチップ170上のスペースを必要としなくてもよいからである。したがって、画像センサ130を使用して、同一の露光表面積を有する従来の画像センサと比較してピクセル解像度を低減させる必要なく、動いているオブジェクトを捕獲することができる。

【0056】

共有ピクセルアーキテクチャ

10

20

30

40

50

いくつかの実施形態では、各ピクセルの1つ以上の構成要素が、ピクセルの群又はセルで共有され得る。積層型チップ構成を使用すると、特に、上記に示した垂直転送ゲート構造は、フォトダイオードチップとトランジスタアレイチップとの間に小さいピッチのチップ間接続を必要とすることができる。例えば、ピクセルサイズが小さい事例では、2 μ m未満のチップ間接続が必要とされ得る。しかしながら、ピクセル群に1つ以上の構成要素を共有させることにより、チップ間接続の数を低減することができ、それにより、各チップ間接続のサイズを増大させることが可能になり得る。例えば、ピクセルトランジスタ共有（例えば、ソースフォロワゲート、リセットゲート及びノ又は行選択ゲートのうちの1つ以上を共有すること）は、ピクセル当たりのトランジスタの数を低減する。このようにトランジスタの数を低減すると、より小さなピクセルサイズ及びノ又はピクセルビニング機能が可能になる。また、同一のチップ間接続を共有している複数のピクセルを有すると、チップ間接続の数を低減し、チップ間接続のサイズを増大させることが可能になり、それにより、チップ間接続プロセスの複雑度が低減される。画像センサは、垂直転送ゲートなしに又はなしに、これらの共有アーキテクチャを実装できること（例えば、画像センサは水平転送ゲートを含むことができる）に留意されたい。

10

20

30

40

50

【0057】

図12Aは、共有制御回路を有するピクセルセルの単純化された概略図である。図12Bは、図12Aの共有アーキテクチャを含む画像センサの単純化された断面図である。図12A及び図12Bを参照すると、ピクセル群236a、236b、236c及び236dは、ピクセルセル238を形成することができる。ピクセルセル238において、ピクセル236a、236b、236c及び236dの各々は、赤、緑、青など、異なるカラーフィルタを含むことができる。例えば、各ピクセルセル238は、ベイヤーピクセルアレイを形成し得る。他の実施形態では、ピクセル236a、236b、236c及び236dの各々は、同一のカラーフィルタを有しても、カラーフィルタを有さなくてもよく、あるいは、ピクセル236a、236b、236c及び236dの各々を異なるものにさせてもよい。図12A及び図12Bに示した実施形態では、ピクセルセル238内のピクセル236a、236b、236c及び236dの各々は、制御回路252又はトランジスタアレイを共有することができる。例えば、各フォトダイオード254a、254b、254c及び254dは、1つ以上の活性化又はトリガートランジスタ258a、258b、258c及び258dを介して相互接続260に接続され得る。相互接続260は、フォトダイオード254a、254b、254c及び254dを制御回路252に接続することができる。

【0058】

いくつかの実施形態では、各トリガータン送ゲート258a、258b、258c及び258dは、相互接続260と通信し得る。この例では、各転送ゲートのドレイン257は、トランジスタアレイチップ172と通信し得る。代替的には、転送ゲートの各々は、フォトダイオードチップ170上の特定のノードにおいて相互接続され得、あるいは通信し得、単一の垂直転送ゲートは、フォトダイオードチップ170とトランジスタアレイチップ172とを通信可能に接続するように延び得る。最大解像度の場合、各ピクセルは、（図9A～図10に示された垂直転送ゲート又は水平転送ゲートのいずれかであり得る）転送ゲート158自体を有し得る。いくつかの実施形態において、転送ゲートは、相互接続260と通信し得、4つのピクセル全てと通信し得る。換言すると、転送ゲートは、ピクセル回路の複雑度を低減するために、4つ以上のピクセルからトランジスタアレイに信号を転送することができる。

【0059】

図12Aを参照すると、トランジスタアレイ272上の制御回路252は、リセットゲート156、SFゲート160及び行選択ゲート162に加えて、第2の転送トランジスタ262を含むことができる。第2の転送ゲート262は、各フォトダイオード254a、254b、254c及び254dからの電荷又はデータを、浮遊拡散ノード163、SFゲート160及び行選択ゲート162に通信することができる。

【0060】

図12A及び図12Bを参照すると、動作中、レンズ126は、画像センサ130上に、詳細には、ピクセルチップ170のフォトダイオードダイオード254a、254b、254c及び254d上に光を向けることができる。フォトダイオード254a、254b、254c及び254dは、次に、電荷を蓄積することができる。電荷が蓄積すると、又は、設定集積時間後に、各ピクセル236a~236bのトリガー転送ゲート258a、258b、258c及び258dを選択的に活性化することができる。例えば、第1のトリガーゲート258aが選択的に活性化され得る(例えば、活性化電圧がゲート258aに印加され得る)一方で、残りのピクセル236b、236c及び236dの他のトリガーゲート258b、258c及び258dは非活性化又はオフされたままである。この構成では、第1のフォトダイオード254aは、(第2の転送トランジスタ262を活性化した時に)浮遊拡散ノード163に通信可能に結合される。次いで、浮遊拡散163は、電荷をSF 160及び行選択162に選択的に提供することができる。第1のピクセル236aから電荷が読み出されると、他のトリガートランジスタをオフにしたまま、第1のトリガートランジスタ258aを選択解除又は非活性化することができ、第2のトリガートランジスタ258bを活性化することができる。画像センサ130は、ピクセルセル238内のピクセル236a、236b、236c及び236dの各々が読み出されるまで、対応するトリガートランジスタを活性化することによって各ピクセルの読み出しを継続することができる。いくつかの実施形態では、ピクセル236a、236b、236c及び236dの各々は、フォトダイオードチップ170上に1つ以上のストレージノード又は蓄積ゲートを含むことができることに留意されたい。これらの実装形態において、フォトダイオード254a、254b、254c及び254dから電荷は蓄積ノードに転送され得、蓄積ノードは、トリガートランジスタが活性化されるまで電荷を保持することができる。

10

20

【0061】

図12A及び図12Bの共有アーキテクチャでは、従来の画像センサと比較して、選択ピクセルセル238に必要なトランジスタの数を低減することができる。これにより、従来の画像センサと比較して、図12A及び図12Bの画像センサの費用及び/又は複雑度を下げることができる。いくつかの実施形態では、ピクセルの転送ゲートの各々は、金属相互接続層に接続され得る。代替的には、他の実施形態では、複数の転送ゲートがピクセルチップ170において1つに相互接続され得、単一の垂直転送ゲートがトランジスタアレイチップと相互接続され得る。

30

【0062】

デュアルモード - カラー及びモノクロ

いくつかの実施形態では、画像センサは、2つ以上のモードを有し得る。例えば、画像センサは、モノクロモードとカラーモードとを有し得る。モノクロモードでは、ピクセルのうち2つ以上を1つにサミングすることができ、それにより、弱光環境における画像センサの感度を向上させることができる。カラーモードでは、ピクセルの各々を個々に読み出すことができる。図12C及び図12Dは、モノクロモードの場合の画像センサの共有アーキテクチャを示す。図12C及び図12Dに示したアーキテクチャでは、画像センサの感度を向上させるために、フォトダイオードのうち2つ以上を1つにサミングすることができる。図12Cは、ローリングシャッター実装形態のサンプルアーキテクチャを示し、図12Dは、グローバルシャッター実装形態のサンプルアーキテクチャを示す。

40

【0063】

図12Cを参照すると、ローリングシャッター実装形態では、各ピクセル236a、236b、236c及び236dは、各転送ゲート258a、258b、258c及び258dを同時に活性化した場合に、フォトダイオード254a、254b、254c及び254dの各々からの電荷をそれぞれ浮遊拡散ノード163に転送し、次いで、読み出すことができるように、浮遊拡散ノード163を共有することができる。

【0064】

50

図12Dを参照すると、グローバルシャッター実装形では、各ピクセル236a、236b、236c及び236dは、転送ゲート258a、258b、258c及び258dとフォトダイオード254a、254b、254c及び254dとの間に、蓄積ゲート261a、261b、261c及び261dを更に含むことができる。蓄積ゲート261a、261b、261c及び261dは、電荷が転送ゲートを介して浮遊拡散163に転送される前に、フォトダイオード254a、254b、254c及び254dからの電荷を蓄積することができる。図12C及び図12Dに示した実施形態では、4つのピクセルそれぞれが、単一の浮遊拡散ノードを共有することができる。ただし、他の実施形態では、より少数の又はより多くのピクセルが浮遊拡散ノードを共有することも、あるいは一緒に共有されることもある。代替的には、本明細書（例えば、図12A～図17B）に開示した共有アーキテクチャは、モノクロモードを実装するために使用することができ、及び/又はピクセルのうちの一つ以上からの電荷を共有することができることに留意されたい。更に、以下の実施形態は、モノクロモードへの応答について論じられるが、いくつかの実施形態では、画像センサは、共有ピクセルのサブセットを含むことができ、各サブセットが同一のカラーフィルタを有し、それにより、色情報が失われないことがある。

10

20

30

40

50

【0065】

図12Eは、デュアルモード画像センサ又はモノクロモード画像センサを動作させる方法を示すフローチャートである。方法301は、動作305から開始することができる。画像センサ130又は周囲光センサ又は他のセンサは、照明条件を感知することができる。例えば、画像センサ130は、撮影されるオブジェクトの照明条件を判定するために解析され得るテスト画像を捕獲することができる。テスト画像が捕獲されると、あるいは照明条件が感知されると、方法301は動作307に進むことができる。動作307において、プロセッサ114は、光が非常に弱い光であるかを判定するためにテスト画像（又は一つ以上のピクセルからの信号）を解析することができる。例えば、装置100は、弱光モードが活性化され得る低閾値を判定するための設定を含み得る。代替的には、ユーザは、光が「弱光」モードを活性化するのに十分に低いかを判定するために、テスト画像を解析することができる。

【0066】

光が十分に低いと判定された場合、方法301は動作309に進むことができる。動作309では、画像センサ130をモノクロモード又は弱光モードに切り替えることができる。例えば、動作309中、2つ以上のピクセル群は、共通の浮遊拡散ノード163を共有するために通信可能に結合され得る（あるいは、ピクセルが一つにサミングされ得る）。例えば、1つ以上のピクセルを一つにサミングすることができるように、1つ以上の共有又はグループ化トランジスタ又はゲートが活性化され得る。

【0067】

しかしながら、光がモノクロモード又は弱光モードを活性化するのに十分には低くない場合、方法301は任意選択の動作311に進むことができる。動作311において、装置100は、ユーザにオーバーライド及び、画像センサ130のモノクロモードへの切り替えを可能にするための選択肢を提示することができる。例えば、ディスプレイ110は、「モノクロモードへの切り替え」を提示することができ、弱光モードに関するプロセッサの自動解析をオーバーライドすることができる装置100への入力をユーザが行うことを可能にする。動作311の後、方法301は動作315に進むことができ、プロセッサ114は、受け取ったユーザ入力を解析することができる。動作315において、プロセッサ114は、画像センサ130をモノクロモードに変更するための入力をユーザが行ったかどうかを判定することができる。

【0068】

ユーザが画像センサ130をモノクロモードに変更しなかった場合、方法301は動作325に進むことができる。動作325において、画像センサ130は、個々に読み出され、任意選択的に一つ以上のカラーフィルタを含む別個のピクセルを用いて画像を捕獲することができる。この動作において、捕獲画像は、モノクロモードと比較して、増大した

解像度及びカラーデータを有することができる。ただし、ユーザが画像センサ130をモノクロモードに変更するための入力を行った場合、方法301は動作309に進むことができる。

【0069】

動作309の後、画像センサがモノクロモードに切り替わり、方法301は動作313に進むことができる。動作313において、画像センサ130は、画像を捕獲することができる。例えば、画像センサ130は、ピクセルアレイの集積を開始することができる。ピクセルの各々は、レンズ126を通して光を受光することができる。集積後、選択ピクセル群についての信号を1つにサミングすることができる。弱光時、2つ以上のピクセルからの信号が合成されるが、ピクセルが浮遊拡散ノードのフルウェルキャパシティを超えないことがある。これは、低レベルの光信号捕獲に起因して、ピクセルは（合成された場合であっても）浮遊拡散163の容量を超えるのに十分な光を受光しないことがあるからである。更に、モノクロモード中に捕獲された画像は、ピクセル間の「クロストーク」が解消され得るので、ノイズを低減することができた可能性がある。これは、ピクセルの各々が1つにサミングされ、したがって、1つの有色ピクセルが別のカラーピクセルよりも多くの光を受光することに起因するカラーノイズは、ピクセルが1つにサミングされた時には無効化され得るからである。

10

【0070】

ピクセルを1つにサミングすることにより、ピクセルアレイ134上に配置され得るあらゆるカラーフィルタを変更又は除去することなく、モノクロモードを活性化することが可能になり得ることに留意されたい。例えば、ピクセルの各々はカラーフィルタを含み得るが、1つにサミングされた時には、画像センサ130は、グレースケール又はモノクロである画像を捕獲することができる。弱光中に画像センサの感度を高めることが可能になることに加えて、モノクロオプションは、ユーザが画像センサを変更又は修正する必要なく白黒画像又はグレースケール画像を捕獲するオプションをユーザに提供することができる。更に、モノクロモードは、画像の捕獲後にカラーデータを除去することなく、白黒画像を直接捕獲するために実装され得る。

20

【0071】

動作313の後、方法301は動作317に進むことができる。動作317において、プロセッサ114は、捕獲画像の色情報が望ましいかどうかを判定することができる。例えば、装置は、捕獲画像中に色データを有することをユーザが望むユーザ入力を受け取ることができる。有色情報が望ましい場合、方法301は動作319に進むことができる。しかしながら、有色情報が望ましくない場合、方法301は、終了状態327に進み、終了することができる。

30

【0072】

有色情報が望ましい場合は、方法301は動作319に進むことができる。動作319において、画像センサ130は、カラーモードへと切り替わることができる。カラーモードでは、一緒に共有される1つ以上のピクセル群を結合解除することができ、及び/又は、類似色を有するピクセル群のうちの1つと一緒に共有することができる。

40

【0073】

動作319の後、方法301は動作321に進むことができる。動作321において、画像センサ130は、第2の画像を捕獲することができ、この画像は、捕獲されたオブジェクト又はシーンに由来する色データを含むことができる。カラー画像を捕獲すると、方法301は動作323に進むことができ、カラー画像に由来する色データをモノクロ画像に適用することができる。換言すると、カラー画像が捕獲した輝度を当初捕獲されたモノクロ画像に「ペイント」することができる。モノクロ画像は、2つ以上のピクセルの合計がカラー画像中の単一のカラー画素よりも多くの光データを生成することができるほど光が十分に弱いので、カラー画像よりも高い感度を有することができる。カラー画像に由来する色データを使用することによって、最終画像は、その上に転置されるいくつかの色データと共に高い感度を有することができる。動作323の後、方法301は、終了状態3

50

27に進むことができる。

【0074】

共有ピクセルアーキテクチャを実装することにより、画像センサを、カラー画像とモノクロ画像の両方を提供するデュアルモードにすることが可能になる。モノクロモードを使用すると、画像センサ130は、弱光中に、信号対ノイズ比を最大化することができ、カラーモード中に、視認できない画像を視認可能にすることができる。このタイプのデュアルモード動作は実質的に、本明細書で論じる共有ピクセルアーキテクチャのうちのいずれかと共に実装され得、図12C~図12Eに関してモノクロームを論じてきたが、同一又は同様の機能を実装するために、図12A及び図13~図17Bに示したもののような他の共有アーキテクチャを使用し得ることに留意されたい。

10

【0075】

更に、いくつかの実施形態では、1つにサミングされるピクセルは同一のカラーフィルタを有するピクセルを選択することができ、色データの損失を低減することができるに留意されたい。しかしながら、光が著しく弱い事例では、複数の色平面のピクセルを1つにサミングすること、あるいは、より多くのピクセルを1つにサミングすると、感度をより高めることができる。いくつかの事例では、図12C及び図12Dに示した方法301は、1つの浮遊拡散を共有することにより行われ得る。この場合、転送ゲートが活性化されると、ピクセルの各々からの電荷は、実質的に同時に浮遊拡散ノード163中に蓄積され得る。サミングを使用すると、ノイズを増大させることなく信号を増大させることができ、サミングは、ピクセル集積中に行われ得る。代替的には、ビニング動作が使用され得る。この動作では、ピクセルを個々に読み出すことができ、信号は、選択ピクセル群について一緒に平均化され得る。ビニングを使用すると、ノイズ比は、2の平方根ずつ増大する。ビニングを使用すると、集積後に平均化を行うことができ、それにより、ユーザが画像を閲覧し、次いで、解像度を高めるために信号を1つにサミングすることが可能になり得る。

20

【0076】

プログラム可能な変換利得

他の実施形態では、ピクセルセル238は、各ピクセルについての変換利得を変えるために使用され得る複数の制御回路経路を含み得る。図13は、複数の制御経路を含む共有ピクセルアーキテクチャの別の例の単純化された概略図である。図13を参照すると、ピクセルグループ238は、複数の通信経路280、282、284及び286と選択的に通信することができる。各通信経路は、転送トランジスタ262a、262b、262c及び262dと、浮遊拡散288a、288b、288c及び288dと、リセットゲート156と、SFゲート160と、行選択ゲート162とを含むことができる。リセットゲート156、SFゲート160及び行選択ゲート162は、各通信経路280、282、284及び286について実質的に同一であり得る。ただし、いくつかの実施形態では、浮遊拡散ノード288a、288b、288c及び288dの各々は、以下でより詳細に論じるように、別様にドーピングされても、あるいは異なる特性を有するように構成されてもよい。

30

【0077】

いくつかの実施形態では、浮遊拡散ノード288a、288b、288c及び288dは、トランジスタアレイチップ172のシリコン中に形成された領域であり得、他のノードから電気的に絶縁されている。浮遊拡散ノード288a、288b、288c及び288dは各々、容量値を有することができる。浮遊拡散ノードの各々の容量値は、各ノードの変換利得を、即ち、1電子を加えた場合のノードの電位又は電圧の変化を決定することができる。浮遊拡散ノード288a、288b、288c及び288dの各々あるいはそのサブセットは異なる容量値を有し得るので、この例におけるトランジスタアレイは複数の変換利得を有し得る。換言すると、通信経路280、282、284及び286の各々は、他の通信経路とは異なる変換利得を有し得る。

40

【0078】

50

これらの実施形態では、通信経路280、282、284及び286は、所望の変換利得に基づいて、各ピクセルについて動的に選択され得る。換言すると、(例えば、選択転送トランジスタ262a~262dを活性化することによって)選択された特定の通信経路280、282、284及び286は、所望の変換利得に基づいて活性化され得る。このように、浮遊拡散288a~288dの各々の変換利得は、ピクセルのうちのいずれかについてどの通信経路を活性化するかを決定するために使用され得る。変換利得を調整すると、1つの電荷の吸収に起因した出力電圧の変化を変動させることができ、それにより、画像センサの感度、飽和速度などを変動させることができる。

【0079】

更に別の実施形態では、浮遊拡散ノードは、1つ以上の浮遊拡散ノードの変換利得を調整することによって、ピクセルの各々について動的に調整され得る。図14は、調整可能な浮遊拡散ノードを含む共有アーキテクチャを有する画像センサの単純化された概略図である。図14を参照すると、トランジスタアレイ及び制御回路は、1つの転送トランジスタ262と、浮遊拡散ノード263と、1つ以上の変換利得調整ゲート290、292及び294とを含むことができる。転送ゲート262とSF 160との間の浮遊拡散ノード263に、利得調整ゲート290、292及び294を動作可能に接続することができる。

10

【0080】

利得調整ゲート290、292及び294は、1つ以上のキャパシタに結合された1つ以上のトランジスタであり得、これらのトランジスタを選択的に活性化して、浮遊拡散ノード263における変換利得を変動させることができる。例えば、第1の利得調整ゲート290を活性化すると、浮遊拡散ノード263の容量値が変動し得る。一般に、浮遊拡散ノード263の変換利得は、ノード263における容量に反比例し得る。(同じ又は異なる容量値を有し得る)利得調整ゲート290、292及び294のうち1つ以上を選択的に活性化することによって、浮遊拡散ノード263における容量を変動させる。

20

【0081】

例えば、利得調整ゲート290、292及び294の全てを非活性化すると、又はそれらがオフ位置にある時には、浮遊拡散ノード163は、キャパシタC1の容量値に等しい容量を有し得る。第1の利得調整ゲート290がオンであるが、残りの利得調整ゲート292及び294がオフである時には、浮遊拡散ノード163は、C1とC2との容量値の和(例えば、C1+C2)に等しい容量を有する。最初の2つの利得調整ゲートがオンである時には、浮遊拡散ノード163の容量値は、容量値C1とC2とC3の和に等しくなる。最後に、利得調整ゲートの全てが活性化された時には、浮遊拡散は、C1とC2とC3とC4との和に等しい最大容量値を有し得る。

30

【0082】

上記の例により実証されるように、いくつかの実施形態では、利得調整ゲートは、浮遊拡散ノードにおける容量を加算的に変動させるために選択グループ内で活性化され得る。この例では、各利得調整ゲートは、浮遊拡散ノードの容量値への増分変化を提供することができる。したがって、ユーザは、浮遊拡散ノードの変換利得を選択するために活性化すべき利得調整ゲートの数を調整することができる。利得調整ゲート290、292及び294は、所望に応じて選択的に活性化されるように、行ドライバに通信可能に結合され得ることに留意されたい。更に、利得調整ゲートの各々の「オン」電圧は、各利得調整ゲートにわたる電圧降下を回避するのに十分に高くなるように選択され得る。キャパシタC1、C2、C3及びC4の容量値は、同じでも、あるいは互いに異なってもよいことに留意されたい。いくつかの実施形態において、キャパシタの各々は、次第に小さくなり得る異なる値を有することができる。それにより、浮遊拡散ノードにおける容量の値は、追加の各利得調整ゲートを活性化されるにつれて、より小さい増分で調整することができる。

40

【0083】

動的に変化する浮遊拡散ノード(例えば、図14)又は異なる変換利得値を有する複数の浮遊拡散ノードを使用して、1つ以上のピクセルについての変換利得を調整することが

50

できる。変換利得を調整することにより、画像センサが、異なる照明条件及び/又は露光時間に基づいてピクセル特性を最大化することが可能になり得る。例えば、画像センサは、ピクセル出力信号を増大させるために弱光時の変換利得を最大化するように構成され得る。反対に、画像センサは、各フォトダイオードからの増大した信号電荷量に適應するために、強光条件中に変換利得を低減するように構成され得る。ユーザの所望に応じて他の変更が実装され得ることに留意されたい。

【0084】

また、図12～図14に関して上述した共有ピクセルアーキテクチャは、グローバルシャッター構成においても使用され得る。図15Aは、共有制御回路・グローバルシャッター構成を有するピクセルセルの単純化された概略図である。図15Aを参照すると、画像センサは、各フォトダイオード254a、254b、254c及び254dと通信する1つ以上のアンチブルーミングゲート278a、278b、278c及び278dを含むことができる。図15Aには、アンチブルーミングゲート278a、278b、278c及び278dがグローバルシャッター構成に関して示されているが、他の実施形態では、アンチブルーミングゲートは、図12～図14に示したもののようなローリングシャッター構成に組み込んでもよいことに留意されたい。図7に関して上述したように、アンチブルーミングゲート278a、278b、278c及び278dは、フォトダイオードの飽和後、フォトダイオード254a、254b、254c及び254dからの余剰電荷をドレインすることができる。

10

【0085】

引き続き図15Aを参照すると、トランジスタアレイチップ172は、転送ゲートと浮遊拡散263との間に蓄積ノードを画定する追加の転送ゲートを含むことができる。例えば、トランジスタアレイチップ170は、各通信経路のために転送ゲート262a、262b、262c及び262dとSF 160との間に配置された蓄積転送ゲート304a、304b、304c及び304dを含むことができる。転送ゲート262a、262b、262c及び262dと蓄積転送ゲート304a、304b、304c及び304dとの間に、蓄積ノード302a、302b、302c及び302dが確定され得る。蓄積ノード302a、302b、302c及び302dは、電荷が読み出される前に、フォトダイオードチップ172から転送された電荷、即ち、フォトダイオード254a、254b、254c及び254dの各々からの電荷を蓄積する。このように、フォトダイオード254a、254b、254c及び254dの各々を実質的に同時に集積できるが、データが蓄積ノード302a、302b、302c及び302dに転送されると、各ピクセルからのデータを逐次読み出すことができる。

20

30

【0086】

以下でより詳細に記載するように、図15Aに示した共有アーキテクチャは、「実効的な」グローバルシャッターを提供することができる。これらの実施形態では、各グループ中のピクセルは、ピクセルセル内で個々に読み出され得るが、各ピクセルセル又はグループについての値は、まとめて読み出され得る。この実装形態において、「ローリングシャッター」は、各セル内の個々のピクセルにおいてのみ生じるので、画像センサの「ローリング」時間とは、単に4つのピクセル行(又はピクセルセル内のピクセル数)を読み出す時間であり得る。各ピクセルセルは包括的に読み出され、したがって、画像センサの第1のピクセル行と画像センサの最終ピクセル行との読み出しの時間差は、各ピクセルセル中の4つのピクセル行の各々を読み出すための時間だけである。この時間差は、第1のピクセル行と最終ピクセル行との読み出しの時間差がピクセルアレイの全体的な行数により決定される従来のローリングシャッターと比較して、実質的により小さい時間差である。したがって、これらの実効的なグローバルシャッター構成には、最終画像は、実際のグローバルシャッターの構成に非常に近い。

40

【0087】

いくつかの実施形態では、図15Aのグローバルシャッター図示の構成は、ピクセルグループ又はセルがSFゲート、リセットゲート及び/又は行選択ゲートを共有することが

50

可能になるように修正され得る。図15Bは、グローバルシャッター共有アーキテクチャ構成の単純化された概略である。図15Bを参照すると、ピクセル236a~236dの各々は、リセットゲート156、SFゲート160及び行選択ゲート162と通信している。このように、4つ以上のピクセルのグループについて制御ゲート156、160及び162の単一のセットのみがあり得るので、トランジスタアレイチップ172上のトランジスタの数が低減され得る。この回路は、図15Aに関して上述したものと実質的に同じ様式で動作することができる。しかしながら、この例では、フォトダイオード254a~254dの各々からのデータは、データをSF160に、最終的には読み出し回路(例えば、列選択142)に提供するために蓄積転送ゲート254a~254dが活性化されるまで、蓄積ノード302a~302d内にとどまり得る。

10

【0088】

ローリングシャッター構成を使用した実効的なグローバルシャッター

上記に簡単に説明したように、諸実施形態では、共有アーキテクチャは、グローバルシャッターとローリングシャッターとのハイブリッドの実装形態を提供するように構成され得る。この例では、選択ピクセルは逐次読み出され得るが、これらのピクセルはセルへとグループ化され得、セルの各々は、包括的に読み出され得る。図16Aは、4つのピクセルセルの単純化された概略図である。図16Bは、図16Aの概略図のためのタイミング図である。図16Aを参照すると、ピクセルセル138は、各々がアンチグループミング/リセットゲート279を共有し得る4つのピクセル136を含むことができる。いくつかの実施形態では、アンチグループミング/リセットゲート279は、フォトダイオードチップ170とトランジスタアレイチップ172との間に延びた垂直ゲートであり得る。これにより、2つのチップ170及び172は、2つのチップ間に単一のチップ間接続を有することが可能になり得る。チップ間接続の数を少なくすることによって、2つのチップ間のピッチを増大させることができ、チップ間接続を生成する際の複雑度を低減することができる。

20

【0089】

図16A及び図16Bを参照すると、動作中、アンチグループミング/リセットゲート279を活性化することができ、フォトダイオード254a~254dをリセットすることができ、そこに蓄積された電荷をダンプすることができ、そこに蓄積された電荷をダンプすることができる。フォトダイオード254a~254dがリセットされると、各フォトダイオード254a~254dは、集積を開始し、レンズ126から光を集光し始める。選択トリガー転送ゲート258a~258d及び転送ゲート262a~262dを活性化することによって、フォトダイオード254a~254dの各々からの電荷を逐次転送することができる。次いで、各フォトダイオード254a~254dからの電荷を、対応する蓄積ノード302a~302dへと転送することができる。次いで、行選択162の活性化時に読み出すことができる。これらの実施形態では、ピクセルアーキテクチャ134内のピクセルセル138の各々は、包括的な集積時間を有するように構成され得る。しかしながら、各ピクセルセル138内の各ピクセル136は逐次集積され得、電荷は、同時にではなく逐次、蓄積ノード302a~302dに転送され得る。この実装形態は、選択ピクセルセル内の各フォトダイオードの集積時間は全く同一ではないので、本来のグローバルシャッター実装形態ではあり得ないが、ピクセルセル138内の4つのピクセルの、蓄積ノードに電荷を逐次転送するための時間差は非常に小さくなり得、得られた画像は、実効的なグローバルシャッター画像となり得る。

30

40

【0090】

例えば、従来のローリングシャッター実装形態では、各フォトダイオードからの電荷は、ピクセルアーキテクチャ全体について行毎に読み出される。したがって、第1のピクセルからの電荷を蓄積ノードに転送する時間と最終ピクセル行からの電荷を転送する時間との間には、かなりの時間差がある。図16A及び図16Bの実装形態では、各ピクセルセル138を同時に活性化することができるが、ピクセルセル内の各ピクセルの電荷は、蓄積ノードに逐次転送することができる。換言すると、各ピクセル136の電荷を逐次転送

50

することができるが、ピクセルセル 138 の各々は、包括的（グローバル）に活性化され得る。したがって、ピクセルセル中の第 1 のピクセルを蓄積ノードに転送する時点とピクセルセル中の最終ピクセルを蓄積ノードに転送する時点との単なる差は、（ピクセルアーキテクチャの各行ではなく）3 ピクセルとなり得、この時間差が極小となり得る。時間差は、大幅に低減され、実効的なグローバルシャッターを生成し得る。

【0091】

図 16 B を参照すると、例示的なタイミング図では、まず、アンチグロウミング/リセットゲート 279 を活性化することができ、次いで、フォトダイオード 254 a ~ 254 d についての集積中に、アンチグロウミング/リセットゲート 279 をオフに切り替えることができる。約 10 ミリ秒又はユーザが所望する実質的に任意の他の時間期間にわたって継続し得る集積が終わると、選択ピクセル 136 の行のトリガー転送ゲート 258 a ~ 258 d が活性化され得、選択ピクセル 136 の転送ゲート 262 a ~ 262 d もまた活性化され得る。フォトダイオード 254 a ~ 254 d からの電荷が蓄積ノード 302 a ~ 302 d へと転送されると、次のピクセルが活性化され得、その電荷を蓄積ノードへと転送するためにその対応する転送ゲートが活性化され得る。図 16 B を参照すると、第 1 のピクセル及び第 2 のピクセルは、ほぼ同じ長さの集積を有し得るが、集積時間は互いから偏移され得る。換言すると、第 1 のピクセルは、第 2 のピクセルよりもわずかに前に集積を開始することができるが、第 2 のピクセルが集積を終了するよりもわずかに前に集積を終了することができる。この例では、ピクセルは、同じ総集積時間を有することができるが、時間的に偏移され得る。しかしながら、この時間シフトは非常に小さく、例えば、5 ~ 10 μ 秒とすることができ、したがって、捕獲画像におけるモーションアーチファクトに大きい影響を有し得る。

【0092】

蓄積ノード 302 a ~ 302 d に蓄積されると、各ピクセルからの電荷を行毎に読み出すことができる。ただし、蓄積ノード 302 a ~ 302 d においては、レンズからの更なる光から電荷を保護することができ、したがって、行毎に読み出しを完了することができるが、捕獲された光は、集積中に捕獲された光を表し得る。

【0093】

図 12 ~ 図 16 に関して上述した共有アーキテクチャを使用すると、ピクセルセル 238 内のピクセル 236 a、236 b、236 c 及び 236 d をサミングすることができ、あるいは、ピクセルの各々が異なるカラーフィルタを有し得る実施形態では、（例えば、処理構成要素に達する前に）ピクセル中で色を混合することができる。更に、フォトダイオード 254 a ~ 254 d の各々から集光された光は、生成された信号を最大化するために、同一の転送ゲートドレインにおいて 1 つにサミングされ得る。例えば、光レベルが低いことがある事例では、各フォトダイオード 254 a ~ 254 d における光信号は、信号を増大させ、（より低い解像度であっても）感度を高めるためにサミングされ得る。

【0094】

電荷の再平衡化

いくつかの実施形態において、フォトダイオードチップ 170 は、画像センサ 130 の感度を高めるための 1 つ以上の混合ゲートを更に含むことができる。図 17 A は、2 ピクセル混合構成を含む画像センサの単純化された概略である。図 17 B は、4 又はクアドラピクセル混合構成を含む画像センサの単純化された概略である。図 17 A 及び図 17 B を参照すると、画像センサ 130 は、2 つ以上のピクセル 326 a ~ 326 d と通信し得る 1 つ以上の混合ゲート 306 a、306 b 及び 306 c を含むことができる。いくつかの実施形態において、混合ゲート 306 a、306 b 及び 306 c は、2 つ以上のフォトダイオード 254 a ~ 254 d を 1 つに結合することができる。混合されたフォトダイオード 254 a ~ 254 d は、同一のカラーフィルタを有する（例えば、共に緑色フィルタを有する）ことも、又はカラーフィルタを有さないことも、あるいは、異なるカラーフィルタを有することもある。異なるカラーフィルタを有する例では、フォトダイオードが混合された時にカラー機能が失われることがあるが、感度を（以下に記載するように）増大さ

10

20

30

40

50

せることができる。

【0095】

混合ゲートは、図9A～図10に示した垂直転送ゲートを含む実施形態における画像センサに実装してもよく、あるいは、水平転送ゲート又は指向性転送ゲートを含む画像センサの実施形態に実装してもよいことに留意されたい。

【0096】

混合ゲート306a、306b及び306cは、フォトダイオードのうちの2つ以上の信号を様々なピクセルの間で再平衡化させることを可能にするために、フォトダイオード254a～254dを選択的に接続する。次いで、フォトダイオード254a～254dの各々の電荷を、トリガー転送ゲート258a～258dを選択的に活性化すること

10

【0097】

例えば、図17Bを参照すると、動作中、フォトダイオード254a～254dは、活性化され得、レンズ126から光を集光し始める。フォトダイオード254a～254dは、ローリングシャッター動作の場合にはグループ又は行において活性化することができ、あるいは、グローバルシャッター動作の場合には同時に（又は実質的に同時に）活性化することができる。図17Bの共有アーキテクチャの場合、4つのピクセル236a～236dは各々、単一の読み出し領域、即ち、単一のリセットゲート152、浮遊拡散163、SF160及び行選択162を共有することができる。活性化されると、フォトダイオード254a～254dの各々は、集積を開始することができ、即ち、フォトダイオード254a～254dをリセットし、次いで、レンズ126を通して伝達された光を集光し始める。

20

【0098】

引き続き図17Bを参照すると、露光中、第1のピクセル236aの第1のトリガーゲート258aを活性化することができ、第1のフォトダイオード254aに蓄積された電荷を浮遊拡散ノード163へとダンピングすることができ、フォトダイオード254aをリセットすることができる。第1のピクセル236aがリセットされると、混合ゲート306a～306cのうちの1つ以上を活性化することができる。活性化された混合ゲートの数に応じて、フォトダイオード254b、254c及び254d中の電荷を第1のフォトダイオード254aへと互いに再平衡化することができる。例えば、いくつかの実施形態では、集積中にピクセルのうちの2つがリセットされ得、リセットされていない他の2つのピクセルと混合され得る。いくつかの実施形態では、フォトダイオードの各々は、選択ピクセルのリセットの前に、混合ゲート306a～306cにより1つに混合され得る。これらの実施形態では、フォトダイオード254a～254d間の電荷再平衡化は、4つのピクセルの各々にわたって実質的に均一であり得る。いくつかの実施形態では、選択ピクセルのリセット後、2回目のピクセルの再平衡化を行ってもよい。いくつかの実施形態では、電荷のダンピング又はリセットの前に2つ以上のピクセル間で電荷が再平衡化される場合、電荷のダンピング後に2回目のピクセルの再平衡化が行われ得ることに留意されたい。

30

40

【0099】

各フォトダイオード254a～254dは、任意の回数リセットすることができる。例えば、第1のピクセル236aは、集積期間又は露光期間中に2回以上リセットされ得る。リセットするために選ばれたフォトダイオード254a～254dは、フォトダイオード254a～254dの各々の感度又は飽和限界に基づき得る。例えば、特定のカラーフィルタは、（例えば、シーンが他の波長よりも多くの緑の光を有する場合）フォトダイオードのうちの1つ以上を他のフォトダイオードよりも速く飽和させることがある。集積中に1つ以上のピクセルをリセットし、ピクセル群の電荷を平衡化することによって、フォトダイオードの飽和時間を延長することができる。換言すると、ピクセルは、電荷の一部がピクセルのうちの1つ以上からダンピングされるので、飽和度に達するのにより長い時

50

間を必要とすることがある。これにより、画像センサの露光時間又は集積時間を長くすることが可能なり得、したがって、特に異なる照明環境における画像センサの感度を変動させることができる。例えば、特定の光色が優勢である場合、そのフォトダイオードは、他のダイオードよりも速く飽和し得、捕獲画像の変色を生じ得る。飽和しているピクセルをリセットし、電荷を再平衡化することによって、捕獲画像を向上させることができる。

【0100】

いくつかの実施形態では、画像センサの感度の変化は、露光中の選択時間期間に重み付けされ得る。例えば、1つ以上のピクセルの電荷が露光時間の始めにリセットされる場合、露光時間の初めの感度は、露光時間の終わりと比較して低減され得る。この例では、最終捕獲画像は、集積時間の終わりに向かって重み付けされた光値を有することができ、それにより、初期位置が最終バージョンよりもかすかな線で示されたオブジェクトトラッキングを示すなどの画像効果を生じることができる。これは、ユーザが、捕獲画像について、特にモーションに関して望ましいアーチファクトを決定することを可能にするために使用され得る。一例として、ユーザは、動いているオブジェクトの終わりの位置を、始めの位置よりも明瞭に捕獲したいと望むことがある。この例では、電荷は、動いているオブジェクトの終了位置に向かって最終捕獲画像を重み付けするために、集積の初めにダンプされ得る。

10

【0101】

図17A及び図17Bを参照すると、いくつかの実施形態では、ピクセル236a~236dの各々を選択的に読み出しても、あるいは、ピクセルを（更に電荷を組み合わせ）一緒に読み出してもよい。例えば、1つの実装形態では、各ピクセルのトリガーゲート258a~258dが選択的に活性化され得、活性化後、選択されたピクセルのフォトダイオード254a~254dは、蓄積された電荷を浮遊拡散ノード163に転送し得る。代替的には、トリガーゲート258a~258d（又はそれらの組合せ）の各々が活性化され得、それらのピクセルからの電荷が、浮遊拡散ノード163にそれぞれ提供され得る。

20

【0102】

図17A及び図17Bを参照すると、混合ゲート306a、306b及び306cは、調整可能な開口又はレンズ126の開口サイズを必要とせず、画像センサ130の感度を調整することを可能にする。例えば、いくつかのカメラは、レンズ126の開口のサイズを調整する特徴部を含むことができ、その特徴部により、画像センサに達し得る光量を制御することができる。ただし、画像センサを搭載した（スマートフォンなどのような）多くのモバイル機器において、カメラは、調整可能な開口を含まないことがある。混合ゲートを使用することによって、画像センサは、（アイリス絞り、又は選択的に開口を覆う他の調整可能な特徴部など）追加の構成要素なしに感度をなお調整することができる。更に、これらの実施形態では、画像センサ130は、動的に、ユーザによって、又は（プロセッサ142のような）1つ以上の画像処理構成要素によって自動的に調整可能であり得る。これにより、画像センサ130は、1つ以上の特徴部をユーザが変更する必要なく、捕獲される画像の感度を向上させることが可能になり得る。

30

【0103】

図12A~図17Bに関して上述した共有アーキテクチャは、分割ピクセルアレイ（例えば、フォトダイオードチップ及びトランジスタアレイチップ）を使用して実装され得るが、必ずしも分割チップを用いて実装しなければならないとは限らないことに留意されたい。多くの事例では、垂直転送ゲートを含む分割チップを使用すると、フォトダイオードチップの上方にトランジスタアレイを配置することが可能になり得、それにより、追加の共有トランジスタ又は他の構成要素用にフォトダイオードチップ上に追加のスペースを作ることができる。したがって、従来のピクセルでは、追加の共有構成要素（例えば、混合トランジスタなど）を収容するためにフォトダイオードチップ上のフォトダイオード空間を低減するためには、解像度の大幅な低減又は画像センサのサイズの増大が必要になり得る。ただし、サイズ又は解像度が問題となるほどではない場合には、本明細書に例示され

40

50

、論じられる共有アーキテクチャは、水平チップ配向で、即ち、垂直転送ゲートではなく1つ以上の水平転送ゲートを用いて実装され得る。

【0104】

画像センサチップの製造プロセス

いくつかの実施形態では、画像センサ130は、トランジスタアレイチップ172の上に垂直方向に積層され得る論理チップを含み得る。ピクセルアレイ（トランジスタアレイ及びフォトダイオードチップ）上に論理チップを水平方向ではなく垂直方向に配置することができるので、これらの実施形態は、画像センサ130の水平方向サイズの低減を可能にすることができる。これらの実施形態により、1つ以上のメモリチップのような追加のチップを積層型画像センサ構造に加えることが更に可能になり得る。図18は、3チップ積層アレイを含む画像センサ130を示す単純化された図である。図18を参照すると、トランジスタアレイチップ172の上に論理チップ173を積層することができ、それにより、論理チップ173とフォトダイオードチップ170との間にトランジスタアレイチップ172を挟むことができる。トランジスタアレイチップ172は、論理チップ173とフォトダイオードチップ170との間の通信を可能にすることができる。

10

【0105】

論理チップ173又は論理ボードは、画像センサ130のためのプロセッサ又は制御構成要素のうちの一つ以上を含むことができる。例えば、図4及び図18を参照すると、論理チップ173は、行選択144、列選択140、画像プロセッサ142、並びに/又はピクセルアレイを制御し、及び/若しくはそこからデータを受け取ることができる他の構成要素（例えば、転送ゲート及びリセットゲートのための行ドライバ、アナログ/デジタルコンバータ、入出力構成要素など）を含むことができる。論理チップ173とトランジスタアレイチップ172とフォトダイオードチップ170とはそれぞれ、1つ以上の通信経路（限定はしないが、垂直転送ゲート、シリコン貫通電極（TSV）又はボンドパッドなど）を介して互いに通信する。多くの実施形態では、画像センサ130は、1つ以上の垂直転送ゲート及び1つ以上のTSVのような複数の接続経路を含み得る。

20

【0106】

再び図18を参照すると、画像センサ130は、裏面照射（BSI：back-side illumination）構造を含むことができる。例えば、論理ボード173及びトランジスタアレイ172は、フォトダイオードチップ170の前面に装着され得、フォトダイオード154は、フォトダイオードチップ170の裏面に配置され得る。この構造により、トランジスタ層172及び論理チップ173内の配線及び他の構成要素による光の遮断を防止することができ、従来の画像センサと比較してより多くの光が各フォトダイオードに入射することが可能になり得る。以下でより詳細に論じるように、いくつかの実施形態では、フォトダイオードチップ170とトランジスタアレイチップ172とは1つに接合され得、接続されたチップは次いで、論理チップ173に接合され得る。他の実施形態では、トランジスタアレイチップ172と論理チップ173とは1つに接合され得、次いで、画像センサを作成するために、フォトダイオードチップ170がトランジスタアレイチップ172に接合され得る。これらの2つの実施形態について、以下により詳細に論じる。

30

【0107】

次に、画像センサ130を作成するための第1の製造プロセスについてより詳細に論じる。図19A～図19Dは、製造の様々な段階における画像センサを示す。図20は、製造プロセスの一実施形態のフローチャートである。図19A及び図20を参照すると、方法400は動作402から開始することができる。トランジスタアレイチップ172をフォトダイオードチップ170に結合することができる。図19Aを参照すると、2つのチップ170と172との間に金属/誘電体層350を配置することができる。金属/誘電体層350の金属部分は、トランジスタアレイチップ172を、フォトダイオードチップ172の表面から延びた垂直転送ゲート158と接続することができる（図12B参照）。フォトダイオードチップ又はトランジスタアレイチップの上に誘電体/金属層を配置してもよく、あるいは、接合の前に両チップの上に当該層の一部分を配置してもよい。

40

50

【0108】

いくつかの実施形態では、フォトダイオードチップ170とトランジスタアレイチップ172とは、ウェハ接合プロセスにより接合され得る。ただし、他の実施形態では、フォトダイオードチップ170とトランジスタアレイチップ170とは、限定はしないが、直接接合、プラズマ活性化接合、共晶接合及び/又はハイブリッド接合のような複数の様式で1つに接合され得る。

【0109】

フォトダイオードチップとトランジスタアレイチップとがウェハ接合プロセスにより接合される実施形態では、2つの接合表面(例えば、1つに接続されるトランジスタアレイ及びフォトダイオードチップの表面)は平滑化され得る。例えば、表面を平滑化するために、化学物質の力と機械の力とを組み合わせる使用化学機械研磨(CMP: chemical mechanical polishing or planarization)プロセスが使用され得る。

10

【0110】

いくつかの実施形態では、垂直転送ゲート内の1つ以上の層など、フォトダイオードチップ170上の1つ以上の金属層は、中間層350の酸化物又は誘電体部分を介して露光され得る。例えば、図19Aを参照すると、中間層350は、金属トレース又は導電性トレース364と離間した誘電トレース366を含むことができる。金属トレース364は、上記で論じたように転送ゲート158の一部を形成することができる。次いで、フォトダイオードチップ170から延びた転送ゲート158がトランジスタアレイ170上の対応する位置と整列するように、フォトダイオードチップ170とトランジスタアレイチップ172とを整列させることができる。整列後、上述したように2つのチップを接合することができる。

20

【0111】

図19Aを引き続き参照すると、トランジスタアレイチップ172とフォトダイオードチップ170とが1つに最初に接続された時には、トランジスタアレイチップ172は厚さT1を有することができ、フォトダイオードチップ170は厚さT2を有することができる。2つの厚さT1及びT2は、各チップの最終厚さよりも厚く、例えば、4ミクロン以上となり得る。

【0112】

再び図20を参照すると、2つのチップ170及び172を1つに結合又は接続した後、方法400は動作404に進むことができる。動作404において、厚さを低減するために、トランジスタアレイチップ172を薄くすることができる。例えば、基板又はウェハの層を除去するために、トランジスタアレイチップ172をエッチング又は研削することができる。1つの例では、基板とEPIの間に大きなドーピングコントラストを有するEPIウェハ、あるいはシリコン又は埋め込み酸化物のコントラストを有するシリコンオンインシュレータ(SOI)ウェハのような選択エッチングプロセスを使用して、エッチング量を、したがってチップの最終厚さを制御することができる。他の実施形態では、ウェハの研削、研磨及び/又は選択エッチングによりチップを薄くすることができる。図19Bを参照すると、動作404の後、トランジスタアレイチップ172は厚さT3を有し得る。厚さT3は、第1の厚さT1よりも薄くなり得る。例えば、第1の厚さは500ミクロンよりも厚くなり得るが、薄くした後のシリコン厚T3は約3ミクロンになり得る。いくつかの実施形態では、トランジスタアレイチップ172の最終シリコン厚は、約1~5ミクロンになり得る。

30

40

【0113】

再び図20を参照すると、動作404の後、方法400は動作406に進むことができる。動作406において、1つ以上のチップ間接続を画定する、あるいは作成することができる。例えば、トランジスタアレイチップ172の製造中にTSV354が画定されていることがあり、例えば、チップ172を通る通路を画定することができ、動作406中に、その通路を導電材料で充填することができる。これらの例では、トランジスタアレイチップ172を、論理チップ173に接続する前に薄くすることができるので、TSV

50

354のようなチップ間接続はより小さくなり得る。これは、一般に、(トランジスタアレイのような)シリコン基板の厚さが増大するにつれて、シリコンの厚さを貫通するTSVがテーパ状であることに起因して、任意のTSVの直径が接続を確保するために増大し得るからである。更に、加工、エッチングなどのような製造技術に起因して、シリコンが厚くなればなるほど、TSVの直径を小さくすることはより困難になることがある。方法400を用いると、トランジスタアレイ基板の原厚は比較的厚くなり得るが、画像センサ130のTSVの直径を小さくすることができる。

【0114】

別の例として、トランジスタアレイチップ172の上面に1つ以上のボンドパッドを形成することができる。いくつかの実施形態では、垂直方向ゲート構造158がフォトダイオードチップ170とトランジスタアレイチップ172とのチップ間接続を形成することができるので、一般に、トランジスタアレイチップ170中にチップ間接続が画定され得る。ただし、他の実施形態では、フォトダイオードチップ170は、1つ以上のTSVなどを含み得る。これらの例では、トランジスタアレイチップ及びフォトダイオードチップ中にTSVを作成し、次いで、TSVを整列させて、連続したTSVを作成することができる。

10

【0115】

動作406の後、方法400は動作408に進むことができる。動作408において、論理チップ173をトランジスタアレイチップ172に接合あるいは接続することができる。トランジスタアレイチップ172と論理チップ173とは、限定はしないが、直接接合、プラズマ活性化接合、接着接合、熱圧着接合、反応接合、ガラスフリット接合、共晶接合及び/又は陽極接合のようなシリコンウェハ接合プロセスにより1つに接合され得る。図19Cを参照すると、論理チップ173とフォトダイオードチップ170との間にトランジスタアレイチップ172を挟むことができる。論理チップ173は、画像センサ130のスタックの上端部を形成し、フォトダイオードチップ170は下端部を形成する。3つのチップ170、172及び173は互いに通信することができ、電子装置110の他の構成要素(プロセッサ114など)又はカメラと通信するための1つ以上の通信機構を含むことができる。

20

【0116】

再び図20を参照すると、論理チップ173をトランジスタアレイチップ172に結合した後、方法400は動作410に進むことができる。動作410において、フォトダイオードチップ170を薄くすることができる。動作404と同様に、動作410において、フォトダイオードチップ170をエッチングすること、あるいは、厚さを低減することができる。例えば、図19Dを参照すると、動作410の後、フォトダイオードチップ170は厚さT4を有し得る。厚さT4は、厚さT2よりも薄くなり得る。いくつかの実施形態では、シリコン厚さT4は3ミクロン未満になり得るが、厚さT2は500ミクロンよりも厚くなり得る。いくつかの実施形態では、フォトダイオードチップ170の最終厚さは、約1~5ミクロンになり得る。ただし、所望に応じて、動作のうちのいずれかにおいてフォトダイオードチップ170の厳密な厚さを変動させてもよい。

30

【0117】

より優れた光捕獲特性を実現するために、フォトダイオードチップ170を薄くすることができる。例えば、フォトダイオード154は、フォトダイオードチップを形成するシリコン内において2~3ミクロンの深さを有し得る。フォトダイオードチップシリコンが厚すぎる(フォトダイオードの厚さよりもはるかに厚い)場合は、光は、フォトダイオードに達する前にシリコンに吸収され得る。この吸収は、ピクセルの量子効率を減少させることがあり、隣接するピクセル間のクロストークを増大させることがある。ただし、フォトダイオードチップを形成するシリコンが薄すぎる場合、光は、フォトダイオードを通過する場合があり、同様に量子効率を減少させ得る。したがって、多くの場合、フォトダイオードチップは、フォトダイオードの厚さに比較的近い厚さを有し得るが、量子効率を低減させるほど薄くない。

40

50

【0118】

いくつかの実施形態では、動作401においてフォトダイオードチップ170を薄くする前に、動作408において、論理チップ173をトランジスタアレイ172に接合する。これにより、(フォトダイオードチップの望ましい厚さよりも厚くなり得る)論理チップ173が、画像センサのためのキャリアウェハとして機能することが可能になる。即ち、より厚い基板(この例では論理チップ173)に取り付けた時、フォトダイオードチップ170をより簡単に薄くすることができる。これは、チップが薄くなるので、より脆弱に、かつ、より破損しやすくなり得るからである。しかし、チップをより厚いキャリアに取り付けた場合、キャリアは、チップを支持し、取り扱いをより簡単にすることが可能である。論理チップをキャリアチップとして利用することによって、トランジスタアレイチップを論理チップ173に接続する前にフォトダイオードチップ170を薄くし得る場合よりも、フォトダイオードチップ170及びトランジスタアレイチップ172を更に薄くすることができる。

10

【0119】

再び図20を参照すると、動作410の後、方法400は動作412に進むことができる。動作412において、ベイヤーフィルタのようなカラーフィルタアレイ又はカラーフィルタモザイクをフォトダイオードチップ170に加えることができる。図19Dを参照すると、カラーフィルタアレイ(CFA)360は、フォトダイオードチップ170の裏面に配置することができ、フォトダイオードチップ170内のフォトダイオード154と光源との間に配置することができる(例えば、CFA360は、フォトダイオードとレンズ126との間に配置され得る)。CFA360は、カラーフィルタのカラースキーム又は色配置を含むことができるが、一般的には、各ピクセルに達する光をフィルタリングするように構成され得る。詳細には、CFA360は、特定のフォトダイオード154又はフォトダイオード群に達する光波長を決定することができる。CFA360は、所望に応じて変えることができ、例えば、青/緑/赤フィルタを使用しても、あるいは、シアン、マゼンタなどを使用してもよいことに留意されたい。更に、画像センサ130について望ましいアプリケーションに応じて、CFA360を省略しても、あるいは、フォトダイオードチップ170の一部上にものみ配置してもよい。

20

【0120】

動作412の後、方法400は動作414に進むことができる。動作414において、論理チップ173を薄くすることができる。いくつかの実施形態では、トランジスタアレイ172及び/又はフォトダイオードチップ170を薄くするために使用されるプロセスと同様のプロセスで、論理チップ173を薄くすることができる。ただし、他の例では、様々な様式で論理チップを薄くする、又は厚さを低減することができる。例えば、電子装置100の厚さ及びサイズを低減するのに役立ち得る非常に薄い画像センサ130を作成することが望まれることがある。動作414の後、方法400は、終了状態416に進み、終結することができる。

30

【0121】

いくつかの実施形態では、画像センサ130は、論理チップの上に積層された1つ以上の構成要素を更に含み得る。例えば、ダイナミックランダムアクセスメモリ(DRAM)のような1つ以上のメモリチップが論理チップ173上に積層され得る。これらの実施形態では、論理チップを薄くすることができ、次いで、そこに追加のチップを接合することができる。

40

【0122】

別の例では、トランジスタアレイチップと論理チップとを1つに接合し、次いで、トランジスタアレイチップにフォトダイオードチップを接合することができるプロセスを使用して、画像センサ130が製造され得る。図21A~図21Eは、第2の製造実施形態の異なる段階における画像センサを示す。図22は、第2の製造実施形態の方法を示すフローチャートである。図21A及び図22を参照すると、方法500は動作502から開始することができ、論理チップ173をトランジスタアレイチップ172に接合あるいは接

50

続することができる。図20に関して上述したように、様々な様式で2つのチップを接合することができる。ただし、いくつかの実施形態では、論理チップ173とトランジスタアレイチップ172とは、ウェハ接合プロセスにより1つに接合され得る。ウェハ接合プロセスが使用される時、又は他の接合プロセスにより必要とされる場合、論理チップ及びトランジスタアレイチップの表面は、CMPプロセス又は他の表面平滑化プロセスによって平滑化され得る。

【0123】

図21Aを参照すると、初めにトランジスタアレイ172を論理チップ173に接合するとき、トランジスタアレイチップ172は厚さT5を有し得る。いくつかの実施形態では、厚さT5は、最終的に構築される画像センサの厚さよりも厚くなり得る。しかしながら、厚さT5が増大したことにより、加工中、トランジスタアレイチップ172の取り扱いをより簡単にすることが可能になる。

10

【0124】

論理チップ173とトランジスタアレイチップ172とを接続すると、方法500は動作504に進むことができる。動作504において、トランジスタアレイチップ172を薄くする、又は研削することができる。例えば、トランジスタアレイチップ172は、望ましい厚さに達するまで、余分な基板材料を除去するためにエッチングされ得る。図21Bを参照すると、動作504の後、トランジスタアレイチップ172は厚さを厚さT6まで低減することができる。厚さT6は、トランジスタアレイチップ172の原厚T5未満となり得る。

20

【0125】

再び図22を参照すると、動作504の後、方法500は動作506に進むことができる。動作506中、論理チップ173とトランジスタアレイチップ172との間にチップ間接続を作成することができる。例えば図21Bを参照すると、トランジスタアレイ172のシリコン基板を貫通して1つ以上のTSV354を画定することができ、1つ以上のTSV354は、(論理チップ173上であらかじめ画定され得る)1つ以上のボンドパッド352中で終端する。TSV354は、トランジスタアレイチップ172を作成する際に選択エッチングにより画定され得、動作506において、TSV354を導電材料で充填することができる。代替的には、1つ以上のエッチングプロセス又は他のプロセスを使用してTSV354を画定することができ、次いで、動作506中に、TSV354を充填することができる。いくつかの実施形態では、1つ以上の金属層が、論理チップ173とトランジスタアレイチップ172とのチップ間接続として使用され得る。金属層又は接続は、TSV354の代わりに、又はそれに加えて使用され得る。

30

【0126】

上述したように、基板又はチップを薄くした後にTSV354のようなチップ間接続を画定することにより、TSV354の直径を低減することが可能になる。これにより、トランジスタアレイチップ172上でTSV354が占めるプロパティ又はスペースを小さくすることが可能になり、それにより、トランジスタアレイチップ172を小型化すること、及び/又はトランジスタアレイチップ172が画像センサ130のためにより多くの制御回路若しくはゲートを含むことが可能になり得る。

40

【0127】

動作506の後、方法500は動作508に進むことができる。動作508において、トランジスタアレイチップ172上に中間層350を配置することができる。例えば、トランジスタアレイチップ172は、1つ以上の誘電体部分及び/又は金属接続部分を含み得る。誘電体部分は、固有の接続経路を画定するために、金属接続の各々の間で離間され得る。

【0128】

中間層又は接続層350を適用すると、方法500は動作510に進むことができる。動作510において、トランジスタアレイチップ172とフォトダイオードチップ170とを1つに接合することができる。図20の方法400の場合と同様に、複数の様式で2

50

つのチップを1つに接合することができるが、一実施形態では、ウェハ接合プロセスを用いてチップを結合することができる。接合の前に、トランジスタアレイ172上の中間層350中に画定された金属トレース又は導電性トレースと垂直転送ゲート158を整列させることができるように、フォトダイオードチップ170とトランジスタアレイチップ172とを整列させることができる。これにより、転送ゲート158が、トランジスタアレイチップ172上の制御回路と通信することが可能になる。更に、接合の前に、チップの表面の一方又は両方を平滑化してもよい。

【0129】

図21Cを参照すると、フォトダイオードチップ170は、トランジスタアレイチップ172に接続されるときには、厚さT7を有し得る。厚さT7は、フォトダイオードチップの得られた厚さよりも厚くなり得るが、製造プロセス中の取り扱いをより簡単にする

10

【0130】

動作510の後、方法500は動作512に進むことができる。動作512において、フォトダイオードチップ170を薄くすることができる。図21Dを参照すると、動作512の後、フォトダイオードチップ170は厚さT7を有し得る。新たなシリコン厚さT7は、フォトダイオードにより光を吸収することが可能になる薄さ(例えば、1~5マイクロンに)であり得る。簡潔に上述したように、フォトダイオードチップのシリコンが厚すぎる場合は、チップに入射した光は、フォトダイオードチップに達する前にシリコンにより吸収される。研削、CMP及び/又はエッチングのような複数の様式で、フォトダイオードチップ170を薄くすることができる。これらの実施形態では、トランジスタアレイチップ及び論理チップアセンブリは、フォトダイオードチップのキャリアウェハとして作用することができる。即ち、論理チップ及びトランジスタアレイチップは、厚さを低減することを可能にするために薄い材料のための支持基板を形成することができるので、フォトダイオードチップを薄くすることができる。

20

【0131】

いくつかの実施形態では、フォトダイオードチップ170を薄くした後、1つ以上のチップ間接続が画定され得る。例えば、1つ以上のTSVが、フォトダイオードチップを貫通して画定され得、論理チップ及び/又はトランジスタアレイと通信し得る。いくつかの実施形態では、フォトダイオードチップ170の端縁又は外周にこれらの追加のチップ間接続を画定することができ、スペースの中心及び/又は大部分をフォトダイオード及び集光のために残しておくのに役立ち得る。一実施形態では、フォトダイオード170及び/又はトランジスタアレイチップ172は、ウェハ又はシリコン基板の端縁から突出し得る金属タブ又は導電性タブを含み得る。これらのチップを論理チップに通信可能に結合するために、1つ以上のTSVが論理チップから金属タブまで延びることができる。

30

【0132】

ただし、多くの実施形態では、転送ゲート158が、フォトダイオードチップ170から他のチップへの接続を形成することができ、TSVは、このチップから省かれ得る。これにより、集光のためにフォトダイオードチップ170の下面全体を使用することが実質的に可能になり得、潜在的に光を遮断する要素(例えば、金属相互接続)を、フォトダイオードチップの光吸収経路から省くことができる。

40

【0133】

再び図22を参照すると、動作512の後、方法500は動作514に進むことができる。動作514において、フォトダイオードチップ170の光吸収面に1つ以上のCFAを加えることができる。例えば、21Dを参照すると、フォトダイオードチップ170の光吸収面に1つ以上の波長フィルタ(例えば、青、緑、赤)を有するCFA360を加えることができる。CFA360は、フォトダイオードチップ170内に画定されたフォトダイオード154の各々に所定の波長を有する光が達することを選択的に可能にすることができる。このステップ中に、追加の裏面照明プロセスを同様に実行してもよい。これらは、裏面反射防止コーティング塗布、不動態化、金属遮光適用、マイクロレンズ、ポ

50

ンドパッド開口などを含み得る。

【0134】

動作514の後、方法500は動作516に進むことができる。動作516において、ボンダパッド352のうちの一つ以上を開口することができる。例えば、ボンダパッド352を開口するために、フォトリソグラフィプロセス及び/又はエッチングプロセスが使用され得る。動作514の後、方法500は、終了状態518に進み、終結することができる。

【0135】

垂直転送ゲートを使用しない他の事例では、図20及び図22に示した方法400及び方法500を使用し得ることに留意されたい。例えば、画像センサ130は、一つ以上のTSV及び/又は他のチップ間接続要素を用いて構築され得る。これらの例では、フォトダイオードチップ上に一つ以上の転送ゲートが画定され得るが、トランジスタアレイの制御回路とは通信しない。

10

【0136】

更に、方法400及び方法500は、3チップ積層に関して論じてきたが、追加のチップを加えてもよい。例えば、方法400において、論理チップを薄くした後、そこに別のウェハを接合し、それを薄くし、その上に第5のウェハを積層してもよい。図23A及び図23Bは、図20及び図22に示した方法400及び方法500を使用する4チップ積層の2つの例を示す。図23A及び図23Bに示すように、論理チップ173の上にメモリチップ374を加えることができる。

20

【0137】

図23Aに示した実施形態のようないくつかの実施形態では、TSV354は、一つ以上の金属接続376又はメモリチップ374の他の構成要素と接続するために、メモリチップ374からフォトダイオードチップ170まで延び得る。この実施形態では、別のTSV354が、トランジスタアレイチップ172からフォトダイオードチップ170まで延び得る。論理チップ173とメモリチップ374とは、一つ以上の金属層又は接続376を介して互いに通信する。

【0138】

図23Aに示した実施形態では、メモリチップ374と論理チップ173とを、各チップの正面が他方とインターフェースするように積層することができる。同様に、トランジスタアレイチップ172とフォトダイオードチップ170とを、それらの正面が互いにインターフェースするように積層することができる。この例では、トランジスタアレイチップ172及び論理チップ173の2つの裏面が互いにインターフェースすることができる。したがって、図23Aに示した実施形態では、各チップは、隣接するチップの対応する表面（正面又は裏面）とインターフェースすることができる。

30

【0139】

図23Bに示した実施形態のような他の実施形態では、一つ以上のTSV354が、チップの各々と通信するためにフォトダイオードチップ170から延び得る。例えば、フォトダイオードチップ170は、メモリチップ374（若しくは他のチップ）、論理チップ173及びトランジスタアレイチップ172と通信し得る。

40

【0140】

図23Bに示した実施形態では、論理チップ173とメモリチップ374とを正面对正面で積層することができる。トランジスタチップ172とフォトダイオードチップ170ともまた正面对正面で積層することができる。換言すると、メモリチップ374の正面は、トランジスタチップ172の正面とインターフェースし、フォトダイオードチップ170の正面は、トランジスタアレイチップ172とインターフェースする。この例では、論理チップ173の正面がトランジスタアレイチップ172の裏面とインターフェースすることができるように、論理チップ173とトランジスタアレイチップ172とが積層され得る。ただし、多くの他の例が同様に想定される。

【0141】

50

図 2 0 及び図 2 2 の方法 4 0 0 及び方法 5 0 0 により、各チップの性能を向上させるための特別な機能を含めるように、チップ 1 7 0、1 7 2 及び 1 7 3 の各々を別々に最適化することが可能になり得る。更に、チップを薄くした後に T S V のようなチップ間接続が作成され得るので、T S V 又は他の接続は、作成がより簡単になり、直径をより小さくすることができる。

【 0 1 4 2 】

リングゲート及びトリプルウェル

いくつかの実施形態では、画像センサは、2つのゲート間で通信するためのリングゲート構造を含む分割チップ設計（例えば、フォトダイオードチップ及びトランジスタチップ）を含み得る。図 2 4 A は、チップ間接続のために別様にドーブされた接触を含むピクセル回路の単純化された概略図である。図 2 4 B は、別様にドーブされた領域を示す、フォトダイオードチップ及びトランジスタアレイチップの選択部分の概略断面図である。図 2 4 A 及び図 2 4 B を参照すると、画像センサは、ピクセルチップ 1 7 0 とトランジスタアレイチップ 1 7 2 との間に 1 つ以上の接触を含むことができる。一般に、動作中、最小量のノイズで、フォトダイオード内の収集された電荷の全てをトランジスタアレイチップに転送することが望ましい。オーム接触（例えば、高濃度にドーブされた深い電荷ポケット）を使用すると、（例えば、集積と読み出しとの間の）電荷転送及びリセットプロセスにおいてこれらのタイプの接触を完全に空乏させることができない場合があるので、何らかのノイズが導入されることがある。

10

【 0 1 4 3 】

図 2 4 A 及び図 2 4 B のピクセル回路実施形態では、ピクセルチップ 1 7 0 とトランジスタアレイチップ 1 7 2 との間の接続については、ショットキー接触又はわずかにドーブされた接触（lightly doped contact）を使用することができる。詳細には、ピクセル回路 6 3 6 は、浮遊拡散 6 5 3、S F ゲート 6 6 0 及び行選択ゲート 6 6 2 と通信するフォトダイオード 6 5 4 を含むことができる。フォトダイオード 6 5 4 は、トリガートランジスタ 6 5 8 により、浮遊拡散 6 5 3、転送トランジスタ 6 6 2 及び蓄積ノードトランジスタ 6 0 4 と選択的に通信することができる。グローバルシャッター動作が望まれ得る実施形態では、転送トランジスタ 6 6 2 と蓄積ノードトランジスタ 6 0 4 との間に、蓄積ノード 6 0 2 を配置することができる。第 1 のリセット 6 5 6 はトリガートランジスタ 6 5 8 を活性化することができ、第 2 のリセット 6 5 2 が蓄積ノードトランジスタ 6 6 2 を活性化することができる。この実施形態では、フォトダイオードチップ 1 7 0 とトランジスタアレイチップ 1 7 2 との間に、2つのショットキー接触 6 2 0 及び 6 2 2、つまりショットキーダイオードを形成することができる。

20

30

【 0 1 4 4 】

第 1 のショットキー接触 6 2 0 は、トリプルウェル構造を含むことができる。例えば、ショットキー接触は、p 型ドーブチャネル領域 6 4 9 により取り囲まれた n 型ドーブドレイン 6 5 5 を含むことができ、n 型ドーブドレイン 6 5 5 は、p 型ドーブ基板 6 5 1 の上に配置された n 型ドーブフォトダイオードソース 6 5 4 により取り囲まれている。n 型ドーブドレイン 6 5 5 は、 $10^{14} \sim 10^{17} \text{ cm}^{-3}$ のドーピング濃度範囲を有し得る。n 型ドーピング及び p 型ドーピングの様々な層は、トリプルウェルを生成し、n 型ドーブ領域 6 5 5 における接触は、p 型ドーブ領域 6 4 9 及び別の n 型ドーブ領域（フォトダイオード 6 5 4）により取り囲まれ得る。図 2 4 B に示した実施形態では、n 型領域の接触 6 5 5 は、フォトダイオード 6 5 4 の上に「浮遊」する。フォトダイオード 6 5 4 は、リングゲート 6 5 8 のソースを形成し、基板 6 5 1 の上に配置される。フォトダイオード 6 5 4 は、フォトダイオードチップ 1 7 0 の下部の（全てではないとしても）実質的部分を形成することができるので、フォトダイオード 6 5 4 は、従来の画像センサよりも大きいウェルキャパシティを有することができる。

40

【 0 1 4 5 】

図 2 4 C は、図 2 4 B のフォトダイオードチップの上面図である。図 2 4 C に示すように、転送ゲート 6 5 8 は、リングゲート構造で形成され、それにより、リングゲート又は

50

転送ゲート 658 は、接触 655 を取り囲んで配置され得る。換言すると、リングゲート 658 は、n 型ドープドレイン 655 の周囲に円形リングを形成することができる。

【0146】

トランジスタアレイチップ 172 は、第 2 のショットキー接触 622 だけでなく、他の転送ゲート 662 及び 604、浮遊拡散ノード 653、並びに他の読み出し構成要素を含むことができる。また、トランジスタアレイチップ 172 は、トリプルウェル構造も含むことができる。例えば、第 2 のショットキー接触 622 は、p 型基板 661 の上部の n 型ベース 663 に組み込まれた p 型ドープウェル 667 の領域の上に配置された n 型ソース領域を含み得る。同様に、浮遊拡散ノード 653 及び蓄積ノード 602 は、p 型ドープウェル 667 内の n 型ドープ領域として形成され得る。p 型ドープウェル 667 は、n 型ドープ領域の各々を取り囲むことができ、n 型ドープベース 663 は、p 型ドープウェル 667 全体を取り囲むことができる。

10

【0147】

第 1 のショットキー接触 620 及び第 2 のショットキー接触 622 に通信可能に接続するように、フォトダイオードチップ 170 とトランジスタアレイチップ 172 との間に（金属又は他の導体であり得る）チップ間接続 618 が延び得る。例えば、チップ間接続 618 は、フォトダイオードチップ 170 からのドレイン 655 を、トランジスタアレイチップ 172 のソース 665 と通信可能に結合し得る。チップ間接続 618 は、モリブデン、白金、クロム若しくはタングステン、ケイ化パラジウム又はケイ化白金のような金属材料であり得る。金属製のチップ間接続 618 は、ショットキー接触 620 及び 622、あるいはショットキーダイオードの両方と接触している。

20

【0148】

動作時、リングゲート 658 が集積中に非活性化され、フォトダイオード 654 が光を集光することが可能になる。（例えば、集積の終わりに）フォトダイオード 645 から電荷が転送されると、リングゲート 658 が活性化され得、フォトダイオード 654 からのキャリアがウェル 649 を介してリングゲート 658 の中心、ドレイン領域 655 へと水平方向に伝播することを可能にするゲートチャネルが作成される。トリプルウェル構造に起因して、集積の初めには、電荷の喪失により、ドレイン 655 の上のショットキー接触 620 が空乏する。接触 620 が空乏している間、n 型ドープドレイン 655（及びチップ間接続 618）は、p 型ドープウェル 649 に短絡する。しかしながら、ウェル 649 はいかなる外部接続部もなく「浮遊」しているので、短絡状態では、電流が伝導されない。したがって、ショットキー接触 620 からの漏れ電流が低減されるか、又はなくなる。更に、ショットキー接触 620 は、電荷転送の初めに電荷が空になるので、フォトダイオード 654 からチップ間接続 618 を介して最終的に転送された電荷には、実質的にはノイズがなくなり得る。

30

【0149】

フォトダイオード 654 からの電荷がドレイン 655 に達すると、電荷は、チップ間接続 618 を介して、トランジスタアレイチップ 172 に、例えば、転送ゲート 662 の第 1 の側面上の第 2 のショットキー接触 622 に転送される。電荷がトランジスタアレイチップ 172 に転送されると、ショットキー接触 622 から蓄積ノード 602 に、次いで浮遊拡散ノード 653 に電荷を転送するために、転送ゲート 662 及び 604 が活性化され得る。ピクセルの電位は、第 1 のショットキー接触 620 から第 2 のショットキー接触 622 に電荷が流れるように設定され得、したがって、第 2 のショットキー接触 622 は、第 1 のショットキー接触 620 よりも高い電位を有し得る。

40

【0150】

フォトダイオードチップ 170 と同様に、トランジスタアレイチップ 172 のトリプルウェル構造は、第 2 のショットキー接触 622 からの電荷漏れを低減することができる。例えば、フォトダイオードチップ 170 から電荷転送の初めに、第 2 のショットキー接触 622 が空乏していることがあり、それにより、ソースノード 655 へと転送される電荷には、実質的にノイズがないことがある。更に、p 型ドープウェル 667 は n 型ベース 6

50

67の領域の上で「浮遊」しているので、短絡回路は電荷を伝導しなくなり、第2のショットキー接触からの電荷漏れが低減されるか、又はなくなる。フォトダイオードチップ170とトランジスタアレイチップ172の両方におけるトリプルウェル構造を理由に、フォトダイオード654から浮遊拡散への電荷転送は、ショットキー接触620及び622からの漏洩なしに、チップ間のピクセル電荷転送のためのオーム接触を有する画像センサと比較して低減されたノイズレベルで完了され得る。

【0151】

いくつかの実施形態では、浮遊拡散ノード653はオーム接触であり得るが、フォトダイオードチップとトランジスタアレイチップとの間の接触はショットキー接触620及び622であることに留意されたい。更に、図24B及び図24Cに示した実施形態では、ショットキー接触620及び622のドレイン領域及びソース領域はn型ドーブ領域として形成され、領域655及び665は、p型ドーブウェル649によって取り囲まれている。ただし、他の実施形態では、ホールベースのフォトダイオードが使用され得、ショットキー接触620及び622は、n型ウェルによって取り囲まれたp型ドーブ領域で形成され得る。

10

【0152】

電荷転送効率を増大させるためのド-ピング接触

いくつかの実施形態では、オーム接触を使用する実施形態では、電荷転送率を高めるために、ドーピングレベルが変動され得る。図25Aは、チップ間接続のためにシャロードーブ領域を含むピクセル回路の単純化された概略図である。図25Bは、図25Aの回路に対するド-ピングスキームを示す単純化されたブロック図である。図26は、図25A及び図25Bに示すピクセル回路についての電位プロファイル図である。図25A~図26を参照すると、画像センサは、電荷転送率を高めるために、チップ170及び172のシリコン基板内にシャロードーブ領域又は低深度ドーブ領域を含むことができる。

20

【0153】

一実施形態では、トリガー転送ゲート658のソースに第1のシャロードーブ領域670が形成され得、転送ゲート662のドレインに第2のシャロードーブ領域672が形成され得る。これらのシャロードーブ領域670及び672の各々は、隣接するドーブ領域（例えば、蓄積ノード又はフォトダイオード領域）の深さ未満の深さDを有することができる（図25B参照）。シャロードーブ領域670及び672のドーピング濃度は、比較的高くなり得る（例えば、 $10^{16} \text{ cm}^{-3} \sim 10^{18} \text{ cm}^{-3}$ ）。換言すると、シャロードーブ領域670及び672の各々は、高度にドーブされ得るが、厚さ又は深さは薄くなり得る。高度にドーブされるが深さが浅いというこの組み合わせにより、フォトダイオードとトランジスタアレイチップとの間のオーム接触が可能になり得、依然として、実質的に完全な電荷転送を提供する。

30

【0154】

いくつかの実施形態では、シャロードーブ領域670及び672は、表面（例えば、n型シャロードーピング区域）の第1ドーピング型と、ウェルを基板へと形成する第2のド-ピング型（例えば、p型）とを含み得る。ドーブ領域670及び672の空乏層の厚さが制御されるので（領域が反対の型のドーバントによって取り囲まれるので）、シャロードーブ領域670及び672がピングされ得、暗電流及び他のノイズ問題が低減される。換言すると、第2のド-ピング型はピング層を形成し、シリコン層の表面に空乏領域が拡がることを防止することができ、それにより、暗電流の発生を防止することができる。更に、シャロードーブ領域670及び672の深さD、ドーピング濃度及びノード活性領域を変更すると、所望に応じてピング電位を選択することができる。いくつかの実施形態では、ドーブ領域676及び672は、約0.01ミクロン~0.2ミクロンのド-ピング深さと、 10^{18} cm^{-3} の濃度とを有し得る。

40

【0155】

図25A及び図25Bを参照すると、チップ間接続681を介して2つのシャロードーブ領域670及び672を1つに接続することができる。これらの実施形態では、チップ

50

間接続 681 は、ケイ化物 (TiSi₂、CoSi₂、NiSi など) のようなオーム接触であり得る。オーム接触は、他のタイプの接触 (例えば、ショットキー接触) と比較して、低減された電位キャリアを有することができ、それにより、電荷転送を活性化するために低減された電圧を使用することが可能になり得る。

【0156】

いくつかの実施形態では、各ノードのピニング電位は、フォトダイオード 654 から浮遊拡散ノード 653 及びリセット電圧に向かって増大し得る。図 26 は、ピクセル回路にわたるフォトダイオード 654 から浮遊拡散ノード 653 に向かう電位の増大を示す電位図である。換言すると、各ノード (フォトダイオード 654、第 1 のシャロードープ領域 670、第 2 のシャロードープ領域 672、蓄積ノード 602、浮遊拡散ノード 653) のドーピング濃度は、フォトダイオードから浮遊拡散まで増大し得る。詳細には、第 1 のシャロードープ領域 670 は、フォトダイオード 654 よりも高いドーピング濃度を有することができ、第 2 のシャロードープ領域 672 は、第 1 のシャロードープ領域よりも高いドーピング濃度を有することができ、蓄積ノード 602 は、第 2 のシャロードープ領域よりも高いドーピング濃度を有することができ、浮遊拡散ノード 653 は、蓄積ノード 602 よりも高いドーピング濃度を有することができる。このように、電圧空乏レベルは、フォトダイオード 654 から浮遊拡散に向かって増大する。

10

【0157】

電位が増大すると、(グローバルシャッター動作のために) フォトダイオードから蓄積ノードまで電荷が浮遊することが可能になり、次いで、行毎に読み出すために、(n 型のピニングされていない) 負荷拡散ノードまで電荷を転送することが可能になり得る。例えば、フォトダイオード 654 内の電子又は電荷キャリアは、(より高い電位を有する) 増大したド - ピング領域へとより簡単に伝播することができ、したがって、各ノードを完全に空乏させることが可能になり得る。これは、隣接するウェルの電位が増大するにつれて、後続のノードは各々、より多くの電子を受け入れることができ、それにより、次のウェル又はノードが飽和度に達する前に、各ウェルを完全に空乏させることが可能になり得るからである。

20

【0158】

図 25A 及び図 25B に示した画像センサのピクセル回路の実施形態により、フォトダイオードチップ 170 及びトランジスタアレイチップ 172 上のド - ピング型又はトランジスタ型を実質的に同一にすることが可能になり得る。図 24A 及び図 24B に関して上記で論じたように、2 つのチップに関するトランジスタのド - ピング型は変えることができる。ただし、図 25A 及び図 25B に示した実施形態では、各々の基板は、同じド - ピング型 (例えば、n 型又は p 型) でドーピングされ得、トランジスタは同じ型となり得る。例えば、電子ベースのフォトダイオードの場合、フォトダイオードチップ 170 及びトランジスタアレイチップ 172 は、n 型接触を含み得、NMOS トランジスタが使用され得、ホールベースのフォトダイオードの場合、p 型接触と PMOS トランジスタが使用され得る。フォトダイオードチップ 170 とトランジスタアレイチップ 172 の両方について同じ型の接触及びトランジスタを使用することは、画像センサの製造プロセスをあまり複雑でなくすることができる。

30

40

【0159】

いくつかの実施形態では、フォトダイオード 654 と浮遊拡散ノード 653 との間の電荷転送ノードは、リセット状態 (例えば、電荷転送前) と電荷転送後と間で実質的に同じ状態にとどまり得る。これは、フォトダイオード 654 と蓄積ノード 602 との間にトリガー転送ゲート 658 及び転送ゲート 662 を配置することにより可能である。これにより、トランジスタの接触 (ドレイン又はソースなど) がフォトダイオード又は蓄積ノードウェルからなくなる。換言すると、電荷は、離隔した転送ゲートを介して蓄積ノード 602 へと、またそこから転送され、したがって、蓄積ノードウェル中に実際に存在する接触がなくなる。換言すると、転送トランジスタのドレイン又はソースを、蓄積ノード及び/又はフォトダイオードを形成するウェルに挿入しなくてもよい。n 型蓄積ノード 602 は

50

、ゲート 662 のドレイン及びゲート 604 のソースを形成する。これらのゲートは、シリコン接触 - 金属接触 - シリコン接続ではなく、n 型ドーブシリコンを介して 1 つに接続され得る。

【0160】

遮光

上述したように、画像センサ 130 は、各ピクセルについてグローバルシャッター動作を可能にするための蓄積ノードを含むように構成され得る。これらの実施形態では、各ピクセル 136 は、同時に光を集積又は捕獲することができ、行選択 144 及び列選択 140 により特定のピクセル行を読み出すことができるまで、フォトダイオードからの電荷を蓄積ノードに蓄積することができる。フォトダイオードからの電荷が蓄積ノードに蓄積される間、蓄積ノードに光が入射する可能性があり、それにより、生成された画像中にノイズ若しくは他のエラーが生じ得る。例えば、図 8 及び図 11 に示したスタック構成では、画像センサ 130 は、フォトダイオードチップ 170 の裏面を通して光を受光することができ、(フォトダイオードチップ又はトランジスタアレイチップ 172 のいずれかの上) にあり得る) 蓄積ノードを、フォトダイオードチップに入射する潜在的な光に曝露することがあり得る。

10

【0161】

いくつかの実施形態では、包括的な電荷蓄積ノードは、フォトダイオードチップ 170 ではなくトランジスタアレイチップ 172 上に配置され得る。これらの実施形態では、蓄積ノードとフォトダイオードチップ 170 との間に(金属層のような)遮光層が配置され得る。シールド又は遮光層は蓄積ノードへの光漏れを実質的に防止することができ、蓄積されたデータ(電荷)に入るノイズ又は他のアーチファクトの低減に役立つ。更に、いくつかの実施形態では、蓄積ノードは、トランジスタのような 2 つ以上のゲートによって、フォトダイオードが隔離され得る。2 つのゲートは、フォトダイオードから蓄積ノードを電氣的に絶縁することができ、それにより、(例えば、初期電荷が蓄積ノードにダンピングした後のような集積中ではなく、フォトダイオードが光を受光する事例において)偶発的な又はノイズ光透過が蓄積ノードに達することを更に低減することができる。

20

【0162】

図 26A は、トランジスタアレイチップ上に配置された蓄積ノードを含むピクセル回路の単純化された概略図である。図 26B は、トランジスタアレイチップ上の蓄積ノードを示す、画像センサ 130 のブロック図である。図 26C は、蓄積ノードの拡大断面図である。図 26A ~ 図 26C を参照すると、フォトダイオードチップ 170 は、フォトダイオード 154 と、アンチブルーミングゲート 178 と、転送ゲート 158 とを含むことができる。グローバルシャッターが所望の事例では、トランジスタアレイチップ 172 は、受信転送ゲート 762 と、蓄積ノード 702 と蓄積ノード転送ゲート 704 と、活性化/リセット回路(リセットゲート 156、SF 160、及び行選択 162)を含み得る。蓄積ノード 702 は、転送ゲート 158 及び受信転送ゲート 762 の開放時に、フォトダイオード 154 に蓄積されたデータ又は電荷を受け取る。

30

【0163】

図 26B を参照すると、シールド 680 によりフォトダイオードチップ 170 から蓄積ノード 702 を光学的に分離することができる。シールド 680 は、フォトダイオードチップ 170 に入射する光が、蓄積ノード 702 を汚染する、又はそこに入射することを防止することができる。詳細には、シールド 680 は、フォトダイオード 154 内に蓄積された電荷以外の光子が、蓄積ノード 702 に入射することを防止することができる。図 26C は、トランジスタアレイチップと共に積層されたフォトダイオードチップを示す図である。図 26B 及び図 26C を参照すると、シールド 680 は、金属などのような不透明物質の 1 つ以上の層又はセクションであり得、フォトダイオードチップ 170 とトランジスタアレイチップ 172 (又は、トランジスタアレイチップ 172 の選択区域のみ)との間に層化され得る。例えば、シールド 680 は、フォトダイオードチップとトランジスタチップとの間に複数の層状に互い違いに配置され得る。いくつかの実施形態では、シー

40

50

ルドは、図19A～図21Eに関して上記で論じた誘電層の1つ以上の部分を形成し得る。

【0164】

また、シールド680は、2つのチップ170と172との間に通信を提供する際に役立つように、金属のような導電材料をまた含み得る。例えば、シールド680は、垂直転送ゲート158及び/又はチップ間接続の金属層のうちの1つ以上を形成し得る。更に、シールド680は、単一の層を含むことができ、あるいは、画像センサ130の長さ、フォトダイオードチップとトランジスタアレイチップとの間のチップ間接続の厚さに沿って分散した複数のセグメントを含むことができる。シールド680の少なくとも1つの部分は、トランジスタアレイチップ上に形成された蓄積ノード702とフォトダイオードチップ170との間に配置され得る。これにより、フォトダイオードにより吸収されないフォトダイオードチップ内で内部反射した光、又は他の光ノイズのような光が蓄積ノード702へと入射することを実質的に防止することができる。

10

【0165】

シールド680が金属材料である事例では、蓄積ノード702は、任意のトランジスタ接触を受容しないフォトダイオードであり得る。これらの実施形態は、シリコン中の金属接触（例えば、トランジスタアレイ172の基板）に伴って生成され得る蓄積ノード702における暗電流を低減するのに役立つ。これが可能な理由は、分離した転送ゲート762及び704を介して電荷が蓄積ノード702に入ることができ、かつ、そこから電荷を転送することができるので可能であり、それにより、シリコン中のシールドの金属要素により生じ得る暗電流を低減することができるためである。（シリコンに損傷を与え得る）蓄積ノード中の金属シリコン接触をなくすことによって、並びに、表面不活性化（例えば、n型蓄積ノードに対するp+注入）に起因して、暗電流を低減することが可能である。

20

【0166】

漂遊光の少なくとも一部分を蓄積ノード702に入らないように遮断することによって、シールド680は、グローバルシャッター動作中にノイズ及び他の画像アーチファクトが画像に導入されることを低減するのに役立つ。例えば、グローバルシャッター動作中、画像センサ130のピクセル136の各々は、実質的に同時に光を集積又は集光することができる。集積後、フォトダイオード154から蓄積ノード702に光を転送するために、垂直転送ゲート158及び受信転送ゲート762を活性化することができる。この例では、フォトダイオードチップ170からトランジスタアレイチップ172に電荷を転送することができ、画像プロセッサにより選択ピクセル行を読み出す準備がととのうまで、蓄積ノード702に電荷が蓄積される。蓄積ノード702は、フォトダイオードチップ170から光学的に分離されるので、集積中にフォトダイオード154に収集されなかった光子が蓄積ノード702に達することを防止することができる。

30

【0167】

いくつかの実施形態では、シールド680又はシールドの一部は、光吸収材料及び/又は光吸収コーティング、あるいは反射防止材料及び/又は反射防止コーティングを含み得る。例えば、シールド680は、1つ以上の表面上に光吸収コーティングが層化された金属材料であり得る。他方において、吸収コーティングは、フォトダイオードチップ170内の光反射を低減することができるだけでなく、反射光を吸収することができる。吸収材料は更に、光がフォトダイオードチップ170内で散乱することを防止することができる。これらの実施形態では、典型的には、光が1つのフォトダイオードで反射し、隣接するフォトダイオードに入射することに起因するピクセル間のクロストークを低減することができる。いくつかの実施形態では、シールドの1つ以上の部分は、光吸収材料を含み得るが、シールドの他の部分は、光吸収材料を含まなくてもよい。

40

【0168】

図26Cを参照すると、いくつかの実施形態では、垂直転送ゲート158の金属接続186及び/又はボンドパッド685のような金属相互接続の選択部分は、フォトダイオ-

50

ド及び/又はトランジスタアレイチップ内の光反射を低減するのに更に役立つ得る光吸収コーティング及び/又は反射防止コーティングを含むことができる。更に、いくつかの実施形態では、トランジスタアレイチップの1つ以上の相互接続は、光吸収コーティング又は反射防止コーティングを含み得る。図26Cを参照すると、1つ以上のボンドパッド687及び/又は金属接続683は、光吸収コーティング及び/又は反射防止コーティングを含むことができる。更に、トランジスタアレイチップはまた、ピクセルチップスタック内の光ノイズを更に低減し得る1つ以上のシールド682を含むことができる。トランジスタアレイチップにおける光の反射を遮断するために、トランジスタアレイチップシリコンに、トランジスタアレイチップチップのシールド682を「埋め込む」ことができる。

【0169】

更に、2つの転送ゲート(垂直転送ゲート158及び受信転送ゲート762)は、蓄積ノード702に入る電荷を制御し、フォトダイオード154から蓄積ノード702が電氣的に絶縁され得る。フォトダイオード154からの電氣的絶縁は、フォトダイオードの集積時間から蓄積ノード702に蓄積された電荷の完全性を維持し、蓄積ノードが非集積時間期間中(集積後であるが読み出しの前)に電荷を受け取るとを防止するのに役立つ得る。

【0170】

図26B及び図26Cに示したシールド及び金属相互接続の位置は単に例示的なものであり、多くの他の実施形態が想定されることに留意されたい。蓄積ノードへの光を遮蔽すること、並びにフォトダイオードチップ及び/又はトランジスタアレイチップ内で内部反射する光を吸収することによって、(1つ以上の)シールドは、シャッター効率を高めると共に、捕獲信号中のノイズを低減することができる。更に、図26B及び図26Cの実施形態は、遮蔽構造の組み合わせを示しているが、いくつかの実施形態では、単一のシールドが使用され得る。例えば、光シールドは、ピクセルトランジスタチップの蓄積ノードの上部に、及び/又はフォトダイオード上に埋め込まれ得る。別の例として、チップ内の金属相互接続及び/又は他の要素は、更にシールドを使用することなく光反射を低減するために、反射防止材料及び/又は光吸収材料でコーティングされ得る。更に別の例として、光をフィルタリング(吸収)するために、トランジスタアレイチップ及び/又はフォトダイオードチップ内にアモルファスシリコン又はポリシリコンのような1つ以上の光吸収層が配置され得る。一実施形態では、アモルファスシリコンは、フォトダイオードチップとトランジスタアレイチップとの間で、フォトダイオードチップの上部に配置され得る。

【0171】

フルウェルキャパシティの増大

画像センサのフォトダイオードのフルウェルキャパシティは、一般に、露光時間を決定し、また、画像センサの信号対ノイズ比及び/又はダイナミックレンジに影響を及ぼし得る。いくつかの実施形態では、画像センサのフォトダイオードのフルウェルキャパシティは、より長い露光時間を可能にし、捕獲画像におけるブルーミングアーチファクトを低減するように、かつ、画像センサのダイナミックレンジを増大させるように動的に調整され得る。一実施形態では、画像センサは、集積(例えば露光時間フレーム)中、1回以上、フォトダイオードから蓄積ノードに電荷を転送し得る。集積中に電荷を転送することにより、ハードウェアに課されるウェルキャパシティを超えてフォトダイオードのフルウェルキャパシティを増大させることが可能になり得る。更に、画像センサのハードウェアを変更することなくフルウェルキャパシティを変動させることができるので、フルウェルキャパシティを動的に変動させることができ、異なる照明条件、画像捕獲設定(例えば、動画又はスチル写真)に画像センサを調整することが可能なり、並びに、ユーザが所望に応じて、ブルーミングアーチファクトを増大させることなく、露光時間を調整することが可能になる。

【0172】

調整可能なフルウェルキャパシティに関して本明細書に記載した実施形態は、垂直転送ゲートを有する画像センサを使用して実装する、あるいは、水平垂直転送ゲートを有する

10

20

30

40

50

画像センサにおいて実装することができる。図 27 は、動的に調整可能なフルウェルキャパシティを有する画像センサ 130 のピクセルのための例示的な概略図を示す。図 27 を参照すると、ピクセルは、フォトダイオード 154 と浮遊拡散ノード 163 との間に 1 つ以上の蓄積ノード 702 を含むことができる。フォトダイオード 154 から蓄積ノード 702 に電荷を転送するために、蓄積ゲート 762 及び転送ゲート 158 を活性化することができる。次いで、蓄積ノード 702 から浮遊拡散ノード 163 に電荷を転送するために、第 2 の転送ゲート 704 を活性化することができる。いくつかの実施形態では、蓄積ノード 702 は、(例えば、図 26B 及び図 26C に示すように)そこに蓄積された信号を内部反射光及び他のノイズ源から保護することを可能にする 1 つ以上のシールド 680 により光から遮蔽され得る。更に、信号中のノイズを更に低減するために、蓄積ノード 702 をフォトダイオード 154 から電氣的に絶縁することができる。

【0173】

特定の実施形態では、特にローリングシャッター実装形態では、アンチブルーミングゲート 178 を省いてもよいことに留意されたい。

【0174】

フォトダイオード 154 からの複数回の電荷転送に適応するために、蓄積ノード 702 の容量を増大させることができる。例えば、蓄積ノード 702 は、フォトダイオード 154 の容量の 2 倍 (又はそれ以上) を収容するのに十分な大きさであり得る。これにより、フォトダイオード 154 の集積時間が、ハードウェア実装されたフルウェルキャパシティを上回って増大するので、蓄積ノード 702 は、フォトダイオード 154 からの複数回の電荷転送による電荷を蓄積することが可能になる。

【0175】

それに代えて、又はそれに加えて、1 つ以上のピクセルの変換利得が動的に調整可能であり得る。調整可能な変換利得の例は、図 13、図 14、並びに図 15A 及び図 15C に示されており、各ピクセルの 1 つ以上の構成要素 (例えば、浮遊拡散ノード) が 2 つ以上のピクセル間で共有され得るピクセル共有実装形態を使用し実施され得る。例えば、図 13 を参照すると、各ピクセル 236a、236b、236c 及び 236d は、複数の浮遊拡散ノード 288a、288b、288c 及び 288d と選択的に通信することができる。同様の実装形態を使用すると、蓄積ノード (図 13 の実装形態には図示されていない) を、望ましい浮遊拡散ノードと選択的に通信するように配置することができ、それにより、ピクセルの変換利得を調整することができる。例えば、第 1 の浮遊拡散ノード 288a は、集積中に単一の電荷転送が行われ得る事例において使用され得、第 2 の浮遊拡散ノード 288b は、集積中に 2 つの電荷転送が行われ得る事例において使用され得、第 3 の浮遊拡散ノード 288c は、集積中に第 3 の電荷転送が行われ得る事例において使用され得、第 4 の浮遊拡散ノード 288d は、集積中に 4 回の電荷転送が行われ得る事例において使用され得る。この例では、第 1 の浮遊拡散ノードから第 4 の浮遊拡散ノードまで、浮遊拡散ノードの各々のノード容量を増大させることができる。換言すると、第 4 の浮遊拡散ノード 288d は最大容量を有し得、第 3 の浮遊拡散ノード 288c は 2 番目に高い容量を有し得、第 2 の浮遊拡散ノード 288b は 3 番目に高い容量を有し得、第 1 の浮遊拡散ノード 288a は最も低い容量を有し得る。容量を変動させることにより、複数回の電荷転送により蓄積ノード中で生じる大きい電荷に適合するように変換利得を調整することが可能になる。

【0176】

図 15C を参照すると、別の例では、各蓄積ノード 702a、702b、702c 及び 702d は、調整可能な利得を有することができる単一の浮遊拡散ノードと通信する。例えば、浮遊拡散ノードの変換利得を変動させるために、浮遊拡散ノード 163 は、利得調整ゲート 290、292 及び 294 のうちの 1 つ以上に結合され得る。これらの実施形態では、浮遊拡散の変換利得は、集積中におけるフォトダイオード 154 からの 1 つ以上の電荷転送により蓄積ノード 702a、702b、702c 及び 702d に蓄積された追加の電荷を収容するように動的に調整され得る。

10

20

30

40

50

【0177】

次に、フォトダイオードのフルウェルキャパシティを動的に調節する方法について論じる。図28は、画像センサの1つ以上のフォトダイオードについてフルウェルキャパシティを調整するための方法800を示すフローチャートである。方法800は、動作804から開始することができ、画像センサ130は、テスト画像を捕獲することができる。例えば、画像センサは、デフォルトの又はベースラインのフルウェルキャパシティ（例えば、集積の終わりに単一の電荷転送）を用いてオブジェクトの画像を捕獲することができる。テスト画像を捕獲すると、方法800は動作806に進むことができる。動作806において、プロセッサ114により、又はユーザによりテスト画像（又はフォトダイオードからの光信号）を評価して、（例えば、フルウェル電位を超えたピクセルから）画像にブルーミングアーチファクトがあるかどうかを判定することができる。

10

【0178】

ブルーミングしているピクセルの数が所定の閾値を超えた場合、方法800は、動作808に進むことができ、プロセッサは、選択ピクセル及び/又は全ピクセルのフルウェル電位を増大させるために画像センサ130のモードを変えることができる。例えば、選択ピクセル（又はピクセルアレイの全ピクセル）の転送ゲート及び蓄積ゲートは、フォトダイオード154の集積時間中に活性化するように構成され得る。画像センサ130モードを活性化すると、方法300は動作810に進むことができる。動作810において、画像センサ130のフォトダイオード154は、集積を開始することができる。換言すると、画像センサは、画像に対する露光を開始することができる。

20

【0179】

フォトダイオード154が集積している間、方法800は動作812に進むことができる。動作812において、拡張されたフルウェルキャパシティを有するように選択されたピクセルは、それらの電荷を蓄積ノード702へとダンピングすることができる。例えば、図27を参照すると、電荷がフォトダイオード154から蓄積ノード702へと流れることを可能にするために、各ピクセルの転送ゲート158及び蓄積ゲート762を活性化することができる。フォトダイオード154から蓄積ノード702へと電荷が転送されると、転送ゲート158及び蓄積ゲート762が非活性化され、蓄積ノード702をフォトダイオード154から電氣的に絶縁する。

30

【0180】

動作812の後、第1の電荷転送が完了すると、方法800は動作814に進むことができる。動作814において、フォトダイオード154の集積を継続することができる。換言すると、画像センサ130に対する露光時間を継続することができ、それにより、フォトダイオードは、レンズからの集光を継続することが可能になる。

【0181】

望ましいフルウェルキャパシティに応じて、動作814中、方法800は動作816に進むことができる。動作816において、第2の電荷転送を行うことができる。第1の電荷転送の場合と同様にフォトダイオード154から蓄積ノード702に電荷が流れることを可能にするために、転送ゲート158及び蓄積ゲート762を活性化することができる。第2の電荷が転送されると、方法800は動作818に進むことができる。動作818において、フォトダイオード154は集積を完了することができる。例えば、所定の露光時間に達し得る。

40

【0182】

露光時間に達した後、方法800は動作820に進むことができる。動作820において、転送ゲート及び蓄積ゲートを介して、フォトダイオード154中に新たに累積した電荷を蓄積ノード702に転送することができる。最終電荷転送は、リーミング（reaming）集積時間からフォトダイオード中の電荷を転送することができる。

【0183】

最終電荷転送が起こると、方法800は動作822に進むことができる。動作822において、第2の転送ゲート704を活性化することができ、浮遊拡散ノード163に電荷

50

が移ることができる。変換利得が調整可能である実施形態では、浮遊拡散ノード又は浮遊拡散ノードに対する任意の利得調整ゲートは、電荷転送の回数に基づいて選択され得ることに留意されたい。例えば、図15Cを参照すると、集積中に2回の電荷転送が完了した場合、第1の利得調整ゲート290及び第2の利得調整ゲート292を活性化することができ、それにより、浮遊拡散ノードの容量は、蓄積ノードからの追加の電荷を処理するように構成される。浮遊拡散ノードに電荷を転送した後、電荷を読み出すことができ、方法800が終了する。

【0184】

方法800は、1つ以上のブルーミングピクセルに基づいてフォトダイオードのフルウェルキャパシティを調整するが、様々な他の理由のためにこれらのピクセルを調整することに留意されたい。例えば、いくつかの事例では、ユーザは、画像に対するより長い露光時間を有することを望むことがあり、捕獲すべきシーンにおける周囲光の量に応じて、追加のウェルキャパシティが望まれることがある。別の例として、画像センサは、静止画ではなく動画を捕獲するように構成され得る。この例では、フルウェルキャパシティの増大による露光時間の追加は、高輝度光でのフォトダイオードの最大露光時間を延ばすことができ、それにより、動画をよりスムーズにすることが可能になり得る。換言すると、動画の全長において複数回フォトダイオードを読み出す必要がないことがあり、一緒によりシームレスにフレームが流れることができるので、動画の「不安定性(choppiness)」が低減される。更に別の例として、捕獲されたシーンにおける光は明滅することがあり(例えば、明るい光が50Hz又は60Hzで動作する)、露光時間を長くすることにより、照明サイクル全体をカバーすることができ、露光時間が短い場合に生じ得るウェーピングアーチファクトが低減される。

10

20

【0185】

いくつかの実施形態では、特定のピクセル群は、集積全体を通じて電荷を複数回転送することができるが、他のピクセル群は、集積の終わりにのみ電荷を転送する。例えば、特定のカラーフィルタ(例えば、赤、青及び緑)を有するピクセルは、特に、あるシーンにおいて特定の光の波長が優勢である事例では、複数回の電荷転送を有するように設定され得、それにより、それらのフィルタを備えるピクセルを他のピクセルよりも速くブルームさせ得る。

【0186】

結論

上記の説明は、幅広い応用例を有する。例えば、本明細書に開示した例は垂直転送ゲートに焦点を当てることができるが、本明細書に開示した概念は、水平転送ゲートを有する画像センサにも等しく当てはまり得ることに留意されたい。別の例として、転送ゲートに関して垂直ゲートの構造を論じてきたが、垂直ゲート構造は、アンチブルーミングゲートのような他のゲートについても実装され得る。同様に、画像センサに関して深さ感知システムを論じることができるが、本明細書に開示した装置及び技術は、等しく他のタイプのセンサに適用可能である。更に、ピクセルアーキテクチャに関して、行選択ゲートを説明しているが、本明細書に開示した実施形態は、行選択ピクセルを含まない画像センサのピクセルアーキテクチャ、並びにピクセルアーキテクチャの他の変形例において使用され得る。したがって、全ての例に関する議論は例示に過ぎず、特許請求の範囲を含む本開示の範囲をこれらの実施形態に限定するよう示唆することを意図していない。

30

40

【 図 1 A 】

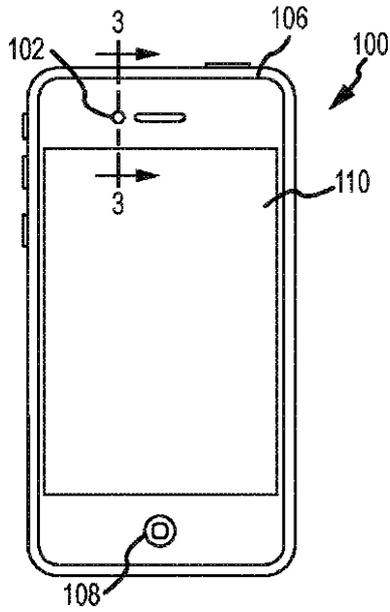


FIG.1A

【 図 1 B 】

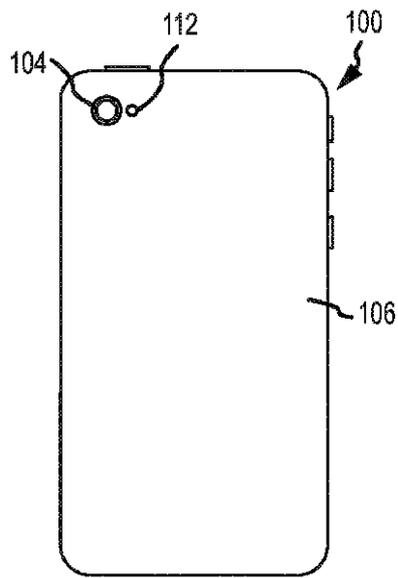
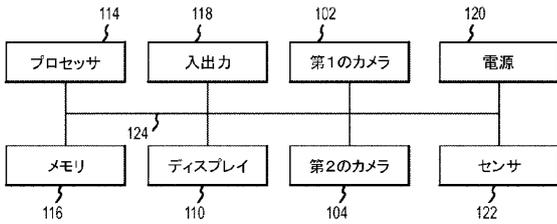
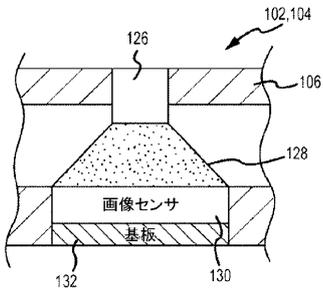


FIG.1B

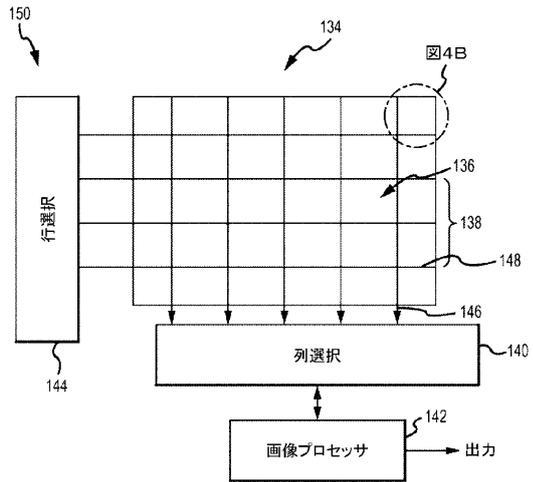
【 図 2 】



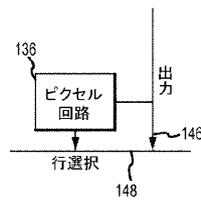
【 図 3 】



【 図 4 A 】



【 図 4 B 】



【図12A】

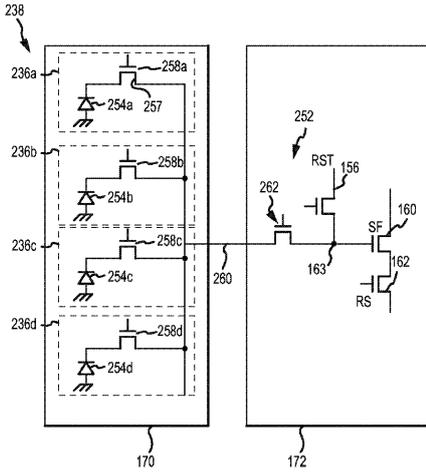
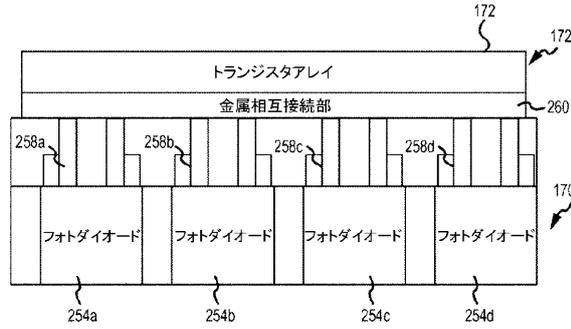


FIG.12A

【図12B】



【図12C】

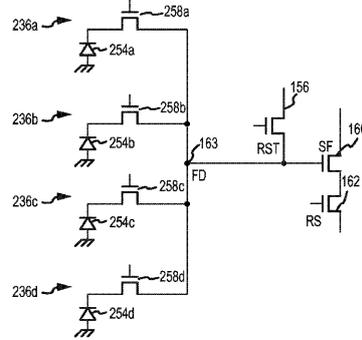


FIG.12C

【図12D】

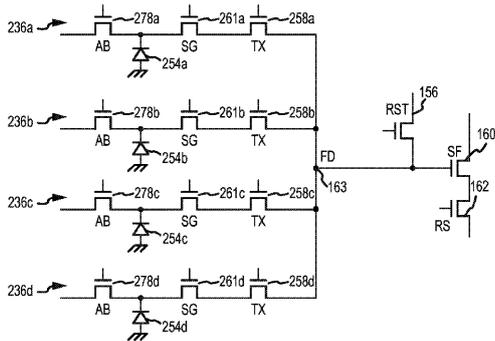
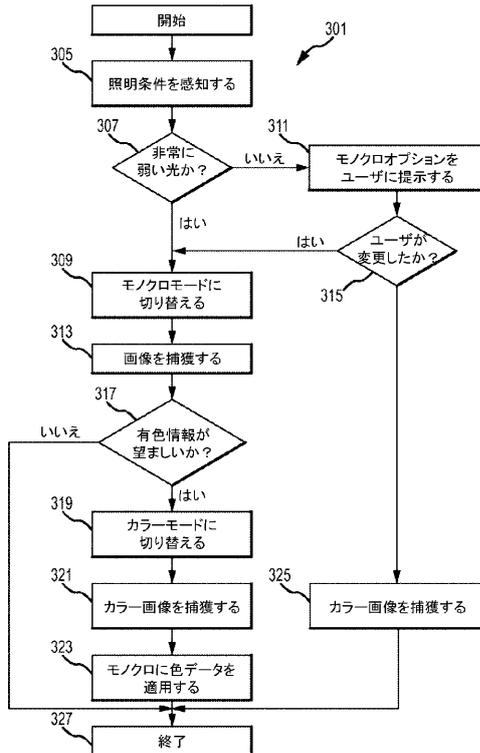


FIG.12D

【図12E】



【 図 1 3 】

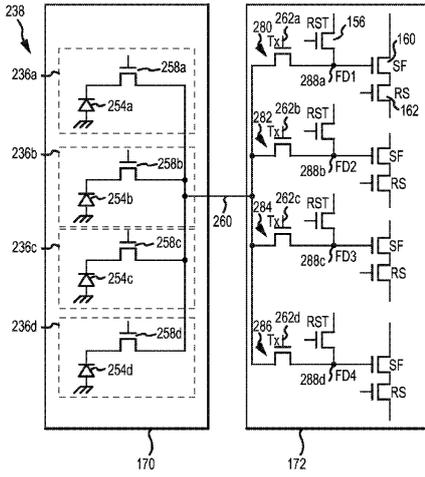


FIG.13

【 図 1 4 】

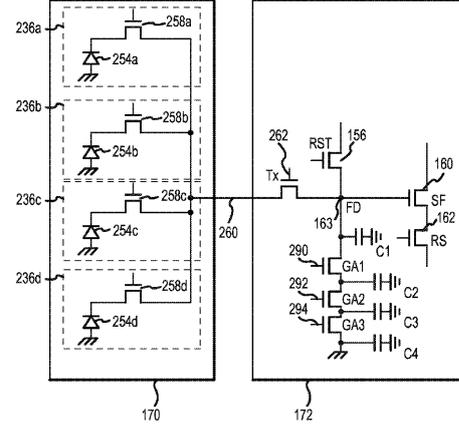


FIG.14

【 図 1 5 A 】

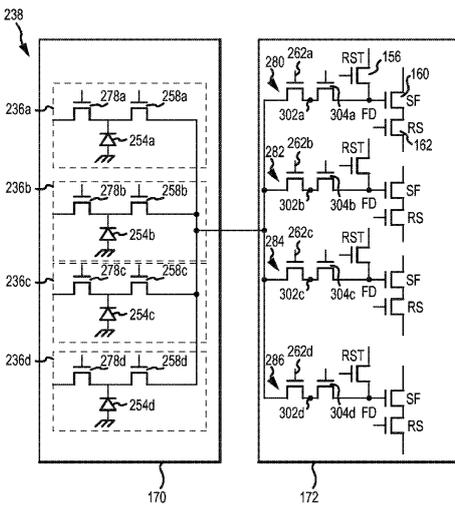


FIG.15A

【 図 1 5 B 】

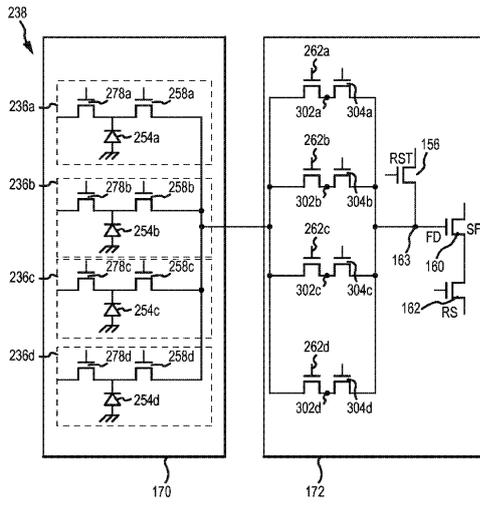


FIG.15B

【図15C】

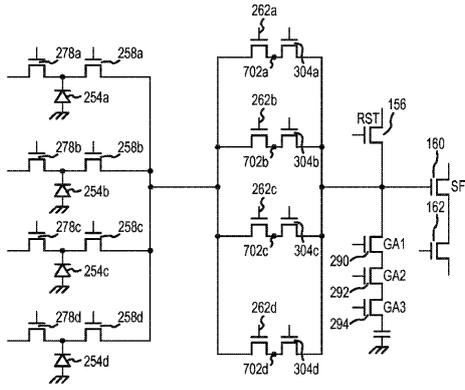


FIG.15C

【図16A】

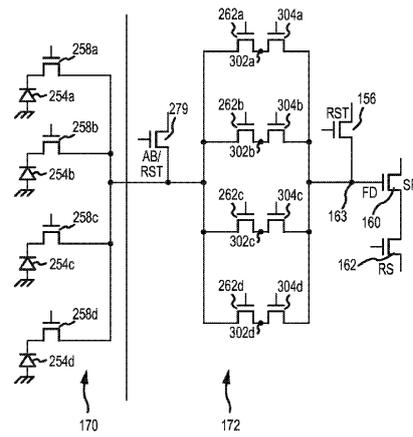
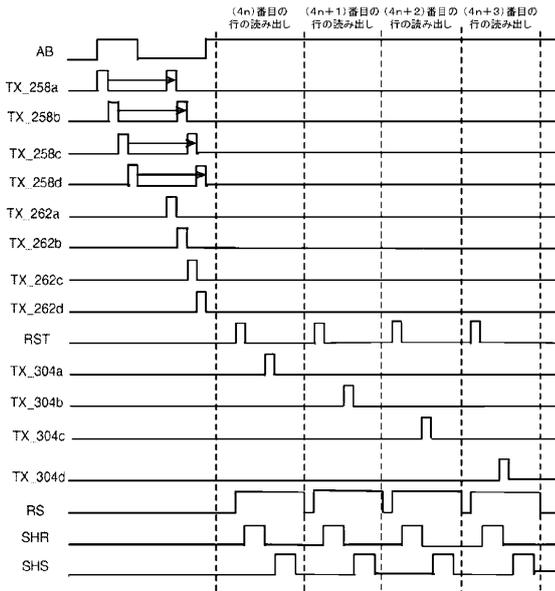


FIG.16A

【図16B】



【図17A】

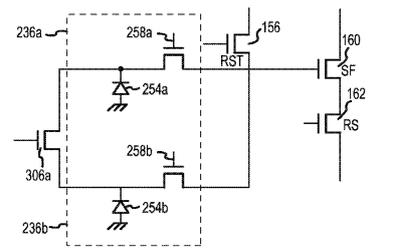


FIG.17A

【図17B】

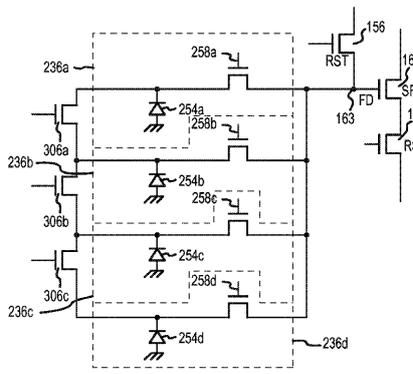
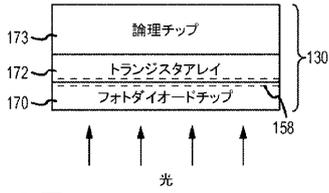
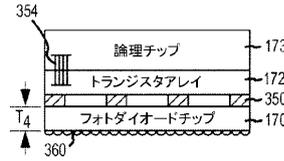


FIG.17B

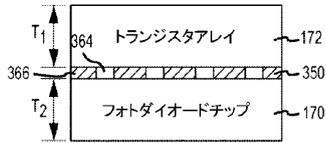
【図18】



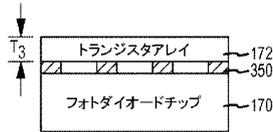
【図19D】



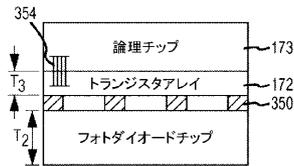
【図19A】



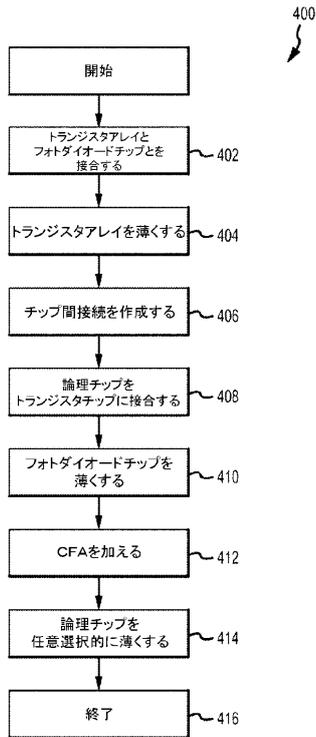
【図19B】



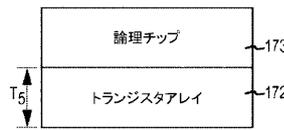
【図19C】



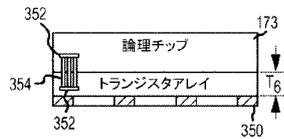
【図20】



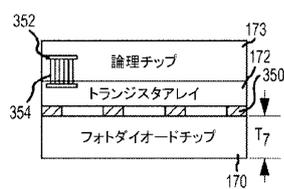
【図21A】



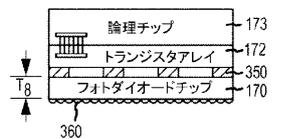
【図21B】



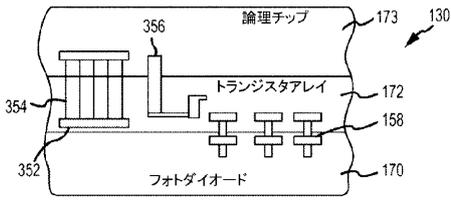
【図21C】



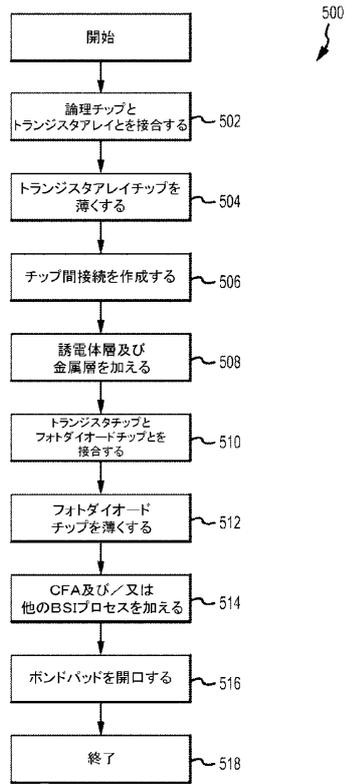
【図21D】



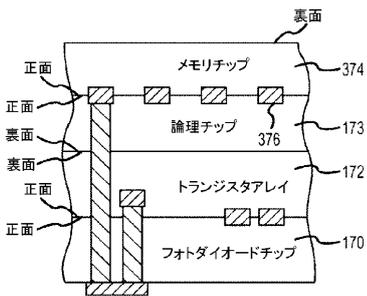
【図21E】



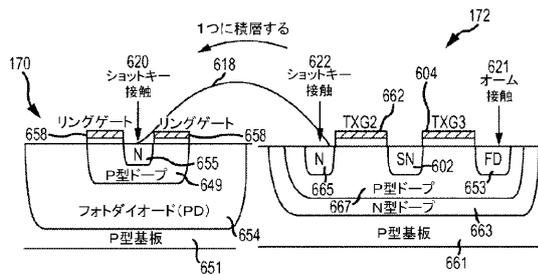
【図22】



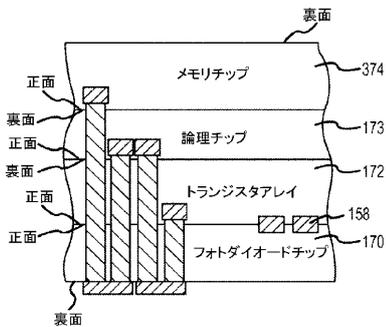
【図23A】



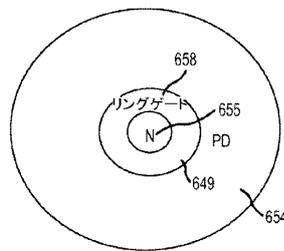
【図24B】



【図23B】



【図24C】



【図24A】

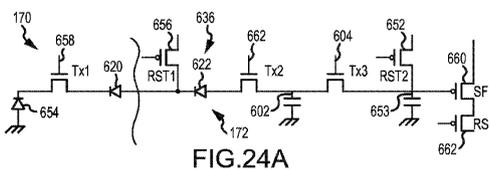


FIG.24A

【図 25 A】

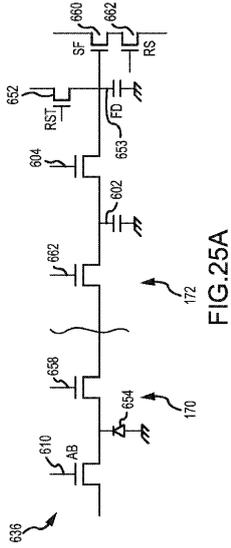
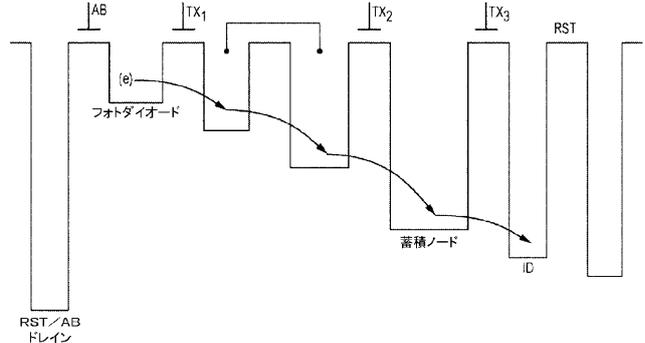


FIG.25A

【図 26】



【図 26 A】

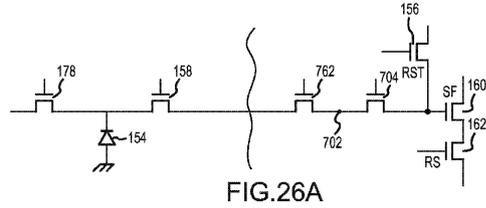
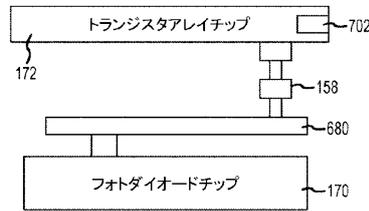
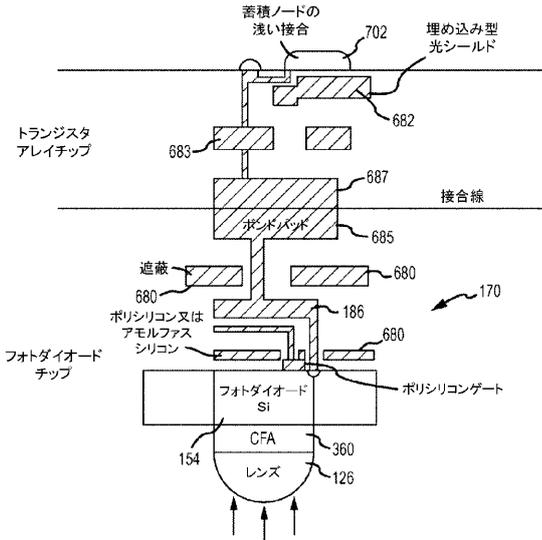


FIG.26A

【図 26 B】



【図 26 C】



【図 27】

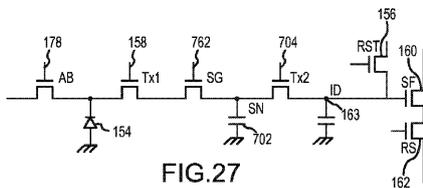
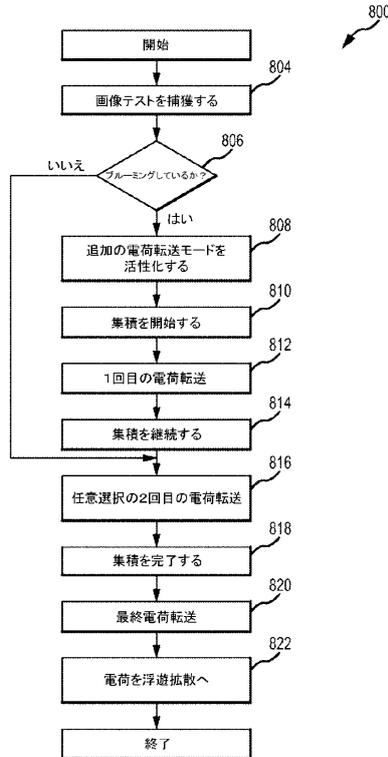
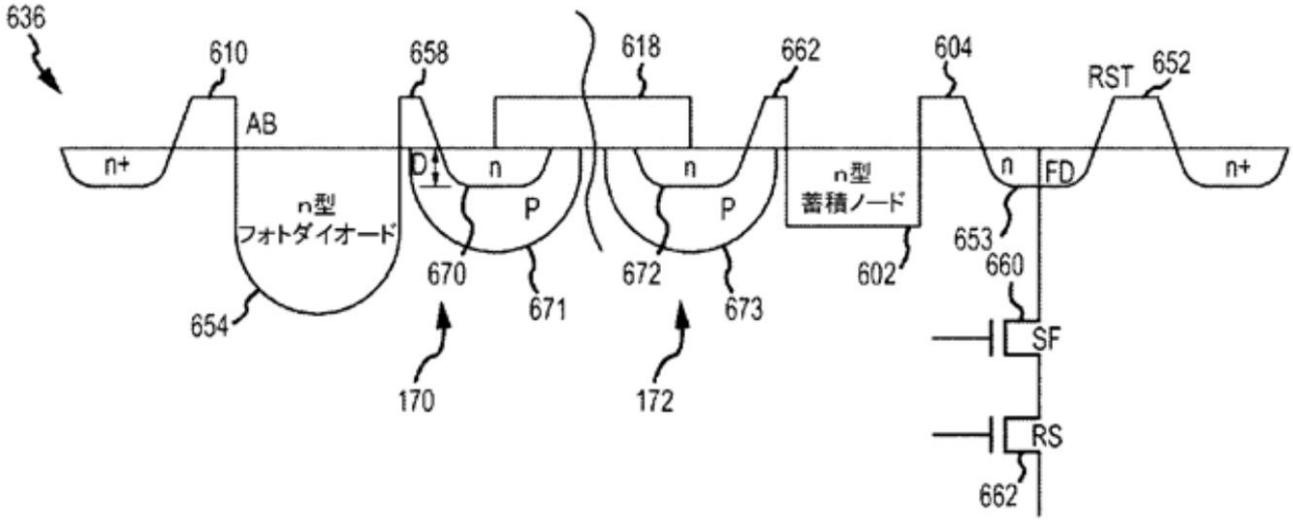


FIG.27

【図 28】



【図25B】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/011682

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/146 H01L29/78 H01L29/78 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/042552 A1 (FURUYA SHOGO [JP] ET AL) 24 February 2011 (2011-02-24) paragraphs [0044] - [0047]; figures 6,7 -----	1,2,5-9, 19,20
X,P	WO 2013/118646 A1 (SONY CORP [JP]) 15 August 2013 (2013-08-15) figures 1,8 -----	1-4,7-9, 19,20
A	EP 1 562 233 A2 (SONY CORP [JP]) 10 August 2005 (2005-08-10) paragraphs [0014] - [0017], [0025] - [0028], [0037] - [0050], [0064], [0065], [0072] - [0074] -----	1-9,19, 20
A	US 2010/276572 A1 (IWABUCHI SHIN [JP] ET AL) 4 November 2010 (2010-11-04) paragraph [0116]; figures 1-3,31B, 51A,51B -----	1-9,19, 20
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means		"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 24 March 2014	Date of mailing of the international search report 17/06/2014	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Cabrita, Ana	

1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2014/011682**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-9, 19, 20

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/011682

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011042552 A1	24-02-2011	CN 101998070 A JP 4987917 B2 JP 2011044489 A TW 201133807 A US 2011042552 A1	30-03-2011 01-08-2012 03-03-2011 01-10-2011 24-02-2011
WO 2013118646 A1	15-08-2013	TW 201334169 A WO 2013118646 A1	15-08-2013 15-08-2013
EP 1562233 A2	10-08-2005	CN 1652343 A CN 101488512 A EP 1562233 A2 EP 2432018 A2 EP 2437299 A1 EP 2437300 A1 JP 4341421 B2 JP 2005223084 A KR 20060041633 A KR 20120030511 A TW 1297209 B US 2005167704 A1 US 2007246746 A1 US 2008083940 A1	10-08-2005 22-07-2009 10-08-2005 21-03-2012 04-04-2012 04-04-2012 07-10-2009 18-08-2005 12-05-2006 28-03-2012 21-05-2008 04-08-2005 25-10-2007 10-04-2008
US 2010276572 A1	04-11-2010	CN 101753866 A CN 101753867 A JP 2013179313 A KR 20080019652 A TW I429066 B TW 201101476 A US 2010276572 A1 WO 2006129762 A1	23-06-2010 23-06-2010 09-09-2013 04-03-2008 01-03-2014 01-01-2011 04-11-2010 07-12-2006

International Application No. PCT/US2014/011682

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9, 19, 20

An image sensor comprising a photodiode chip having a plurality of pixels, each pixel comprising: a photodiode and a transfer gate extending vertically from a top surface of the photodiode chip; a transistor array chip vertically stacked on the photodiode chip; and a logic chip vertically stacked on the transistor array chip.

2. claims: 10-18

A mobile electronic device, comprising a processor; a display screen; a memory component; and at least one image capture element comprising: a lens; an image sensor comprising a three-chip vertical stack including a control circuitry chip, a photodiode chip, and a logic chip.

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ファン シャオフエン

アメリカ合衆国 95014 カリフォルニア州 クパチーノ インフィニット ループ 1 エムエス 35 - 2 エムピー

Fターム(参考) 4M118 AB01 BA14 BA19 CA02 CA07 CA19 DA23 DD04 FA06 FA22
 FA26 FA28 FA33 FA34 FA38 GA02 GB02 GB08 GB11 GB18
 GC08 GD04 HA22 HA30 HA33
 5C024 BX01 GX03 GX16 GY31 HX01 HX40