

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年3月3日(03.03.2022)



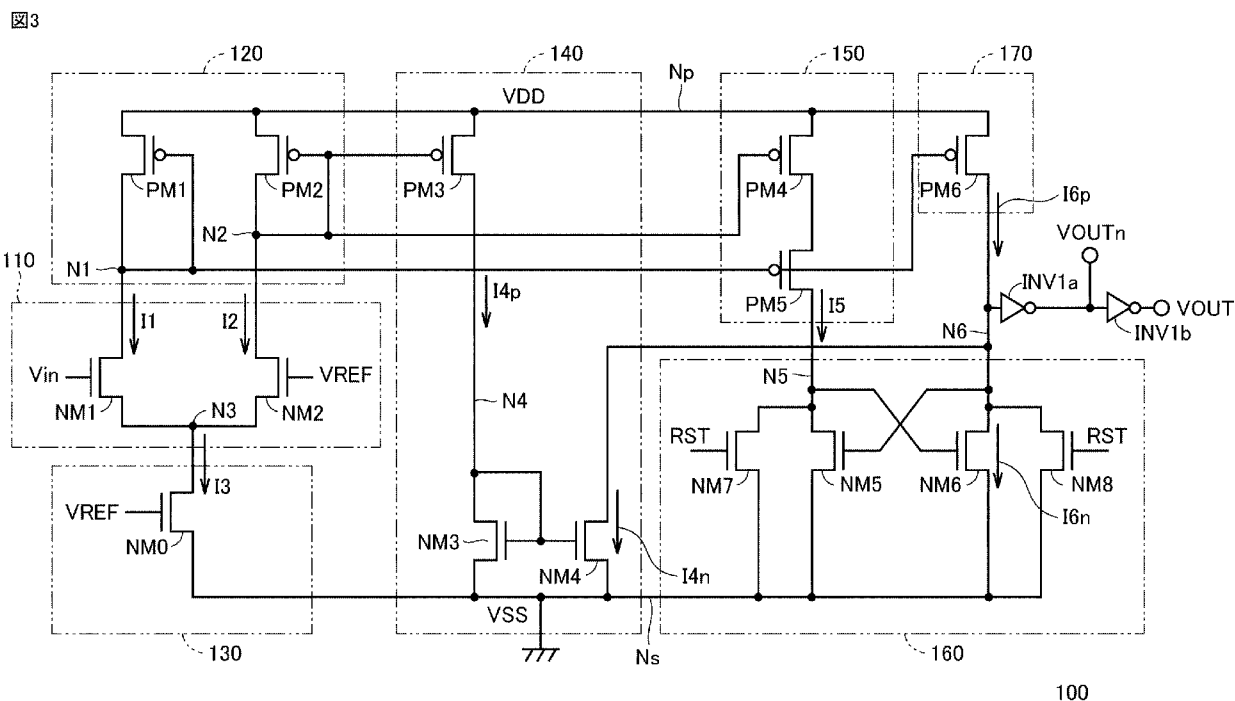
(10) 国際公開番号

WO 2022/045106 A1

- (51) 国際特許分類:  
*H03K 5/08* (2006.01)      *H03F 3/45* (2006.01)
- (21) 国際出願番号:                      PCT/JP2021/030922
- (22) 国際出願日:                      2021年8月24日(24.08.2021)
- (25) 国際出願の言語:                      日本語
- (26) 国際公開の言語:                      日本語
- (30) 優先権データ:  
特願 2020-144210    2020年8月28日(28.08.2020) JP
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 小島 友和 (KOJIMA, Tomokazu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 森本 祐平(MORIMOTO, Yuhei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: COMPARATOR, OSCILLATOR, AND POWER CONVERTER

(54) 発明の名称: コンパレータ、発振器、及び、電力変換器



(57) Abstract: A differential amplification circuit (110) generates a first current (I1) and a second current (I2) that have a current difference that is the result of amplifying the voltage difference between an input voltage (Vin) and a reference voltage (VREF). An output stage (170) supplies a current (I6p) that is proportional to the first current (I1) to an output node (N6). A current conversion circuit (140) discharges a current (I4n) that is proportional to the second current (I2) from the output node (N6). A latch circuit (160) connects the output node (N6) to a ground node (Ns) in accordance with a reset

WO 2022/045106 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

signal (RST) and then, after reset release, disconnects the output node (N6) from the ground node (Ns). When the voltage of the output node (N6) rises from a ground voltage (VSS) at the time of the reversal of the high-low relationship between the input voltage (Vin) and the reference voltage (VREF) from the time of the reset release, the latch circuit (160) fixes the voltage of the output node (N6) at a power supply voltage (VDD) by means of a positive-feedback latch operation.

(57) 要約 : 差動増幅回路 (110) は、入力電圧 (Vin) 及び基準電圧 (VREF) の電圧差を増幅した電流差を有する第1電流 (I1) 及び第2電流 (I2) を発生する。出力段 (170) は、第1電流 (I1) に比例した電流 (I6p) を出力ノード (N6) に供給する。電流変換回路 (140) は、第2電流 (I2) に比例した電流 (I4n) を出力ノード (N6) から排出する。ラッチ回路 (160) は、リセット信号 (RST) に応じて出力ノード (N6) を接地ノード (Ns) に接続した後、リセット解除後には、出力ノード (N6) を接地ノード (Ns) から切り離す。その後、出力ノード (N6) の電圧が、入力電圧 (Vin) 及び基準電圧 (VREF) の高低関係がリセット解除時点から逆転した際に接地電圧 (VSS) から上昇すると、ラッチ回路 (160) は、正帰還のラッチ動作により出力ノード (N6) の電圧を電源電圧 (VDD) に固定する。

## 明 細 書

発明の名称：コンパレータ、発振器、及び、電力変換器

### 技術分野

[0001] 本開示は、コンパレータ、並びに、当該コンパレータを備える発振器及び電力変換器に関する。

### 背景技術

[0002] 近年、IoT (Internet of Things) 及びAI (Artificial Intelligence) 技術等の進展に伴って、高精度かつ、極めて低消費電力なアナログ回路及びデジタル回路を含む、ミクスドシグナル回路の技術ニーズが高まってきている。ミクスドシグナル回路では、多機能化のための大規模なデジタル回路と、高性能化のためのアナログ回路とが、シリコン上で共存する。

[0003] このようなアナログ回路の1つとして、2個のアナログ電圧を入力電圧として、当該入力電圧間の比較結果に応じた出力信号を、デジタル回路への入力信号として生成するコンパレータがよく用いられる。

[0004] 当該コンパレータは、デジタル回路に供給される一定周波数のクロック信号を生成するため弛張発振器 (Relaxation Oscillator) の構成要素としても用いられる。この弛張発振器は、高精度である一方でコスト及び集積化の面で不利である水晶発振器及びLC発振器と比較して、CMOS (Complementary Metal-Oxide Semiconductor) 回路で実現可能な点が有利である。又、水晶発振器は、起動に時間を要するため、頻繁にオンオフする間欠動作によって低電力化を実現するアプリケーションには適用が難しいことも指摘されている。

[0005] コンパレータを低消費電力化する技術の1つとして、特開2008-153866号公報 (特許文献1) には、ラッチ回路を含んで構成された、コンパレータの回路構成が記載されている。特許文献1に記載されたコンパレータでは、比較対象となる2つのアナログ電圧が入力される差動増幅回路からの出力信号をラッチ回路で増幅した後に、差動増幅回路を流れる電流を減少

させることで、低消費電力化が図られる。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開2008-153866号公報

## 発明の概要

### 発明が解決しようとする課題

[0007] 特許文献1のコンパレータでは、クロック信号が論理ローレベル（以下、「Lレベル」）から論理ハイレベル（以下、「Hレベル」）に変化したタイミングにおける2個の入力電圧（アナログ電圧）の比較結果に応じて、ラッチ回路で増幅された信号が、コンパレータ回路の出力信号として確定される。このため、特許文献1のコンパレータは、規定されたタイミングにおいて2つのアナログ電圧（入力電圧）を比較する用途に適している。

[0008] これに対して、コンパレータの他の用途として、入力電圧の一方を固定電圧（基準電圧）とし、もう一方の入力電圧が上昇又は低下して、当該基準電圧に達したタイミングを検出する用途、即ち、1ショット型のコンパレータとしての用途が存在する。例えば、上述した弛張発振器では、2個のコンパレータが上記タイミングを交互に検出する動作によって、周期的なクロック信号が生成される。

[0009] しかしながら、特許文献1のコンパレータをこのような用途に適用すると、当該タイミングを高精度に検出するためには、クロック信号の周波数を高めて、入力電圧の比較動作を短い周期で繰り返すことが必要になる。この結果、消費電力が増大することが懸念される。

[0010] 本開示は、このような問題点を解決するためになされたものであって、本開示の目的は、2入力の一方向のアナログ電圧が2入力の他方である基準電圧に達したことを検知する1ショット型のコンパレータの低消費電力化を図ることである。

### 課題を解決するための手段

[0011] 本開示のある局面によれば、第1の電圧及び第2の電圧の供給を受けて動作するコンパレータであって、差動増幅回路と、電流源回路と、出力段と、電流変換回路と、ミニマムセクタ回路と、ラッチ回路とを備える。差動増幅回路は、第1の電圧を供給する第1の電源ノードに対して第1及び第2のノードを介して接続される。差動増幅回路は、基準電圧及び入力電圧の電圧差を増幅した電流差を有する第1の電流及び第2の電流を第1のノード及び第2のノードにそれぞれ発生する。基準電圧は、第1及び第2の電圧の間に予め定められる。電流源回路は、第1の電源ノードと、第2の電圧を供給する第2の電源ノードとの間に、第3のノードを介して差動増幅回路と直列接続される。電流源回路は、第1及び第2の電流の和である第3の電流を第3のノードに発生する。出力段は、出力ノードと第1の電源ノードとの間に接続されて、第1の電流に比例した第1の出力電流を第1の電源ノード及び出力ノードの間に発生させる電流駆動力を有する。電流変換回路は、第2の電源ノードと出力ノードとの間に、第2の電流に比例した第2の出力電流を発生させる電流駆動力を有する。ミニマムセクタ回路は、出力相補ノードと第1の電源ノードとの間に接続されて、第1及び第2の電流の最小電流に比例した電流を出力相補ノードに発生させる。ラッチ回路は、出力ノード及び出力相補ノードと第2の電源ノードとの間に接続される。ラッチ回路は、リセット信号に応じて、出力ノード及び出力相補ノードの各々を第2の電源ノードと電氣的に接続するリセット動作を実行する。ラッチ回路は、リセット動作の解除後の回路動作時には、出力ノード及び出力相補ノードを第2の電源ノードから電氣的に切り離した状態で、入力電圧及び基準電圧の高低関係がリセット動作の解除時点から逆転する際に、出力ノードに生じる第2の電圧から第1の電圧への変化を増幅する正帰還のラッチ動作を実行して、次にリセット信号が入力されるまで、出力ノードの電圧を第1の電圧に固定するとともに出力相補ノードの電圧を第2の電圧に固定する。

[0012] 本開示の他のある局面によれば、発振器であって、上記コンパレータによって構成された第1及び第2のコンパレータと、信号生成回路とを備える。

信号生成回路は、第1のコンパレータからの第1の出力信号、及び、第2のコンパレータからの第2の出力信号を受けて、論理レベルの遷移を繰り返す周期信号を生成する。第1の出力信号は、第1のコンパレータの出力ノードの電圧に応じた論理レベルを有する。第2の出力信号は、第2のコンパレータの出力ノードの電圧に応じた論理レベルを有する。更に、第1のコンパレータの入力電圧、及び、第2のコンパレータの入力電圧は、周期信号の論理レベルが遷移する毎に、上昇及び低下を相補的に切り替えるように制御される。第1及び第2のコンパレータは、交互にリセット動作及び回路動作を相補的に実行する。信号生成回路は、第1の出力信号の予め定められた方向の論理レベルの変化、及び、第2の出力信号の当該予め定められた方向の論理レベルの変化の各々に応じて、周期信号の論理レベルを遷移させる。

[0013] 本開示の更に他の局面では、電力変換器が提供される。電力変換器は、接地配線及び電源配線と接続されて、電源配線の第1の直流電圧を変換して第2の直流電圧を直流電圧出力ノードに出力する電力変換器であって、上記コンパレータによって構成された出力電圧監視用コンパレータと、駆動スイッチング素子と、電圧制御回路とを備える。駆動スイッチング素子は、電源配線と直流電圧出力ノードとの間に接続される。出力電圧監視用コンパレータは、第2の直流電圧に従う電圧を入力電圧とし記第2の直流電圧の目標電圧に従う電圧を基準電圧として、出力ノード又は出力相補ノードの電圧に従って第1又は第2のレベルに設定される制御信号を出力する様に動作する。電圧制御回路は、出力電圧監視用コンパレータから出力された制御信号に基づいて、駆動スイッチング素子のオンオフを制御する。

### 発明の効果

[0014] 本開示によれば、入力電圧が上昇又は低下して基準電圧と同等となるのに応じて、出力ノードの電圧をリセット時の第2の電圧から第1の電圧に変化させることができるとともに、出力ノードの電圧が変化する期間以外では、ラッチ回路及び出力段に電流が発生しない。この結果、入力電圧が基準電圧に達したことを検知する1ショット型のコンパレータを低消費電力化するこ

とができる。更に、当該コンパレータを用いることで、発振器及び電力変換器についても、低消費電力化することができる。

### 図面の簡単な説明

- [0015] [図1]本実施の形態に係るコンパレータの入出力信号を説明するシンボル図である。
- [図2]本実施の形態に係るコンパレータの動作例を説明する波形図である。
- [図3]実施の形態1に係るコンパレータの構成例を説明する回路図である。
- [図4]図3に示されたコンパレータの動作を説明する第1の回路図である。
- [図5]図3に示されたコンパレータの動作を説明する第2の回路図である。
- [図6]図3に示されたコンパレータの動作を説明する第3の回路図である。
- [図7]入力電圧に対するコンパレータの消費電流を説明する概念的なグラフである。
- [図8]実施の形態1の第1の変形例に係るコンパレータの構成例を説明する回路図である。
- [図9]実施の形態2に係るコンパレータの構成例を説明する回路図である。
- [図10]実施の形態2に係るコンパレータ動作例を説明する波形図である。
- [図11]実施の形態2の変形例に係るコンパレータの構成例を説明する回路図である。
- [図12]実施の形態2の変形例に係るコンパレータの動作を説明するための波形図である。
- [図13]実施の形態3に係る発振器の構成例を説明する回路図である。
- [図14]実施の形態3に係る発振器の動作例を説明する波形図である。
- [図15]実施の形態4に係るコンパレータの構成例を説明する回路図である。
- [図16]実施の形態5に係るコンパレータの構成例を説明する回路図である。
- [図17]実施の形態5に係るコンパレータの動作例を説明する波形図である。
- [図18]実施の形態1の第2の変形例に係るコンパレータの構成例を説明する回路図である。
- [図19A]実施の形態1の第3の変形例に係るコンパレータの第1の構成例を説

明する回路図である。

[図19B]実施の形態1の第3の変形例に係るコンパレータの第2の構成例を説明する回路図である。

[図20]実施の形態5に対して実施の形態1の第2の変形例を組み合わせた係るコンパレータの構成例を説明する回路図である。

[図21]実施の形態6に係る変力変換器の代表例であるDC-DCコンバータの回路構成例を説明する概略図である。

[図22]図21に示されたPFM制御回路の構成例を説明するブロック図である。

[図23]図21に示されたPFM制御回路及びゲート駆動回路の動作波形図である。

[図24]図21に示されたゲート駆動回路の構成例を説明する回路図である。

[図25]図24に示されたノンオーバーラッピングクロック生成回路の動作を説明する波形図である。

[図26]実施の形態5の変形例に係るDC-DCコンバータの回路構成例を説明する概略図である。

[図27]エネルギーハーベストによるDC-DCコンバータの電源電圧の供給例を説明する概念図である。

### 発明を実施するための形態

[0016] 以下に、本開示の実施の形態について、図面を参照して詳細に説明する。以下では、複数の実施の形態について説明するが、明細書内で言及されていない組み合わせを含めて、不整合や矛盾が生じない範囲内で、各実施の形態で説明された構成を適宜組み合わせることは出願当初から予定されている。尚、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

[0017] 実施の形態1.

図1は、本実施の形態に係るコンパレータの入出力信号を説明するシンボル図である。



[0018] 図1を参照して、本実施の形態に係るコンパレータ100は、電源電圧VDD（例えば、5[V]）及び接地電圧VSS（0[V]）の供給、並びに、リセット信号RSTの入力を受けて動作する。コンパレータ100は、（+）側入力端子に入力電圧V<sub>in</sub>、（-）側入力端子に基準電圧V<sub>REF</sub>（例えば、2.5[V]）を入力されて、両者の高低を反映した出力電圧V<sub>OUT</sub>を生成する。

[0019] 図2は、コンパレータ100の動作例を説明する波形図である。

図2を参照して、リセット信号RSTは、コンパレータ100の非動作期間にはHレベルに設定される一方で、コンパレータ100の動作期間にはLレベルに設定される。リセット信号RSTのHレベル期間では、コンパレータ100の出力電圧V<sub>OUT</sub>はLレベル（V<sub>OUT</sub>=VSS）に固定される。

[0020] 時刻t<sub>s</sub>において、リセット信号RSTがHレベルからLレベルに変化すると、リセット動作が解除されてコンパレータ100は回路動作を開始する。図2の例では、入力電圧V<sub>in</sub>は、時刻t<sub>s</sub>の時点では基準電圧V<sub>REF</sub>よりも低く、時刻t<sub>s</sub>以降、徐々に上昇する。

[0021] 入力電圧V<sub>in</sub>が基準電圧V<sub>REF</sub>に達するまで、出力電圧V<sub>OUT</sub>は、初期化されたLレベル（V<sub>OUT</sub>=VSS）に維持される。時刻t<sub>d</sub>において、入力電圧V<sub>in</sub>が基準電圧V<sub>REF</sub>に達すると、即ち、入力電圧V<sub>in</sub>が基準電圧V<sub>REF</sub>と交差すると、出力電圧V<sub>OUT</sub>は、リセットされたLレベルからHレベルに変化する。

[0022] 時刻t<sub>d</sub>以降では、出力電圧V<sub>OUT</sub>は、次にリセット信号RSTがHレベルに変化するまで、Hレベル（V<sub>OUT</sub>=VDD）に維持される。リセット信号RSTがHレベルに変化すると、出力電圧V<sub>OUT</sub>は、再びLレベルに変化し、その後は、時刻t<sub>s</sub>以降の動作が繰り返される。

[0023] 図3は、コンパレータ100の構成例を説明する回路図である。

図3を参照して、コンパレータ100は、差動増幅回路110と、能動負荷回路120と、電流源回路130と、電流変換回路140と、ミニマムセ

レクタ回路150と、ラッチ回路160と、出力段170とを含む。

- [0024] 能動負荷回路120とは、P型のトランジスタPM1, PM2を有する。トランジスタPM1及びPM2は、電源電圧VDDを伝達する電源ノードNpと、ノードN1及びN2との間にそれぞれ接続される。トランジスタPM1のゲートはノードN1と接続され、トランジスタPM2のゲートはノードN2と接続される。即ち、トランジスタPM1及びPM2の各々は、電源ノードNp側を陽極とするダイオードとして機能する。
- [0025] 差動増幅回路110は、N型のトランジスタNM1, NM2を有する。トランジスタNM1は、ノードN1及びN3の間に接続されて、ゲートに入力電圧Vin(図1)を受ける。トランジスタNM2は、ノードN2及びN3の間に接続されて、ゲートに基準電圧VREF(図1)を受ける。
- [0026] 電流源回路130は、接地電圧VSSを伝達する接地ノードNs及びノードN3の間に接続されたN型のトランジスタNM0を有する。即ち、電流源回路130は、電源ノードNp及び接地ノードNsの間に、ノードN3を介して、差動増幅回路110と直列接続されている。トランジスタNM0のゲートには、一定電圧(例えば、基準電圧VREF)が入力される。
- [0027] 電流変換回路140は、P型のトランジスタPM3と、N型のトランジスタNM3, NM4とを有する。トランジスタPM3は、電源ノードNp及びノードN4の間に接続される。トランジスタPM3のゲートは、トランジスタPM2のゲートと共通に、ノードN2と接続される。従って、トランジスタPM3は、トランジスタPM2とカレントミラーを構成する。
- [0028] トランジスタNM3は、ノードN4及び接地ノードNsの間に接続され、トランジスタNM4は、ノードN6及び接地ノードNsの間に接続される。トランジスタNM3及びNM4のゲートは、共通にノードN4と接続される。即ち、トランジスタNM3は、ダイオード接続されており、トランジスタNM4は、トランジスタNM3とカレントミラーを構成する。
- [0029] ミニマムセクタ回路150は、電源ノードNp及びノードN5の間に直接接続された、P型のトランジスタPM4及びPM5を有する。トランジスタ

タPM4のゲートは、ノードN2と接続される。トランジスタPM5のゲートは、ノードN1と接続される。

[0030] 出力段170は、電源ノードNp及びノードN6の間に接続されるP型のトランジスタPM6を有する。トランジスタPM6のゲートは、ノードN1と接続される。

[0031] ラッチ回路160は、N型のトランジスタNM5～NM8を有する。トランジスタNM5及びNM7は、ノードN5及び接地ノードNsの間に並列接続される。トランジスタNM6及びNM8は、ノードN6及び接地ノードNsの間に並列接続される。トランジスタNM7及びNM8のゲートには、リセット信号RSTが入力される。トランジスタNM5のゲートは、ノードN6と接続される。トランジスタNM6のゲートは、ノードN5と接続される。

[0032] ノードN6の電圧レベルをインバータINV1aによって反転増幅することで、電圧VOU<sub>Tn</sub>が発生され、インバータINV1aの出力をインバータINV1bによって反転増幅することで、コンパレータ100の出力電圧VOU<sub>T</sub>が生成される。即ち、出力電圧VOU<sub>T</sub>は、ノードN6の電圧に従って、Hレベル(VDD)及びLレベル(VSS)の一方に設定される。又、電圧VOU<sub>Tn</sub>は、出力電圧VOU<sub>T</sub>とは相補の電圧レベルに設定される。

[0033] 尚、コンパレータ100内のP型のトランジスタPM1～PM6について、トランジスタPM5及びPM6は、トランジスタPM1と比例した電流を発生することができる。同様に、トランジスタPM3及びPM4は、トランジスタPM2に比例した電流を発生することができる。ここでは、トランジスタPM1、PM2、PM4～PM6の各々のトランジスタサイズ(W/L)は同等であり、トランジスタPM3のトランジスタサイズは、トランジスタPM1、PM2、PM4～PM6のトランジスタサイズの(1/2)倍であるものとする。

[0034] 又、カレントミラーを構成するN型のトランジスタNM3及びNM4のト

ランジスタサイズは1 : 1であり、トランジスタNM4は、トランジスタNM3と同等の電流を流すことができる。

[0035] 次に、コンパレータ100の動作を説明する。

差動増幅回路110、能動負荷回路120、及び、電流源回路130の直列回路において、電流源回路130のトランジスタNM3が流す電流 $I_3$ は、トランジスタPM1がノードN1に流す電流 $I_1$ と、トランジスタPM2がノードN2に流す電流 $I_2$ との和となる。電流 $I_3$ に対する、電流 $I_1$ 及び $I_2$ の内訳は、入力電圧 $V_{in}$ （トランジスタNM1のゲート電圧）及び基準電圧 $V_{REF}$ （トランジスタNM2のゲート電圧）によって変化する。具体的には、電流 $I_1$ 及び $I_2$ の間には、入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の電圧差を増幅した電流差が生じる。

[0036] 電流変換回路140において、P型のトランジスタPM3がノードN4に流す電流 $I_{4p}$ は、電流 $I_2$ に比例しており、上記のトランジスタサイズの比に従うと、 $I_{4p} = I_2 / 2$ となる。一方で、N型のトランジスタNM4は、電流 $I_{4p}$ に比例した電流 $I_{4n}$ をノードN6から接地ノードNsへ生じさせる。上述のトランジスタサイズ比に従うと、 $I_{4n} = I_{4p} = I_2 / 2$ となる。このように、電流変換回路140は、ノードN6及び接地ノードNsの間に、電流 $I_2$ に比例した電流 $I_{4n}$ を発生させる電流駆動力を有する。

[0037] 一方で、出力段170のトランジスタPM6は、電流 $I_1$ に比例した電流 $I_{6p}$ を、電源ノードNp及びノードN6の間に発生させる電流駆動力を有する。

[0038] ミニマムセレクタ回路150では、トランジスタPM4は、電流 $I_1$ に比例する電流 $I_{5a}$ を発生させる電流駆動力を有する。トランジスタPM5は、電流 $I_2$ に比例する電流 $I_{5b}$ を発生させる電流駆動力を有する。同等のトランジスタサイズを有するトランジスタPM4及びPM5が直列接続されるため、電流 $I_1$ 又は $I_2$ がゼロであるときには、これらに比例する電流 $I_{5a}$ 及び $I_{5b}$ の一方がゼロになるため、ノードN5及びトランジスタNM

5を流れる電流 $I_5$ はゼロとなる。又、電流 $I_{5a} = I_{5b}$ であるときには、 $I_5 = I_{5a} / 2 = I_{5b} / 2$ となる。この結果、ミニマムセクタ回路150は、電流 $I_1$ 及び $I_2$ の最小値（最小電流）に比例した電流 $I_5$ をノードN5に発生するように動作する。

[0039] ラッチ回路160において、リセット信号RSTのHレベル期間では、トランジスタNM7及びNM8のオンにより、ノードN5及びN6がプルダウンされて、両ノードの電圧は接地電圧VSSにリセットされる。これにより、図2に示したように、出力電圧VOUTはLレベル（VSS）に初期化される。又、トランジスタNM5及びNM6はオフされる。リセット信号RSTがLレベルに変化すると、トランジスタNM7、NM8がオフされるので、ノードN5及びN6は、HiZ（ハイインピーダンス状態）となる。以降、ノードN5及びN6には、電流 $I_1$ 及び $I_2$ に従ってノードN5及びN6に流れる電流に応じて電圧変化が生じる。ノードN6の電圧変化に応答して、出力電圧VOUTも変化する。

[0040] 次に、図4～図6を用いて、入力電圧Vinの範囲毎でのコンパレータ100の動作を詳細に説明する。

[0041] 図4には、入力電圧Vinが基準電圧VREFより低いとき（ $V_{in} < V_{REF}$ ）のコンパレータ100の動作が示される。

[0042] 図4を参照して、差動増幅回路110、能動負荷回路120、及び、電流源回路130の直列回路において、電流源回路130（トランジスタNM3）による電流 $I_3 = I_{tail}$ とすると、 $V_{in} < V_{REF}$ のとき、入力電圧Vinをゲートに入力されるトランジスタNM1を流れる電流 $I_1 \doteq 0$ となる一方で、基準電圧VREFをゲートに入力されるトランジスタNM2の電流 $I_2 \doteq I_{tail}$ となる。

[0043] 電流 $I_2$ （ $\doteq I_{tail}$ ）がトランジスタPM2を流れるので、トランジスタPM3及びPM4には、電流 $I_2$ に比例した電流が生じる。上述のトランジスタサイズに従って、トランジスタPM3からノードN4には、電流 $I_{4p}$ （ $\doteq I_{tail} / 2$ ）が生じる。一方で、トランジスタPM4には電流

$I_{5a} \doteq I_{tail}$ を生じさせる電流駆動力が働く。

[0044] 一方で、トランジスタPM1の電流 $I_1 = 0$ となるので、トランジスタPM6がノードN6に供給する、電流 $I_1$ に比例する電流 $I_{6p}$ はゼロとなる。この結果、トランジスタNM6を流れる電流 $I_{6n}$ もゼロとなる。

[0045] 又、トランジスタNM4について、カレントミラーを構成するトランジスタNM3には $I_{4p} \doteq I_{tail} / 2$ が流れる一方で、トランジスタPM6からノードN6には電流が供給されない。この結果、トランジスタNM4の電流 $I_{4n} = 0$ となる。即ち、ノードN6に関して、 $I_{6p} = I_{6n} = I_{4n} = 0$ である。

[0046] 更に、ミニマムセクタ回路150のトランジスタPM6の電流 $I_{5b}$ もゼロとなる。この結果、ミニマムセクタ回路150から出力される電流がゼロになるので、ノードN5の電流 $I_5 = 0$ となる。

[0047] コンパレータ100が動作を開始すると、ノードN5及びN6は、接地電圧 $V_{SS}$ にプルダウンされた状態から、ハイインピーダンス状態となる。図4 ( $V_{in} < V_{REF}$ )の状態では、上述のように、ノードN5及びN6には電流が生じないので、ノードN5及びN6の電圧は、動作開始時の接地電圧 $V_{SS}$ に維持される。このため、ラッチ回路160において、トランジスタNM5~NM8はオフ状態（ドレイン電流=0）を維持されて、ノードN6の電圧は接地電圧に維持される。この結果、出力電圧 $V_{OUT} = L$ レベル（ $V_{SS}$ ）である。

[0048] 図4の状態においては、入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の比較のために、差動増幅回路110、能動負荷回路120、及び、電流源回路130と、電流変換回路140とで電流が消費される一方で、ミニマムセクタ回路150、ラッチ回路160、及び、出力段170では電流が消費されない（ $I_{6p} = I_{6n} = I_5 = I_{4n} = 0$ ）。即ち、コンパレータ100全体の消費電流は、 $I_2 + I_{4p} = (3/2) \cdot I_{tail}$ となる。

[0049] 図5には、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ 近傍であるとき（ $V_{in} \doteq V_{REF}$ ）のコンパレータ100の動作が示される。

- [0050] 図5を参照して、差動増幅回路110、能動負荷回路120、及び、電流源回路130の直列回路において、電流源回路130（トランジスタNM3）による電流 $I_3 = I_{tail}$ とすると、 $V_{in} = V_{REF}$ のとき、トランジスタPM1を流れる電流 $I_1$ と、トランジスタPM2の電流 $I_2$ とは均衡して、 $I_1 = I_2 = I_{tail} / 2$ となる。
- [0051] これにより、ミニマムセクタ回路150のトランジスタPM5と、出力段170のトランジスタPM6にも、電流 $I_1$ に比例する電流が生じる。上述のトランジスタサイズの比から、電流 $I_{5b} = I_{6p} = I_1 = I_{tail} / 2$ となる。
- [0052] 同様に、電流変換回路140のトランジスタPM3と、ミニマムセクタ回路150のトランジスタPM4とも、電流 $I_2$ に比例する電流が生じる。上述のトランジスタサイズの比から、 $I_{4p} = I_2 / 2 = I_{tail} / 4$ となり、 $I_{5a} = I_{6p} = I_2 = I_{tail} / 2$ となる。
- [0053] 電流変換回路140では、トランジスタPM3及びNM3に、電流 $I_{4p} = I_{tail} / 4$ が流れるとともに、トランジスタNM3とカレントミラーを構成するトランジスタNM4にも、電流 $I_{4n} = I_{tail} / 4$ が流れる。
- [0054] ミニマムセクタ回路150では、直列接続された同一トランジスタサイズのトランジスタPM4及びPM5のそれぞれに電流 $I_{5a} = I_{tail} / 2$ 、及び電流 $I_{5b} = I_{tail} / 2$ の電流駆動力が生じる、従って、ミニマムセクタ回路150から出力される電流 $I_5$ は、 $I_5 = I_{5a} / 2 = I_{5b} / 2 = I_{tail} / 4$ となる。
- [0055] ラッチ回路160では、ミニマムセクタ回路150からの電流 $I_5$ が、ドレイン電流としてトランジスタNM5に流れる。又、ノードN6では、トランジスタPM6による電流 $I_{6p}$ からトランジスタNM4による電流 $I_{4n}$ を減算した電流 $I_{6n}$ が、ドレイン電流としてトランジスタNM6を流れる。電流 $I_{6n} = I_{6p} - I_{4n} = I_{tail} / 4$ である。
- [0056] 従って、 $V_{in} = V_{REF}$ の状態では、トランジスタNM5及びNM6に

同等のドレイン電流が流れる。更に、トランジスタNM5及びNM6のゲート・ソース間電圧も同等であるので、ノードN4及びN5の電圧は中間電圧でバランスする。この状態から、 $V_{in}$ が $V_{REF}$ よりも僅かに上昇すると、トランジスタPM1の電流 $I_1$ と、トランジスタPM2の電流 $I_2$ との間に電流差 ( $I_1 > I_2$ ) が発生する。これに応じて、出力段170のトランジスタPM6の電流 $I_{6p}$ が増加する。これに対して、ミニマムセクタ回路150では、トランジスタPM5の電流駆動能力が増加する一方で、トランジスタPM4の電流駆動能力が減少するので、直列接続されたトランジスタPM4及びPM5からノードN5へ出力される電流 $I_5$ は、 $V_{in} = V_{REF}$ の状態 ( $I_5 \div I_{tail} / 4$ ) よりも低下する。この結果、 $V_{in} = V_{REF}$ の状態から、 $V_{in} > V_{REF}$ の状態への変化が生じると、 $V_{in}$ 及び $V_{REF}$ の電圧差が小さくても、ノードN5及びN6に生じる電流差によって、ノードN6の電圧は、ノードN5の電圧よりも速やかに上昇する。

[0057] その結果、ノードN6の電圧上昇に応じて、トランジスタNM5が、トランジスタNM6よりも先にターンオンする。これにより、ノードN5の電圧が接地電圧 $V_{SS}$ まで低下するので、トランジスタNM6はターンオフされるとともにオフ状態を維持する。この結果、ノードN6の電圧は電源電圧 $V_{DD}$ まで上昇するので、トランジスタNM5はオン状態に維持される。この様に、ラッチ回路160では、正帰還のラッチ動作により、トランジスタNM5のオン状態及びトランジスタNM6のオフ状態が維持される。この結果、ノードN6の電圧はHレベル ( $V_{DD}$ ) に固定されるとともに、ノードN5の電圧はLレベル ( $V_{SS}$ ) に固定される。

[0058] このように、ラッチ回路160では、入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の電圧差が減少して、電流 $I_1$ 及び $I_2$ の両方がゼロでなくなった後、基準電圧 $V_{REF}$ が入力電圧 $V_{in}$ よりも僅かに高くなった段階で、即ち、入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の高低関係がリセット動作の解除時点から逆転した際に、正帰還によるラッチ動作によって、ノードN6の電圧がHレベル ( $V_{DD}$ ) に固定されるとともに、ノードN5の電圧がLレベル ( $V_{SS}$ ) に固定される。



SS)に固定される。この様な回路動作により、出力電圧 $V_{OUT}$ は、LレベルからHレベルに変化する。

- [0059] 図5には、 $V_{in} \doteq V_{REF}$ でのラッチ動作前の電流が表記されており、この状態において、コンパレータ100全体での消費電流は、 $(I_1 + I_2) + I_{4p} + I_5 + I_{6p} \doteq 2 \cdot I_{tail}$ となる。
- [0060] 図6には、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ より高いとき ( $V_{in} > V_{REF}$ )、特にラッチ回路160による正帰還のラッチ動作後における、コンパレータ100の動作が示される。
- [0061] 図6を参照して、差動増幅回路110、能動負荷回路120、及び、電流源回路130の直列回路において、 $V_{in} > V_{REF}$ のときには、入力電圧 $V_{in}$ をゲートに入力されるトランジスタNM1を流れる電流 $I_1 \doteq I_{tail}$ となる一方で、基準電圧 $V_{REF}$ をゲートに入力されるトランジスタNM2の電流 $I_2 \doteq 0$ となる。
- [0062] 電流 $I_1 \doteq I_{tail}$ となることで、ミニマムセクタ回路150のトランジスタPM5、及び、出力段170のトランジスタPM6にも、 $I_{5b} = I_{6p} \doteq I_{tail}$ 相当の電流駆動力が生じる。
- [0063] 一方で、電流 $I_2 = 0$ となるので、電流変換回路140のトランジスタPM3及びNM3の電流 $I_{4p}$ もゼロとなり、ミニマムセクタ回路150のトランジスタPM4の電流駆動力もゼロとなる。
- [0064] 従って、ミニマムセクタ回路150から出力される電流 $I_5 = 0$ になる。このため、ラッチ回路160では、 $V_{in} = V_{REF}$ のときにターンオンされたトランジスタNM5によってプルダウンされたノードN5の電圧（接地電圧 $V_{SS}$ ）が保持される。図4及び図6に示される様に、ミニマムセクタ回路150は、電流 $I_1$ 及び電流 $I_2$ の一方がゼロであるときには、出力電流 $I_5 = 0$ となる様に動作することが理解される。
- [0065] 一方、ラッチ動作後のラッチ回路160のトランジスタNM6は、オフ状態に維持されるので、電流 $I_{6p} = 0$ である。又、トランジスタNM4とカレントミラーを構成するトランジスタNM3で電流が流れないため、電流 $I$

4 n = 0である。この結果、ノードN6を含む電流経路は形成されず、トランジスタPM6にも電流は流れない ( $I_{6p} = I_{6n} = I_{4n} = 0$ )。このため、ラッチ回路160では、上記正帰還のラッチ動作によって変化した、ノードN6の電圧 (VDD) 及びノードN5の電圧 (VSS) が、ノードN5及びN6に電流が生じない状態を維持した上で保持される。即ち、出力電圧  $V_{OUT} = H$  レベル (VDD) に保持される。

[0066] このように、ラッチ回路160は、入力電圧  $V_{in}$  が基準電圧  $V_{REF}$  と交差するとき、正帰還により出力電圧  $V_{OUT}$  をLレベルからHレベルに変化させると、以降では、リセット信号RSTが再びHレベルに設定されて、リセット動作が実行されるまで、この電圧状態を保持する。

[0067] 図6の状態においては、入力電圧  $V_{in}$  が基準電圧  $V_{REF}$  に達したことを検知して出力電圧  $V_{OUT}$  をHレベルに変化させた後、即ち、ラッチ回路160によるラッチ動作後には、電流変換回路140、ミニマムセクタ回路150、ラッチ回路160、及び、出力段170で電流を消費することなく、出力電圧  $V_{OUT}$  を変化後のHレベルに維持できる。即ち、コンパレータ100の消費電流は、差動増幅回路110、能動負荷回路120、及び、電流源回路130の直列回路での、 $I_1 + I_2 = I_3 \div I_{tail}$  のみとなる。

[0068] 尚、ラッチ回路160がラッチ動作を実行して、ノードN6の電圧、及び、出力電圧  $V_{OUT}$  がHレベル (VDD) に固定された後、即ち、一旦図5の状態となった後は、図4で説明した様な  $V_{in} < V_{REF}$  の状態となっても、当該電圧状態が維持される。図4で説明したように、電流  $I_1 = 0$  に応じて、トランジスタPM6による電流  $I_{6p}$  及びミニマムセクタ回路150による電流  $I_5$  ともにゼロになるため、ノードN5及びN6の両方ともラッチ後の電圧に維持されるからである。

[0069] 図7は、入力電圧  $V_{in}$  に対するコンパレータ100の消費電流を説明する概念的なグラフである。図7の縦軸には、コンパレータ100の消費電流が  $I_{tail}$  の何倍であるかを示す係数が示される。

- [0070] 図7を参照して、 $V_{in} < V_{REF}$ の電圧範囲151では、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達するのを検出しようと待ち構えている状態である。図4で説明したように、このときのコンパレータ100の消費電流は、電流源回路130による $I_{tail}$ の1.5倍である。
- [0071]  $V_{in} \div V_{REF}$ の電圧範囲152では、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達したタイミングから、出力電圧 $V_{OUT}$ が変化するまでの時間、即ち、検知速度は、コンパレータ100の消費電流に依存する。電圧範囲152では、図5で説明したように、ラッチ回路160及び出力段170でも電流が消費されるので、コンパレータ100の消費電流は、 $I_{tail}$ の2倍となる。
- [0072]  $V_{in} > V_{REF}$ の電圧範囲153では、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達したことを検知する1ショット動作を完了し、次にリセット信号 $RST$ がHレベルとされるまで、出力電圧 $V_{OUT}$ を保持している状態である。図6で説明したように、このときのコンパレータ100の消費電流は、差動増幅回路110、能動負荷回路120、及び、電流源回路130での $I_{tail}$ のみとなる。即ち、1ショット動作完了後の消費電流が大幅に抑制されることが理解される。
- [0073] このように、実施の形態1によれば、基準電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の電圧差が小さくなったときに、ミニマムセクタ回路150及びラッチ回路160を用いた正帰還増幅によって、出力電圧 $V_{OUT}$ を変化させることができる。更に、基準電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ の電圧差が大きいときには、ミニマムセクタ回路150及びラッチ回路160による消費電流をカットすることができる。これにより、2入力的一方のアナログ電圧（入力電圧 $V_{in}$ ）が2入力の他方である基準電圧 $V_{REF}$ に達したことを検知する1ショット型のコンパレータの低消費電力化を図ることができる。
- [0074] 更に、コンパレータ100によれば、回路構成を対称化することなく、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ と交差するタイミングで出力電圧 $V_{OUT}$ が変化する。この結果、所謂、システムティックオフセットを発生させるこ

となく、高精度（低オフセット）の1ショット型のコンパレータを構成することが可能である。

[0075] 実施の形態1の構成例において、電源電圧VDDは「第1の電圧」の一実施例に対応し、電源ノードNpは「第1の電源ノード」の一実施例に対応する。更に、接地電圧VSSは「第2の電圧」の一実施例に対応し、接地ノードNsは「第2の電源ノード」の一実施例に対応する。又、ノードN1は「第1のノード」、ノードN2は「第2のノード」、ノードN3は「第3のノード」、ノードN5は「出力相補ノード」、ノードN6は「出力ノード」の一実施例にそれぞれ対応する。更に、電流I1は「第1の電流」、電流I2は「第2の電流」、電流I3は「第3の電流」、電流I6pは「第1の出力電流」、電流I4nは「第2の出力電流」の一実施例にそれぞれ対応する。

[0076] 更に、実施の形態1の構成例において、N型のトランジスタは「第1導電型」のトランジスタに対応し、トランジスタNM1は「第1のトランジスタ」、トランジスタNM2は「第2のトランジスタ」、トランジスタNM0は「第3のトランジスタ」、トランジスタNM4は「第4のトランジスタ」のそれぞれの一実施に対応する。又、ラッチ回路160において、トランジスタNM5~NM8は、「第8のトランジスタ」~「第11のトランジスタ」のそれぞれの一実施例に対応する。更に、P型のトランジスタは「第2導電型」のトランジスタに対応し、トランジスタPM5は「第5のトランジスタ」、トランジスタPM4は「第6のトランジスタ」、トランジスタPM6は「第7のトランジスタ」のそれぞれの一実施に対応する。

[0077] 実施の形態1の第1の変形例。

図8は、実施の形態1の第1の変形例に係るコンパレータの構成例を説明する回路図である。

[0078] 図8を参照して、実施の形態1の変形例に係るコンパレータ101xは、実施の形態1に係るコンパレータ100（図3）と比較して、ラッチ回路160が、キャパシタC10を更に有する点で異なる。キャパシタC10は、ノードN5及び接地ノードNsの間に接続される。コンパレータ101xの

その他の構成は、実施の形態1に係るコンパレータ100（図3）と同様であるので、詳細な説明は繰り返さない。

[0079] 図3のコンパレータ100では、ラッチ回路160を構成するN型のトランジスタNM5及びNM6の間、或いは、P型のトランジスタPM4～PM6の間に製造上のばらつき、例えば、トランジスタのしきい値電圧等の差が発生すると、正確に $V_{in} = V_{REF}$ となるタイミングからずれたタイミングにおいて、ラッチ回路160での正帰還が開始されることで、出力電圧 $V_{OUT}$ がLレベルからHレベルに変化する虞がある。

[0080] 或いは、リセット信号RSTがLレベルに変化した、リセット解除後では、ノードN5はハイインピーダンス状態であるため、ノイズ等によるノードN5の電圧変動によって、ラッチ回路160が誤ったタイミングで動作（正帰還）を開始することも懸念される。

[0081] これに対して、実施の形態1の第1の変形例に係るコンパレータ101xによれば、キャパシタC10の配置により、リセット解除後において確実に $V_{in} = V_{REF}$ となるまで、ノードN5の電圧を接地電圧 $V_{SS}$ に保持することができる。これにより、ラッチ回路160が誤ったタイミングで動作（正帰還）を開始することを防止できる。この結果、コンパレータの検出精度を高めることができる。

[0082] 尚、実施の形態1の第1の変形例では、キャパシタC10の配置によって、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達するタイミングの検知が遅れることが懸念されるが、一旦、ラッチ回路160が増幅動作を開始すると、出力電圧 $V_{OUT}$ をLレベルからHレベルへ速やかに変化することができる。従って、キャパシタC10の容量値を適正に設計することで、上述の検出遅れは、影響が無いレベルに調整することができる。

[0083] 実施の形態1の第2の変形例、

図18は、実施の形態1の第2の変形例に係るコンパレータの構成例を説明する回路図である。

[0084] 図18を参照して、実施の形態1の第2の変形例に係るコンパレータ10

1 yは、実施の形態1に係るコンパレータ100（図3）と比較して、能動負荷回路120が、リセット動作時における電流遮断のためのP型のトランジスタPMC1～PMC4を更に有する点で異なる。

[0085] トランジスタPMC1は、電源ノードNpとトランジスタPM1のゲートとの間に接続される。トランジスタPMC2は、電源ノードNpとトランジスタPM2のゲートとの間に接続される。トランジスタPMC3は、トランジスタPM1のゲートと、ノードN1との間に接続される。トランジスタPMC4は、トランジスタPM2のゲートと、ノードN2との間に接続される。コンパレータ101yのその他の構成は、実施の形態1に係るコンパレータ100（図3）と同様であるので、詳細な説明は繰り返さない。

[0086] トランジスタPMC1及びPMC2のゲートには、リセット信号RSTが入力される。トランジスタPMC3及びPMC3のゲートには、リセット信号RSTの反転信号RSTnが入力される。

[0087] 従って、リセット動作時（RST=Hレベル）では、トランジスタPMC1及びPMC2がオンする一方で、トランジスタPMC3及びPMC4はオフされる。これにより、トランジスタPM1及びPM2のゲートは、ノードN1及びN2からそれぞれ切り離されて、電源ノードNp（電源電圧VDD）と接続される。これにより、トランジスタPM1及びPM2は、確実にオフされる。

[0088] これに対して、リセット解除後のコンパレータ101yの回路動作時（RST=Lレベル）には、トランジスタPM1及びPMC2がオフされる一方で、トランジスタPMC3及びPMC4がオンされる。従って、トランジスタPM1及びPM2のゲートは、図3と同様に、ノードN1及びN2とそれぞれ接続される一方で、電源ノードNpからは切り離される。この結果、RST=Lレベル時におけるコンパレータ101yの回路動作は、図3に示された実施の形態1に係るコンパレータ100と同じであることが理解される。

[0089] この様に、実施の形態1の第2の変形例に係るコンパレータ101yでは

、リセット動作時において、能動負荷回路120のトランジスタPM1及びPM2による電流経路を遮断することにより、消費電力をほぼゼロ（厳密には、ナノアンペア（nA）オーダのリーク電流以下）に抑制することが可能となる。1ショット型のコンパレータの低消費電力化の更なる低消費電力化を図ることができる。

[0090] 図18において、能動負荷回路120内のP型のトランジスタPM1及びPM2は、「第12のトランジスタ」及び「第13のトランジスタ」の一実施例に対応する。又、ダイオード接続されたトランジスタPM1及びPM2のそれぞれによる電流経路は「第1の電流経路」及び「第2の電流経路」の一実施例に対応する。更に、P型のトランジスタPMC1～PMC4によって、「電流遮断機構」の一実施例を形成することができる。

[0091] 実施の形態1の第3の変形例。

図19A及び図19Bは、実施の形態1の第3の変形例に係るコンパレータの構成例を説明する回路図である。

[0092] 図19Aを参照して、実施の形態1の第3の変形例に係るコンパレータ101zは、実施の形態1に係るコンパレータ100（図3）と比較して、電流源300a及び300bを更に備える点で異なる。電流源300aは、ノードN5に微小電流を供給する様に配置され、電流源300bは、ノードN6に微小電流を供給する様に配置される。コンパレータ101zのその他の構成は、実施の形態1に係るコンパレータ100（図3）と同様であるので、詳細な説明は繰り返さない。

[0093] 図4で説明した様に、リセット信号RSTがHレベルからLレベルに変化してリセット動作が解除されると、トランジスタNM7、NM8のオフに応じて、ノードN5及びN6は、HiZ（ハイインピーダンス状態）とされる。その後、コンパレータ100では、入力電圧Vin及び基準電圧VREFが交差する際にノードN5及びN6に生じた電圧差に応じて、ラッチ回路160が正帰還によるラッチ動作を実行することで、出力電圧VOUTがLレベルからHレベルに変化する。

- [0094] しかしながら、コンパレータ100において、ノードN5及びN6がH<sub>i</sub>Zの期間中では、入力電圧V<sub>in</sub>及び基準電圧V<sub>REF</sub>が交差する前に、電源ノードN<sub>p</sub>又は接地ノードN<sub>s</sub>等から回り込むノイズによって生じたノードN5及びN6の電圧差に反応して、ラッチ回路160が上述の正帰還によるラッチ動作を実行する虞がある。これにより、入力電圧V<sub>in</sub>及び基準電圧V<sub>REF</sub>が交差していないのに出力電圧V<sub>OUT</sub>が変化してしまう、コンパレータ100の誤動作が発生することが懸念される。
- [0095] 上述の誤動作を抑制するために、電流源300a, 300bは、ラッチ回路160のトランジスタNM5, NM6をサブスレッシュホールド領域で動作させるための微小なバイアス電流（nAオーダー）を生成する。電流源300a, 300bを配置することにより、リセット動作の解除後（RST=Lレベル）にラッチ回路160が上述のラッチ動作を行うまでの間、ノードN5及びN6の各々と接地ノードN<sub>s</sub>との間に、当該バイアス電流による微小電流経路を形成することができる。この結果、サブスレッショルド領域で動作するトランジスタNM5, NM6によって、ノードN5及びN6の電圧を、トランジスタNM5, NM6のしきい値電圧付近で安定化することができる。
- [0096] 一方で、リセット解除後において、入力電圧V<sub>in</sub>及び基準電圧V<sub>REF</sub>が交差する際には、電流源300a, 300bによるバイアス電流よりも遥かに大きい、電流I<sub>5</sub>及びI<sub>6n</sub>の電流差によってノードN5及びN6の間に電位差が生じる。従って、この際には、実施の形態1に係るコンパレータ100と同様に、ラッチ回路160が正帰還によるラッチ動作を行うことで、出力電圧V<sub>OUT</sub>が変化する。
- [0097] 尚、図19Aでは、電流源300a及び300bが、ノードN5及びN6と電源ノードN<sub>p</sub>との間に接続される構成例が示されるが、図19Bに示される様に、実施の形態1の第3の変形例に係るコンパレータ101zにおいて、電流源300a及び300bは、ノードN5及びN6と接地ノードN<sub>s</sub>との間に接続されてもよい。



- [0098] 図19Bを参照して、電流源300aは、接地ノードNs及びノードN5の間に接続され、電流源300bは、接地ノードNs及びノードN6の間に接続される。
- [0099] 電流源300aは、リセット動作の解除後(RST=Lレベル)にラッチ回路160がラッチ動作を行うまでの間に、ミニマムセクタ回路150(直列接続されたトランジスタPM4及びPM5)がノードN5に供給する電流よりも小さい電流を生成することで、図19Aと同様に、トランジスタNM5をサブスレッシュولد領域で動作させることができる。
- [0100] 同様に、電流源300bは、リセット動作の解除後(RST=Lレベル)にラッチ回路160がラッチ動作を行うまでの間に、出力段170(トランジスタPM6)がノードN6に供給する電流よりも小さい電流を生成することで、図19Aと同様に、トランジスタNM6をサブスレッシュولد領域で動作させることができる。例えば、電流源300a, 300bは、トランジスタNM4とカレントミラーを構成するN型のトランジスタによって構成することができる。
- [0101] 図19Bの構成においても、電流源300a, 300bを配置することにより、リセット動作の解除後(RST=Lレベル)にラッチ回路160が上述のラッチ動作を行うまでの間、サブスレッシュولد領域で動作するトランジスタNM5, NM6によって、ノードN5及びN6の電圧を安定化することができる。
- [0102] 図19A及び図19Bにおいて、電流源300aは「第1の補助電流源」の一実施例に対応し、電流源300bは「第2の補助電流源」の一実施例に対応する。更に、トランジスタNM5及びNM6は、上記「第8のトランジスタ」及び「第9のトランジスタ」に加えて、「クロスカップル回路を構成するトランジスタ」の一実施例に対応する。
- [0103] この様に、実施の形態1の第3の変形例に係るコンパレータ101zでは、電流源300a, 300bが生成する微小電流により、クロスカップル回路を構成するトランジスタNM5, NM6をリセット動作の解除後にサブス

レッシュョルド領域で動作させることができる。これにより、ノイズ等の外乱によってノードN5、N6の電圧が変化することに起因する誤動作を抑制することができる。尚、上述した実施の形態1の第1～3の変形例は、互いに組みわせることも可能である。

[0104] 実施の形態2.

実施の形態1で説明したように、電流源回路130による電流 $I_3$  ( $I_{tail}$ )は、差動増幅回路110の通過電流であるので、入力電圧 $V_{in}$ の検出精速度に影響を与える。又、入力電圧 $V_{in}$ の電圧範囲151～153 (図7)を通じて、コンパレータの消費電流は、電流 $I_{tail}$ の倍数で示される。従って、実施の形態2では、入力電圧 $V_{in}$ に応じて電流源回路130による電流 $I_3$ を可変制御する構成について説明する。

[0105] 図9は、実施の形態2に係るコンパレータの構成例を説明する回路図である。

図9を参照して、実施の形態2に係るコンパレータ102は、実施の形態1に係るコンパレータ100 (図3)と比較して、電流源回路130に代えて、電流源回路131が配置される点で異なる。コンパレータ102のその他部分の回路構成は、実施の形態1に係るコンパレータ100 (図3)と同様であるので、詳細な説明は繰り返さない。

[0106] 電流源回路131は、電流源回路130と同様のN型のトランジスタNM0に加えて、N型のトランジスタNM0x、NM0x1、NM0x2を更に有する。トランジスタNM0xは、トランジスタNM0と並列に、ノードN3及び接地ノードNsの間に接続される。従って、電流源回路131による電流 $I_3$ は、トランジスタNM0の電流 $I_{31}$ と、トランジスタNM0xの電流 $I_{32}$ との和で示される ( $I_3 = I_{31} + I_{32}$ )。

[0107] トランジスタNM0x1、NM0x2は、トランジスタNM0xのゲートに対して接続される。トランジスタNM0x1のゲートには、電圧 $V_{OUTn}$ が入力される。トランジスタNM0x2のゲートには、出力電圧 $V_{OUT}$ が入力される。従って、トランジスタNM0x1及びNM0x2は、相補的

にオンオフする。

[0108] 具体的には、リセット信号  $RST = H$  レベルに応じて、電圧  $VOUT_n$  が  $H$  レベル、出力電圧  $VOUT$  が  $L$  レベルに設定される期間では、トランジスタ  $NM0 \times 1$  がオンされる一方で、トランジスタ  $NM0 \times 2$  がオフされる。従って、トランジスタ  $NM0 \times$  のゲートには、トランジスタ  $NM0$  と共通の一定電圧（例えば、基準電圧  $VREF$ ）が入力されることにより、電流  $I_{32}$  が発生する。

[0109] これに対して、出力電圧  $VOUT$  が  $H$  レベル、電圧  $VOUT_n$  が  $L$  レベルに設定される期間では、トランジスタ  $NM0 \times 2$  がオンされる一方で、トランジスタ  $NM0 \times 1$  がオフされる。従って、トランジスタ  $NM0 \times$  のゲートには、接地電圧  $VSS$  が入力される。これにより、トランジスタ  $NM0 \times$  はオフされるので、電流  $I_{32} = 0$  となる。

[0110] 図 10 には、図 9 に示されたコンパレータ 102 の動作を説明するための波形図が示される。

[0111] 図 10 を参照して、時刻  $t_s$  において、リセット動作が解除されると、コンパレータ 102 は動作を開始する。図 2 で説明したように、入力電圧  $V_{in}$  が基準電圧  $VREF$  と交差するまでの時刻  $t_s \sim t_d$  の期間では、出力電圧  $VOUT = L$  レベル、電圧  $VOUT_n = H$  レベルである。尚、時刻  $t_s \sim t_d$  の期間は、図 7 の電圧範囲 151 及び電圧範囲 152 の一部 ( $V_{in} < VREF$  の範囲) に対応する。当該期間では、トランジスタ  $NM0$  及び  $NM0 \times$  のゲートに一定電圧（基準電圧  $VREF$ ）が供給される。従って、電流源回路 131 の電流  $I_3 = I_{31} + I_{32}$  である。

[0112] これに対して、入力電圧  $V_{in}$  が基準電圧  $VREF$  に達した時刻  $t_d$  以降の期間では、出力電圧  $VOUT = H$  レベル、電圧  $VOUT_n = L$  レベルである。尚、時刻  $t_d$  以降の期間は、図 7 の電圧範囲 153 及び電圧範囲 152 の一部 ( $V_{in} > VREF$  の範囲) に対応する。当該期間では、トランジスタ  $NM0$  に一定電圧（基準電圧  $VREF$ ）が供給される一方で、トランジスタ  $NM0 \times$  はオフされる。従って、電流源回路 131 の電流  $I_3 = I_{31}$  である。

あり、電流  $I_3$  は減少する。

[0113] この結果、実施の形態 2 に係るコンパレータでは、入力電圧  $V_{in}$  が基準電圧  $V_{REF}$  と交差した（入力電圧  $V_{in}$  が基準電圧  $V_{REF}$  に到達した）ことを検知するまでは、当該検知後と比較して、電流源回路 131 の電流  $I_3$  を大きくすることで、1 ショット型コンパレータの検出速度を高めることができる。又、検知後の電流  $I_3$  を絞ることで、低消費電力効果を高めることができる。

[0114] 電流  $I_{31}$  及び  $I_{32}$  は、トランジスタ  $NM0$  及び  $NM0x$  のトランジスタサイズによって調整できる。例えば、図 9 での電流  $I_{31}$  を実施の形態 1（図 3）の電流  $I_3$  よりも小さくするとともに、図 9 での電流  $I_{31} + I_{32}$  を、実施の形態 1 の電流  $I_3$  よりも高くするように調整すれば、実施の形態 1 と比較して、検出速度の向上、及び、低消費電力化の両方を図ることができる。

[0115] 実施の形態 2 の変形例。

図 11 は、実施の形態 2 の変形例に係るコンパレータの構成例を説明する回路図である。

[0116] 図 11 を参照して、実施の形態 2 の変形例に係るコンパレータ 103 は、実施の形態 2 に係るコンパレータ 102 と比較して、入力電圧検知回路 180 と、電流制御信号生成回路 190 とを更に有する。更に、図 9 と同様のトランジスタ  $NM0$ 、 $NM0x$ 、 $NM0x1$ 、 $NM0x2$  で構成された電流源回路 131 において、トランジスタ  $NM0x1$  及び  $NM0x2$  のゲートには、電流制御信号生成回路 190 からの制御信号が入力される。コンパレータ 103 のその他部分の回路構成は、実施の形態 2 に係るコンパレータ 102（図 9）と同様であるので、詳細な説明は繰り返さない。

[0117] 電流制御信号生成回路 190 は、P 型のトランジスタ  $PM7$  及び  $PM8$  と、抵抗素子  $RA1$  及び  $RB1$  とを有する。トランジスタ  $PM7$  及び抵抗素子  $RA1$  は、ノード  $N7$  を介して、電源ノード  $Np$  及び接地ノード  $Ns$  の間に直列接続される。同様に、トランジスタ  $PM8$  及び抵抗素子  $RB1$  は、ノー

ドN8を介して、電源ノードNp及び接地ノードNsの間に直列接続される。

- [0118] トランジスタPM7及びPM8のゲートは、電流I1が通過するP型のトランジスタPM1のゲートと接続される。従って、トランジスタPM7及びPM8の各々には、電流I1に比例した電流I7、I8が流れる。ノードN7には、電流I7及び抵抗素子RA1の抵抗値の積に従う電圧VN7が発生する。同様に、ノードN8には、電流I8及び抵抗素子RB1の抵抗値の積に従う電圧VN8が発生する。この結果、電圧VN7及びVN8は、入力電圧Vinに応じて差動増幅回路110で生じる電流I1に比例する。
- [0119] 電流制御信号生成回路190は、論理ゲート191と、インバータINV2、INV3を有する。論理ゲート191は、制御信号Sdtx及びSdtyの排他的論理和(XOR)を出力する。
- [0120] 制御信号Sdtxは、電圧VN7を2値変換した信号である。抵抗素子RA1の抵抗値は、Vinが判定電圧Vx ( $Vx < VREF$ ) の以下のときにSdtx=Lレベルとなり、 $Vin > Vx$ のときにSdtx=Hレベルとなるように調整される。同様に、制御信号Sdtyは、電圧VN8を2値変換した信号である。抵抗素子RB1の抵抗値は、Vinが判定電圧Vy ( $Vy > VREF$ ) 以下のときにSdty=Lレベルとなり、 $Vin > Vy$ のときにSdty=Hレベルとなるように調整される。
- [0121] 制御信号Stailは、論理ゲート191の出力信号と同じ信号レベルを有し、電流源回路132のトランジスタNM0x1のゲートに入力される。一方で、制御信号Stailと反対の信号レベルを有する制御信号Stailnは、電流源回路132のトランジスタNM0x2のゲートに入力される。
- [0122] 図12は、実施の形態2の変形例に係るコンパレータの動作を説明するための波形図である。
- [0123] 図12を参照して、入力電圧 $Vin \leq Vx$ の範囲では、制御信号Sdtx及びSdtyの両方がLレベルであるので、制御信号StailはLレベル

、制御信号  $S_{tailn}$  は H レベルとされる。従って、トランジスタ  $NM0 \times 1$  がオフする一方で、トランジスタ  $NM0 \times 2$  がオンすることで、トランジスタ  $NM0 \times$  のゲートには接地電圧  $V_{SS}$  が入力される。この結果、トランジスタ  $NM0 \times$  はオフされて、電流源回路 131 による電流  $I_3$  は、トランジスタ  $NM0$  のみによって発生される ( $I_3 = I_{31}$ )。

[0124]  $V_x < V_{in} < V_y$  の範囲では、制御信号  $S_{dtx}$  が H レベルである一方で、制御信号  $S_{dty}$  は L レベルであるので、制御信号  $S_{tail}$  は H レベル、制御信号  $S_{tailn}$  は L レベルとされる。従って、トランジスタ  $NM0 \times 2$  がオフする一方で、トランジスタ  $NM0 \times 1$  がオンすることで、トランジスタ  $NM0 \times$  のゲートには基準電圧  $V_{REF}$  が入力される。この結果、電流源回路 131 による電流  $I_3$  は、トランジスタ  $NM0$  及び  $NM0 \times$  の両方によって発生される ( $I_3 = I_{31} + I_{32}$ )。

[0125] 入力電圧  $V_{in} \geq V_y$  の範囲では、制御信号  $S_{dtx}$  及び  $S_{dty}$  の両方が H レベルであるので、制御信号  $S_{tail}$  は L レベル、制御信号  $S_{tailn}$  は H レベルとされる。従って、 $V_{in} \leq V_x$  のときと同様に、トランジスタ  $NM0 \times$  はオフされて、電流源回路 131 による電流  $I_3$  は、トランジスタ  $NM0$  のみによって発生される ( $I_3 = I_{31}$ )。

[0126] この結果、実施の形態 2 の変形例に係るコンパレータでは、入力電圧  $V_{in}$  が基準電圧  $V_{REF}$  を含む予め定められた電圧範囲内 ( $V_x < V_{in} < V_y$ ) であるときには、当該電圧範囲外のとときと比較して、電流源回路 131 の電流  $I_3$  を大きくすることで、1 ショット型コンパレータの検出速度を高めることができる。又、 $V_{in} \leq V_x$  及び  $V_{in} \geq V_y$  のときの電流  $I_3$  を絞ることで、低消費電力効果を高めることができる。尚、電流  $I_{31}$  及び  $I_{32}$  は、実施の形態 2 で説明したのと同様に、トランジスタ  $NM0$  及び  $NM0 \times$  のトランジスタサイズによって調整することができる。尚、実施の形態 2 及びその変形例でのトランジスタ  $NM0 \times$  は「第 1 の補助トランジスタ」の一実施例に対応する。

[0127] 尚、実施の形態 2 及びその変形例を、実施の形態 1 の第 1 の変形例 (キャ

パシタC10)、第2の変形例(トランジスタPMC1~PMC4)、及び、第3の変形例(電流源300a, 300b)の少なくとも1つを組み合わせることが可能である。例えば、実施の形態1の第1の変形例と組み合わせる場合には、コンパレータ102(図9)及び103(図11)の各々において、ノードN5及び接地ノードNsの間にキャパシタC10(図8)を更に設ける回路構成とすることができる。又、実施の形態1の第3の変形例と組み合わせる場合には、コンパレータ102(図9)及び103(図11)の各々において、ノードN5及びN6に対して、電流源300a及び300b(図19A又は図19B))を接続する回路構成とすることができる。

[0128] 特に、実施の形態2に係るコンパレータ102(図9)では、出力電圧VOUT=Lレベルの期間での電流源回路131の消費電流が増加するので実施の形態1の第2の変形例と組み合わせることが好ましい。具体的には、能動負荷回路120において、トランジスタPM1, PM2のゲートに対して、図18と同様のトランジスタPMC1~PMC4を配置することが好ましい。この様な構成にすると、出力電圧VOUTがLレベルに固定されるリセット動作時(RST=Hレベル)において、トランジスタPM1, PM2による電流経路を遮断することで、電流源回路131の消費電流もほぼゼロにすることができる。又、実施の形態2の変形例に係るコンパレータ103(図11)においても、図18と同様にトランジスタPMC1~PMC4を配置することによって、実施の形態1の第2の変形例と組み合わせることが可能である。

[0129] 実施の形態3.

図13は、実施の形態3に係る発振器の構成例を説明する回路図である。

[0130] 図13を参照して、本実施の形態に係る発振器200は、コンパレータ100a, 100bと、RS型のフリップフロップ210と、キャパシタ210a, 210bと、充放電制御回路220a, 220bとを備える。コンパレータ100a, 100bの各々には、実施の形態1及び2並びにそれらの変形例に係るコンパレータ100, 101, 101x~101z, 102,

103を適用することができる。後述するように、発振器200は、交互動作する2個のコンパレータ100a, 100bの出力信号をフリップフロップ210の入力とすることで、周期的にHレベル(VDD)及びLレベル(VSS)を繰り返す、クロック電圧Vclk及びVcknを生成する。フリップフロップ210は、RSフリップフロップによって構成することができる。

[0131] フリップフロップ210において、S(セット)端子には、コンパレータ100bの出力電圧VOUTbが入力され、R(リセット)端子には、コンパレータ100aの出力電圧VOUTaが入力される。Q端子から出力されるクロック電圧Vclkは、S端子の入力信号がLレベルからHレベルに変化するときにHレベルに設定される一方で、R端子の入力信号がLレベルからHレベルに変化するときにLレベルに設定される。それ以外のタイミングでは、クロック電圧Vclkは現在のレベルを維持する。／Q端子からは、クロック電圧Vclkの論理レベルが反転された、クロック電圧Vcknが出力される。

[0132] コンパレータ100a, 100bの入力ノードNina, Ninbには、同一容量値のキャパシタ210a, 210bが接続される。キャパシタ210aは、充放電制御回路220aにより、クロック電圧Vcknに応じて充放電される。充放電制御回路220aは、電流源221aと、P型のトランジスタPM61と、N型のトランジスタNM61とを有する。電流源221a及びトランジスタPM61は、電源ノードNp及び入力ノードNinaの間に直列接続される。トランジスタNM61は、入力ノードNina及び接地ノードNsの間に接続される。従って、キャパシタ210aは、Vckn=Lレベル(Vclk=Hレベル)のときには、電流源221aによって一定電流で充電される。一方で、キャパシタ210aは、Vckn=Hレベル(Vclk=Lレベル)のときには、トランジスタNM61によってプルダウンされる。

[0133] これに対して、キャパシタ210bは、充放電制御回路220bにより、



クロック電圧 $V_{clk}$ に応じて充放電される。充放電制御回路220bは、電流源221bと、P型のトランジスタPM62と、N型のトランジスタNM62とを有する。電流源221a, 221bの出力電流は同一値に設計される。電流源221b及びトランジスタPM62は、電源ノード $N_p$ 及び入力ノード $N_{inb}$ の間に直列接続される。トランジスタNM62は、入力ノード $N_{inb}$ 及び接地ノード $N_s$ の間に接続される。従って、キャパシタ210bは、キャパシタ210aとは逆に、 $V_{clk}=L$ レベル ( $V_{ckn}=H$ レベル) のときに一定電流で充電される一方で、 $V_{clk}=H$ レベル ( $V_{ckn}=L$ レベル) のときにプルダウンされる。このように、キャパシタ210a, 210bは、クロック電圧 $V_{clk}$  ( $V_{ckn}$ ) のレベル遷移に応じて、相補的かつ交互に充放電される。

[0134] 図14には、実施の形態3に係る発振器の動作例を説明する波形図が示される。

図14を参照して、コンパレータ100aの(+)側の入力端子と接続された入力ノード $N_{ina}$ の電圧である入力電圧 $V_{ina}$ は、クロック電圧 $V_{clk}$ のHレベル期間に一定レートで上昇する一方で、クロック電圧 $V_{clk}$ のLレベル期間には接地電圧 $V_{SS}$ に設定される。これに対して、コンパレータ100bの(+)側の入力端子と接続された入力ノード $N_{inb}$ の電圧である入力電圧 $V_{inb}$ は、クロック電圧 $V_{clk}$ のLレベル期間に一定レートで上昇する一方で、クロック電圧 $V_{clk}$ のHレベル期間には接地電圧 $V_{SS}$ に設定される。このように、入力電圧 $V_{ina}$ ,  $V_{inb}$ は、クロック電圧 $V_{clk}$  ( $V_{ckn}$ ) のレベルが遷移する毎に、基準電圧 $V_{REF}$ に向かって変化(上昇)する同じレートでの電圧変化期間が交互に設けられる様に制御される。

[0135] 再び、図13を参照して、コンパレータ100a及び100bの(-)側の入力端子には、基準電圧 $V_{REF}$ が入力される。更に、フリップフロップ210の/Q出力(クロック電圧 $V_{ckn}$ )が、コンパレータ100aのリセット信号 $RST$ とされる。反対に、フリップフロップ210のQ出力(

クロック電圧 $V_{clk}$ ) が、コンパレータ100bのリセット信号RSTとされる。これにより、コンパレータ100a, 100bのそれぞれに入力されるリセット信号RSTは互いに反対の論理レベルを有するので、コンパレータ100a及び100bは、交互に動作する。

[0136] クロック電圧 $V_{clk}$ のLレベル期間では、入力電圧 $V_{ina}$ が基準電圧 $V_{REF}$ に向かって上昇する電圧変化期間が設けられ、コンパレータ100aが、入力電圧 $V_{ina}$ が基準電圧 $V_{REF}$ に達するタイミングを検知する回路動作を実行する。一方で、コンパレータ100bは、クロック電圧 $V_{clk}$ に従うHレベルのリセット信号RSTを入力されて、リセット状態とされる。コンパレータ100aの出力電圧 $V_{outa}$ は、フリップフロップ210のR端子に入力されるので、R端子の入力信号は、コンパレータ100aのリセット解除時にはLレベルであるとともに、 $V_{ina} < V_{REF}$ の間はLレベルに維持され、 $V_{ina}$ が $V_{REF}$ に達すると、Hレベルに変化する。

[0137] 入力電圧 $V_{ina}$ が基準電圧 $V_{REF}$ に達するタイミング（例えば、時刻 $t_a$ ）で、コンパレータ100aの出力電圧 $V_{outa}$ がLレベルからHレベルに変化すると、これに応じて、フリップフロップ210のR端子にHレベル信号が入力されるので、クロック電圧 $V_{clk}$ がLレベルに設定されるとともに、クロック電圧 $V_{clk}$ がHレベルに設定される。

[0138] 従って、時刻 $t_a$ では、クロック電圧 $V_{clk}$ がHレベルに設定されるのに応じて、コンパレータ100aは、リセット信号RSTがHレベルになるので、リセット動作を実行する。このため、出力電圧 $V_{outa}$ は、信号伝播遅延に相当する期間の経過後に、リセット動作に応じてLレベルに変化する。そして、クロック電圧 $V_{clk}$ がHレベル（ $V_{clk} = \text{Lレベル}$ ）の期間中、出力電圧 $V_{outa}$ はLレベルに維持されることになる。この結果、出力電圧 $V_{outa}$ は、入力電圧 $V_{ina}$ が基準電圧 $V_{REF}$ と交差するタイミングを起点に、リセット動作が開始されるまでの信号伝播遅延相当のHレベル期間を有する、1ショットパルス状の電圧波形を示すことになる。

- 。
- [0139] 一方、時刻  $t_a$  以降では、クロック電圧  $V_{clk_n}$  が H レベルに設定され、クロック電圧  $V_{clk}$  が L レベルされるのに応じて、キャパシタ  $210a$  がプルダウンされるとともに、キャパシタ  $210b$  が一定レートで充電される。更に、コンパレータ  $100a$  がリセットされる一方で、コンパレータ  $100b$  は、リセット信号  $RST$  が L レベルに設定されるの。この結果、クロック電圧  $V_{clk}$  の L レベル期間（例えば、時刻  $t_a \sim t_b$  の期間）では、入力電圧  $V_{inb}$  が基準電圧  $V_{REF}$  に向かって上昇する電圧変化期間が設けられ、コンパレータ  $100b$  は、入力電圧  $V_{inb}$  が基準電圧  $V_{REF}$  に達するタイミングを検知する回路動作を実行する。
- [0140] コンパレータ  $100b$  の出力電圧  $V_{Outb}$  は、フリップフロップ  $210$  の S 端子に入力されるので、S 端子の入力信号は、コンパレータ  $100b$  のリセット解除時には L レベルであるとともに、 $V_{inb} < V_{REF}$  の間は L レベルに維持され、 $V_{inb}$  が  $V_{REF}$  に達すると、H レベルに変化する。
- [0141] 時刻  $t_b$  において、入力電圧  $V_{inb}$  が基準電圧  $V_{REF}$  に達すると、コンパレータ  $100b$  の出力電圧  $V_{OUTb}$  が L レベルから H レベルに変化する。これに応じて、フリップフロップ  $210$  の S 端子に H レベル信号が入力されるので、クロック電圧  $V_{clk}$  が H レベルに設定されるとともに、クロック電圧  $V_{clk_n}$  が L レベルに設定される。
- [0142] 従って、時刻  $t_b$  では、クロック電圧  $V_{clk}$  が H レベルに設定されるのに応じて、コンパレータ  $100b$  は、リセット信号  $RST$  が H レベルになるので、リセットを実行する。このため、出力電圧  $V_{outb}$  は、信号伝播遅延に相当する期間の経過後に、リセット動作に応じて L レベルに変化する。そして、クロック電圧  $V_{clk}$  が H レベルの期間中、出力電圧  $V_{outb}$  は L レベルに維持されることになる。この結果、出力電圧  $V_{outb}$  についても、入力電圧  $V_{inb}$  が基準電圧  $V_{REF}$  と交差するタイミングを起点に、リセット動作が開始されるまでの信号伝播遅延相当の H レベル期間を有する、1 ショットパルス状の電圧波形を示すことになる。

[0143] 時刻  $t_b$  以降では、先程の時刻  $t_a$  以前の回路状態が再現されて、キャパシタ  $210a$  の充電が開始されて、入力電圧  $V_{ina}$  の電圧変化期間が再び設けられる。時刻  $t_b$  からの入力電圧  $V_{ina}$  の電圧変化期間では、上述と同様に、コンパレータ  $100b$  がリセットされる一方で、コンパレータ  $100a$  は、入力電圧  $V_{ina}$  が基準電圧  $V_{REF}$  に達するタイミングを検知する回路動作を実行する。

[0144] このような周期的な動作を繰り返すことで、2個のコンパレータ  $100a$ 、 $100b$  が交互動作することを通じて、クロック電圧  $V_{clk}$ 、 $V_{clkn}$  により、キャパシタ  $210a$ 、 $210b$  の電圧変化速度に従う一定周期を有するクロック信号を生成することができる。

[0145] 実施の形態3に係る発振器によれば、2個のコンパレータ  $100a$ 、 $100b$  を用いて弛張発振器を構成することができる。上述のように、弛張発振器は、CMOS回路で実現可能であるため、水晶発振器及びLC発振器と比較して、コスト及び集積化の面で有利であり、かつ、低消費電力化のための間欠動作にも適している。

[0146] 一方で、弛張発振器には、高周波化の下で、入力電圧  $V_{ina}$ 、 $V_{inb}$  が基準電圧  $V_{REF}$  に達するタイミングを正確に検知して高精度のクロック信号を生成するためには、コンパレータを高頻度で動作させることによる消費電力の増大が懸念される。

[0147] これに対して、本実施の形態に係る1ショット型のコンパレータを適用した弛張発振器によれば、低消費電力で入力電圧  $V_{ina}$ 、 $V_{inb}$  が基準電圧  $V_{REF}$  に達するタイミングを高精度に検知することができる。この結果、コンパレータを用いた弛張発振器における低消費電力化を図ることが可能となる。

[0148] 実施の形態4.

実施の形態4では、交互動作する2個のコンパレータに適用される構成において、実施の形態2で説明した電流源回路による電流  $I_3$  を可変制御するための構成について更に説明する。

[0149] 図15は、実施の形態4に係るコンパレータの構成例を説明する回路図である。

図15を参照して、実施の形態2に係るコンパレータ104は、実施の形態2に係るコンパレータ102（図9）と比較して、電流源回路131に代えて、電流源回路132が配置される点で異なる。コンパレータ104のその他部分の回路構成は、実施の形態2に係るコンパレータ102（図9）、即ち、実施の形態1に係るコンパレータ100と同様であるので、詳細な説明は繰り返さない。

[0150] 電流源回路132は、電流源回路131（図9）と同様のN型のトランジスタNM0及びNM0xに加えて、N型のトランジスタNM0yを更に有する。トランジスタNM0yは、トランジスタNM0及びNM0xと並列に、ノードN3及び接地ノードNsの間に接続される。従って、電流源回路132による電流I3は、トランジスタNM0の電流I31と、トランジスタNM0xの電流I32と、トランジスタNM0yの電流I33との和で示される（ $I3 = I31 + I32 + I33$ ）。

[0151] トランジスタNM0xのゲートには、図9と同様のトランジスタNM0x1、NM0x2が接続される。従って、図15のコンパレータ104の出力電圧VOUTがLレベルの時（即ち、リセット解除後にVinがVREFと交差するまでの期間）には、トランジスタNM0x1のオン（NM0x2のオフ）により、トランジスタNM0xは、基準電圧VREFに応じて電流I32を生成する。一方で、図15のコンパレータ100の出力電圧VOUTがHレベルの時（即ち、リセット解除後にVinがVREFに達した後の期間）には、トランジスタNM0x2のオン（NM0x1のオフ）により、トランジスタNM0xはオフされる（ $I32 = 0$ ）。

[0152] トランジスタNM0yのゲートには、トランジスタNM0y1、NM0y2が接続される。トランジスタNM0y1のゲートには、図12のコンパレータ104と交互に動作するコンパレータ104\*（図示せず）の非動作期間（例えば、リセット時）にHレベルとなる電圧信号が入力される。一方で

、トランジスタNM0y2のゲートには、コンパレータ104\*（図示せず）の動作期間（例えば、非リセット時）にHレベルとなる電圧信号が入力される。即ち、トランジスタNM0y1のゲートと、トランジスタNM0y2のゲートとは、互いに反対の論理レベルの信号が入力される。例えば、ここでのコンパレータ104及び104\*の関係は、図13でのコンパレータ100a及び100bの関係に相当する。

[0153] 従って、トランジスタNM0y1のゲートには、図14のコンパレータ104と交互動作するコンパレータ104\*の出力電圧 $V_{OUT}^*$ 、又は、リセット信号 $RST^*$ を入力することができる。反対に、トランジスタNM0y2のゲートには、コンパレータ104\*の $V_{OUTn}^*$ （出力電圧 $V_{OUT}$ の反転レベル）、又は、 $RSTn^*$ （リセット信号 $RST^*$ の反転レベル）を入力することができる。

[0154] コンパレータ104、104\*の出力電圧 $V_{OUT}$ 、 $V_{OUTn}$ の各々が、 $V_{in} = V_{REF}$ の検知後（ラッチ動作期間）にもHレベルに維持される場合には、トランジスタNM0y1及びNM0y2のゲートに、コンパレータ104\*の出力電圧 $V_{OUT}^*$ 及び $V_{OUTn}^*$ を入力することで、コンパレータ104\*の非動作期間（ラッチ動作期間）において、トランジスタNM0yは、ゲートに基準電圧 $V_{REF}$ を入力されて、電流 $I_{33}$ を生成する。反対に、コンパレータ104\*が、 $V_{in}$ が $V_{REF}$ に達するタイミングを検知しようとする $V_{in} < V_{REF}$ の期間（即ち、コンパレータ104\*の動作期間）では、トランジスタNM0yは、ゲートに接地電圧 $V_{SS}$ を入力されて、オフされる（ $I_{33} = 0$ ）。

[0155] 一方で、図13及び図14で説明したコンパレータ100a、100bの様に、出力電圧 $V_{outa}$ 、 $V_{outb}$ が1ショットパルス状となる場合には、トランジスタNM0y1及びNM0y2のゲートに、交互動作するコンパレータのリセット信号 $RST^*$ 及びその反転信号 $RSTn^*$ を入力することが好ましい。このようにすると、 $RST^* = H$ レベルであるコンパレータ104\*の非動作期間において、トランジスタNM0yは、ゲートに基準電

圧 $V_{REF}$ を入力されて、電流 $I_{33}$ を生成する。反対に、 $RST^* = L$ レベル ( $RST_n^* = H$ レベル) であるコンパレータ $104^*$ の動作期間では、トランジスタ $NM0_y$ は、ゲートに接地電圧 $V_{SS}$ を入力されて、オフされる ( $I_{33} = 0$ )。

[0156] この結果、実施の形態4に係るコンパレータでは、交互動作する相方のコンパレータの動作期間には、トランジスタ $NM0_y$ の電流 $I_{33} = 0$ とすることで、コンパレータ $104$ の電流 $I_3$ を絞ることができる。この結果、コンパレータの更なる低消費電力化を図ることができる。尚、電流源回路 $132$ については、トランジスタ $NM0_x$ ,  $MN0_{x1}$ ,  $MN0_{x2}$ の配置を省略して、交互動作するコンパレータ $104^*$ の動作に応じた電流制御機能のみで構成することも可能である。或いは、電流源回路 $132$ において、トランジスタ $NM0_x$ ,  $MN0_{x1}$ ,  $MN0_{x2}$ については、実施の形態2の変形例と同様に、図11での制御信号 $Stail$ , 制御信号 $Stailn$ を用いて制御することも可能である。

[0157] 尚、実施の形態4でのトランジスタ $NM0_y$ は「第2の補助トランジスタ」の一実施例に対応する。実施の形態4に係るコンパレータ $104$ は、図13に点線で示したようにコンパレータ $100a$ ,  $100b$ 間で出力電圧 $V_{OUT}$ を反転した $V_{OUTn}$ を相互に伝達することで、実施の形態3の発振器 $200$ を構成する2個のコンパレータ $100a$ ,  $100b$ として用いることが可能である。

[0158] 尚、実施の形態4についても、実施の形態1の第1の変形例 (キャパシタ $C10$ )、第2の変形例 (トランジスタ $PMC1 \sim PMC4$ )、及び、第3の変形例 (電流源 $300a$ ,  $300b$ ) の少なくとも1つを組み合わせることが可能である。例えば、コンパレータ $104$  (図15) において、ノード $N5$ 及び接地ノード $Ns$ の間にキャパシタ $C10$ を更に設ける回路構成とすることで、実施の形態4と、実施の形態1の第1の変形例とを組み合わせることができる。或いは、コンパレータ $104$ において、ノード $N5$ 及び $N6$ に対して、電流源 $300a$ 及び $300b$  (図19A又は図19B) を接続す

る回路構成とすることで、実施の形態4と、実施の形態1の第3の変形例とを組み合わせることができる。

[0159] 更に、コンパレータ104の能動負荷回路120において、トランジスタPM1、PM2のゲートに対して、図18と同様のトランジスタPMC1～PMC4を配置することにより、実施の形態4と、実施の形態1の第2の変形例とを組み合わせることができる。これにより、更なる低消費電力を図ることができる。

[0160] 実施の形態5.

実施の形態1～4では、上昇する入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達するタイミングを検出する1ショット型コンパレータの回路構成について説明したが、同様の回路構成を、低下する入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ に達するタイミングを検出する1ショット型コンパレータを同様に構成することも可能である。

[0161] 図16は、実施の形態5に係るコンパレータ100#の構成例を説明する回路図である。

[0162] 図16を参照して、実施の形態5に係るコンパレータ100#は、図3に示したコンパレータ100と同様の、差動増幅回路110と、能動負荷回路120と、電流源回路130と、電流変換回路140と、ミニマムセクタ回路150と、ラッチ回路160と、出力段170とを含む。

[0163] コンパレータ100#では、差動増幅回路110、能動負荷回路120、電流源回路130、電流変換回路140、ミニマムセクタ回路150、ラッチ回路160、及び、出力段170と、電源ノード $N_p$ 及び接地ノード $N_s$ との接続関係が、コンパレータ100とは反対となる。さらに、コンパレータ100#では、差動増幅回路110、能動負荷回路120、電流源回路130、電流変換回路140、ミニマムセクタ回路150、ラッチ回路160、及び、出力段170の各々を構成するトランジスタの導電型が、コンパレータ100とは反対となる。以下、具体的な回路構成例を説明する。

[0164] 能動負荷回路120は、N型のトランジスタNM11、NM12を有する



。トランジスタNM11及びNM12は、接地ノードNsと、ノードN1及びN2との間にそれぞれ接続される。トランジスタNM11のゲートはノードN1と接続され、トランジスタNM12のゲートはノードN2と接続される。即ち、トランジスタNM11及びNM12の各々は、接地ノードNs側を陰極とするダイオードとして機能する。

[0165] 差動増幅回路110は、P型のトランジスタPM11, PM12を有する。トランジスタPM11は、ノードN1及びN3の間に接続されて、ゲートに入力電圧 $V_{in}$  (図1)を受ける。トランジスタPM12は、ノードN2及びN3の間に接続されて、ゲートに基準電圧 $V_{REF}$  (図1)を受ける。

[0166] 電流源回路130は、電源ノードNp及びノードN3の間に接続されたP型のトランジスタPM10を有する。トランジスタPM10のゲートには、一定電圧 (例えば、基準電圧 $V_{REF}$ ) が入力される。

[0167] 電流変換回路140は、N型のトランジスタNM13と、P型のトランジスタPM13, PM14とを有する。トランジスタNM13は、接地ノードNs及びノードN4の間に接続される。トランジスタNM13のゲートは、トランジスタNM12のゲートと共通に、ノードN2と接続される。従って、トランジスタNM13は、トランジスタNM12とカレントミラーを構成する。

[0168] トランジスタPM13は、ノードN4及び電源ノードNpの間に接続され、トランジスタPM14は、ノードN6及び電源ノードNpの間に接続される。トランジスタPM13及びPM14のゲートは、共通にノードN4と接続される。即ち、トランジスタPM13は、ダイオード接続されており、トランジスタPM14は、トランジスタPM13とカレントミラーを構成する。

[0169] ミニマムセクタ回路150は、接地ノードNs及びノードN5の間に直接接続された、N型のトランジスタNM14及びNM15を有する。トランジスタNM14のゲートは、ノードN2と接続される。トランジスタNM15のゲートは、ノードN1と接続される。

- [0170] 出力段170は、接地ノードNs及びノードN6の間に接続されるN型のトランジスタNM16を有する。トランジスタNM16のゲートは、ノードN1と接続される。
- [0171] ラッチ回路160は、P型のトランジスタPM15~PM18を有する。トランジスタPM15及びPM17は、ノードN5及び電源ノードNpの間に並列接続される。トランジスタPM16及びPM18は、ノードN6及び電源ノードNpの間に並列接続される。トランジスタPM17及びPM18のゲートには、リセット信号RSTが入力される。トランジスタPM15のゲートは、ノードN6と接続される。トランジスタPM16のゲートは、ノードN5と接続される。
- [0172] 図17には、図16に示されたコンパレータ100#の動作例を説明する波形図が示される。
- [0173] 図17を参照して、リセット信号RSTは、図2とは逆に、コンパレータ100の非動作期間にLレベルに設定される一方で、コンパレータ100の動作期間にはHレベルに設定される。リセット信号RSTのLレベル期間では、図16において、ノードN6が、トランジスタPM17、PM18のオンによって電源ノードNpと電氣的に接続されるため、ノードN6の電圧はVDDに固定されて、コンパレータ100#の出力電圧VOUThはHレベル（VOUTh=VDD）にリセットされる。
- [0174] 時刻tsにおいて、リセット信号RSTがLレベルからHレベルに変化すると、リセット動作が解除されてコンパレータ100は回路動作を開始する。図17の例では、入力電圧Vinは、時刻tsの時点では基準電圧VREFよりも高く、時刻ts以降で徐々に低下する。
- [0175] 入力電圧Vinが基準電圧VREFと交差するまで（即ち、 $V_{in} > V_{REF}$ ）の時刻ts~tdの間では、出力電圧VOUThは、リセット時のHレベル（VOUTh=VDD）に維持される。時刻tdにおいて、入力電圧Vinが基準電圧VREFと交差すると、出力電圧VOUThは、リセットされたHレベルからLレベルに変化する。

- [0176] 出力電圧 $V_{OUT}$ がLレベルに変化した時刻 $t_d$ 後では、出力電圧 $V_{OUT}$ は、次にリセット信号 $RST$ がLレベルに変化するまで、Lレベルに維持される。そして、リセット信号がLレベルに設定されると、出力電圧 $V_{OUT}$ は、再びHレベルに変化する。その後は、時刻 $t_s$ 以降の動作が繰り返される。
- [0177] コンパレータ100#において、 $V_{in} > V_{REF}$ の期間、 $V_{in} \doteq V_{REF}$ の期間、及び、 $V_{in} < V_{REF}$ の期間のそれぞれでの消費電流は、コンパレータ100での $V_{in} < V_{REF}$ の期間（図4）、 $V_{in} \doteq V_{REF}$ の期間（図5）、及び、 $V_{in} > V_{REF}$ の期間（図6）とそれぞれ同様である。
- [0178] 従って、コンパレータ100#によれば、入力電圧 $V_{in}$ が低下する場面において、当該入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ と交差したことを検知できる。即ち、本実施の形態及びその変形例によれば、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ より低い電圧から上昇するアプリケーション、及び、入力電圧 $V_{in}$ が基準電圧 $V_{REF}$ より高い電圧から低下するアプリケーションのいずれにおいても、2入力の方のアナログ電圧（入力電圧 $V_{in}$ ）が2入力の他方である基準電圧 $V_{REF}$ と交差したことを検知するための、高精度（低オフセット）の1ショット型のコンパレータを低消費電力化することができる。
- [0179] 尚、本実施の形態では、ノードN6の電圧に従う出力電圧 $V_{OUT}$ が、ノードN6の電圧レベル（H/Lレベル）と同じ電圧レベルに設定される実施例を説明したが、ノードN6の後段に接続されるインバータの個数を変えることによって、出力電圧 $V_{OUT}$ が、ノードN6とは反対の電圧レベル（H/Lレベル）に設定されるように設計することも可能である。
- [0180] 実施の形態5に係るコンパレータ100#では、実施の形態1～4とは反対に、接地電圧 $V_{SS}$ は「第1の電圧」の一実施例に対応し、接地ノード $N_s$ は「第1の電源ノード」の一実施例に対応する。更に、電源電圧 $V_{DD}$ は「第2の電圧」の一実施例に対応し、電源ノード $N_p$ は「第2の電源ノード

」の一実施例に対応する。

[0181] 又、実施の形態5の構成例において、P型のトランジスタは「第1導電型」のトランジスタに対応し、トランジスタPM11は「第1のトランジスタ」、トランジスタPM12は「第2のトランジスタ」、トランジスタPM10は「第3のトランジスタ」、トランジスタPM14は「第4のトランジスタ」のそれぞれの一実施に対応する。又、ラッチ回路160において、トランジスタPM15~PM18は、「第8のトランジスタ」~「第11のトランジスタ」のそれぞれの一実施例に対応する。更に、N型のトランジスタは「第2導電型」のトランジスタに対応し、トランジスタNM15は「第5のトランジスタ」、トランジスタNM14は「第6のトランジスタ」、トランジスタNM16は「第7のトランジスタ」のそれぞれの一実施に対応する。

[0182] 尚、実施の形態5に係るコンパレータ100#(図16)においても、実施の形態1の第1の変形例(キャパシタC10)、第2の変形例、及び、第3の変形例(電流源300a, 300b)の少なくとも1つを組み合わせることが可能である。例えば、コンパレータ100#において、ノードN5及び電源ノードNpの間にキャパシタC10を更に設ける回路構成とすることで、実施の形態5と、実施の形態1の第1の変形例とを組み合わせることができる。

[0183] 或いは、コンパレータ100#(図16)においても、ノードN5及びN6と、接地ノードNs又は電源ノードNpとの間に、図19A又は図19Bと同様の電流源300a及び300bをそれぞれ接続する構成とすることが可能である。このように構成すると、リセット動作の解除後(RST=Lレベル)にラッチ回路160が上述のラッチ動作を行うまでの間、電流源300a, 300bが生成する微小バイアス電流によって、ラッチ回路160のトランジスタPM15及びPM16をサブスレシヨルド領域で動作させることができる。即ち、実施の形態5と、実施の形態1の第3の変形例とを組み合わせることができる。この場合には、トランジスタPM15及びPM16は、上記「第8のトランジスタ」及び「第9のトランジスタ」に加えて「

クロスカップル回路を構成するトランジスタ」の一実施例に対応する。

[0184] 更に、図20に示される様に、コンパレータ100#の能動負荷回路120において、トランジスタNM11, NM12のゲートに対して、N型のトランジスタNMC1~NMC4を配置することにより、実施の形態5に対して、実施の形態1の第2の変形例を組み合わせたコンパレータ100#yを実現することができる。具体的には、トランジスタNMC1及びNM2は、リセット動作時(RST=Lレベル)にオンしてNM1及びNM2のゲートを接地ノードNsと接続する一方で、回路動作時(RST=Hレベル)にはオフされる。反対に、トランジスタNMC3及びNMC4は、リセット動作時(RST=Lレベル)にはオフされる一方で、回路動作時(RST=Hレベル)には、図16と同様に、NM11及びNM12のゲートを接地ノードNsと接続する。

[0185] 図20において、能動負荷回路120内のN型のトランジスタNM11及びNM12は、「第12のトランジスタ」及び「第13のトランジスタ」の一実施例に対応する。又、ダイオード接続されたトランジスタNM11及びNM12による電流経路は、「第1の電流経路」及び「第2の電流経路」の一実施例にそれぞれ対応する。更に、トランジスタNMC1~NMC4によって、「電流遮断機構」の一実施例を形成することができる。

[0186] 又、コンパレータ100#において、実施の形態2、実施の形態2の変形例、又は、実施の形態4との組み合わせにより、ノードN3及び電源ノードNpの間に並列接続された複数のP型のトランジスタを有する電流源回路131, 132を、電流源回路130に代えて配置することも可能である。

[0187] 更に、実施の形態3に従って、実施の形態5に係るコンパレータ100#(上述の各実施の形態との組み合わせを含む)を2個配置して交互動作させることで、図13相当の発振器を構成することも可能である。この場合には、2個のコンパレータ100#の入力電圧は、基準電圧VREFに向かって低下する電圧変化期間が交互に生じる様に制御されることが理解される。

[0188] 尚、実施の形態3及び4では、本実施の形態に係るコンパレータを2個用

いて相補的に交互動作させるアプリケーション（代表的には、発振器）を説明したが、当該コンパレータは、単体で使用することも可能である。この場合には、コンパレータ外部からのリセット信号RSTによって動作期間を規定した上で、入力電圧 $V_{in}$ が上昇又は低下して基準電圧 $V_{REF}$ に達したことを検出する1ショット型のコンパレータを構成することが可能である。このようなコンパレータの使用態様は、過電流保護（OCP: Over Current Protection）、エナジーハーベスティング、又は、ワイヤレスセンサネットワークといった、特定のタイミングで検出動作を実行するとともに、それ以外の期間では極低消費電力であることが望まれるアプリケーションに好適である。

[0189] 実施の形態6.

実施の形態6では、発振器とは異なるアプリケーションの一例として、本実施の形態に係る1ショット型のコンパレータを用いた電力変換器、より詳細には、スイッチングレギュレータ方式のDC-DCコンバータの構成例を説明する。以下では、一例として、PFM（Pulse Frequency Modulation）制御のDC-DCコンバータの構成例について説明する。

[0190] 図21には、実施の形態6に係る電力変換器の代表例であるDC-DCコンバータの回路構成例を説明する概略図が示される。

[0191] 図21を参照して、実施の形態6に係るDC-DCコンバータ400は、電圧フィードバック回路410と、1ショット型のコンパレータ420と、PFM制御回路430と、ゲート駆動回路440と、P型の半導体スイッチング素子（以下、単に「スイッチング素子」とも称する）450と、N型のスイッチング素子451とを備える。

[0192] スwitchング素子450は、電源電圧 $V_{CC}$ を供給する電源配線401と、DC出力ノード $N_{dc}$ との間に接続されて、ゲート駆動回路440からのゲート駆動信号PGATEに応じてオンオフする。DC出力ノード $N_{dc}$ のDC出力電圧 $V_{DC}$ は、インダクタ $L_{dc}$ 及びキャパシタ $C_{dc}$ によって平滑化されて、図示しない負荷へ供給される。スイッチング素子450は「駆

動スイッチング素子」の一実施例に対応する。

- [0193] 具体的には、スイッチング素子450は、ゲート駆動信号PGATEのLレベル期間にオンすることにより、電源配線401からDC出力ノードNdcへ、出力電圧VDCを上昇するための電流を供給する。
- [0194] 反対に、ゲート駆動信号PGATEのHレベル期間では、スイッチング素子450はオフされて、電源配線401からDC出力ノードNdcへの電流経路は遮断される。スイッチング素子450のオフ期間では、負荷による電力消費に応じて、DC出力電圧VDCは低下することになる。この様に、DC-DCコンバータ400は、スイッチング素子450のオンオフ制御によって、電源配線401の直流電圧VCCを、DC出力電圧VDCに変換する電力変換を実行する。即ち、直流電圧VCCは「第1の直流電圧」の一実施例に対応し、DC出力電圧VDCは「第2の直流電圧」の一実施例に対応する。又、DC出力ノードNdcは「直流電圧出力ノード」の一実施例に対応する。
- [0195] スwitchング素子451は、DC出力ノードNdc及び接地配線402の間に接続されて、ゲート駆動回路440からのゲート駆動信号NGATEに応じてオンオフする。スイッチング素子451は、スイッチング素子450のオフ期間において、DC出力ノードNdc、インダクタLdc、負荷、及び、接地配線402を含む電流経路（即ち、還流経路）を形成するために配置される。この還流経路により、スイッチング素子450のオフ期間においても、インダクタLdcの蓄積エネルギーを用いて、負荷に対する電流供給を継続することができる。又、キャパシタCdcによって、負荷への供給電圧VDCOUTの急激な低下が回避される。
- [0196] 従って、スイッチング素子451は、基本的には、スイッチング素子450と相補にオンオフされる。但し、スイッチング素子450及び451のオンオフが入れ替わる際には、電源配線401及び接地配線402の間の貫通電流が生じない様に、スイッチング素子450及び451の両方がオフされるデッドタイムが設けられる。この様に、スイッチング素子451は、還流

用の「半導体素子」の一実施例に対応する。

[0197] 尚、スイッチング素子451については、DC出力ノードNd cと接続される陽極を有するダイオードに置換することも可能である。この場合には、当該ダイオードによって、還流用の「半導体素子」の一実施例が構成される。

[0198] DC-DCコンバータ400は、DC出力電圧VDCの低下に応じてスイッチング素子450をオンさせることによって、DC出力電圧VDCを目標電圧VDCref以上に維持する制御を実行する。これにより、負荷への供給電圧VDCOUTが目標電圧VDCrefより低下しない様に、DC-DCコンバータ400を動作させることができる。

[0199] 電圧フィードバック回路410は、電源配線401及び接地配線402の間に直列接続される抵抗素子Rx及びRyによる分圧回路によって構成することができる。抵抗素子Rx及びRyの電気抵抗値についてもRx及びRyと表記すると、当該分圧回路の分圧比Rkは、 $Rk = Ry / (Rx + Ry)$ で示される ( $0 < Rk < 1.0$ )。

[0200] 従って、電圧フィードバック回路410から出力されるフィードバック電圧VFBは、当該Rkを用いて、 $VFB = Rk \cdot VDC$ で示される。

[0201] コンパレータ420は、実施の形態1~5で説明したコンパレータのいずれかを適用することができる。但し、以下の説明で明らかになる様に、コンパレータ420は、フィードバック電圧VFB (DC出力電圧VDC) の低下を検知するために配置される。従って、以下では、図17に示された動作を実行する、実施の形態5に係るコンパレータ100#が、コンパレータ420に適用されるものとして説明を進める。

[0202] コンパレータ420は、フィードバック電圧VFB及び目標電圧VFBrefのそれぞれを、図17での入力電圧Vin及び基準電圧VREFとして動作する。コンパレータ420に入力される目標電圧VFBrefは、DC出力電圧VDCの目標電圧VDCrefに対応させて、 $VFBref = Rk \cdot VDCref$ に設定される。



- [0203] コンパレータ420は、図16における出力電圧 $V_{OUTn}$ を、制御信号 $V_{PFM}$ として出力する。従って、制御信号 $PFM$ は、図17での出力電圧 $V_{OUT}$ とは反対に、リセット動作時、及び、リセット動作の解除後のうちの $V_{FB} > V_{FBref}$ の期間ではLレベルに設定される。一方で、制御信号 $PFM$ は、リセット動作の解除後にフィードバック電圧 $V_{FB}$ が目標電圧 $V_{FBref}$ まで低下すると、LレベルからHレベルに変化する。コンパレータ420は「出力電圧監視用コンパレータ」の一実施例に対応する。
- [0204]  $PFM$ 制御回路430は、コンパレータ420からの制御信号 $V_{PFM}$ に応じて、DC電圧制御信号 $V_{DCCNT}$ を生成する。ゲート駆動回路440は、DC電圧制御信号 $V_{DCCNT}$ に従って、ゲート駆動信号 $PGATE$ 、 $NGATE$ を生成する。 $PFM$ 制御回路430及びゲート駆動回路440によって、「電圧制御回路」の一実施例を構成することができる。
- [0205] 図22には、 $PFM$ 制御回路430の構成例が示される。
- 図22に示される様に、 $PFM$ 制御回路430は、D型のフリップフロップ432と、遅延回路435とを有する。
- [0206] フリップフロップ432のD端子には、コンパレータ420と共通の電源電圧 $V_{DD}$ が入力され。クロック端子には、コンパレータ420からの制御信号 $V_{PFM}$ が入力される。フリップフロップ432は、クロック端子に入力された制御信号 $V_{PFM}$ がLレベルからHレベルに変化すると、D端子に入力される電源電圧 $V_{DD}$ （Hレベル）を読み取って、Q端子から出力されるDC電圧制御信号 $V_{DCCNT}$ をHレベルに設定する。
- [0207] 遅延回路435は、フリップフロップ432の/Q端子からの出力信号を反転した信号、即ち、DC電圧制御信号 $V_{DCCNT}$ と同相の信号に対して、予め定められた遅延時間 $T_d$ が付与された信号を、フリップフロップ432のリセット信号 $RSTdc$ として出力する。従って、リセット信号 $RSTdc$ がLレベルからHレベルに変化するのに応じて、Q端子のDC電圧制御信号 $V_{DCCNT}$ はLレベルに設定される。
- [0208] 更に、リセット信号 $RSTdc$ の反転信号は、図16に示されたコンパレ

ータ100#のリセット信号RSTとして、コンパレータ420に入力される。この結果、リセット信号RSTdcがLレベルからHレベルに変化すると、コンパレータ420はリセット動作を実行することにより、制御信号VPFMは、フリップフロップ432のリセット後のLレベルに維持されている。

[0209] 図23には、DC出力電圧VDCのフィードバック電圧VFBの変化に対応した、PFM制御回路430及びゲート駆動回路440の動作波形例が示される。

[0210] 図23の例では、時刻t0より前の期間では、ゲート駆動信号PGATE及びNGATEがHレベルに設定されているため、スイッチング素子450がオフされている。このため、負荷での電力消費によってDC出力電圧VDCが低下するのに従って、フィードバック電圧VFBも低下する。又、リセット信号RSTdcがLレベルであるため、コンパレータ420（コンパレータ100#）のリセット信号RSTはHレベルに設定されている。このため、コンパレータ420は、リセット動作が解除されて、フィードバック電圧VFB（図16での入力電圧Vin）が目標電圧VFBref（図16での基準電圧VREF）と交差するタイミングを監視する状態となっている。この期間では、制御信号VPFMはLレベルに設定される。

[0211] 時刻t0において、フィードバック電圧VFBが目標電圧VFBrefまで低下すると、コンパレータ420の出力電圧VOUTが変化するのに応じて、制御信号VPFMがLレベルからHレベルに変化する。これに応じて、時刻t1において、PFM制御回路430のフリップフロップ432のQ端子から出力されるDC電圧制御信号VDCCNTは、LレベルからHレベルに変化する。時刻t0～t1の間には、信号伝達及び信号処理による遅れが発生している。

[0212] PFM制御回路430は、時刻t1から遅延回路435による遅延時間Tdが経過した時刻t4において、リセット信号RSTdcをLレベルからHレベルに変化させる。これに応じて、時刻t5において、DC電圧制御信号

V D C C N T は L レベルにリセットされる。更に、リセット信号 R S T d c に応じてコンパレータ 4 2 0 もリセット動作を実行するので、制御信号 V P F M も L レベルに戻される。リセット信号 R S T d c は、D C 電圧制御信号 V D C C N T が L レベルに変化した時刻  $t_5$  から遅延時間  $T_d$  が経過したタイミングで、L レベルに戻される。時刻  $t_4 \sim t_5$  の間にも、信号伝達及び信号処理による遅れが発生する。

[0213] 次に、ゲート駆動回路 4 4 0 による、D C 電圧制御信号 V D C C N T に従う、ゲート駆動信号 P G A T E, N G A T E の設定について説明する。

[0214] 図 2 4 には、ゲート駆動回路 4 4 0 の構成例が示される。

図 2 4 に示される様に、ゲート駆動回路 4 4 0 は、D C 電圧制御信号 V D C C N T が入力されるノンオーバーラッピングクロック生成回路 4 4 2 を有する。ノンオーバーラッピングクロック生成回路 4 4 2 は、N O R ゲート 4 4 3 a, 4 4 3 b と、インバータ段 4 4 4 a, 4 4 4 b とを有する。インバータ段 4 4 4 a, 4 4 4 b の各々は、直列接続された偶数個のインバータによって構成される。インバータ段 4 4 4 a は、制御信号  $\phi a$  を出力し、インバータ段 4 4 4 b は、制御信号  $\phi b$  を出力する。

[0215] N O R ゲート 4 4 3 a には、入力信号である V D C C N T と、制御信号  $\phi b$  とが入力される。N O R ゲート 4 4 3 a の出力信号は、インバータ段 4 4 4 a に入力される。N O R ゲート 4 4 3 b には、入力信号である V D C C N T の反転信号と、制御信号  $\phi a$  とが入力される。N O R ゲート 4 4 3 b の出力信号は、インバータ段 4 4 4 b に入力される。

[0216] 図 2 5 には、ノンオーバーラッピングクロック生成回路 4 4 2 から出力される制御信号  $\phi a$  及び  $\phi b$  の波形図が示される。

[0217] 図 2 5 に示される様に、ノンオーバーラッピングクロックとして生成される制御信号  $\phi a$  及び  $\phi b$  は、入力信号である D C 電圧制御信号 V D C C N T の L レベル及び H レベルの間の遷移に従って、交互に L レベル及び H レベルに設定される。更に、制御信号  $\phi a$  及び  $\phi b$  には、両方が L レベルに設定されるノンオーバーラップ期間が設けられる。ノンオーバーラップ期間の長さは、イ

ンバータ段444a, 444bによる伝送遅延時間に相当するので、インバータの個数(偶数)によって調整することができる。

[0218] 再び図24を参照して、ゲート駆動回路440は、制御信号 $\phi a$ を奇数個のインバータで信号増幅して、ゲート駆動信号PGATEを生成する。同様に、ゲート駆動回路440は、制御信号 $\phi b$ を偶数個のインバータで信号増幅して、ゲート駆動信号NGATEを生成する。従って、P型のスイッチング素子450のゲートに入力されるゲート駆動信号PGATEは、制御信号 $\phi a$ と逆相である。一方で、N型のスイッチング素子451のゲートに入力されるゲート駆動信号NGATEは制御信号 $\phi b$ と同相である。

[0219] 再び図23を参照して、時刻 $t_1$ でのDC電圧制御信号VDCCNTのHレベルへの遷移に応じて、時刻 $t_2$ において、ゲート駆動信号NGATEがゲート駆動信号PGATEよりも先に、HレベルからLレベルに変化する。これにより、スイッチング素子451がターンオフされる。

[0220] 時刻 $t_2$ からノンオーバーラップ期間が経過した時刻 $t_3$ において、ゲート駆動信号PGATEがHレベルからLレベルに変化する。これに応じて、P型のスイッチング素子450がターンオンする。時刻 $t_3$ からは、スイッチング素子450のオン期間が設けられることで、DC出力電圧VDC及びフィードバック電圧VFBは上昇する。

[0221] 遅延時間 $T_d$ に従って時刻 $t_5$ でDC電圧制御信号VDCCNTがHレベルからLレベルに変化すると、時刻 $t_6$ において、ゲート駆動信号PGATEがゲート駆動信号NGATEよりも先に、LレベルからHレベルに変化する。これにより、スイッチング素子450がターンオフされる。

[0222] 時刻 $t_6$ からノンオーバーラップ期間が経過した時刻 $t_7$ において、ゲート駆動信号NGATEがLレベルからHレベルに変化する。これに応じて、N型のスイッチング素子450がターンオンする。これにより、スイッチング素子450のオフ期間における還流経路が形成される。時刻 $t_5$ 以降では、電源配線401からDC出力ノードNdcへの電流供給が停止されるので、DC出力電圧VDC及びフィードバック電圧VFBは低下に転じる。

- [0223] そして、リセット信号 RSTdc が再び L レベルに戻されると、時刻 t0 以前と同様の状態が再現されて、フィードバック電圧 VFB (DC 出力電圧 VDC) の低下をコンパレータ 420 が検出する毎に、遅延時間 Td に相当する長さのスイッチング素子 450 のオン期間 (電源配線 401 からの給電期間) が設けられる制御が繰り返し実行される。これにより、DC 出力電圧 VDC を目標電圧 VDCref 以上に維持することで、負荷への供給電圧 VDCOUT が目標電圧 VDCref より低下しない様に、DC-DC コンバータ 400 の電力変換動作を行うことができる。
- [0224] この様に、DC-DC コンバータ 400 は、DC 出力電圧 VDC の低下速度に依存してスイッチング素子 450 のオンオフ周期が変化する、所謂、PFM 制御を実行する。一般的に、スイッチングレギュレータ方式の DC-DC コンバータとしては、PWM (Pulse Width Modulation) 制御と PFM 制御とが知られている。PWM 制御は、半導体スイッチング素子の一定のオンオフ周期内でのオン期間比率を制御するもので、一般的には、負荷電流が大きく、高速な制御が必要な場合に適用される。即ち、PWM 制御に用いられるコンパレータは、常時動作して、電圧比較動作を行うことが要求されるので、本実施の形態で説明した 1 ショット型のコンパレータは適さない。
- [0225] これに対して、PFM 制御は、負荷電流が小さい、軽負荷のアプリケーションに好適であり、DC 出力電圧の低下に応じて給電期間を設ける様に DC-DC コンバータを動作させる。従って、PFM 制御に用いられるコンパレータは、当該電圧低下を検知する 1 ショット型の動作を行うことになるので、本実施の形態に係るコンパレータが適している。
- [0226] 従って、実施の形態 5 に係る DC-DC コンバータによれば、本実施の形態に係るコンパレータを用いて、DC 出力電圧 VDC が目標電圧まで低下するタイミングを監視して、当該コンパレータの出力に応じて半導体スイッチング素子を制御することで、消費電力を抑制することが可能となる。
- [0227] 特に、負荷電力が小さい軽負荷のアプリケーションでは、電力変換効率に対する、コンパレータを含む制御回路での消費電力の影響が大きくなるが、

低消費電力化された本実施の形態に係るコンパレータが適用されることで、電力変換効率の大幅な向上を図ることができる。

[0228] 実施の形態6の変形例。

実施の形態6で説明したDC-DCコンバータは、システム、又は、LSI (Large Scale Integrated-circuit) の電源として用いられることが多い。このため、DC-DCコンバータには、これらの負荷に対して異常な電源電圧を供給しないための安全制御の機能が求められる。

[0229] この様な安全制御のためには、電圧、電流、及び、温度等の監視対象値が、異常検出のための判定値に達したことを検出する機能が必要となるので、コンパレータが適用されることになる。当該コンパレータは、異常発生時のみに出力電圧が変化する動作を行うことになるので、それ以外の待機状態での消費電力は可能な限り抑制することが好ましい。又、安全制御に使用されるコンパレータは、上述した監視対象値に従う電圧値と、異常判定値に従う電圧との交差を検出する機能が要求されるので、低消費電力化された本実施の形態に従う1ショット型のコンパレータを適用することができる。

[0230] 図26には、実施の形態6の変形例に係るDC-DCコンバータの回路構成が示される。

[0231] 図26に示される様に、実施の形態6の変形例に係るDC-DCコンバータ400Xは、図21に示されたDC-DCコンバータ400の構成に加えて、安全制御回路を構成するためのコンパレータ501~506と、N型のトランジスタ512, 516と、分圧回路521, 522, 526と、電流検出回路523と、温度センサ530とを更に備える。

[0232] コンパレータ501~506の各々には、実施の形態1~5で説明したコンパレータのいずれかを適用することができる。但し、以下の説明で明らかになる様に、コンパレータ501~506の各々は、監視対象値を示す電圧の上昇を検知するために配置されるので、図2に示された動作を実行する、実施の形態1~4に係るコンパレータ100~104のいずれかが適用されることが好ましい。以下では、実施の形態1に係るコンパレータ100が適用

されるものとして説明を進める。

[0233] 以下、コンパレータ501~506の各々によって構成される安全制御回路の構成及び動作を説明する。

[0234] コンパレータ501は、入力電圧である電源電圧VCCが不足している状態で、DC-DCコンバータ400Xが動作することで、異常なDC出力電圧VDC (VDCOUT) が負荷550へ供給されることを防止する、所謂、UVLO (Under Voltage Lock Out) 機能を実現するために配置される。分圧回路521は、電源配線401及び接地配線402の間に接続されて、電源電圧VCCを分圧した監視電圧VCCdvを出力する。

[0235] コンパレータ501 (コンパレータ100) は、監視電圧VCCdv及び判定電圧VRuvloを図2での入力電圧Vin及び基準電圧VREFとして動作する。コンパレータ501に入力される判定電圧VRuvloは、DC-DCコンバータ400Xでの電源電圧VCCの許容下限値及び分圧回路521の分圧比の乗算値に従って設定することができる。

[0236] コンパレータ501は、図2における出力電圧VOUTを、安全制御信号VUVLOとして出力する。従って、DC-DCコンバータ400Xの起動時にコンパレータ501のリセット動作が解除されると、電源電圧VCCの立ち上がり時において、監視電圧VCCdvが判定電圧VRuvloに達するまでの間は、安全制御信号VUVLOはLレベルに設定される。一方で、監視電圧VCCdvが判定電圧VRuvloまで上昇すると、コンパレータ501が、監視電圧VCCdv及び判定電圧VRuvloが交差したことを検知することにより、安全制御信号VUVLOはHレベルに変化する。

[0237] 安全制御信号VUVLOは、PFM制御を実行する、コンパレータ420、PFM制御回路430、及び、ゲート駆動回路440に伝達することができる。例えば、コンパレータ420、PFM制御回路430、及び、ゲート駆動回路440については、安全制御信号VUVLOがLレベルのときには動作を停止する一方で、安全制御信号VUVLOHレベルに設定されているときに動作する様に構成することができる。即ち、DC-DCコンバータ40

0Xでは、コンパレータ501から出力された安全制御信号VUVLOがLレベルからHレベルに変化すると、DC出力電圧VDCの生成が開始される。

[0238] これにより、コンパレータ501を用いた安全制御回路によって、入力電圧（電源電圧VCC）が不足している状態で、DC-DCコンバータ400Xが動作することによって、異常なDC出力電圧VDC（VDCOUT）が負荷550へ供給されることを防止できる。即ち、コンパレータ501は「入力電圧監視用コンパレータ」の一実施例に対応する。

[0239] コンパレータ502は、DC-DCコンバータ400Xの出力電圧が十分に上昇していない状態で負荷550が動作することによる異常を防止するための安全制御信号PGDを生成するために配置される。分圧回路522は、DC出力ノードNd c及び接地配線402の間に接続されて、DC出力電圧VDCを分圧した監視電圧VDC d vを出力する。

[0240] コンパレータ502に入力される判定電圧VR g dは、負荷550の動作が許容されるDC出力電圧VDC（VDCOUT）の下限値及び分圧回路522の分圧比の乗算値に従って設定することができる。

[0241] コンパレータ502（コンパレータ100）は、監視電圧VDC d v及び判定電圧VR g dを図2での入力電圧V i n及び基準電圧VREFとして動作する。コンパレータ502は、図2における出力電圧VOUT nを、制御信号VGDとして、N型のトランジスタ512のゲートに出力する。トランジスタ512は、安全制御信号PGDが生成されるノードNd gと、接地配線402との間に接続される。ノードNd gは、抵抗素子を介して電源配線401（電源電圧VCC）と接続される。

[0242] DC-DCコンバータ400Xの起動時にコンパレータ502のリセット動作が解除されると、DC出力電圧VDCの立ち上がり時において、トランジスタ512のゲートには、監視電圧VDC d vが判定電圧VR g dに達するまで（ $VR g d > VDC d v$ ）の期間ではHレベルの制御信号VGDが入力される。この期間では、トランジスタ512がオンされるので、安全制御



信号PGDはLレベルに設定される。

[0243] これに対して、コンパレータ502は、監視電圧VDCdvが判定電圧VRgdまで上昇すると、監視電圧VDCdv及び判定電圧VRgdが交差したことを検知するので、制御信号VGDをHレベルからLレベルに変化させる。これに応じて、トランジスタ512がオフされることにより、安全制御信号PGDはHレベルに設定される。

[0244] 安全制御信号PGDは、DC-DCコンバータ400Xの負荷550に伝達することができる。例えば、負荷550について、安全制御信号PGDがLレベルのときには動作を停止する一方で、安全制御信号PGDがHレベルに設定されているときに動作する様に構成することができる。即ち、安全制御信号PGDがHレベルに設定されることによって、負荷550の動作許可が生成されることになる。

[0245] これにより、コンパレータ502を用いた安全制御回路によって、DC-DCコンバータ400Xの出力電圧が十分に上昇していない状態で負荷550が動作することによる異常を防止することができる。即ち、コンパレータ502は「出力起動監視用コンパレータ」の一実施例に対応する。

[0246] コンパレータ503は、短絡又は熱暴走等に起因する過電流の発生時に回路を保護する、所謂、OCP (Over Current Protection) 機能を実現するために配置される。電流検出回路523は、スイッチング素子450の通過電流に応じた監視電圧Vocpを出力する。

[0247] 電流検出回路523は、電源配線401及び接地配線の間直列接続された、P型のレプリカトランジスタ450R及び抵抗素子を有する。レプリカトランジスタ450Rは、スイッチング素子450と同一の特性を有する様に製造される。レプリカトランジスタ450Rのゲートは、スイッチング素子450のゲートと接続される。この結果、レプリカトランジスタ450R及び抵抗素子の直列回路には、スイッチング素子450の通過電流に比例した電流が生じる。監視電圧Vocpは、当該直流回路の電流による抵抗素子での電圧降下量と同等であるので、スイッチング素子450の通過電流に比

例係数（電圧／電流換算比）を乗算した値となることが理解される。

- [0248] コンパレータ503（コンパレータ100）は、監視電圧 $V_{ocp}$ 及び判定電圧 $V_{Rocp}$ を、図2での入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ として動作する。コンパレータ503に入力される判定電圧 $V_{Rocp}$ は、過電流の判定値及び電流検出回路523での上記電圧／電流換算比の乗算値に従って設定することができる。
- [0249] コンパレータ503は、図2における出力電圧 $V_{OUT}$ を、安全制御信号 $V_{OCP}$ として出力する。従って、コンパレータ503は、DC-DCコンバータ400Xの動作時にリセット動作が解除されると、監視電圧 $V_{ocp}$ が判定電圧 $V_{Rocp}$ に達しておらず、過電流が発生していないときは、安全制御信号 $V_{OCP}$ をLレベルに設定する。
- [0250] 一方で、監視電圧 $V_{ocp}$ が判定電圧 $V_{Rocp}$ まで上昇すると、即ち、過電流が発生すると、コンパレータ503は、監視電圧 $V_{ocp}$ が判定電圧 $V_{Rocp}$ と交差したことを検知して、安全制御信号 $V_{OCP}$ をHレベルに変化させる。
- [0251] 安全制御信号 $V_{OCP}$ は、ゲート駆動回路440に伝達することができる。ゲート駆動回路440は、安全制御信号 $V_{OCP}$ がLレベルのときには、実施の形態5で説明したPFM制御に従ってゲート駆動信号 $P_{GATE}$ 、 $N_{GATE}$ を生成する。これに対して、ゲート駆動回路440は、安全制御信号 $V_{OCP}$ がHレベルに設定される、過電流の発生時には、スイッチング素子450を強制的にオフ状態に固定する様に、ゲート駆動信号 $P_{GATE}$ を生成する。この際に、コンパレータ420及びPFM制御回路430の動作についても、更に停止させてもよい。
- [0252] これにより、コンパレータ503を用いた安全制御回路によって、過電流の発生時にDC-DCコンバータ400Xの変換動作を停止させることで、DC-DCコンバータ400X及び負荷550の回路保護を図ることができる。
- [0253] コンパレータ504は、電源電圧 $V_{CC}$ の変動、サージ電圧の発生、或い

は、熱暴走等に起因する過電圧の発生時に回路を保護する、所謂、OVP (Over Voltage Protection) 機能を実現するために配置される。

[0254] コンパレータ504 (コンパレータ100) は、監視電圧としてのDC出力電圧VDC及び判定電圧V<sub>rov</sub>を図2での入力電圧V<sub>in</sub>及び基準電圧V<sub>REF</sub>として動作する。コンパレータ504に入力される判定電圧V<sub>rov</sub>は、過電圧の判定値に従って設定することができる。

[0255] コンパレータ504は、図2における出力電圧V<sub>OUT</sub>を、安全制御信号V<sub>OVP</sub>として出力する。従って、コンパレータ504は、DC-DCコンバータ400Xの動作時にリセット動作が解除されると、監視電圧であるDC出力電圧V<sub>ov</sub>が判定電圧V<sub>rov</sub>に達しておらず、過電圧が発生していないときは、安全制御信号V<sub>OVP</sub>をLレベルに設定する。

[0256] 一方で、DC出力電圧VDCが判定電圧V<sub>rov</sub>まで上昇すると、即ち、過電圧が発生すると、コンパレータ504は、DC出力電圧VDC (監視電圧) が判定電圧V<sub>rov</sub>と交差したことを検知して、安全制御信号V<sub>OVP</sub>をHレベルに変化させる。

[0257] 安全制御信号V<sub>OVP</sub>は、ゲート駆動回路440に伝達することができる。ゲート駆動回路440は、安全制御信号V<sub>OVP</sub>がLレベルのときには、実施の形態5で説明したPFM制御に従ってゲート駆動信号PGATE, N GATEを生成する。これに対して、ゲート駆動回路440は、安全制御信号V<sub>OVP</sub>がHレベルに設定される、過電圧の発生時には、スイッチング素子450を強制的にオフ状態に固定する様に、ゲート駆動信号PGATEを生成する。この際に、コンパレータ420及びPFM制御回路430の動作についても、更に停止させてもよい。

[0258] これにより、コンパレータ504を用いた安全制御回路によって、過電圧の発生時にDC-DCコンバータ400Xの変換動作を停止させることで、DC-DCコンバータ400X及び負荷550の回路保護を図ることができる。

[0259] コンパレータ505は、DC-DCコンバータ400X自身、又は、周辺

回路（図示せず）の異常動作によって周囲温度が上昇した場合に、熱暴走の発生を防止するための、所謂、OTP（Over Temperature Protection）機能を実現するために配置される。温度センサ530は、DC-DCコンバータ400Xの温度に対応した監視電圧 $V_{tmp}$ を出力する。監視電圧 $V_{tmp}$ は、温度センサ530の出力電圧に相当し、温度上昇に応じて上昇する。

[0260] コンパレータ505（コンパレータ100）は、監視電圧 $V_{tmp}$ 及び判定電圧 $V_{Rovtmp}$ を図2での入力電圧 $V_{in}$ 及び基準電圧 $V_{REF}$ として動作する。コンパレータ505に入力される判定電圧 $V_{Rovtmp}$ は、過熱保護が必要な温度下限値に対応した温度センサ530の出力電圧値に従って設定することができる。

[0261] コンパレータ505は、図2における出力電圧 $V_{OUT}$ を、安全制御信号 $V_{OVTMP}$ として出力する。従って、コンパレータ505は、DC-DCコンバータ400Xの動作時にリセット動作が解除されると、監視電圧 $V_{tmp}$ が判定電圧 $V_{Rocp}$ に達しておらず、過熱状態が発生していないときは、安全制御信号 $V_{OVTMP}$ をLレベルに設定する。

[0262] 一方で、監視電圧 $V_{tmp}$ が判定電圧 $V_{Rovtmp}$ まで上昇すると、即ち、過熱状態が発生すると、コンパレータ505は、監視電圧 $V_{tmp}$ が判定電圧 $V_{Rovtmp}$ と交差したことを検知して、安全制御信号 $V_{OVTMP}$ をHレベルに変化させる。

[0263] 安全制御信号 $V_{OCP}$ は、ゲート駆動回路440に伝達することができる。ゲート駆動回路440は、安全制御信号 $V_{OVTMP}$ がLレベルのときには、実施の形態5で説明したPFM制御に従ってゲート駆動信号 $P_{GATE}$ 、 $N_{GATE}$ を生成する。これに対して、ゲート駆動回路440は、安全制御信号 $V_{OVTMP}$ がHレベルに設定される、過熱状態の発生時には、スイッチング素子450を強制的にオフ状態に固定する様に、ゲート駆動信号 $P_{GATE}$ を生成する。この際に、コンパレータ420及びPFM制御回路430の動作についても、更に停止させてもよい。

[0264] これにより、コンパレータ505を用いた安全制御回路によって、過熱状

態の発生時にDC-DCコンバータ400Xの変換動作を停止させることで、DC-DCコンバータ400X及び負荷550の回路保護を図ることができる。

[0265] この様に、OCP、OVP、及び、OTP機能のための、コンパレータ503～505の各々は「第1の異常監視用コンパレータ」の一実施例に対応する。更に、安全制御信号VOVP、VOVP、VOVTMPに応じて、DC-DCコンバータ400Xの変換動作を停止する制御は「第1の安全制御」の一実施例に対応する。

[0266] 次に、電圧上昇に対応するための電流シャント制御について説明する。コンパレータ506及びトランジスタ516は、DC出力電圧VDCの上昇時に強制的な放電経路を形成するために配置される。分圧回路526は、DC出力ノードNd c及び接地配線402の間に接続されて、DC出力電圧VDCを分圧した監視電圧VDC d vを出力する。

[0267] コンパレータ502に入力される判定電圧VRshntは、DC出力電圧VDCの予め定められた制御上限電圧及び分圧回路526の分圧比の乗算値に従って設定することができる。尚、当該制御上限値は、過電圧異常を検出するためのコンパレータ504に入力される判定電圧VRovpよりも低く設定される。即ち、過電圧保護(OVP)が作用する前に電流シャント制御が起動される様に、上記制御上限値は設定される。

[0268] コンパレータ506(コンパレータ100)は、監視電圧VDC d v及び判定電圧VRshntを図2での入力電圧Vin及び基準電圧VREFとして動作する。コンパレータ502は、図2における出力電圧VOUTを、制御信号VSHNTとして、N型のトランジスタ516のゲートに出力する。トランジスタ516は、DC出力ノードNd c及び接地配線402の間に接続される。

[0269] DC-DCコンバータ400Xの動作時において、監視電圧VDC d vが判定電圧VRshntに達するまで、即ち、電流シャント制御を起動すべき電圧上昇が発生していない期間では、Lレベルの制御信号VSHNTがト

ランジスタ516のゲートに入力される。この期間では、トランジスタ516はオフ状態に維持されて、電流シャント制御は非実行とされる。

[0270] これに対して、コンパレータ506は、監視電圧 $V_{DCdv}$ が判定電圧 $V_{Rshnt}$ まで上昇すると、監視電圧 $V_{DCdv}$ 及び判定電圧 $V_{Rshnt}$ が交差したことを検知するので、制御信号 $V_{SHNT}$ をLレベルからHレベルに変化させる。これに応じて、トランジスタ516がオンされることにより、DC出力ノード $N_{dc}$ に対して放電経路を形成することができる。

[0271] この結果、コンパレータ506を用いた安全制御回路によって、上昇し過ぎたDC出力電圧 $V_{DC}$ を速やかに低下させるための電流シャント制御を実行することができる。この様に、コンパレータ506は「第2の異常監視用コンパレータ」の一実施例に対応する。又、トランジスタ516のオンによって電流経路を形成する電流シャント制御は「第2の安全制御」の一実施例に対応する。

[0272] 以上説明した様に、実施の形態5の変形例に係るDC-DCコンバータ400Xでは、実施の形態5で説明したDC-DCコンバータ400に対して、電圧、電流、及び、温度等の監視対象値を本実施の形態に係るコンパレータによって判定電圧と比較することで、入力電圧不足、過電流、過電圧、及び、過熱状態等に対する保護機能（ULVO, OCP, OVP, OTP）を持たせるための安全制御を実現することができる。更に、同様のコンパレータを用いて、電流シャント制御、及び、DC-DCコンバータ400Xの起動時における負荷550の誤動作防止機能についても実現することができる。

[0273] 実施の形態5及びその変形例に係るDC-DCコンバータ400, 400Xは、低消費電力化を図ることにより、所謂、エネルギーハーベスト電源によって電源配線401の電源電圧 $V_{CC}$ を発生させる構成に好適となる。代表的には、負荷が間欠的に動作するようなアプリケーションにおいて、エネルギーハーベスト電源の適用が望まれる。

[0274] 図27には、エネルギーハーベストによるDC-DCコンバータ400, 4

00Xの電源電圧の供給例が示される。

- [0275] エナジーハーベストの発電素子600は、太陽光又は室内光からの光エネルギーを電力に変換する太陽電池601、車両等からの振動エネルギーを電力に変換する圧電素子602、エンジン、エアコン、又は、ビル配管等からの熱エネルギーを電力に変換する熱電変換素子603、及び、電波塔等からの電磁波エネルギーを電力に変換するレクテナ604のうちの少なくとも1つを含むことができる。
- [0276] 発電素子600による発電電力は、電気二重層キャパシタ等の蓄電要素610によって蓄積されて、電源配線401に供給される。これにより、エナジーハーベスト電源によって、DC-DCコンバータの電源電圧VCCを得ることで、系統電源からの給電、又は、バッテリーの配置が困難な場合でも、負荷550への給電が可能になる。この結果、省エネルギー化のみならず、ユーザ利便性を向上することも可能となる。
- [0277] 一方で、エナジーハーベスト電源は、環境の変化によって発電電力が変動することで電源電圧VCCが不安定となることが懸念される。従って、異常検出のためのコンパレータ501～506が、低消費電力化が図られた本実施の形態に係るコンパレータで構成されるDC-DCコンバータ400Xは、異常検出に応じた安全制御機能を低消費電力で実現できることにより、エナジーハーベスト電源の適用に更に適したものとすることができる。
- [0278] 尚、実施の形態5及びその変形例では、本実施の形態に係るコンパレータを、降圧型のDC-DCコンバータに適用した例を説明したが、DC-DCコンバータへの適用例は、これに限定させるものではない点について、確認的に記載する。即ち、本実施の形態に係るコンパレータは、昇圧型のDC-DCコンバータ、及び、負電圧を発生する反転型のDC-DCコンバータ等にも適用することが可能である。或いは、DC-DCコンバータ以外の電力変換器に対しても、出力制御のための電圧監視（実施の形態5）の用途で、本実施の形態に係るコンパレータを適用することが可能である。
- [0279] 同様に、図26に示されたコンパレータ501～506による安全制御回

路は、DC-DCコンバータ400（図21）に限定して適用されるものではなく、DC-DCコンバータ400とは異なるDC-DCコンバータ、或いは、DC-DCコンバータ以外の電力変換器に対しても適用することが可能である。これにより、電力変換器において、入力電圧不足、過電流、過電圧、及び、過熱状態等に対する保護機能（ULVO, OCP, OVP, OTP）、及び、電力変換器の起動時における負荷の誤動作防止機能について、本実施の形態に係るコンパレータを用いて、低消費電力で実現することができる。

[0280] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

### 符号の説明

[0281] 100, 100#, 100a, 100b, 101, 101x, 101y, 101z, 102~104 コンパレータ、110 差動増幅回路、120 能動負荷回路、130~132 電流源回路、140 電流変換回路、150 ミニマムセレクト回路、151~153 電圧範囲、160 ラッチ回路、170 出力段、180 入力電圧検知回路、190 電流制御信号生成回路、191 論理ゲート、200 発振器、210 RSフリップフロップ、210a, 210b, C10, Cdc キャパシタ、220a, 220b 充放電制御回路、221a, 221b, 300a, 300b 電流源、400, 400X DC-DCコンバータ、401 電源配線、402 接地配線、410 電圧フィードバック回路、420, 501, 502, 503, 504, 505, 506 コンパレータ（電力変換器内）、430 PFM制御回路、432 Dフリップフロップ、435 遅延回路、440 ゲート駆動回路、442 ノンオーバラッピングクロック生成回路、444a, 444b インバータ段、450, 451 半導体スイッチング素子、450R レプリカトランジスタ、521, 522, 526 分圧回路、



523 電流検出回路、530 温度センサ、550 負荷、600 発電素子、601 太陽電池、602 圧電素子、603 熱電変換素子、604 レクテナ、610 蓄電要素、INV1~INV2 インバータ、Ldc インダクタ、NM0, NM0x, NM0x1, NM0x2, NM0y, NM0y1, NM0y2, NM1~NM8, NM11~NM16, NM61, NM62, NMC1~NMC4 トランジスタ (N型)、PM1~PM8, PM10~PM18, PM61, PM62, PMC1~PMC4 トランジスタ (P型)、N1~N8 ノード、Np 電源ノード、Nina, Ninb 入力ノード、Ns 接地ノード、PGD, VOCP, VOVP, VOLTMP, VUVLO, VUVLOH 安全制御信号、RST, RTTdc リセット信号、VCCdv, VDCdv, Vocp, Vtmp 監視電圧、VDCCNT 電圧制御信号、VDCOUT DC出力電圧 (電力変換器)、VDD 電源電圧、VOUT 出力電圧、VREF 基準電圧、VSS 接地電圧、Vclk クロック電圧、Vina, Vinb 入力電圧、VRgd, VRocp, RRo vp, RRo vtmp, VRshnt, Vx, Vy 判定電圧、VRuvlo 下限判定電圧。

## 請求の範囲

### [請求項1]

第1の電圧及び第2の電圧の供給を受けて動作するコンパレータであって、

前記第1の電圧を供給する第1の電源ノードに対して第1及び第2のノードを介して接続されて、前記第1及び第2の電圧の間に予め定められた基準電圧と入力電圧との電圧差を増幅した電流差を有する第1の電流及び第2の電流を前記第1のノード及び前記第2のノードにそれぞれ発生する差動増幅回路と、

前記第1の電源ノードと、前記第2の電圧を供給する第2の電源ノードとの間に、第3のノードを介して前記差動増幅回路と直列に接続されて、前記第1及び第2の電流の和である第3の電流を前記第3のノードに発生する電流源回路と、

出力ノードと前記第1の電源ノードとの間に接続されて、前記第1の電流に比例した第1の出力電流を前記第1の電源ノード及び前記出力ノードの間に発生させる電流駆動力を有する出力段と、

前記第2の電源ノードと前記出力ノードとの間に、前記第2の電流に比例した第2の出力電流を発生させる電流駆動力を有する電流変換回路と、

出力相補ノードと前記第1の電源ノードとの間に接続されて、前記第1及び第2の電流の最小電流に比例した電流を前記出力相補ノードに発生させるミニマムセレクト回路と、

前記出力ノード及び前記出力相補ノードと前記第2の電源ノードとの間に接続されたラッチ回路とを備え、

前記ラッチ回路は、リセット信号に応じて、前記出力ノード及び前記出力相補ノードの各々を前記第2の電源ノードと電気的に接続するリセット動作を実行し、前記リセット動作の解除後の回路動作時には、前記出力ノード及び前記出力相補ノードを前記第2の電源ノードから電気的に切り離れた状態で、前記入力電圧及び前記基準電圧の高低

関係が前記リセット動作の解除時点から逆転する際に、前記出力ノードに生じる前記第2の電圧から前記第1の電圧への変化を増幅する正帰還のラッチ動作を実行して、次に前記リセット信号が入力されるまで、前記出力ノードの電圧を前記第1の電圧に固定するとともに前記出力相補ノードの電圧を前記第2の電圧に固定する、コンパレータ。

[請求項2] 前記電流源回路は、前記出力ノードの電圧が前記第2の電圧であるときには、前記出力ノードの電圧が前記第1の電圧であるときと比較して、前記第3の電流を増加させる、請求項1記載のコンパレータ。

[請求項3] 前記電流源回路は、前記入力電圧が、前記基準電圧を含むように予め設定された電圧範囲内であるときには、前記入力電圧が前記電圧範囲外であるときと比較して、前記第3の電流を増加させる、請求項1記載のコンパレータ。

[請求項4] 前記コンパレータは、他の前記コンパレータと交互动作するように制御され、

前記電流源回路は、当該他の前記コンパレータの動作期間では、当該他の前記コンパレータの非動作期間と比較して、前記第3の電流を増加させる、請求項1～3のいずれか1項に記載のコンパレータ。

[請求項5] 前記ラッチ回路は、前記出力ノード及び前記出力相補ノードのうち一方のノードが、前記第2の電圧から前記第1の電圧に向かって変化すると、前記出力ノード及び前記出力相補ノードのうちの他方のノードを前記第2の電源ノードと接続するように構成され、

前記コンパレータは、

前記出力相補ノードと前記第2の電源ノードとの間に接続されたキャパシタを更に備える、請求項1～4のいずれか1項に記載のコンパレータ。

[請求項6] 前記第1の電源ノードと前記第1及び第2のノードとの間に接続されて、前記第1の電源ノード及び前記第1のノードの間の第1の電流経路と、前記第1の電源ノード及び前記第1のノードの間の第2の電

流経路とを有する能動負荷回路を更に備え、

前記能動負荷回路は、前記リセット動作時において前記第1及び第2の電流経路を遮断する電流遮断機構を有する、請求項1～5のいずれか1項に記載のコンパレータ。

[請求項7]

前記出力相補ノードに対して接続される第1の補助電流源と、

前記出力ノードに対して接続される第2の補助電流源とを更に備え、

、

前記ラッチ回路は、

前記出力ノード及び前記出力相補ノードと前記第2の電源ノードとの間に接続されたクロスカップル回路を含み、

前記第1及び第2の補助電流源は、前記リセット動作の解除後に前記ラッチ回路が前記ラッチ動作を実行するまでの間において前記クロスカップル回路を構成するトランジスタをサブスレッシュヨルド領域で動作させるための電流を生成する、請求項1～6のいずれか1項に記載のコンパレータ。

[請求項8]

前記差動増幅回路は、

前記第1の電源ノードと電氣的に接続された前記第1のノード及び前記第3のノードの間に接続された第1導電型の第1のトランジスタと、

前記第1の電源ノードと電氣的に接続された前記第2のノード及び前記第3のノードの間に接続された前記第1導電型の第2のトランジスタとを有し、

前記電流源回路は、

前記第2の電源ノード及び前記第3のノードの間に接続されて、ゲートに一定電圧を受ける前記第1導電型の第3のトランジスタを有し、

、

前記電流変換回路は、

前記出力ノード及び前記第2の電源ノードの間に接続された前記第

1 導電型の第4のトランジスタを有し、

前記第4のトランジスタは、前記第2の電流に比例する電流が流れるトランジスタとカレントミラーを構成するように配置され、

前記ミニマムセレクト回路は、

前記第1の電源ノード及び前記出力相補ノードの間に直列接続された、前記第1導電型と反対導電型である第2導電型の第5及び第6のトランジスタを有し、

前記第5のトランジスタのゲートは、前記第1の電流が流れるトランジスタとカレントミラーを構成するように配置され、

前記第6のトランジスタのゲートは、前記第2の電流が流れるトランジスタとカレントミラーを構成するように配置され、

前記出力段は、

前記第1の電源ノード及び前記出力ノードの間に接続された前記第2導電型の第7のトランジスタを有し、

前記第7のトランジスタのゲートは、前記第1の電流が流れるトランジスタとカレントミラーを構成するように配置され、

前記ラッチ回路は、

前記出力相補ノード及び前記第2の電源ノードの間に接続されて、前記出力ノードと接続されたゲートを有する前記第1導電型の第8のトランジスタと、

前記出力ノード及び前記第2の電源ノードの間に接続されて、前記出力相補ノードと接続されたゲートを有する前記第1導電型の第9のトランジスタと、

前記出力相補ノード及び前記第2の電源ノードの間に接続されて、前記リセット信号が入力されるゲートを有する前記第1導電型の第10のトランジスタと、

前記出力ノード及び前記第2の電源ノードの間に接続されて、前記リセット信号が入力されるゲートを有する前記第1導電型の第11の

トランジスタとを有する、請求項 1 記載のコンパレータ。

[請求項9]

前記電流源回路は、

前記第 3 のノード及び前記第 2 の電源ノードの間に前記第 3 のトランジスタと並列に接続された第 1 の補助トランジスタを更に有し、

前記第 1 の補助トランジスタは、前記出力ノードの電圧が前記第 1 の電圧であるとき、又は、前記入力電圧が前記基準電圧を含むように予め設定された電圧範囲外であるときには、オフされる一方で、前記出力ノードの電圧が前記第 2 の電圧であるとき、又は、前記入力電圧が前記電圧範囲内であるときには、予め定められた電流を発生する、請求項 8 記載のコンパレータ。

[請求項10]

前記コンパレータは、他の前記コンパレータと交互に前記回路動作を実行するように制御され、

前記電流源回路は、

前記第 3 のノード及び前記第 2 の電源ノードの間に前記第 3 のトランジスタと並列に接続された第 2 の補助トランジスタを更に有し、

前記第 2 の補助トランジスタは、当該他の前記コンパレータの動作期間ではオフされる一方で、当該他の前記コンパレータの非動作期間では、予め定められた電流を発生するように制御される、請求項 8 又は 9 に記載のコンパレータ。

[請求項11]

前記出力相補ノードと前記第 2 の電源ノードとの間に接続されたキャパシタを更に備える、請求項 8～10 のいずれか 1 項に記載のコンパレータ。

[請求項12]

前記第 1 の電源ノードと前記第 1 及び第 2 のノードとの間に接続された能動負荷回路を更に備え、

前記能動負荷回路は、

前記第 1 の電源ノード及び前記第 1 のノードの間に接続されるとともに、前記第 1 のノードと接続されたゲートを有する、前記第 2 導電型の第 1 2 のトランジスタと、

前記第1の電源ノード及び前記第2のノードの間に接続されるとともに、前記第2のノードと接続されたゲートを有する、前記第2導電型の第13のトランジスタと、

前記リセット動作時において、前記第12のトランジスタ及び前記第13のトランジスタのゲートを、前記第12のトランジスタ及び前記第13のトランジスタをオフするためのゲート電圧を供給するノードと接続するための電流遮断機構とを含む、請求項8～11のいずれか1項に記載のコンパレータ。

[請求項13]

前記出力相補ノードに対して接続される第1の補助電流源と、

前記出力ノードに対して接続される第2の補助電流源とを更に備え、

前記第1及び第2の補助電流源は、前記リセット動作の解除後に前記ラッチ回路が前記ラッチ動作を実行するまでの間において前記第8のトランジスタ及び前記第9のトランジスタの各々をサブスレッショルド領域で動作させるための電流を生成する、請求項8～12のいずれか1項に記載のコンパレータ。

[請求項14]

前記第1の電圧は、前記第2の電圧よりも高く、

前記入力電圧は、前記回路動作時において、前記第2の電圧から前記第1の電圧に向かって上昇し、

前記ラッチ回路は、前記回路動作時において、前記入力電圧が前記基準電圧よりも低い電圧から前記基準電圧まで上昇すると、前記出力ノードの電圧を前記第2の電圧から前記第1の電圧に変化させる、請求項1～13のいずれか1項に記載のコンパレータ。

[請求項15]

前記第2の電圧は、前記第1の電圧よりも高く、

前記入力電圧は、前記回路動作時において、前記第2の電圧から前記第1の電圧に向かって低下し、

前記ラッチ回路は、前記回路動作時において、前記入力電圧が前記基準電圧よりも高い電圧から前記基準電圧まで低下すると、前記出力

ノードの電圧を前記第2の電圧から前記第1の電圧に変化させる、請求項1～13のいずれか1項に記載のコンパレータ。

[請求項16] 請求項1～15のいずれか1項に記載のコンパレータによって構成された第1及び第2のコンパレータと、

前記第1のコンパレータからの第1の出力信号、及び、前記第2のコンパレータからの第2の出力信号を受けて、論理レベルの遷移を繰り返す周期信号を生成する信号生成回路とを備え、

前記第1の出力信号は、前記第1のコンパレータの前記出力ノードの電圧に応じた論理レベルを有し、

前記第2の出力信号は、前記第2のコンパレータの前記出力ノードの電圧に応じた論理レベルを有し、

前記第1のコンパレータの前記入力電圧、及び、前記第2のコンパレータの前記入力電圧は、前記周期信号の論理レベルが遷移する毎に、前記基準電圧に向かう電圧変化が交互に生じるように制御され、

前記第1及び第2のコンパレータは、交互に前記回路動作を実行して、前記基準電圧と、前記電圧変化を伴う入力電圧とに応じた前記第1及び第2の出力信号を生成し、

前記信号生成回路は、前記第1の出力信号の予め定められた方向の論理レベルの変化、及び、前記第2の出力信号の当該予め定められた方向の論理レベルの変化の各々に応じて、前記周期信号の論理レベルを遷移させる、発振器。

[請求項17] 接地配線及び電源配線と接続されて、前記電源配線の第1の直流電圧を変換して第2の直流電圧を直流電圧出力ノードに出力する電力変換器であって、

請求項1～15のいずれか1項に記載のコンパレータによって構成された出力電圧監視用コンパレータと、

前記電源配線と前記直流電圧出力ノードとの間に接続された駆動スイッチング素子とを備え、



前記出力電圧監視用コンパレータは、前記第2の直流電圧に従う電圧を前記入力電圧とし、前記第2の直流電圧の目標電圧に従う電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従って第1又は第2のレベルに設定される制御信号を出力する様に動作し、

前記電力変換器は、前記出力電圧監視用コンパレータから出力された前記制御信号に基づいて、前記駆動スイッチング素子のオンオフを制御するための電圧制御回路を更に備える、電力変換器。

[請求項18]

前記第2の直流電圧は、インダクタを介して前記直流電圧出力ノードから負荷に供給され、

前記電力変換器は、

前記直流電圧出力ノード及び前記接地配線の間接続される半導体素子を更に備え、

前記半導体素子は、前記駆動スイッチング素子のオフ期間において、前記直流電圧出力ノード、前記インダクタ、前記負荷、及び、前記接地配線を含む電流経路を形成する様に構成され、

前記出力電圧監視用コンパレータは、前記リセット動作の解除後に、前記第2の直流電圧が前記目標電圧まで低下すると前記制御信号を前記第1のレベルから前記第2のレベルに変化させ、

前記電圧制御回路は、前記出力電圧監視用コンパレータから出力された前記制御信号の前記第1のレベルから前記第2のレベルへの遷移に応じて前記駆動スイッチング素子のオン期間を設けるとともに、当該オン期間の終了に応じて前記出力電圧監視用コンパレータに前記リセット動作を実行させる、請求項17記載の電力変換器。

[請求項19]

前記電力変換器は、

請求項1～15のいずれか1項に記載のコンパレータによって構成された第1の異常監視用コンパレータを更に備え、

前記第1の異常監視用コンパレータは、前記電力変換器に生じる電

圧、電流、及び、温度のうちのいずれかに応じた電圧値を有する監視電圧を前記入力電圧とし、前記電圧、前記電流、及び、前記温度のいずれかに異常が発生したときの前記監視電圧の電圧値に相当する判定電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

前記電力変換器は、前記第1の異常監視用コンパレータの前記リセット動作の解除後において、前記第1の異常監視用コンパレータから出力された前記制御信号のレベルが変化したときに、前記第1の直流電圧から前記第2の直流電圧への変換動作を停止する第1の安全制御を実行する、請求項17又は18に記載の電力変換器。

[請求項20]

前記電力変換器は、

請求項1～15のいずれか1項に記載のコンパレータによって構成された第2の異常監視用コンパレータを更に備え、

前記第2の異常監視用コンパレータは、前記第2の直流電圧に応じた電圧を前記入力電圧とし、予め定められた上限電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

前記電力変換器は、前記第2の異常監視用コンパレータの前記リセット動作の解除後において、前記第2の異常監視用コンパレータから出力された前記制御信号のレベルが変化したときに、前記直流電圧出力ノード及び前記接地配線の間前記第2の直流電圧を低下させるための電流経路を形成する第2の安全制御を実行する、請求項17～19のいずれか1項に記載の電力変換器。

[請求項21]

請求項1～15のいずれか1項に記載のコンパレータによって構成された出力起動監視用コンパレータを更に備え、

前記出力起動監視用コンパレータは、前記第2の直流電圧に応じた電圧を前記入力電圧とし、前記第2の直流電圧についての前記負荷の許容が許容される下限値に応じた電圧を前記基準電圧として、前記出

カノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

前記電力変換器は、前記出力起動監視用コンパレータの前記リセット動作の解除後において、前記出力起動監視用コンパレータから出力された前記制御信号のレベルが変化すると前記負荷に対する動作許可を生成する、請求項 17～20 のいずれか 1 項に記載の電力変換器。

[請求項22]

請求項 1～15 のいずれか 1 項に記載のコンパレータによって構成された入力電圧監視用コンパレータを更に備え、

前記入力電圧監視用コンパレータは、前記第 1 の直流電圧に応じた電圧を前記入力電圧とし、前記電力変換器での前記第 1 の直流電圧の許容下限値に応じた電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

前記電力変換器は、前記入力電圧監視用コンパレータの前記リセット動作の解除後において、前記入力電圧監視用コンパレータから出力された前記制御信号のレベルが変化すると、前記直流電圧出力ノードでの前記第 2 の直流電圧の生成を開始する、請求項 17～21 のいずれか 1 項に記載の電力変換器。

[請求項23]

電源配線上の入力電力を電力変換して負荷へ供給する電力変換器であって、

請求項 1～15 のいずれか 1 項に記載のコンパレータによって構成された異常監視用コンパレータを更に備え、

前記異常監視用コンパレータは、前記電力変換器に関連する電圧、電流、及び、温度のうちのいずれかに応じた電圧値を有する監視電圧を前記入力電圧とし、前記電圧、前記電流、及び、前記温度のいずれかに異常が発生したときの前記監視電圧の電圧値に相当する判定電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である第 1 の制御信号を出力する様に動作し

、  
前記電力変換器は、前記異常監視用コンパレータから出力された前記第1の制御信号のレベルが変化したときに、前記電力変換を停止する安全制御を実行する、電力変換器。

[請求項24] 請求項1～15のいずれか1項に記載のコンパレータによって構成された出力起動監視用コンパレータを更に備え、

前記出力起動監視用コンパレータは、前記電力変換器の出力電圧に応じた電圧を前記入力電圧とし、前記負荷が許容する前記出力電圧の下限値に応じた電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

前記電力変換器は、前記出力起動監視用コンパレータの前記リセット動作の解除後において、前記出力起動監視用コンパレータから出力された前記制御信号のレベルが変化すると前記負荷に対する動作許可を生成する、請求項23記載の電力変換器。

[請求項25] 請求項1～15のいずれか1項に記載のコンパレータによって構成された入力電圧監視用コンパレータを更に備え、

前記入力電圧監視用コンパレータは、前記入力電力に応じた電圧を前記入力電圧とし、前記電力変換器での前記入力電力の許容下限電圧に応じた電圧を前記基準電圧として、前記出力ノード又は前記出力相補ノードの電圧に従ったデジタル信号である制御信号を出力する様に動作し、

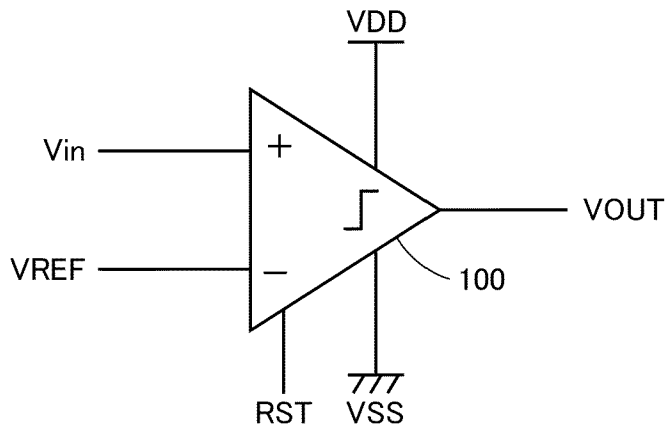
前記電力変換器は、前記入力電圧監視用コンパレータの前記リセット動作の解除後において、前記入力電圧監視用コンパレータから出力された前記制御信号のレベルが変化すると、前記電力変換を開始する、請求項23又は24に記載の電力変換器。

[請求項26] 前記電源配線は、エネルギーハーベスト電源から供給された電力を受ける様に構成される、請求項19～25のいずれか1項に記載の電力

変換器。

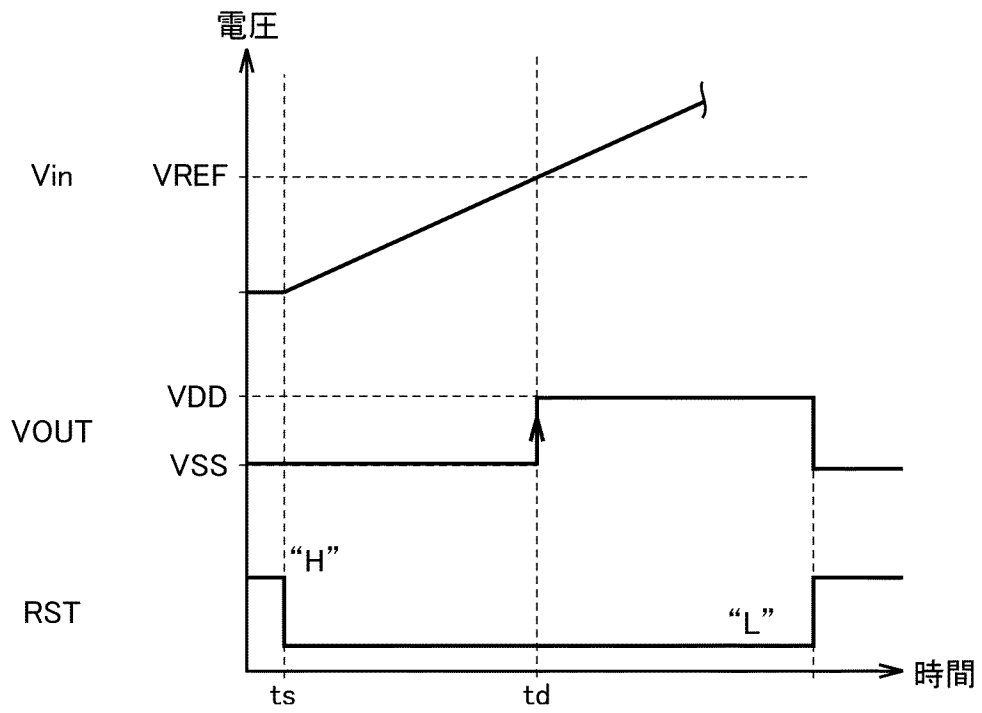
[図1]

図1



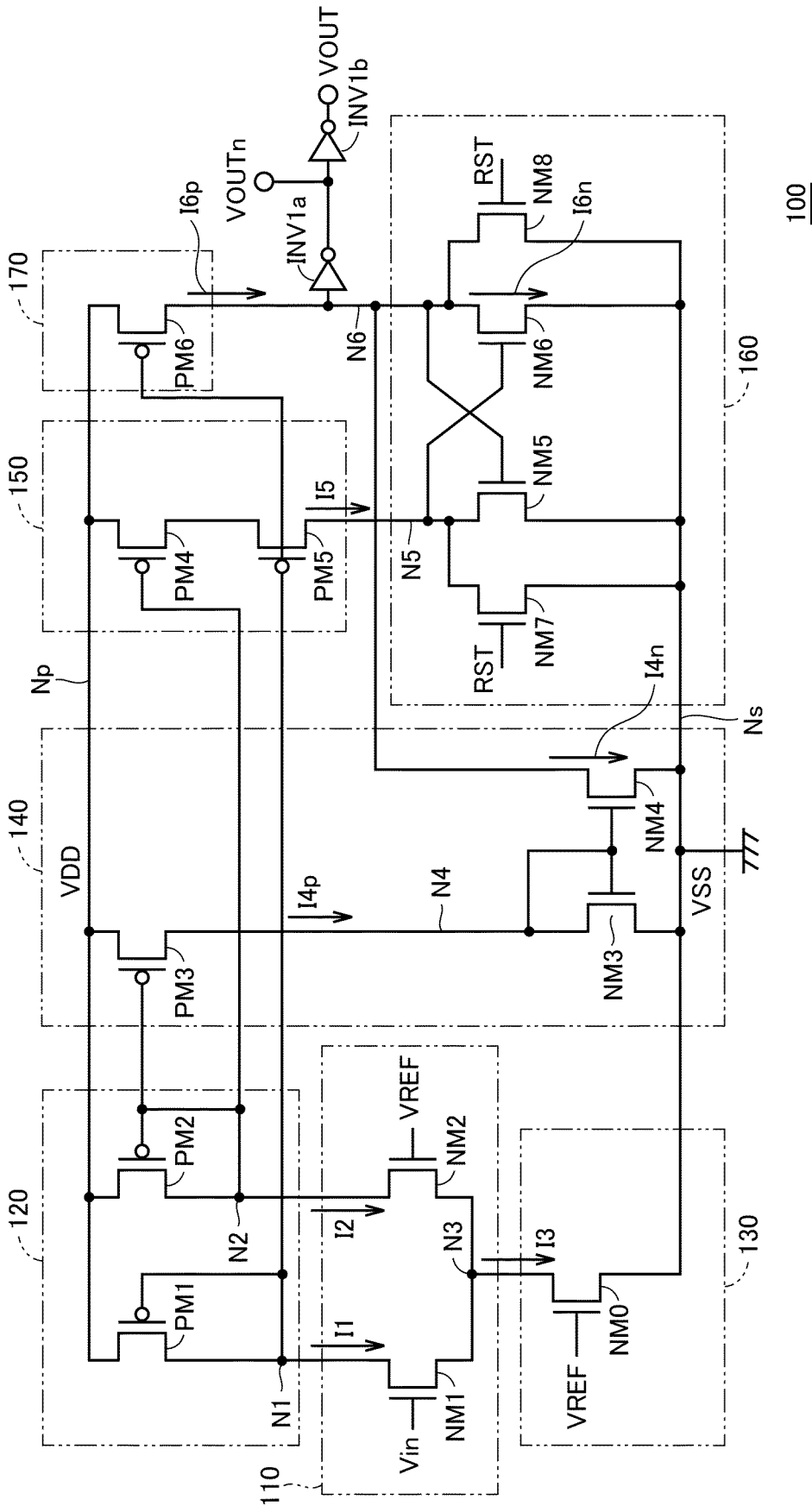
[図2]

図2



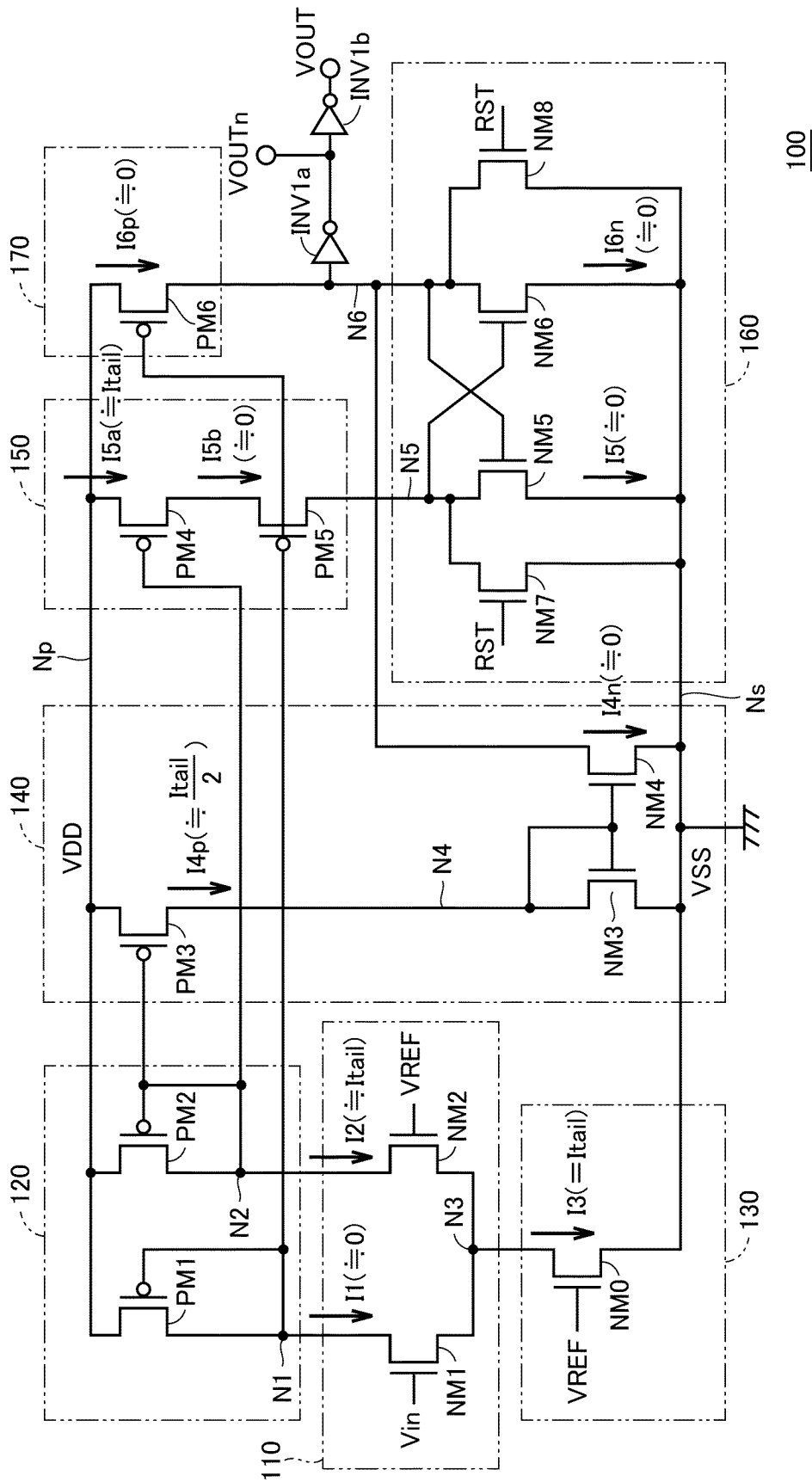
[ 3 ]

図 3



[図4]

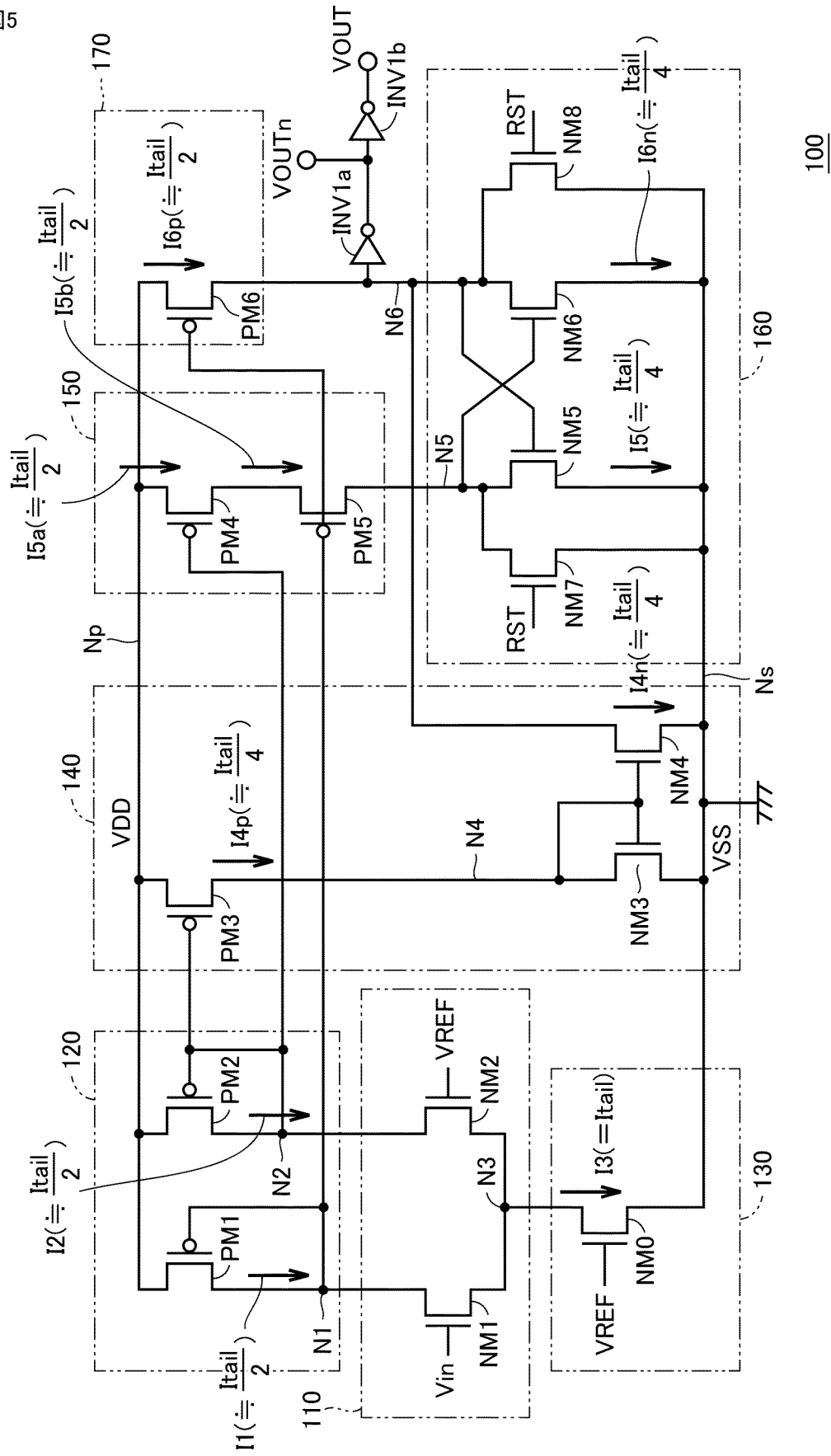
図4





[図5]

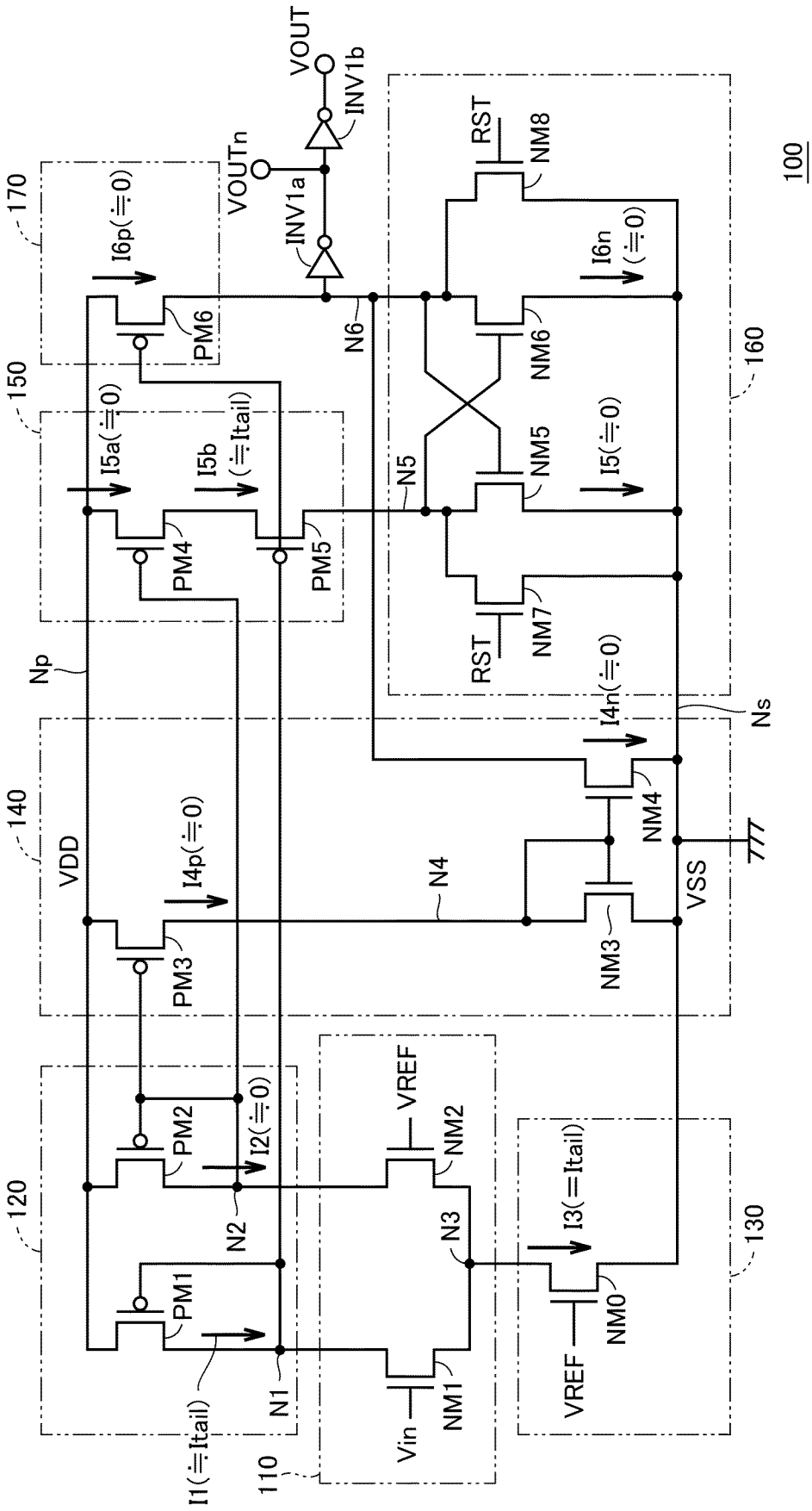
図5



100

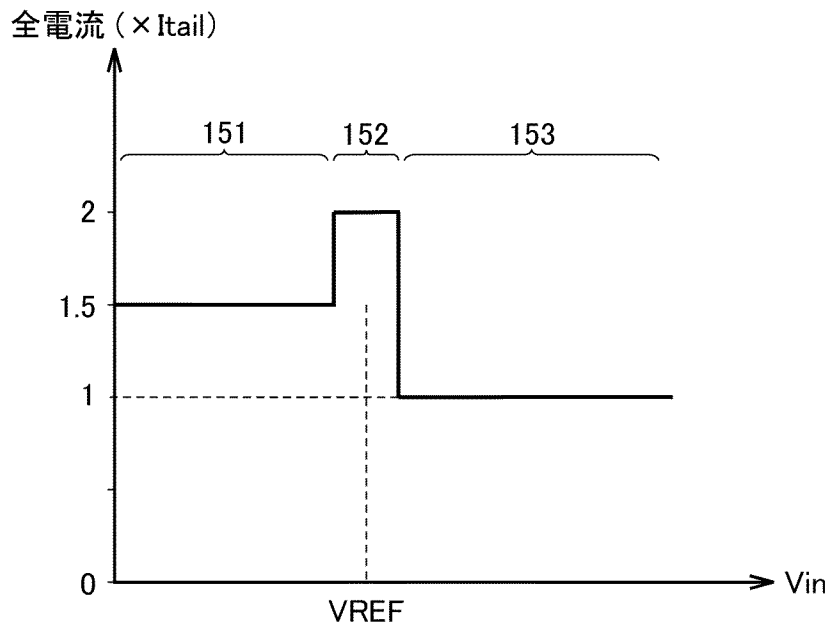
[ 6 ]

6



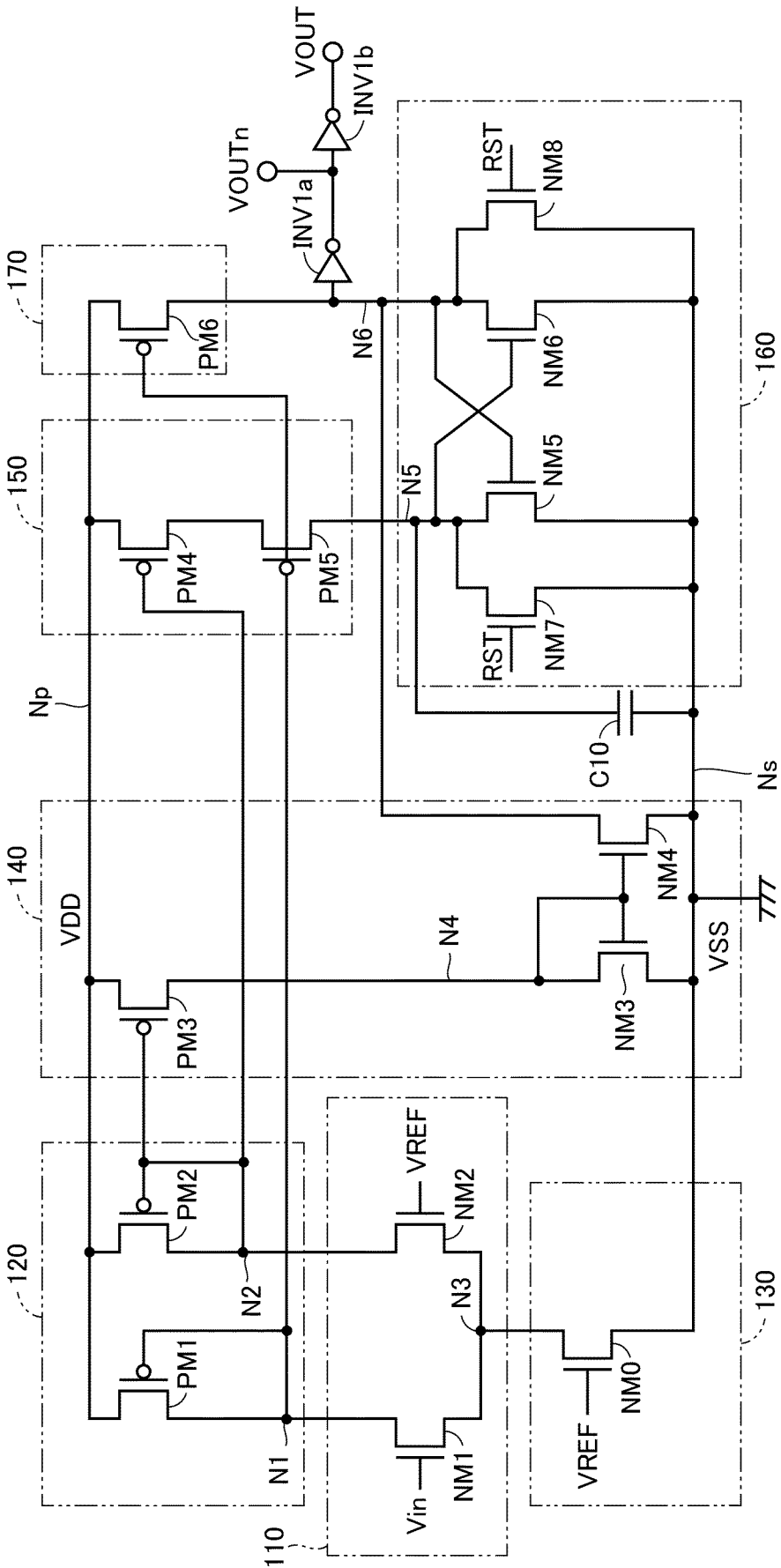
[図7]

図7



[ 8 ]

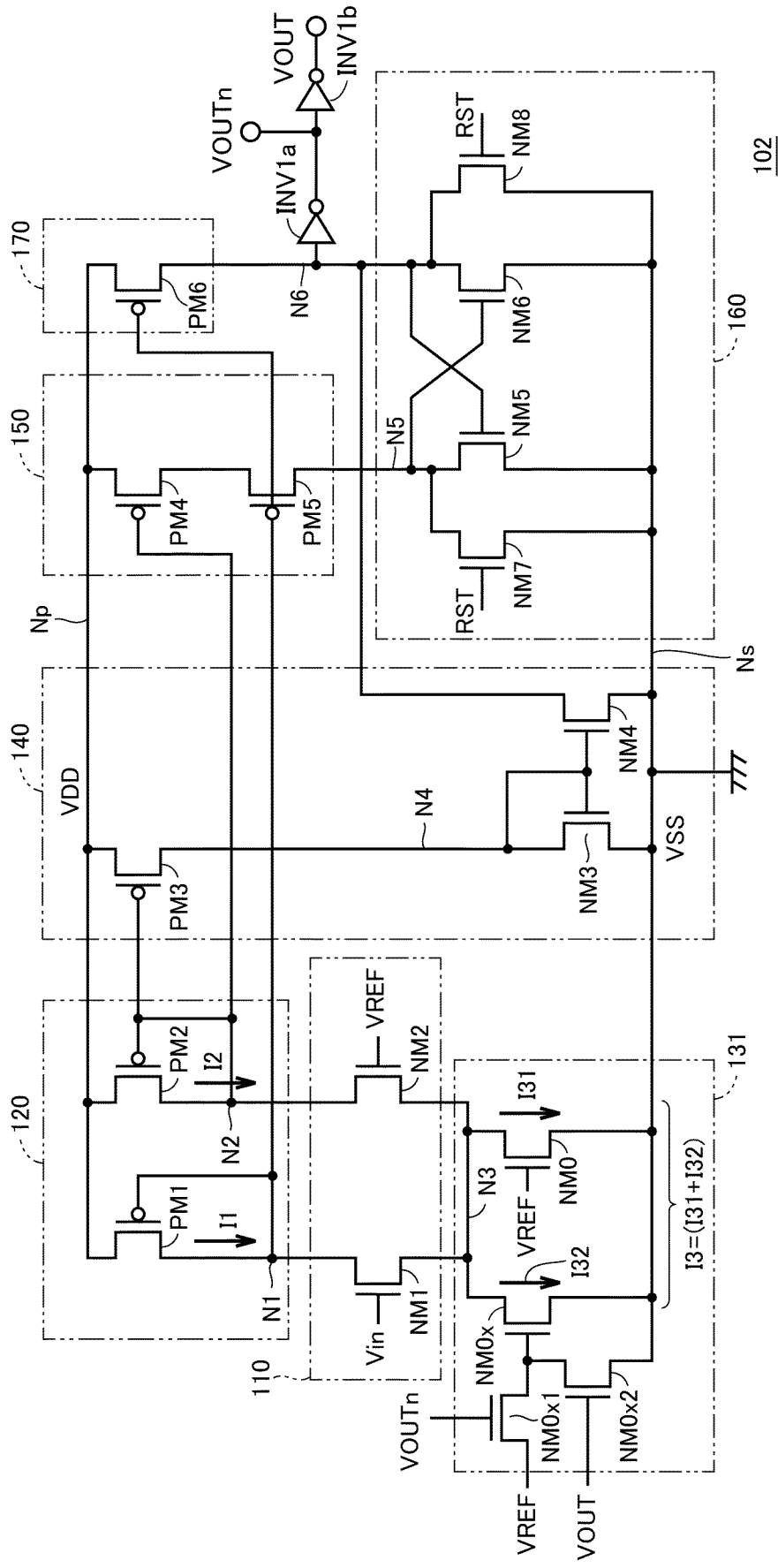
8



101x

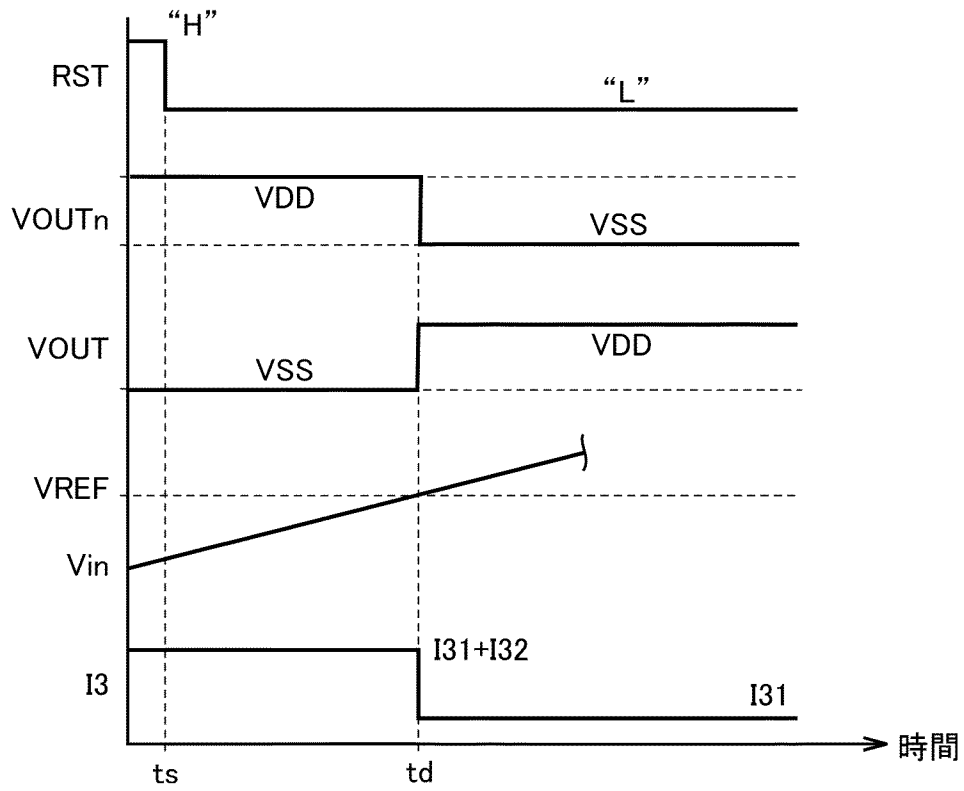
[ 9 ]

9



[図10]

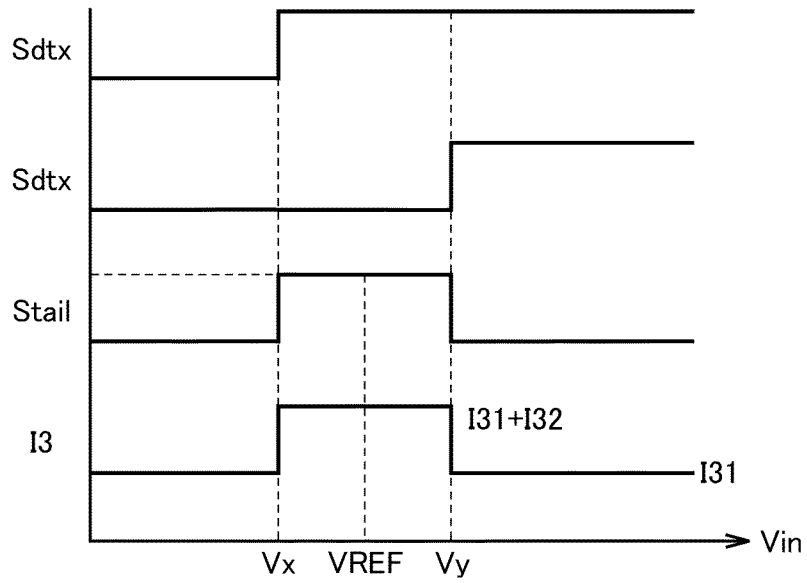
図10





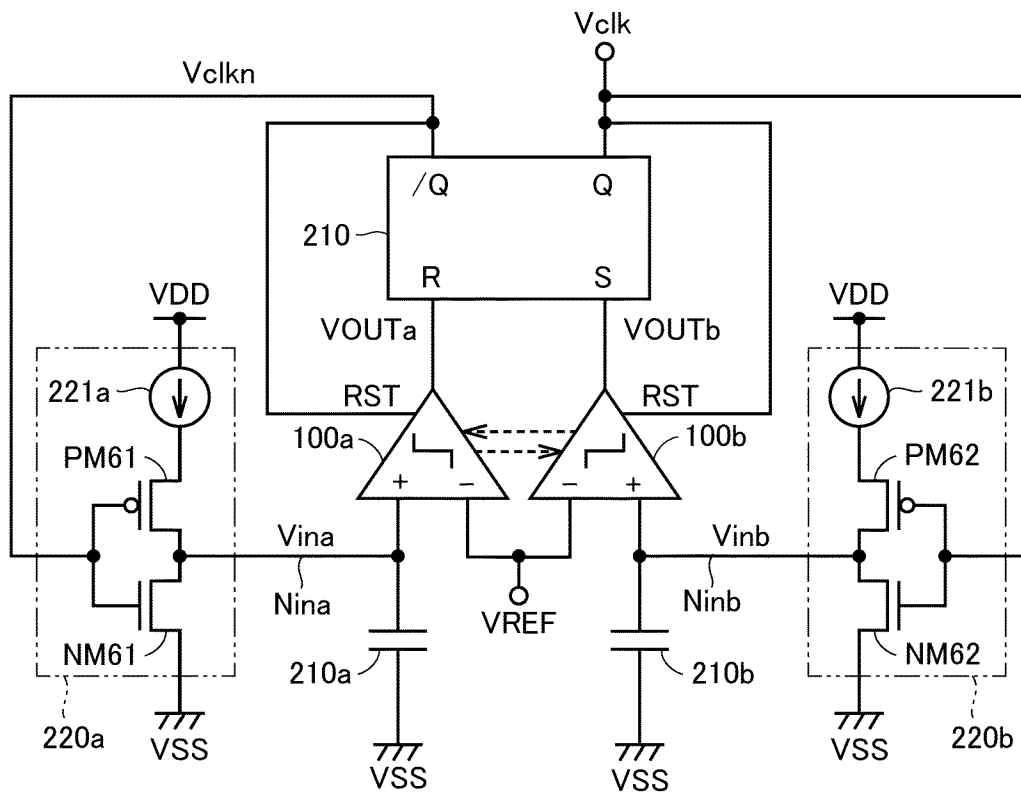
[圖12]

圖12



[圖13]

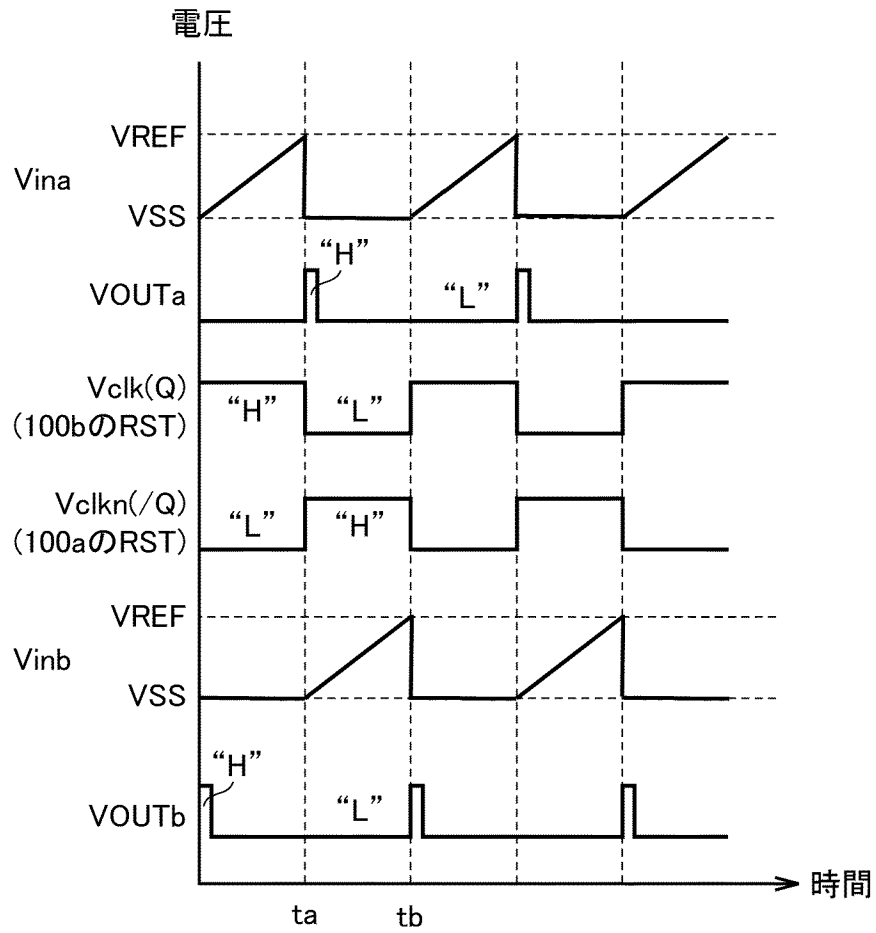
圖13





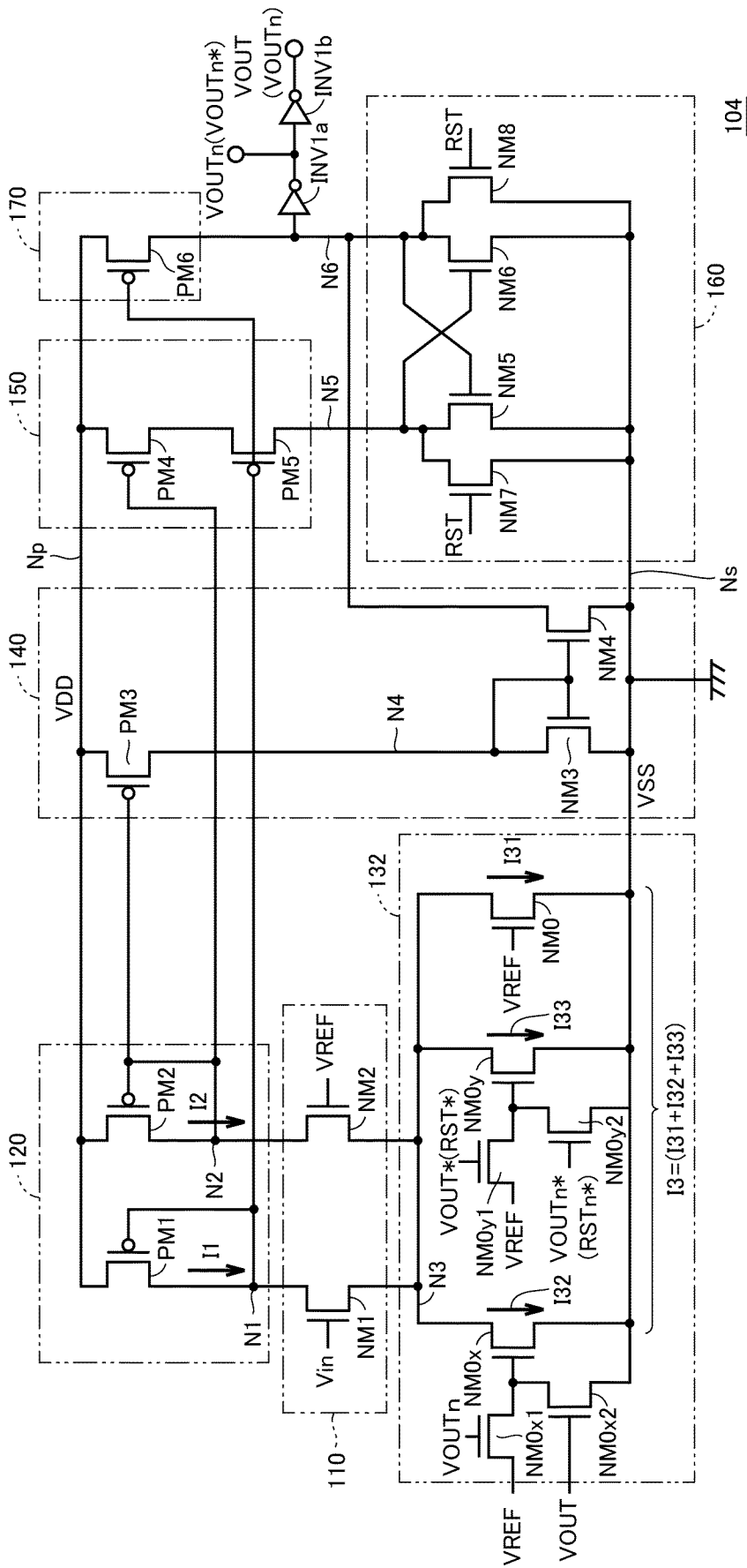
[図14]

図14



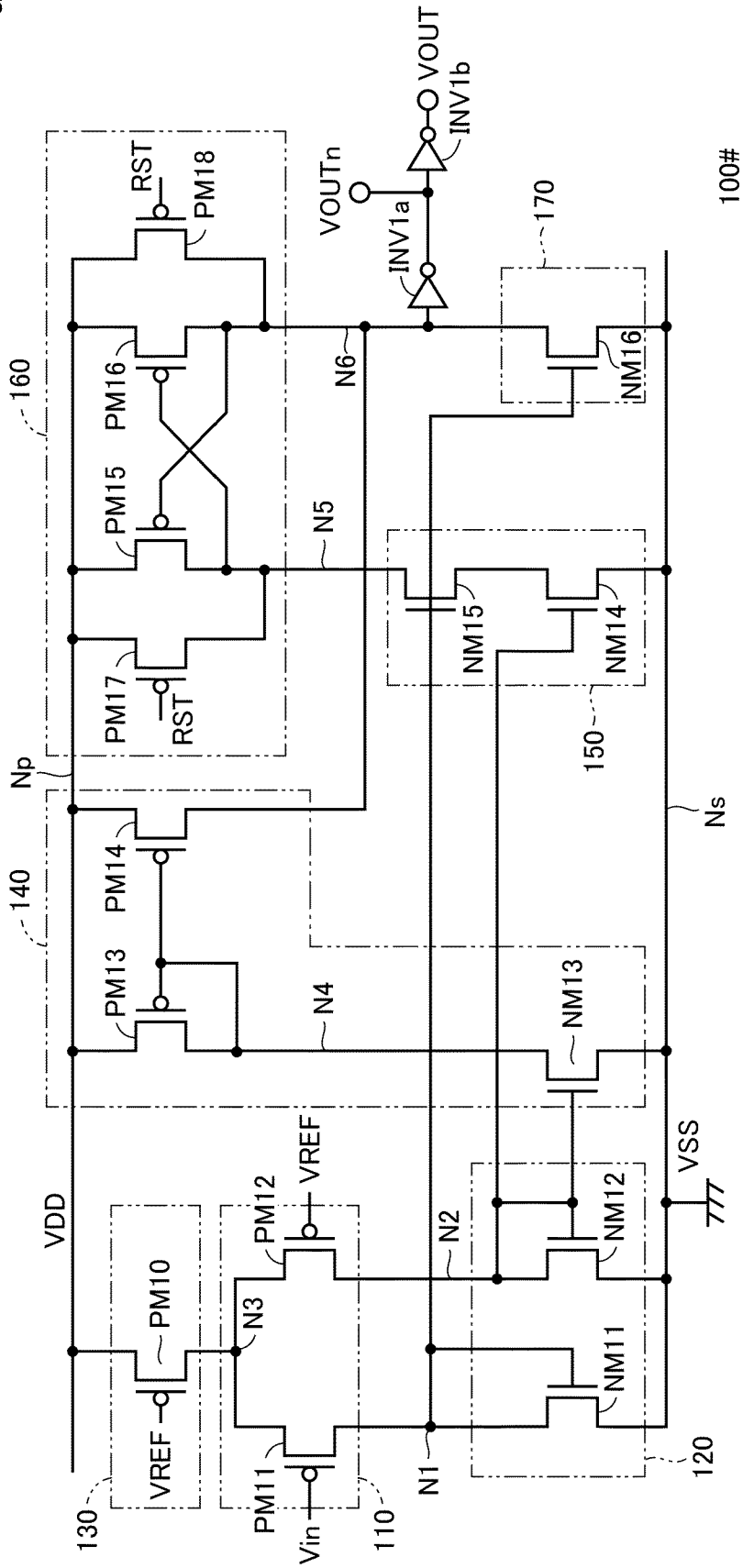
[ 15 ]

15



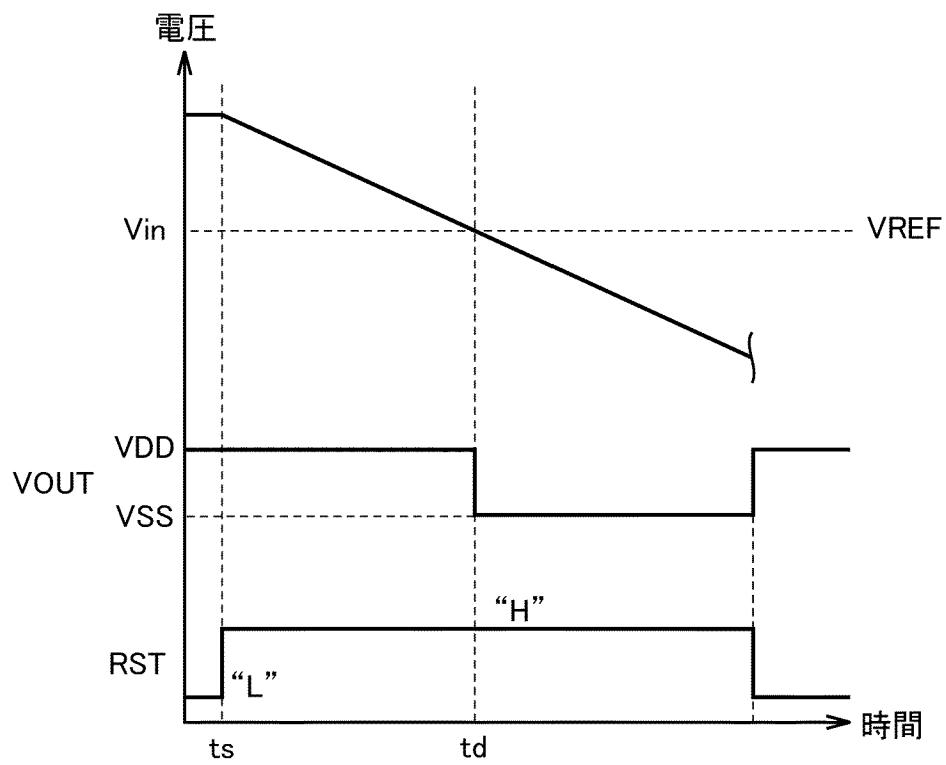
[図16]

図16



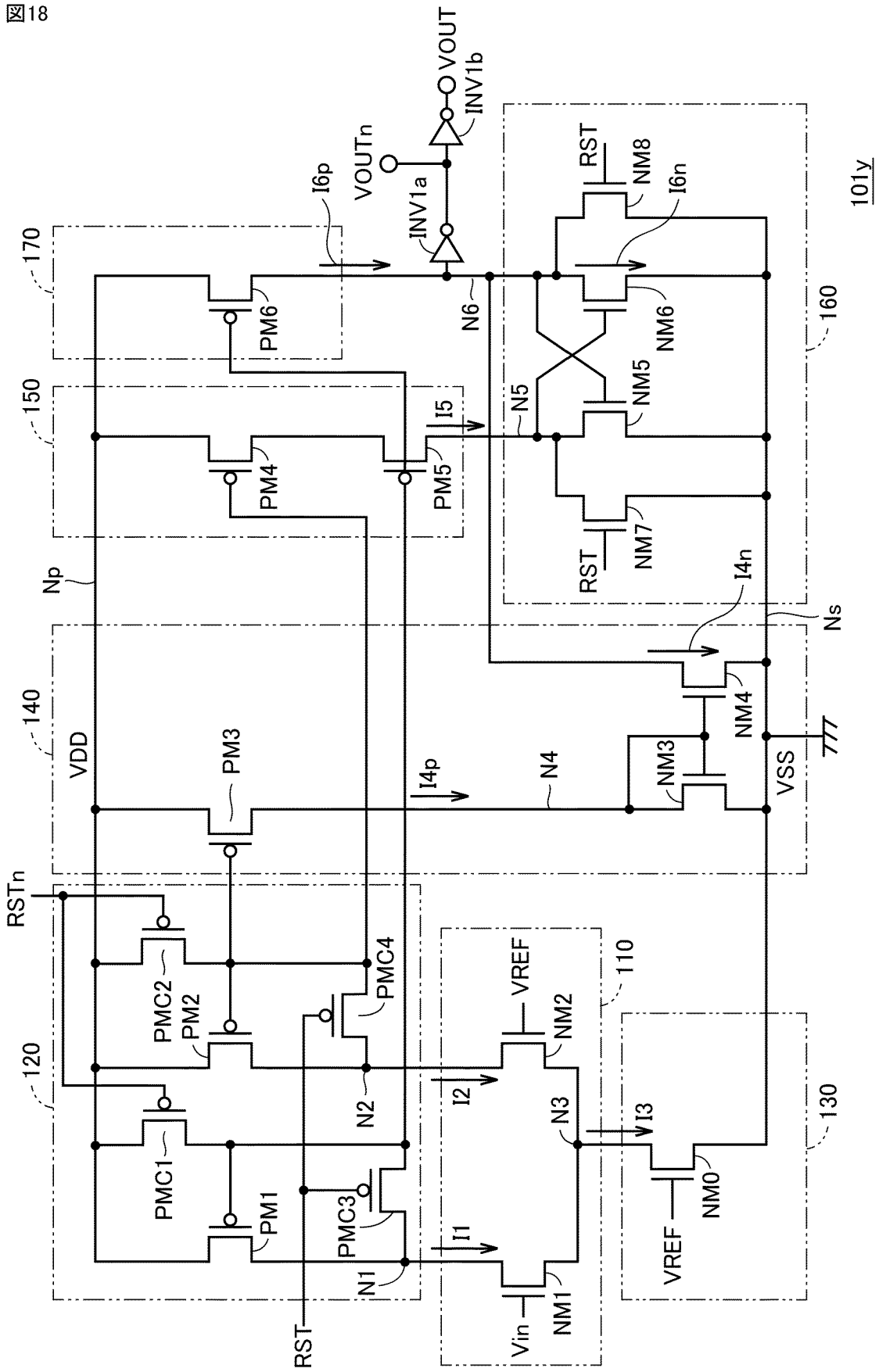
[図17]

図17



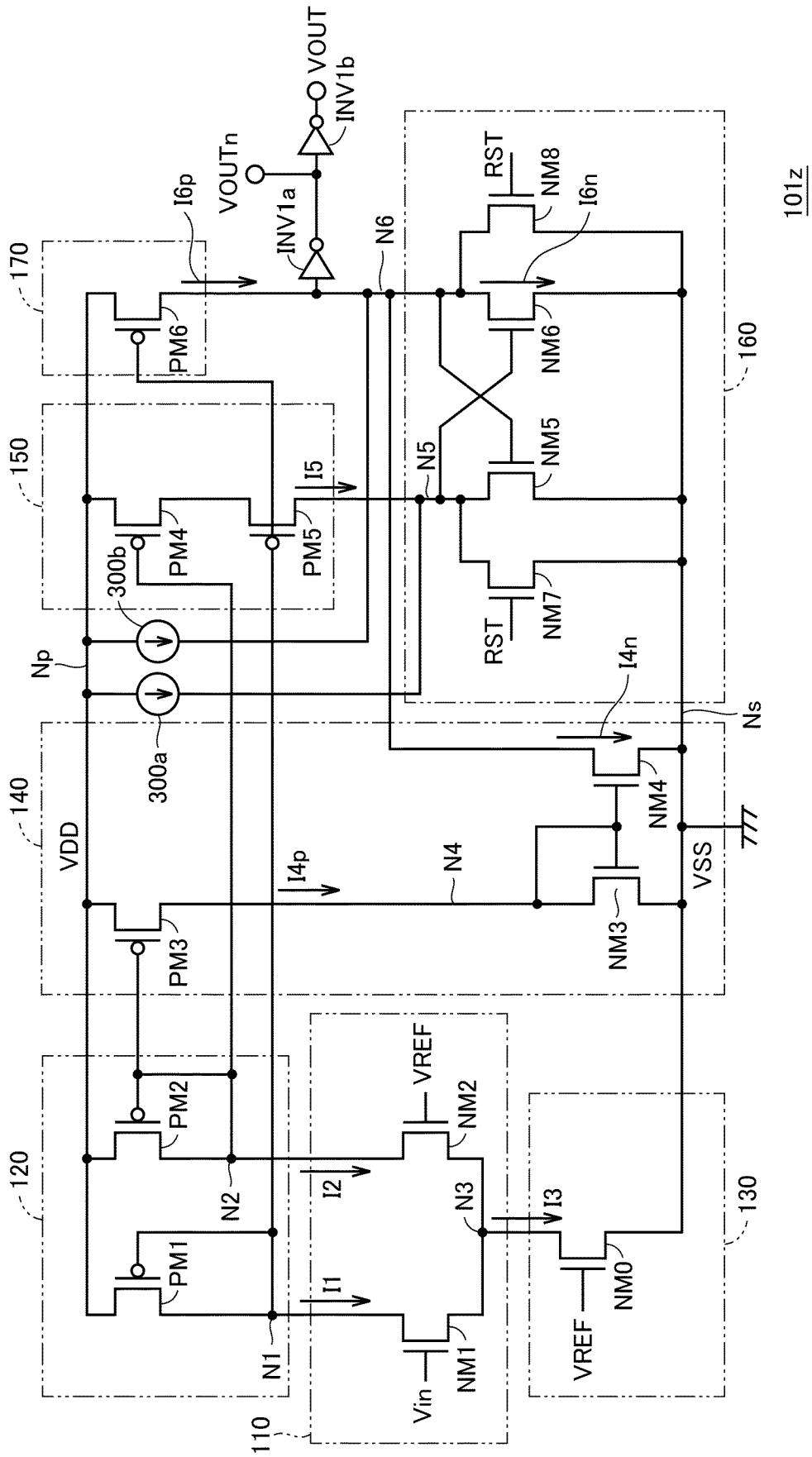
[ 18 ]

18



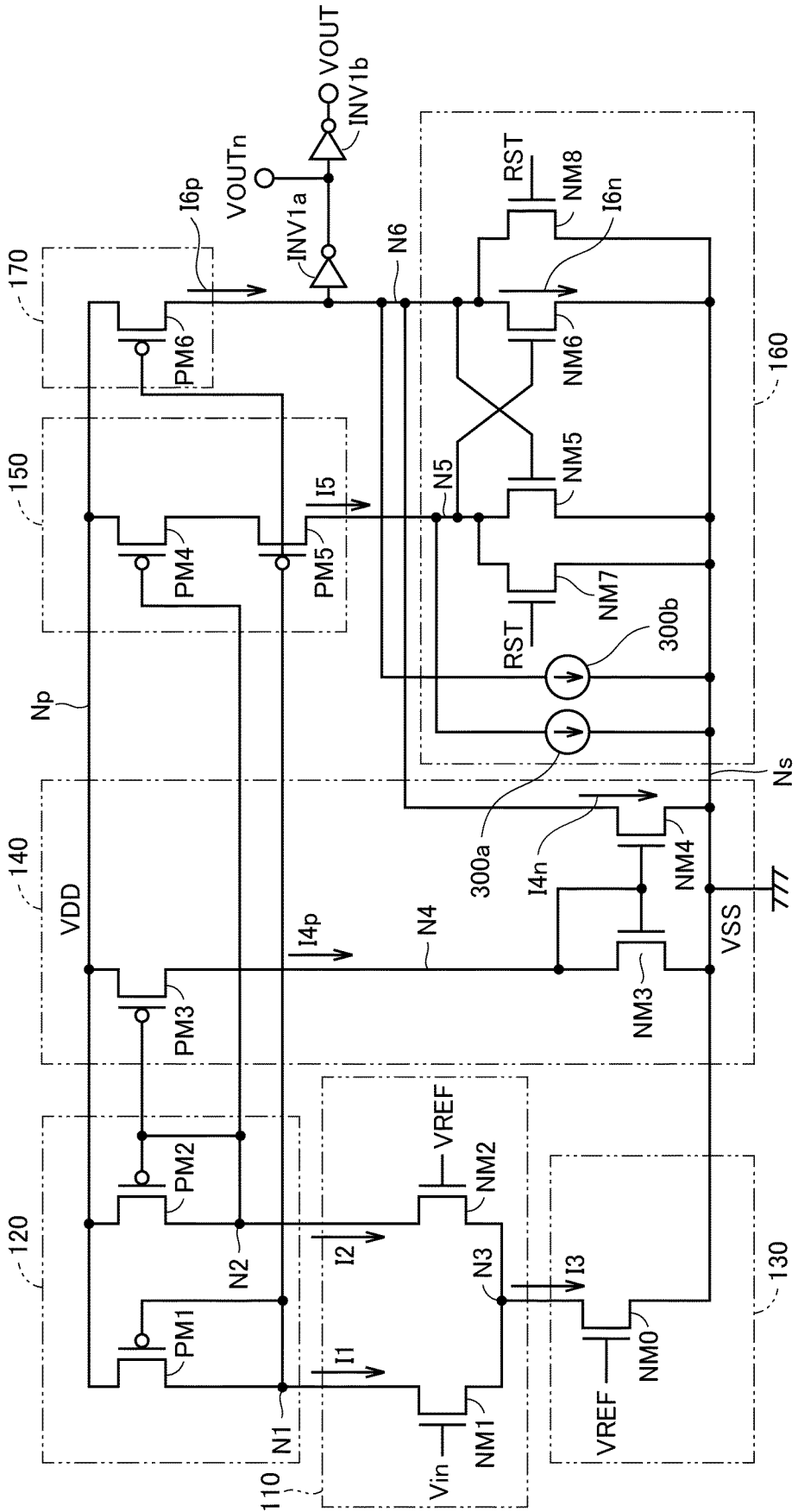
[] 19A

19A



[19B]

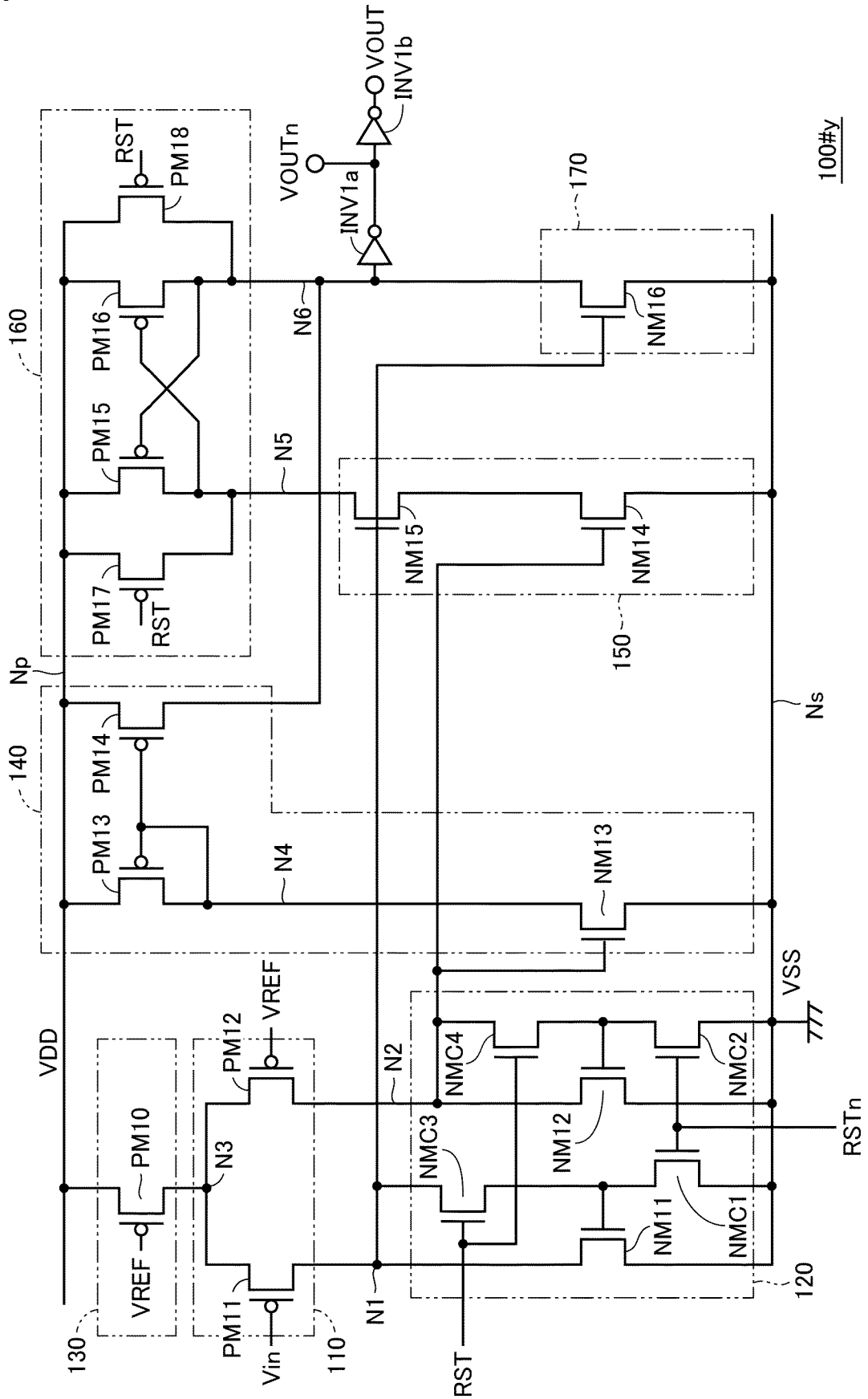
19B



101z

[20]

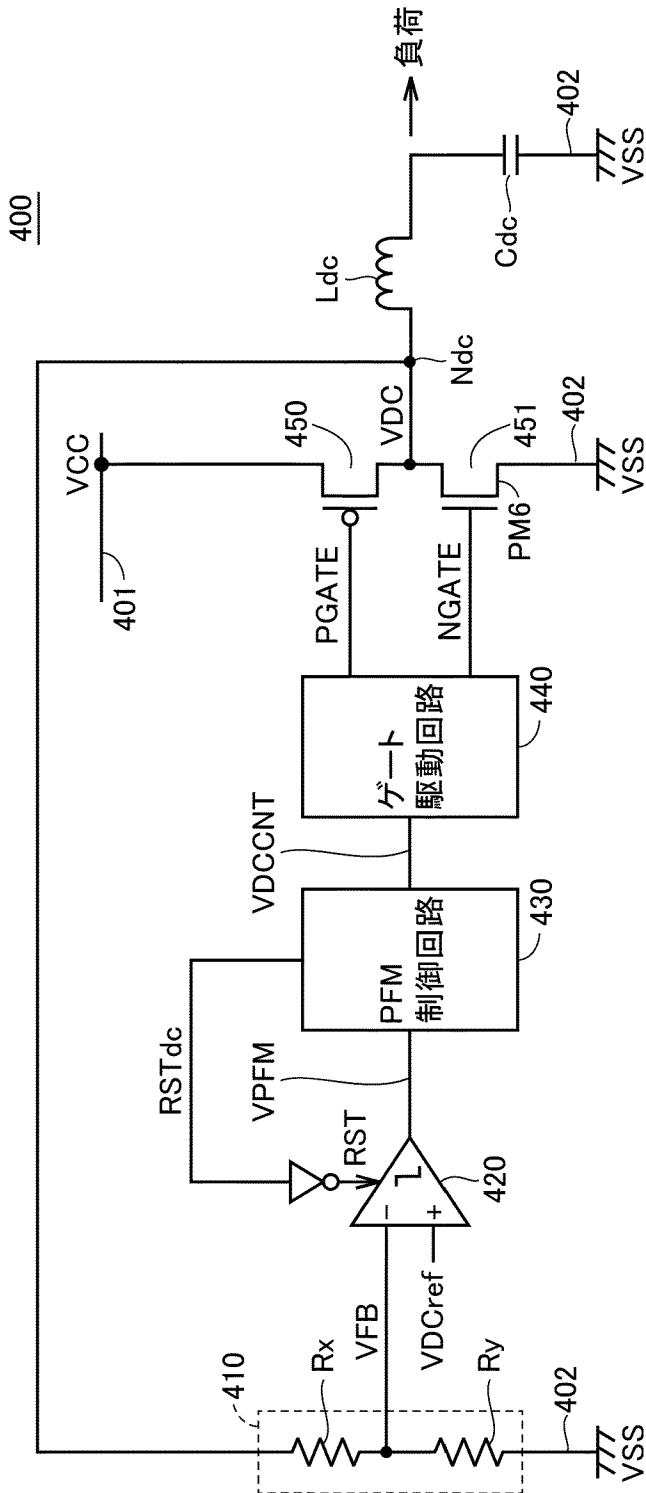
20





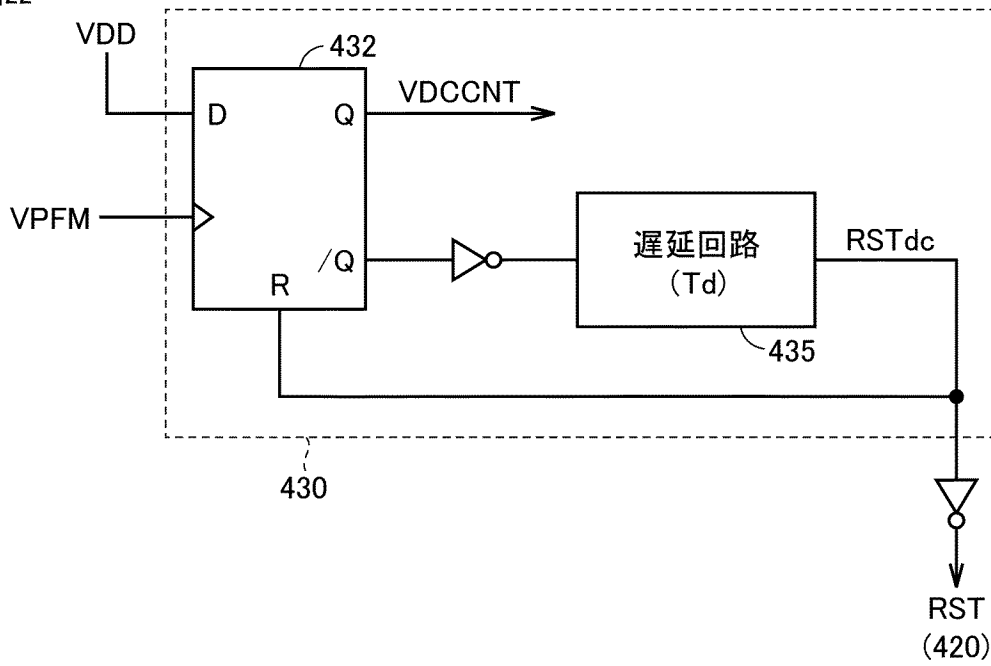
[図21]

図21



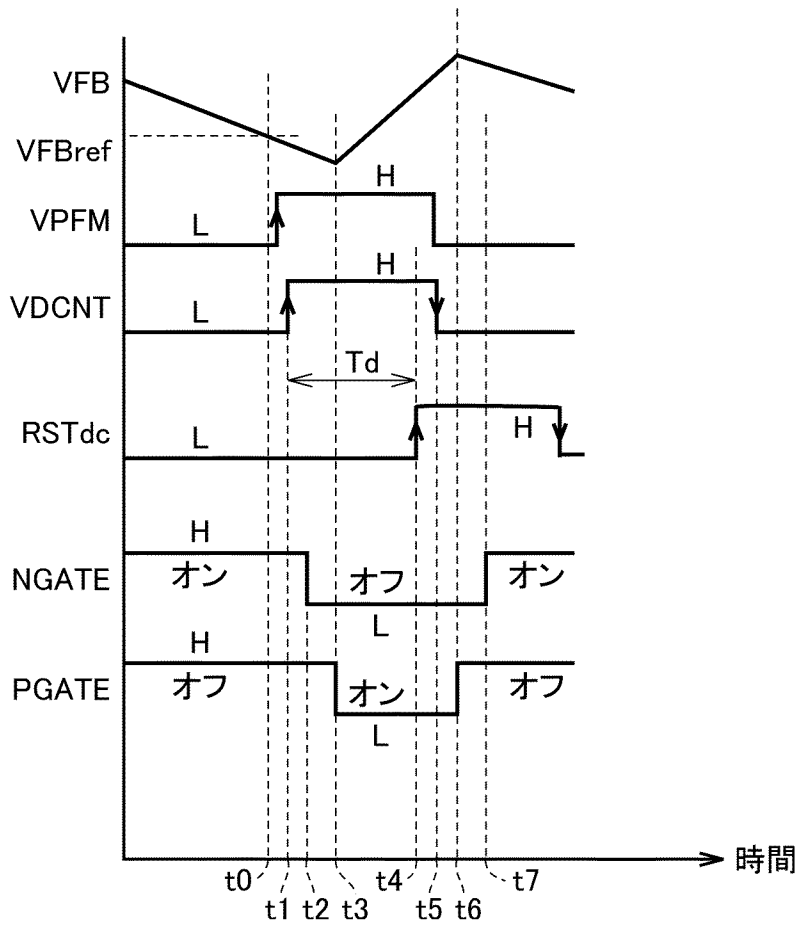
[図22]

図22



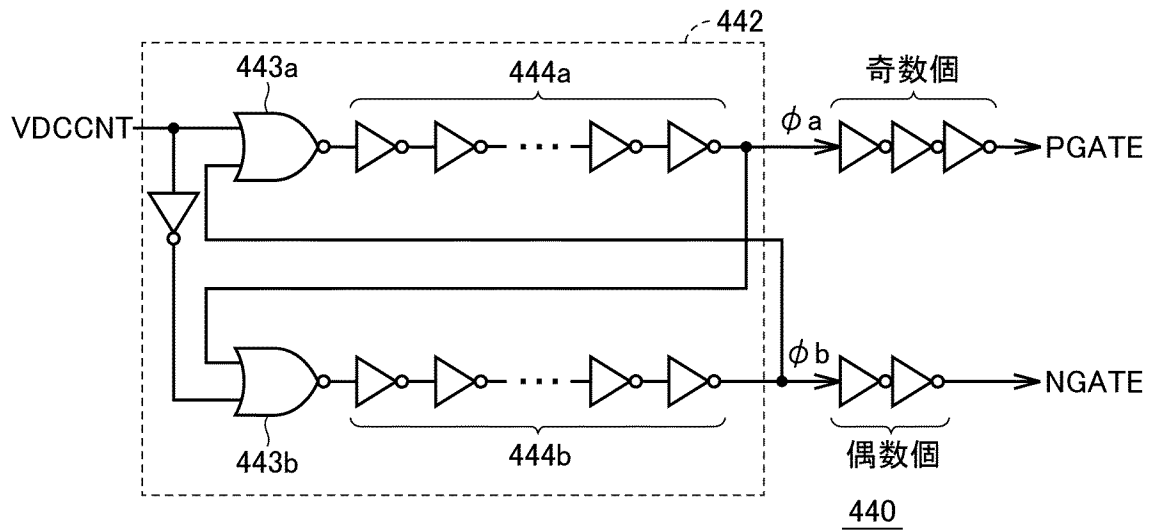
[図23]

図23



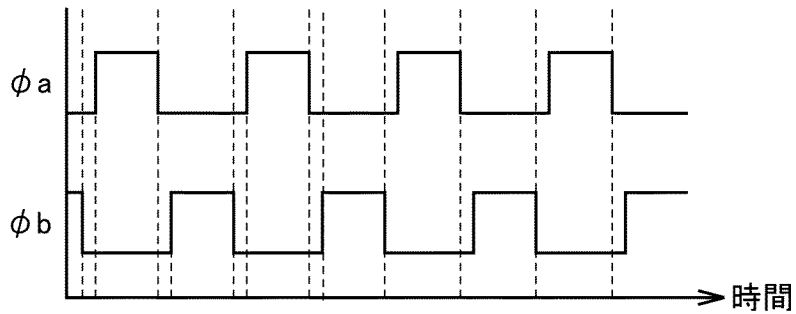
[図24]

図24



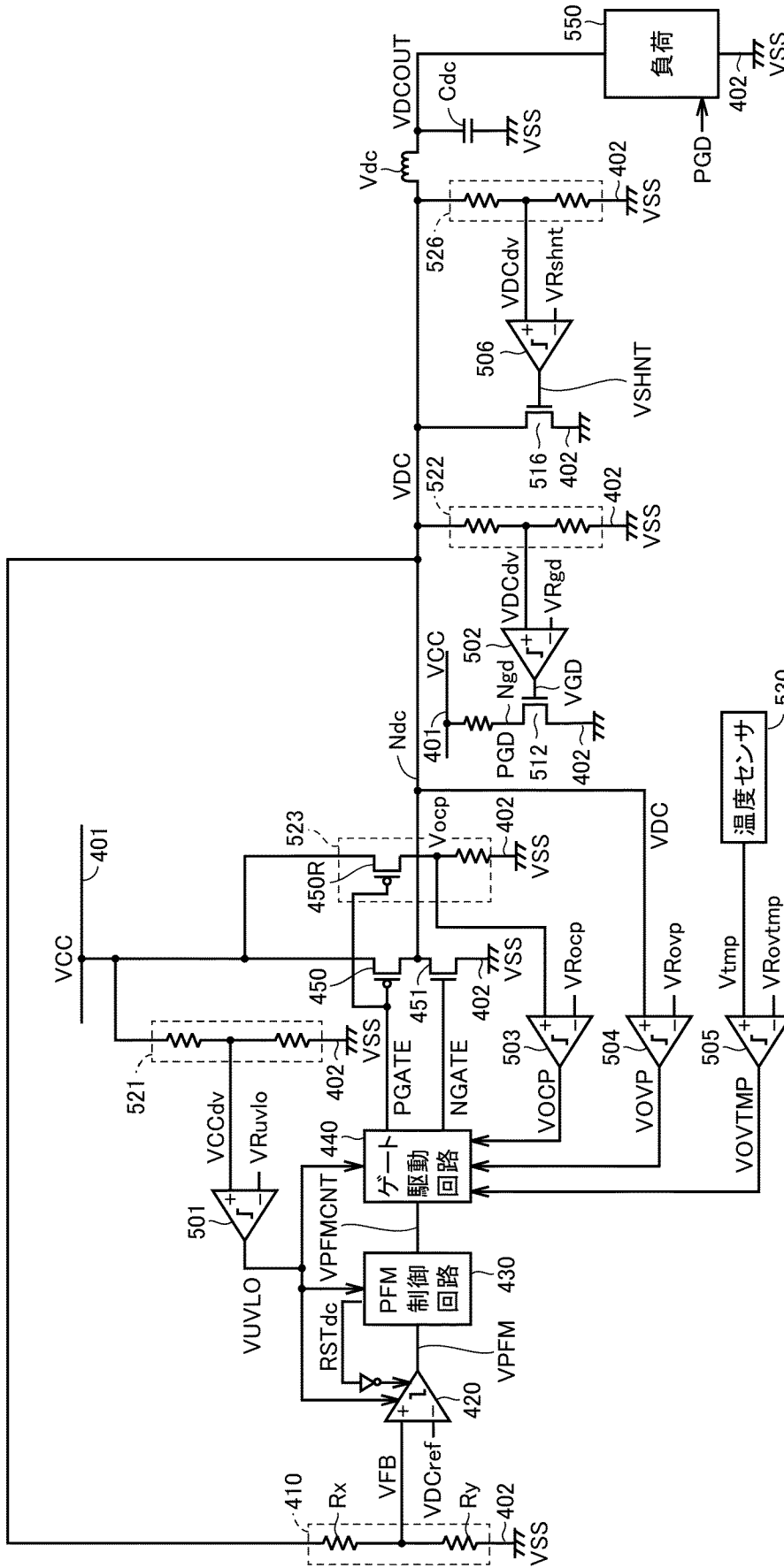
[図25]

図25



[図26]

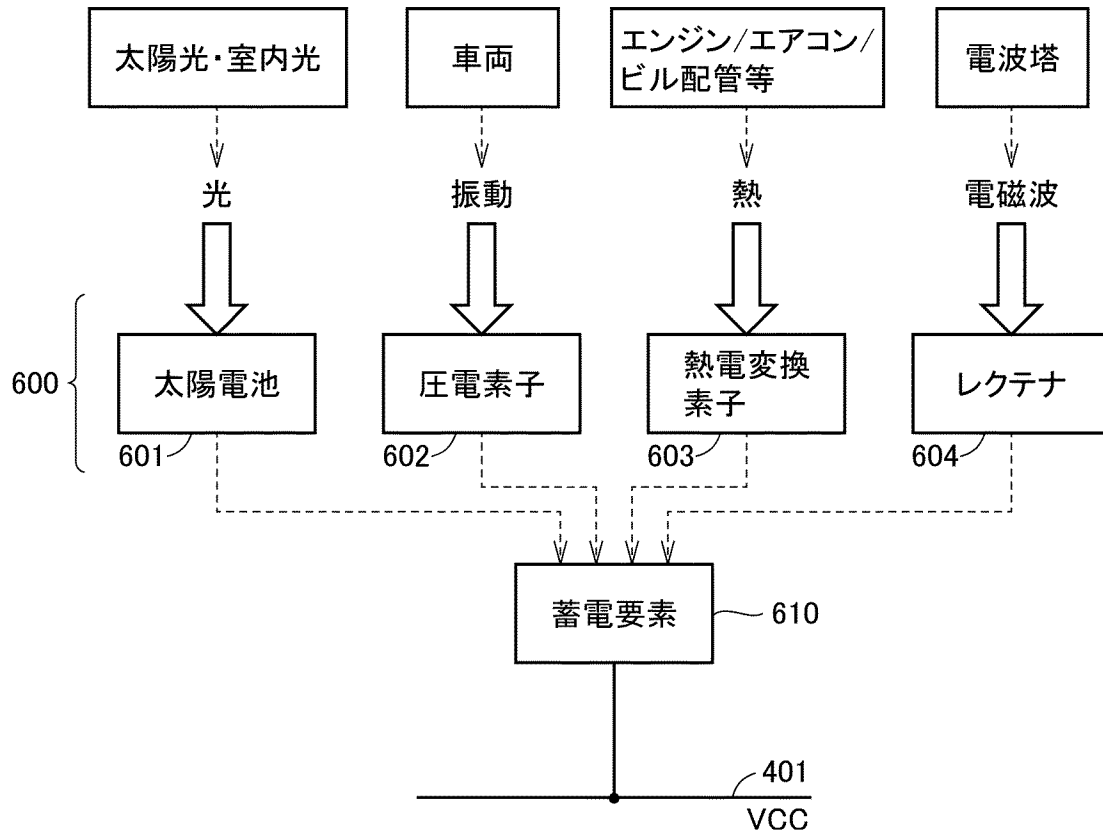
図26



400X

[図27]

図27



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/030922

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H03K 5/08</i> (2006.01)i; <i>H03F 3/45</i> (2006.01)i FI: H03K5/08 E; H03F3/45		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03K5/08; H03F3/45		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-285037 A (FUJI ELECTRIC CO LTD) 12 October 2001 (2001-10-12) entire text, all drawings	1-26
A	JP 2002-237743 A (SONY CORP) 23 August 2002 (2002-08-23) entire text, all drawings	1-26
A	JP 2008-153866 A (OKI ELECTRIC IND CO LTD) 03 July 2008 (2008-07-03) entire text, all drawings	1-26
A	JP 2009-524327 A (NXP B.V.) 25 June 2009 (2009-06-25) entire text, all drawings	1-26
A	JP 2014-75744 A (RENESAS ELECTRONICS CORP) 24 April 2014 (2014-04-24) entire text, all drawings	16
A	JP 2002-84742 A (SHARP CORP) 22 March 2002 (2002-03-22) entire text, all drawings	19-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>07 October 2021</b>		Date of mailing of the international search report <b>19 October 2021</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2021/030922</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2001-285037 A	12 October 2001	(Family: none)	
JP 2002-237743 A	23 August 2002	(Family: none)	
JP 2008-153866 A	03 July 2008	US 2008/0143440 A1 entire text, all drawings	
JP 2009-524327 A	25 June 2009	US 2010/0231301 A1 entire text, all drawings WO 2007/083271 A1 CN 101371435 A	
JP 2014-75744 A	24 April 2014	(Family: none)	
JP 2002-84742 A	22 March 2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 5/08(2006.01)i; H03F 3/45(2006.01)i FI: H03K5/08 E; H03F3/45		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K5/08; H03F3/45 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-285037 A（富士電機株式会社）12.10.2001（2001-10-12） 全文、全図	1-26
A	JP 2002-237743 A（ソニー株式会社）23.08.2002（2002-08-23） 全文、全図	1-26
A	JP 2008-153866 A（沖電気工業株式会社）03.07.2008（2008-07-03） 全文、全図	1-26
A	JP 2009-524327 A（エヌエックスピー ビー ヴィ）25.06.2009（2009-06-25） 全文、全図	1-26
A	JP 2014-75744 A（ルネサスエレクトロニクス株式会社）24.04.2014（2014-04-24） 全文、全図	16
A	JP 2002-84742 A（シャープ株式会社）22.03.2002（2002-03-22） 全文、全図	19-26
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 07.10.2021	国際調査報告の発送日 19.10.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	



国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2021/030922

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-285037 A	12.10.2001	(ファミリーなし)	
JP 2002-237743 A	23.08.2002	(ファミリーなし)	
JP 2008-153866 A	03.07.2008	US 2008/0143440 A1 全文, 全図	
JP 2009-524327 A	25.06.2009	US 2010/0231301 A1 全文, 全図 WO 2007/083271 A1 CN 101371435 A	
JP 2014-75744 A	24.04.2014	(ファミリーなし)	
JP 2002-84742 A	22.03.2002	(ファミリーなし)	