



(12) 发明专利

(10) 授权公告号 CN 102610641 B

(45) 授权公告日 2014. 05. 21

(21) 申请号 201110022981. 6

(22) 申请日 2011. 01. 20

(73) 专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路 1399 号

(72) 发明人 张帅 刘坤 董科

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 丁纪铁

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

CN 1941416 A, 2007. 04. 04, 说明书第 5 页第 5-7 段及附图 2.

CN 1641886 A, 2005. 07. 20, 说明书第 5 页第

20 行至第 6 页第 22 行及附图 1-2.

US 5907462 A, 1999. 05. 25, 全文.

US 5646431 A, 1997. 07. 08, 全文.

CN 101252147 A, 2008. 08. 27, 全文.

CN 1734784 A, 2006. 02. 15, 全文.

习毓, 李德昌, 曲越. 新型 SCR-LDMOS 输出端的静电放电保护结构. 《电子器件》. 2007, 第 30 卷 (第 6 期), 2104-2107.

审查员 肖箫

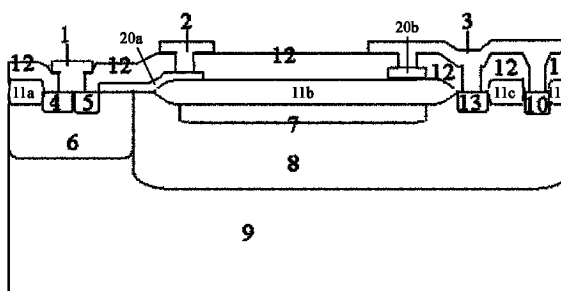
权利要求书3页 说明书6页 附图3页

(54) 发明名称

高压 LDMOS 器件及其制造方法

(57) 摘要

本发明公开了一种高压 LDMOS 器件, 在普通高压 LDMOS 器件的漏端引入围绕高掺杂漏区引出端的异型掺杂环, 此异型掺杂环将与原 LDMOS 器件的漂移区、体区以及源端形成寄生的 SCR 器件。一方面, LDMOS 导通后的电流分布可降低寄生 SCR 器件的开通电压。另一方面, 当此寄生的 SCR 器件开通后, 由于 SCR 的高导电能力可将整个器件的比导通电阻降低。这样, 本发明高压 LDMOS 器件实际上是普通 LDMOS 器件和 SCR 器件的复合器件结构, 充分利用了 LDMOS 和 SCR 器件各自的优势, 实现在满足高反向击穿电压的同时, 在一定工作偏压条件下降低器件的比导通电阻。



1. 一种高压 LDMOS 器件,其特征是,所述高压 LDMOS 器件的结构为:

在低掺杂衬底中具有漂移区和体区,漂移区的掺杂类型与衬底相反,体区的掺杂类型与衬底相同;

在漂移区的表面具有漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

在体区的表面具有隔离结构一;在漂移区的表面具有隔离结构二,隔离结构二还在漂移区反型层之上;在漂移区的表面还具有隔离结构三和隔离结构四;

在体区和隔离结构二之上具有多晶硅栅极和多晶硅场板;多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;多晶硅场板在隔离结构二之上;

在体区之中具有体电极引出端和源区引出端,体电极引出端在隔离结构一和源区引出端之间,掺杂类型与体区掺杂类型相同;源区引出端在体电极引出端和多晶硅栅极之间,掺杂类型与体区相反;

在漂移区之中具有漏区引出端和反型掺杂环,漏区引出端的掺杂类型与漂移区相同,反型掺杂环的掺杂类型与漏区引出端相反;所述反型掺杂环从俯视角度呈现为环形围绕着漏区引出端,从剖视角度则呈现为两段相互间隔的结构,其中的一段结构在隔离结构二和隔离结构三之间;漏区引出端 10 在隔离结构三和隔离结构四之间;

源极、栅极和漏极均为金属电极;源极的底部同时接触体电极引出端和源极引出端;栅极的底部接触多晶硅栅极;漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

2. 一种高压 LDMOS 器件,其特征是,所述高压 LDMOS 器件的结构为:

在低掺杂衬底中具有漂移区和体区,漂移区的掺杂类型与衬底相反,体区的掺杂类型与衬底相同;

在漂移区的表面具有漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

在体区的表面具有隔离结构一;在漂移区的表面具有隔离结构二,隔离结构二还在漂移区反型层之上;在漂移区的表面还具有隔离结构三;

在体区和隔离结构二之上具有多晶硅栅极和多晶硅场板;多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;多晶硅场板在隔离结构二之上;

在体区之中具有体电极引出端和源区引出端,体电极引出端在隔离结构一和源区引出端之间,掺杂类型与体区相同;源区引出端在体电极引出端和多晶硅栅极之间,掺杂类型与体区相反;

在漂移区之中具有漏区引出端和反型掺杂环,漏区引出端的掺杂类型与漂移区相同,反型掺杂环的掺杂类型与漂移区相反;所述反型掺杂环从俯视角度呈现为环形围绕着漏区引出端,从剖视角度则呈现为两段相互间隔的结构,其中的一段结构在隔离结构二和漏区引出端之间;漏区引出端在反型掺杂环和隔离结构三之间;

源极、栅极和漏极均为金属电极;源极的底部同时接触体电极引出端和源极引出端;栅极的底部接触多晶硅栅极;漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

3. 一种制造权利要求 1 所述的高压 LDMOS 器件的方法,其特征是,包括如下步骤:

第 1 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成漂移区,漂移区的掺杂类型与衬底相反;

第 2 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成体区,体区的掺杂类型与衬底相同;

第 3 步,在漂移区上采用光刻工艺和离子注入工艺形成漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

第 4 步,在硅片表面形成多个隔离结构,其中隔离结构一在体区的表面,隔离结构二在漂移区的表面且在漂移区反型层之上,隔离结构三、隔离结构四都在漂移区的表面;

第 5 步,在硅片表面先生长一层栅氧化层,再淀积一层多晶硅,刻蚀该层多晶硅和栅氧化层从而形成多晶硅栅极和漏端多晶硅场板;

多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;

漏端多晶硅场板则在隔离结构二之上;

第 6 步,在体区和漂移区进行重掺杂离子注入形成源区引出端和漏区引出端,离子注入的类型与漂移区相同;

源区引出端在体区之中且靠近多晶硅栅极的一端;

漏区引出端在漂移区之中且在隔离结构三和隔离结构四之间;

第 7 步,在体区和漂移区进行与源极、漏极掺杂类型相反的离子注入,形成体电极引出端和围绕漏区引出端的环形掺杂区;

体电极引出端在体区之中且在隔离结构一和源区引出端之间;

环形掺杂区又称反型掺杂环或异型掺杂环,在漂移区之中且围绕着漏区引出端,从俯视角观察呈现环形,从剖视角度则呈现为两段相互间隔的结构;其中环形掺杂区的一段结构在隔离结构二和隔离结构三之间,漏区引出端在隔离结构三和隔离结构四之间;

第 8 步,先淀积介电层,然后刻蚀出接触孔,并在接触孔中填充金属电极,形成最终器件;金属电极包括源极、栅极和漏极;

源极的底部同时接触体电极引出端和源极引出端;

栅极的底部接触多晶硅栅极;

漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

4. 根据权利要求 3 所述的制造高压 LDMOS 器件的方法,其特征是,所述方法第 3 步放在第 2 步之前,或者放在第 5 步之前;

当所述方法第 3 步放在第 5 步之前,则第 4 步中“隔离结构二在漂移区的表面且在漂移区反型层之上”改为“隔离结构二在漂移区的表面”,在第 4 步之后的第 3 步中增加“漂移区反型层在隔离结构二之下”。

5. 一种制造权利要求 2 所述的高压 LDMOS 器件的方法,其特征是,包括如下步骤:

第 1 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成漂移区,漂移区的掺杂类型与衬底相反;

第 2 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成体区,体区的掺杂类型与衬底相同;

第 3 步,在漂移区上采用光刻工艺和离子注入工艺形成漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

第 4 步,在硅片表面形成多个隔离结构,其中隔离结构一在体区的表面,隔离结构二在漂移区的表面且在漂移区反型层之上,隔离结构三在漂移区的表面;

第 5 步,在硅片表面先生长一层栅氧化层,再淀积一层多晶硅,刻蚀该层多晶硅和栅氧化层从而形成多晶硅栅极和漏端多晶硅场板;

多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;

漏端多晶硅场板则在隔离结构二之上;

第 6 步,在体区和漂移区进行重掺杂离子注入形成源区引出端和漏区引出端,离子注入的类型与漂移区相同;

源区引出端在体区之中且靠近多晶硅栅极的一端;

漏区引出端在漂移区之中且在隔离结构二和隔离结构三之间;

第 7 步,在体区和漂移区进行与源极、漏极掺杂类型相反的离子注入,形成体电极引出端和围绕漏区引出端的环形掺杂区;

体电极引出端在体区之中且在隔离结构一和源区引出端之间;

环形掺杂区又称反型掺杂环或异型掺杂环,在漂移区之中且围绕着漏区引出端,从俯视图角度观察呈现环形,从剖视图角度则呈现为两段相互间隔的结构,其中一段结构在隔离结构二和漏区引出端之间,漏区引出端在环形掺杂区和隔离结构三之间;

第 8 步,先淀积介电层,然后刻蚀出接触孔,并在接触孔中填充金属电极,形成最终器件;金属电极包括源极、栅极和漏极;

源极的底部同时接触体电极引出端和源极引出端;

栅极的底部接触多晶硅栅极;

漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

6. 根据权利要求 5 所述的制造高压 LDMOS 器件的方法,其特征是,所述方法第 3 步放在第 2 步之前,或者放在第 5 步之前;

当所述方法第 3 步放在第 5 步之前,则第 4 步中“隔离结构二在漂移区的表面且在漂移区反型层之上”改为“隔离结构二在漂移区的表面”,在第 4 步之后的第 3 步中增加“漂移区反型层在隔离结构二之下”。

## 高压 LDMOS 器件及其制造方法

### 技术领域

[0001] 本发明涉及一种高压 LDMOS (Laterally Diffused Metal Oxide Semiconductor, 横向扩散金属氧化物半导体) 器件。

### 背景技术

[0002] 对高压 LDMOS 器件而言, 击穿电压 (Breakdown Voltage, BV) 和比导通电阻 (on-resistance,  $R_{sp}$ ) 是一对很重要的需要平衡的技术指标。高压 DMOS 器件的耐压和比导通电阻取决于外延层的掺杂浓度、厚度及漂移区长度的折衷选择。高的击穿电压要求厚的轻掺杂外延层和长的漂移区, 而低的比导通电阻则要求薄的重掺杂外延层和短的漂移区, 因此必须选择最佳外延参数和漂移区长度, 以便在满足一定的源漏击穿电压的前提下, 得到最小的比导通电阻。

[0003] 而对于 SCR (Silicon Controlled Rectifiers, 可控硅整流) 器件而言, 由于特定条件下负微分电阻的特性, 当器件开通后具有很强的导电能力, 比导通电阻较小, 但是其器件开通所需电压较高, 比较难以开通。

### 发明内容

[0004] 本发明所要解决的技术问题是提供一种同时具有高击穿电压和低的比导通电阻的高压 LDMOS 器件。为此, 本发明还要提供所述高压 LDMOS 器件的制造方法。

[0005] 为解决上述技术问题, 本发明高压 LDMOS 器件的结构为: 在低掺杂衬底中具有漂移区和体区, 漂移区的掺杂类型与衬底相反, 体区的掺杂类型与衬底相同; 在漂移区的表面具有漂移区反型层, 漂移区反型层的掺杂类型与漂移区相反; 在体区的表面具有隔离结构一; 在漂移区的表面具有隔离结构二, 隔离结构二还在漂移区反型层之上; 在漂移区的表面还具有隔离结构三和隔离结构四; 在体区和隔离结构二之上具有多晶硅栅极和多晶硅场板; 多晶硅栅极的一端在体区之上, 另一端在隔离结构二之上; 多晶硅场板在隔离结构二之上; 在体区之中具有体电极引出端和源区引出端, 体电极引出端在隔离结构一和源区引出端之间, 掺杂类型与源区引出端相反; 源区引出端在体电极引出端和多晶硅栅极之间, 掺杂类型与体区相反; 在漂移区之中具有漏区引出端和反型掺杂环, 漏区引出端的掺杂类型与漂移区的掺杂类型相同, 反型掺杂环的掺杂类型与漏区引出端相反; 所述反型掺杂环从俯视角度呈现为环形围绕着漏区引出端, 从剖视角度则呈现为两段相互间隔的结构, 其中的一段结构在隔离结构二和隔离结构三之间; 漏区引出端 10 在隔离结构三和隔离结构四之间; 源极、栅极和漏极均为金属电极; 源极的底部同时接触体电极引出端和源极引出端; 栅极的底部接触多晶硅栅极; 漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

[0006] 制造上述高压 LDMOS 器件的方法包括如下步骤:

[0007] 第 1 步, 在低掺杂衬底上采用光刻工艺和离子注入工艺形成漂移区, 漂移区的掺杂类型与衬底相反;

[0008] 第 2 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成体区,体区的掺杂类型与衬底相同;

[0009] 第 3 步,在漂移区上采用光刻工艺和离子注入工艺形成漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

[0010] 第 4 步,在硅片表面形成多个隔离结构,其中隔离结构一在体区的表面,隔离结构二在漂移区的表面且在漂移区反型层之上,隔离结构三、隔离结构四都在漂移区的表面;

[0011] 第 5 步,在硅片表面先生长一层栅氧化层,再淀积一层多晶硅,刻蚀该层多晶硅和栅氧化层从而形成多晶硅栅极和漏端多晶硅场板;多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;漏端多晶硅场板则在隔离结构二之上;

[0012] 第 6 步,在体区和漂移区进行重掺杂离子注入形成源区引出端和漏区引出端,离子注入的类型与漂移区的类型相同;源区引出端在体区之中且靠近多晶硅栅极的一端;漏区引出端在漂移区之中且在隔离结构三和隔离结构四之间;

[0013] 第 7 步,在体区和漂移区进行与源极、漏极掺杂类型相反的离子注入,形成体电极引出端和围绕漏区引出端的环形掺杂区;体电极引出端在体区之中且在隔离结构一和源区引出端之间;环形掺杂区又称反型掺杂环或异型掺杂环,在漂移区之中且围绕着漏区引出端,从俯视角度观察呈现环形,从剖视角度则呈现为两段相互间隔的结构;其中环形掺杂区的一段结构在隔离结构二和隔离结构三之间,漏区引出端在隔离结构三和隔离结构四之间;

[0014] 第 8 步,先淀积介电层,然后刻蚀出接触孔,并在接触孔中填充金属电极,形成最终器件;金属电极包括源极、栅极和漏极;源极的底部同时接触体电极引出端和源极引出端;栅极的底部接触多晶硅栅极;漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

[0015] 或者,本发明高压 LDMOS 器件的结构为:在低掺杂衬底中具有漂移区和体区,漂移区的掺杂类型与衬底相反,体区的掺杂类型与衬底相同;在漂移区的表面具有漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;在体区的表面具有隔离结构一;在漂移区的表面具有隔离结构二,隔离结构二还在漂移区反型层之上;在漂移区的表面还具有隔离结构三;在体区和隔离结构二之上具有多晶硅栅极和多晶硅场板;多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;多晶硅场板在隔离结构二之上;在体区之中具有体电极引出端和源区引出端,体电极引出端在隔离结构一和源区引出端之间,掺杂类型与体区相同;源区引出端在体电极引出端和多晶硅栅极之间,掺杂类型与体区相反;在漂移区之中具有漏区引出端和反型掺杂环,漏区引出端的掺杂类型与漂移区的掺杂类型相同,反型掺杂环的掺杂类型与漏区引出端相反;所述反型掺杂环从俯视角度呈现为环形围绕着漏区引出端,从剖视角度则呈现为两段相互间隔的结构,其中的一段结构在隔离结构二和漏区引出端之间;漏区引出端在反型掺杂环和隔离结构三 c 之间;源极、栅极和漏极均为金属电极;源极的底部同时接触体电极引出端和源极引出端;栅极的底部接触多晶硅栅极;漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

[0016] 制造上述高压 LDMOS 器件的方法包括如下步骤:

[0017] 第 1 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成漂移区,漂移区的掺杂类型与衬底相反;

[0018] 第 2 步,在低掺杂衬底上采用光刻工艺和离子注入工艺形成体区,体区的掺杂类型与衬底相同;

[0019] 第 3 步,在漂移区上采用光刻工艺和离子注入工艺形成漂移区反型层,漂移区反型层的掺杂类型与漂移区相反;

[0020] 第 4 步,在硅片表面形成多个隔离结构,其中隔离结构一在体区的表面,隔离结构二在漂移区的表面且在漂移区反型层之上,隔离结构三在漂移区的表面;

[0021] 第 5 步,在硅片表面先生长一层栅氧化层,再淀积一层多晶硅,刻蚀该层多晶硅和栅氧化层从而形成多晶硅栅极和漏端多晶硅场板;多晶硅栅极的一端在体区之上,另一端在隔离结构二之上;漏端多晶硅场板则在隔离结构二之上;

[0022] 第 6 步,在体区和漂移区进行重掺杂离子注入形成源区引出端和漏区引出端,离子注入的类型与漂移区相同;源区引出端在体区之中且靠近多晶硅栅极的一端;漏区引出端在漂移区之中且在隔离结构二和隔离结构三之间;

[0023] 第 7 步,在体区和漂移区进行与源极、漏极掺杂类型相反的离子注入,形成体电极引出端和围绕漏区引出端的环形掺杂区;体电极引出端在体区之中且在隔离结构一和源区引出端之间;环形掺杂区又称反型掺杂环或异型掺杂环,在漂移区之中且围绕着漏区引出端,从俯视角度观察呈现环形,从剖视角度则呈现为两段相互间隔的结构,其中一段结构在隔离结构二和漏区引出端之间,漏区引出端在环形掺杂区和隔离结构三之间;

[0024] 第 8 步,先淀积介电层,然后刻蚀出接触孔,并在接触孔中填充金属电极,形成最终器件;金属电极包括源极、栅极和漏极;源极的底部同时接触体电极引出端和源极引出端;栅极的底部接触多晶硅栅极;漏极的底部同时接触漏端多晶硅场板、反型掺杂环和漏区引出端。

[0025] 本发明高压 LDMOS 器件在普通高压 LDMOS 器件的漏端引入围绕高掺杂漏区引出端的异型掺杂环,此异型掺杂环将与原 LDMOS 器件的漂移区、体区以及源端形成寄生的 SCR 器件。一方面,LDMOS 导通后的电流分布可降低寄生 SCR 器件的开通电压。另一方面,当此寄生的 SCR 器件开通后,由于 SCR 的高导电能力可将整个器件的导通电阻降低。这样,本发明高压 LDMOS 器件实际上是普通 LDMOS 器件和 SCR 器件的复合器件结构,充分利用了 LDMOS 和 SCR 器件各自的优势,实现在满足高反向击穿电压的同时,在一定工作偏压条件下降低器件的导通电阻。

#### 附图说明

[0026] 图 1 是本发明高压 LDMOS 器件的一个实施例的剖面图;

[0027] 图 2 是本发明高压 LDMOS 器件的另一个实施例的剖面图;

[0028] 图 3 是本发明高压 LDMOS 器件与传统 LDMOS 器件的 I-V 特性曲线;

[0029] 图 4a ~ 图 4h 是本发明高压 LDMOS 器件的制造方法各步骤示意图。

[0030] 图中附图标记说明:

[0031] 1 为源极;2 为栅极;3 为漏极;4 为体电极引出端;5 为源区引出端;6 为体区;7 为漂移区表面反型层;8 为漂移区;9 为低掺杂衬底;10 为漏区引出端;11 为隔离结构;12 为介电质层;13 为漏端反型掺杂环。

### 具体实施方式

[0032] 请参阅图 1,这是本发明高压 LDMOS 器件的一个实施例。低掺杂衬底 9 中具有高压深阱 8 和低压阱 6。高压深阱 8 的掺杂类型与衬底 9 相反,作为漂移区。低压阱 6 的掺杂类型与衬底 9 相同,作为体区。在漂移区 8 的表面具有阱 7,阱 7 的掺杂类型与漂移区 8 相反,作为漂移区反型层。在体区 6 的表面具有隔离结构一 11a。在漂移区 8 的表面具有隔离结构二 11b,隔离结构 11b 还在漂移区反型层 7 之上。在漂移区 8 的表面还具有隔离结构三 11c 和隔离结构四 11d,隔离结构三 11c 和隔离结构四 11d 均不在漂移区反型层 7 之上。在体区 6 和隔离结构二 11b 之上具有多晶硅栅极 20a 和多晶硅场板 20b。多晶硅栅极 20a 的一端在体区 6 之上,另一端在隔离结构二 11b 之上。多晶硅场板 20b 在隔离结构二 11b 之上。在体区 6 之中具有体电极引出端 4 和源区引出端 5。体电极引出端 4 在隔离结构一 11a 和源区引出端 5 之间,掺杂类型与源区引出端 5 相反。源区引出端 5 在体电极引出端 4 和多晶硅栅极 20a 之间,其掺杂类型与体区 6 相反。在漂移区 8 之中具有漏区引出端 10 和反型掺杂环 13。漏区引出端 10 的掺杂类型与漂移区 8 相同,反型掺杂环 13 的掺杂类型与漏区引出端 10 相反。其中的反型掺杂环 13 从俯视角度呈现为环形围绕着漏区引出端 10。从剖视图中反型掺杂环 13 则呈现为两段相互间隔的结构,其中的一段结构在隔离结构二 11b 和隔离结构三 11c 之间,另一段结构未图示(在一个特定实施例中,可以通过将图 1 右边界线作为中心线对称得到)。漏区引出端 10 在隔离结构三 11c 和隔离结构四 11d 之间。源极 1、栅极 2 和漏极 3 均为金属电极。其中源极 1 的底部同时接触体电极引出端 4 和源极引出端 5。栅极 2 的底部接触多晶硅栅极 20a。漏极 3 的底部同时接触漏端多晶硅场板 20b、反型掺杂环 13 和漏区引出端 10。

[0033] 请参阅图 2,这是本发明高压 LDMOS 器件的另一个实施例。与图 1 相比的区别为漏区引出端 10 与环绕漏区引出端 10 的反型掺杂环 13 的关系。图 1 中,漏区引出端 10 与环绕漏区引出端 10 的反型掺杂环 13 之间以一个隔离结构 11 相隔离。图 2 中,漏区引出端 10 与反型掺杂环 13 均在有源区,在反型掺杂环 13 和漏区引出端 10 之间省略了一个隔离结构 11。

[0034] 具体而言,图 2 的实施例中,在体区 6 的表面具有隔离结构一 11a。在漂移区 8 的表面具有隔离结构二 11b,隔离结构 11b 还在漂移区反型层 7 之上。在漂移区 8 的表面还具有隔离结构三 11c,隔离结构三 11c 不在漂移区反型层 7 之上。其中的反型掺杂环 13 从俯视角度呈现为环形围绕着漏区引出端 10。从剖视图中反型掺杂环 13 则呈现为两段相互间隔的结构,其中的一段结构在隔离结构二 11b 和漏区引出端 10 之间,另一段结构未图示(在一个特定实施例中,可以通过将图 1 右边界线作为中心线对称得到)。漏区引出端 10 在反型掺杂环 13 和隔离结构三 11c 之间。

[0035] 请参阅图 3,这是本发明高压 LDMOS 器件与普通的高压 LDMOS 器件的 I-V(电流-电压)特性比较示意图。其中实线为本发明高压 LDMOS 器件的 I-V 特性,虚线为具有同样耐压能力的普通的高压 LDMOS 结构 I-V 特性,A 点为两条 I-V 特性曲线的交叉点。从图 3 可以看出,在所加漏端偏压低于 A 点偏压时,普通高压 LDMOS 器件的电流比本发明高压 LDMOS 器件的电流稍大,这是因为本发明高压 LDMOS 器件的漂移区略长,导致电流略小。当漏端偏压大于 A 点偏压后,本发明高压 LDMOS 器件中的寄生 SCR 开通,导致电流增大。从结果可以看出,通过引入围绕高掺杂的漏区引出端的反型掺杂环,在高压 LDMOS 器件中形成了一个



寄生 SCR 结构,从而在一定的偏压条件下可以大大提高器件的导电能力,降低器件的比导通电阻。

[0036] 本发明高压 LDMOS 器件(以图 1 为例)的制造方法包括如下步骤:

[0037] 第 1 步,请参阅图 4a,在低掺杂衬底 9 上采用光刻工艺和离子注入工艺形成漂移区 8,漂移区 8 的掺杂类型与衬底 9 相反。具体而言,先利用光刻胶打开部分区域进行与衬底 9 的掺杂类型相反的离子注入,通过高温推进(即退火工艺),形成高压深阱 8,作为漂移区。

[0038] 第 2 步,请参阅图 4b,在低掺杂衬底 9 上采用光刻工艺和离子注入工艺形成体区 6,体区 6 的掺杂类型与衬底 9 相同。具体而言,先利用光刻胶打开部分区域进行与衬底 9 的掺杂类型相同的离子注入,通过高温推进(即退火工艺),形成低压阱区 6,作为体区。

[0039] 第 3 步,请参阅图 4c,在器件漂移区 8 上采用光刻工艺和离子注入工艺形成漂移区反型层 7。具体而言,先利用光刻胶打开部分区域进行与漂移区 8 的掺杂类型相反的离子注入,所形成的离子注入区 7 作为漂移区反型层。

[0040] 第 4 步,请参阅图 4d,在硅片表面形成多个隔离结构 11。这多个隔离结构 11 均为氧化硅,可以是场氧隔离(LOCOS)或浅槽隔离(STI)工艺制造。其中隔离结构一 11a 在体区 6 的表面,隔离结构二 11b 在漂移区 8 的表面且在漂移区反型层 7 之上,隔离结构三 11c、隔离结构四 11d 都在漂移区 8 的表面且均不在漂移区反型层 7 之上。

[0041] 第 5 步,请参阅图 4e,在硅片表面先生长一层栅氧化层(未图示),再淀积一层多晶硅 20,刻蚀该层多晶硅 20 和栅氧化层从而形成多晶硅栅极 20a 和漏端多晶硅场板 20b。多晶硅栅极 20a 的一端在体区 6 之上,另一端在隔离结构二 11b 之上。漏端多晶硅场板 20b 则在靠近漏端的隔离结构二 11b 之上。

[0042] 第 6 步,请参阅图 4f,在源端(体区 6)和漏端(漂移区 8)进行重掺杂离子注入形成源区引出端 5 和漏区引出端 10,离子注入的类型与漂移区相同。源区引出端 5 在体区 6 之中且靠近多晶硅栅极 20a 的一端。漏区引出端 10 在漂移区 8 之中且在隔离结构三 11c 和隔离结构四 11d 之间。

[0043] 第 7 步,请参阅图 4g,在源端(体区 6)和漏端(漂移区 8)进行与源极、漏极掺杂类型相反的离子注入,形成体电极引出端 4 和围绕漏区引出端 10 的环形掺杂区 13。体电极引出端 4 在体区 6 之中且在隔离结构一 11a 和源区引出端 5 之间。环形掺杂区 13 又称反型掺杂环或异型掺杂环,在漂移区 8 之中且围绕着漏区引出端 10,从俯视角度观察呈现环形,从剖视图中则呈现为两段相互间隔的结构。其中环形掺杂区 13 的一段结构在隔离结构二 11b 和隔离结构三 11c 之间,另一段结构未图示。漏区引出端 10 在隔离结构三 11c 和隔离结构四 11d 之间。

[0044] 第 8 步,请参阅图 4h,后道工艺为标准 CMOS 后道工艺流程,先淀积介电层 12,然后刻蚀出接触孔,并在接触孔中填充金属电极,形成最终器件。金属电极包括源极 1、栅极 2 和漏极 3。其中源极 1 的底部同时接触体电极引出端 4 和源极引出端 5。栅极 2 的底部接触多晶硅栅极 20a。漏极 3 的底部同时接触漏端多晶硅场板 20b、反型掺杂环 13 和漏区引出端 10。

[0045] 所述方法第 3 步还可以放在第 2 步之前,或者放在第 5 步之前。

[0046] 上述高压 LDMOS 器件的制造方法也适用于制造图 2 所示的高压 LDMOS 器件,只是

在第 4 步中少形成一个隔离结构 11, 同时第 7 步中: 环形掺杂区 13 从剖视图中则呈现为两段相互间隔的结构, 其中一段结构在隔离结构二 11b 和漏区引出端 10 之间, 另一段结构未图示。漏区引出端 10 在环形掺杂区 13 和隔离结构三 11c 之间。

[0047] 根据工艺条件和器件特性的要求, 可以优化异型掺杂环 13 与漏区引出端 10 的结构, 以及增加一张专用掩模板的方法来调节异型掺杂环 13 中的浓度分布 (该专用掩模板及其对应的工艺步骤也可以调整其在整个工艺流程中的顺序改变异性掺杂环 13 中的浓度分布), 同样实现本发明。

[0048] 综上所述, 本发明高压 LDMOS 器件通过在普通高压 LDMOS 器件的漏端引入围绕高掺杂漏区引出端的异型掺杂环, 此异型掺杂环将与原 LDMOS 器件的漂移区、体区以及源端形成寄生的 SCR 器件。一方面, LDMOS 导通后的电流分布可降低寄生 SCR 器件的开通电压。另一方面, 当此寄生的 SCR 器件开通后, 由于 SCR 的高导电能力可将整个器件的导通电阻降低。这样, 本发明高压 LDMOS 器件实际上是普通 LDMOS 器件和 SCR 器件的复合器件结构, 充分利用了 LDMOS 和 SCR 器件各自的优势, 实现在满足高反向击穿电压的同时, 在一定工作偏压条件下降低器件的导通电阻。

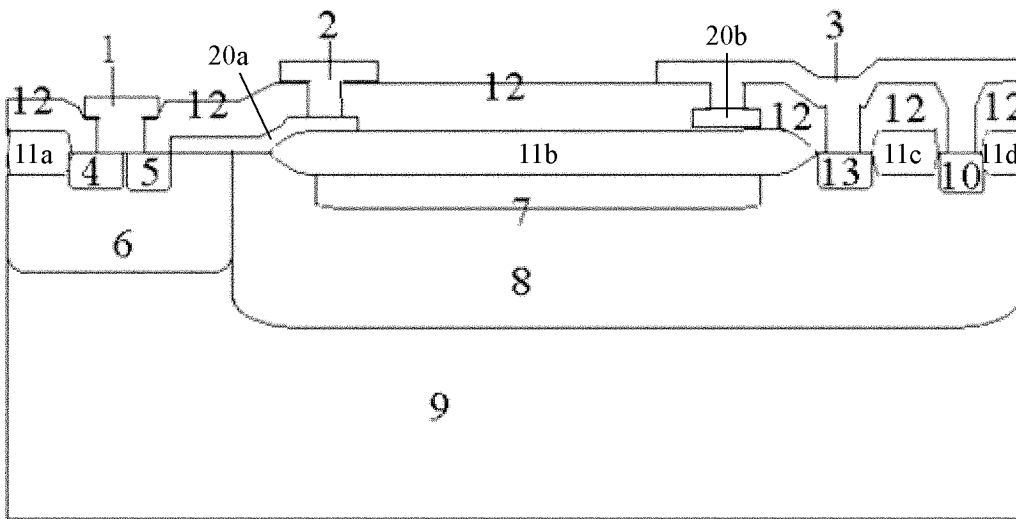


图 1

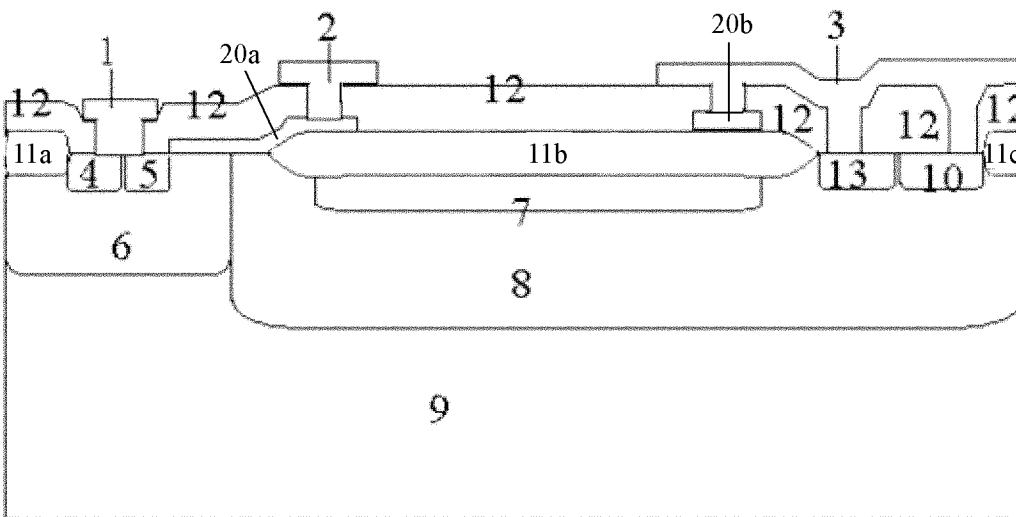


图 2

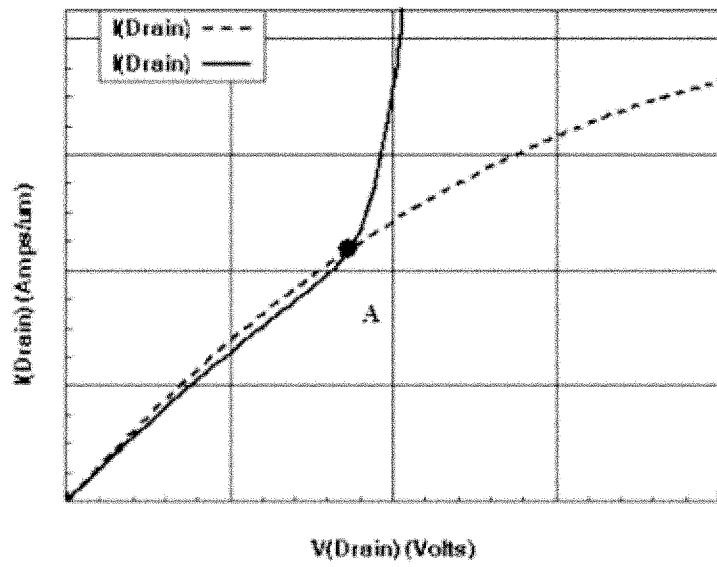


图 3

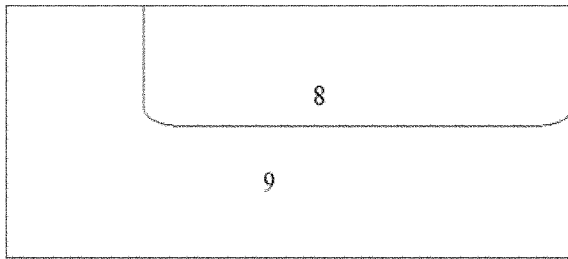


图 4a

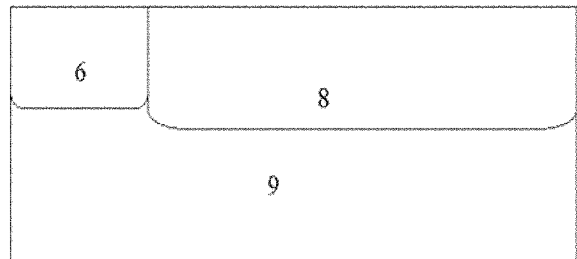


图 4b

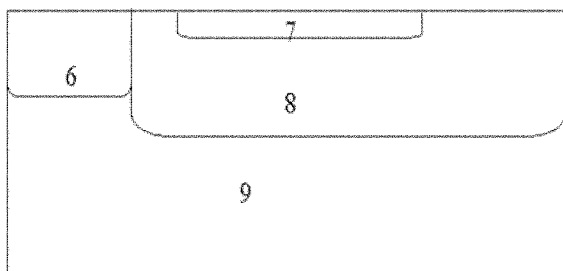


图 4c

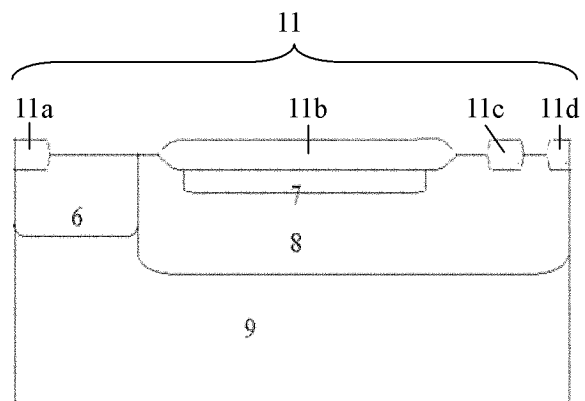


图 4d

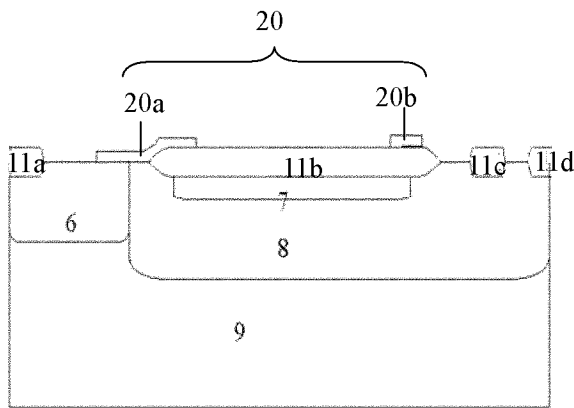


图 4e

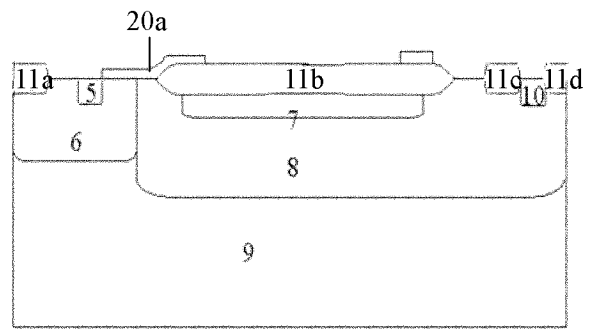


图 4f

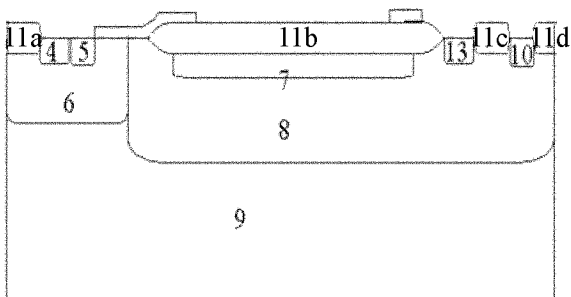


图 4g

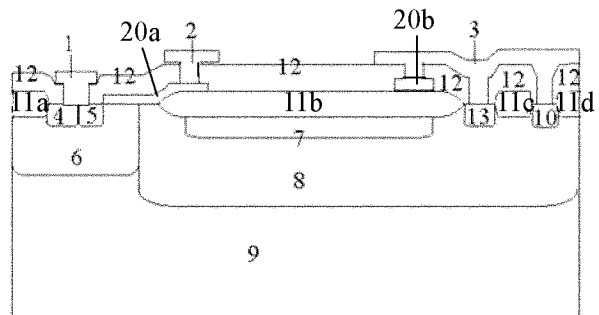


图 4h