

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-178094
(P2010-178094A)

(43) 公開日 平成22年8月12日(2010.8.12)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/00 101F	5J056
H03K 19/0948 (2006.01)	H03K 19/00 101Q	5J500
H03F 3/26 (2006.01)	H03K 19/094 B	
	H03F 3/26	

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2009-18897(P2009-18897)
(22) 出願日 平成21年1月30日(2009.1.30)

(71) 出願人 308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目10番
23
(74) 代理人 100092174
弁理士 平戸 哲夫
(72) 発明者 岩永 直樹
東京都新宿区西新宿二丁目7番1号 富
士通エレクトロニクス株式会社内
(72) 発明者 森井 正晴
東京都新宿区西新宿二丁目7番1号 富
士通エレクトロニクス株式会社内
Fターム(参考) 5J056 AA04 BB28 BB38 BB40 CC00
DD13 DD29 DD59 EE06 EE11
FF06 FF08 GG09 KK03
最終頁に続く

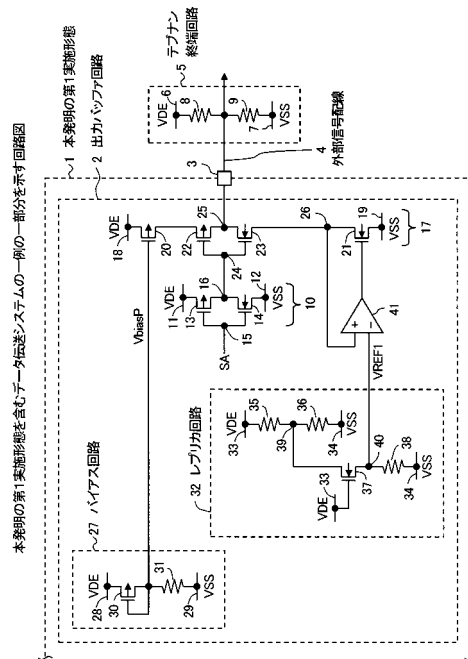
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 PTVばらつきによる出力バッファ回路の出力電圧のばらつきを小さく抑えることができる半導体集積回路装置を提供する。

【解決手段】 NMOSトランジスタ23に対応してレプリカ回路32と差動アンプ41とを設ける。レプリカ回路32は、テブナン終端回路5と外部信号配線4とNMOSトランジスタ21、23とからなる回路の複製であり、基準電圧VREF1を生成する。差動アンプ41は、NMOSトランジスタ21と共にノードN26の電圧を制御する負帰還回路を構成する。PTVばらつきによりNMOSトランジスタ23のしきい値が高くなると、NMOSトランジスタ37のしきい値も高くなり、NMOSトランジスタ37の能力も下がり、基準電圧VREF1が低下し、ノード26の電圧が低下し、L側出力電圧VOLが低下する。これにより、L側出力電圧VOLのばらつきを小さく抑える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ドレインを外部出力端子に接続し、ゲートに内部信号が与えられる出力トランジスタと、ドレインを前記出力トランジスタのソースに接続し、ソースを電源に接続した電流源トランジスタとを有する出力バッファ回路を有し、テブナン終端回路が接続された外部信号配線に前記外部出力端子が接続される半導体集積回路装置であって、

前記テブナン終端回路と、前記外部信号配線と、前記出力トランジスタと、前記電流源トランジスタとからなる回路のレプリカ回路と、

第 1 入力端子を前記出力トランジスタのソースに接続し、第 2 入力端子を前記出力トランジスタに対応する前記レプリカ回路内のトランジスタのソースに接続し、出力端子を前記電流源トランジスタのゲートに接続した差動アンプとを有することを特徴とする半導体集積回路装置。

10

【請求項 2】

テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

前記出力バッファ回路は、

ソースを第 1 電源に接続し、ゲートに第 1 バイアス電圧が印加される第 1 導電形の第 1 電流源トランジスタと、

ソースを前記第 1 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第 1 内部信号が印加される第 1 導電形の第 1 出力トランジスタと、

20

ソースを第 2 電源に接続した第 2 導電形の第 2 電流源トランジスタと、

ソースを前記第 2 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第 1 内部信号と逆相の第 2 内部信号が印加される第 2 導電形の第 2 出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第 2 出力トランジスタと、前記第 2 電流源トランジスタとからなる回路の複製である第 1 レプリカ回路と、

第 1 入力端子を前記第 2 出力トランジスタのソースに接続し、第 2 入力端子を前記第 2 出力トランジスタに対応する前記第 1 レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第 2 電流源トランジスタのゲートに接続した第 1 差動アンプとを有すること

30

を特徴とする半導体集積回路装置。

【請求項 3】

前記テブナン終端回路は、

一端を前記第 1 電源に接続し、他端を前記外部信号配線に接続した第 1 抵抗と、

一端を前記外部信号配線に接続し、他端を前記第 2 電源に接続した第 2 抵抗とを有し、

前記第 1 レプリカ回路は、

一端を前記第 1 電源に接続した第 3 抵抗と、

一端を前記第 3 抵抗の他端に接続し、他端を前記第 2 電源に接続した第 4 抵抗と、

ドレインを前記第 3 抵抗と前記第 4 抵抗の接続点に接続し、ゲートを前記第 1 電源に接続した前記第 2 出力トランジスタのレプリカトランジスタと、

40

前記第 2 出力トランジスタのレプリカトランジスタのソースと前記第 2 電源との間に接続された第 5 抵抗とを有することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】

テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

前記出力バッファ回路は、

ソースを第 1 電源に接続した第 1 導電形の第 1 電流源トランジスタと、

ソースを前記第 1 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第 1 内部信号が印加される第 1 導電形の第 1 出力トランジスタと、

ソースを第 2 電源に接続し、ゲートに第 2 バイアス電圧が印加される第 2 導電形の第 2

50

電流源トランジスタと、

ソースを前記第2電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第1内部信号と逆相の第2内部信号が印加される第2導電形の第2出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第1出力トランジスタと、前記第1電流源トランジスタとからなる回路の複製である第2レプリカ回路と、

第1入力端子を前記第1出力トランジスタのソースに接続し、第2入力端子を前記第1出力トランジスタに対応する前記第2レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第1電流源トランジスタのゲートに接続した第2差動アンプとを有すること

を特徴とする半導体集積回路装置。

【請求項5】

テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

前記出力バッファ回路は、

ソースを第1電源に接続した第1導電形の第1電流源トランジスタと、

ソースを前記第1電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第1内部信号が印加される第1導電形の第1出力トランジスタと、

ソースを第2電源に接続した第2導電形の第2電流源トランジスタと、

ソースを前記第2電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第1内部信号と逆相の第2内部信号が印加される第2導電形の第2出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第2出力トランジスタと、前記第2電流源トランジスタとからなる回路の複製である第1レプリカ回路と、

第1入力端子を前記第2出力トランジスタのソースに接続し、第2入力端子を前記第2出力トランジスタに対応する前記第1レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第2電流源トランジスタのゲートに接続した第1差動アンプと、

前記テブナン終端回路と、前記外部信号配線と、前記第1出力トランジスタと、前記第1電流源トランジスタとからなる回路の複製である第2レプリカ回路と、

第1入力端子を前記第1出力トランジスタのソースに接続し、第2入力端子を前記第1出力トランジスタに対応する前記第2レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第1電流源トランジスタのゲートに接続した第2差動アンプとを有すること

を特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テブナン終端された外部信号配線に接続される出力バッファ回路を有する半導体集積回路装置に関する。

【背景技術】

【0002】

テブナン終端された外部信号配線に接続される出力バッファ回路を有する半導体集積回路装置においては、プロセス、温度、電源電圧のばらつき（以下、「PTVばらつき」と言う）による出力電圧のばらつきを小さく抑えることが要請される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-154431号公報

【特許文献2】特開平7-288437号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】**【0004】**

本発明は、テブナン終端された外部信号配線に接続される出力バッファ回路の出力電圧のPTVばらつきによるばらつきを小さく抑えることができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】**【0005】**

本出願で開示する半導体集積回路装置は、ドレインを外部出力端子に接続し、ゲートに内部信号が与えられる出力トランジスタと、ドレインを前記出力トランジスタのソースに接続し、ソースを電源に接続した電流源トランジスタとを有する出力バッファ回路を有し、テブナン終端回路が接続された外部信号配線に前記外部出力端子が接続されるものであり、レプリカ回路と、差動アンプとを有するものである。

10

【0006】

前記レプリカ回路は、前記テブナン終端回路と、前記外部信号配線と、前記出力トランジスタと、前記電流源トランジスタとからなる回路の複製回路である。前記差動アンプは、第1入力端子を前記出力トランジスタのソースに接続し、第2入力端子を前記出力トランジスタに対応する前記レプリカ回路内のトランジスタのソースに接続し、出力端子を前記電流源トランジスタのゲートに接続したものである。

【発明の効果】**【0007】**

開示した半導体集積回路装置においては、前記差動アンプは、前記出力トランジスタのソース電圧と、前記出力トランジスタに対応する前記レプリカ回路内のトランジスタ、即ち、前記出力トランジスタのレプリカトランジスタのソース電圧とを入力し、前記電流源トランジスタのゲート電圧を制御し、前記出力トランジスタのソース電圧が前記レプリカトランジスタのソース電圧と同一電圧となるようにする。ここで、前記出力トランジスタがプルダウン用トランジスタの場合には、PTVばらつきによる低電位側出力電圧（以下、L側出力電圧と言う）のばらつきを抑制することができる。また、前記出力トランジスタがプルアップ用トランジスタの場合には、PTVばらつきによる高電位側出力電圧（以下、H側出力電圧と言う）のばらつきを抑制することができる。

20

【図面の簡単な説明】

30

【0008】

【図1】本発明の第1実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。

【図2】参考例の半導体集積回路装置を含むデータ伝送システムの一例の一部分を示す回路図である。

【図3】本発明の第1実施形態の効果の説明するための図である。

【図4】本発明の第2実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。

【図5】本発明の第3実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。

40

【図6】本発明の第4実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。

【発明を実施するための形態】**【0009】**

以下、図1～図6を参照して、本発明の第1実施形態～第4実施形態について説明する。本発明は、これら第1実施形態～第4実施形態に限定されるものではなく、本発明の要旨を逸脱することなく、種々の形態を取り得るものである。

【0010】

（第1実施形態）

図1は本発明の第1実施形態を含むデータ伝送システムの一例の一部分を示す回路図で

50

ある。図 1 中、1 は本発明の第 1 実施形態、2 は本発明の第 1 実施形態 1 が有する出力バッファ回路、3 は本発明の第 1 実施形態 1 が有する外部出力端子である。外部出力端子 3 には出力バッファ回路 2 からの出力信号が与えられる。4 は本発明の第 1 実施形態 1 が搭載されるプリント基板に形成された外部信号配線である。外部信号配線 4 は本発明の第 1 実施形態 1 の外部出力端子 3 に接続される。

【0011】

5 はテブナン終端回路であり、6 は正の電源電圧 V_{DE} を供給する V_{DE} 電源線（第 1 電源）、7 は接地電圧 V_{SS} を供給する V_{SS} 電源線（第 2 電源）、8、9 は抵抗である。抵抗 8、9 は、 V_{DE} 電源線 6 と V_{SS} 電源線 7 との間に直列接続され、抵抗 8 と抵抗 9 との接続点は外部信号配線 4 に接続されている。テブナン終端回路 5 は、電源電圧 V_{DE} を抵抗 8、9 で分圧してなる DC（直流）電圧を発生し、外部信号配線 4 を DC バイアスするものである。

10

【0012】

出力バッファ回路 2 において、10 はインバータであり、11 は V_{DE} 電源線、12 は V_{SS} 電源線、13 はプルアップ素子をなす PMOS トランジスタ、14 はプルダウン素子をなす NMOS トランジスタである。PMOS トランジスタ 13 は、ソースを V_{DE} 電源線 11 に接続し、ゲートを入力ノード 15 に接続し、ドレインを出力ノード 16 に接続している。NMOS トランジスタ 14 は、ソースを V_{SS} 電源線 12 に接続し、ゲートを入力ノード 15 に接続し、ドレインを出力ノード 16 に接続している。入力ノード 15 には、図示しない内部回路から内部信号 SA が与えられる。

20

【0013】

17 はインバータ 10 に縦列接続されたインバータであり、18 は V_{DE} 電源線、19 は V_{SS} 電源線、20 は電流源トランジスタである PMOS トランジスタ、21 は電流源トランジスタである NMOS トランジスタ、22 はプルアップ用の出力トランジスタである PMOS トランジスタ、23 はプルダウン用の出力トランジスタである NMOS トランジスタである。

【0014】

PMOS トランジスタ 20 は、ソースを V_{DE} 電源線 18 に接続している。PMOS トランジスタ 22 は、ソースを PMOS トランジスタ 20 のドレインに接続し、ゲートを入力ノード 24 に接続し、ドレインを出力ノード 25 に接続している。NMOS トランジスタ 21 は、ソースを V_{SS} 電源線 19 に接続し、ドレインをノード 26 に接続している。NMOS トランジスタ 23 は、ソースをノード 26 に接続し、ゲートを入力ノード 24 に接続し、ドレインを出力ノード 25 に接続している。インバータ 10 の出力ノード 16 はインバータ 17 の入力ノード 24 に接続されている。インバータ 17 の出力ノード 25 は外部出力端子 3 に接続されている。

30

【0015】

27 はバイアス回路である。バイアス回路 27 は、PMOS トランジスタ 20 のゲートに、PMOS トランジスタ 20 が飽和領域で動作するようなバイアス電圧 V_{biasP} を与えるものである。バイアス回路 27 において、28 は V_{DE} 電源線、29 は V_{SS} 電源線、30 は PMOS トランジスタ、31 は抵抗である。PMOS トランジスタ 30 は、ソースを V_{DE} 電源線 28 に接続し、ゲートをドレイン及び PMOS トランジスタ 20 のゲートに接続している。抵抗 31 は、PMOS トランジスタ 30 のドレインと V_{SS} 電源線 29 との間に接続されている。

40

【0016】

32 はレプリカ回路である。レプリカ回路 32 は、テブナン終端回路 5 と、外部信号配線 4 と、NMOS トランジスタ 21、23 とからなる回路の複製回路であり、基準電圧 V_{REF1} を生成する基準電圧生成回路として機能するものである。レプリカ回路 32 において、33 は V_{DE} 電源線、34 は V_{SS} 電源線、35 は抵抗 8 の複製である抵抗、36 は抵抗 9 の複製である抵抗、37 は NMOS トランジスタ 23 の複製である NMOS トランジスタ、38 は NMOS トランジスタ 21 の複製である抵抗である。

50

【0017】

抵抗35、36は、VDE電源線33とVSS電源線34との間に直列接続されている。NMOSトランジスタ37は、ドレインを抵抗35と抵抗36との接続点39に接続し、ゲートをVDE電源線33に接続し、ソースを基準電圧出力ノード40に接続している。抵抗38は、基準電圧出力ノード40とVSS電源線34との間に接続されている。

【0018】

レプリカ回路32は、テブナン終端回路5と、外部信号配線4と、NMOSトランジスタ21、23とからなる回路と同様の電圧特性を持つものであれば、レプリカ回路32を構成する素子の種類、素子サイズ、素子定数は異なっても良い。例えば、抵抗35、36は、抵抗35の抵抗値と抵抗36の抵抗値の比が抵抗8の抵抗値と抵抗9の抵抗値の比と同一であれば足り、抵抗35の抵抗値 = 抵抗8の抵抗値、かつ、抵抗36の抵抗値 = 抵抗9の抵抗値である必要はない。そこで、消費電力の低減を図る場合には、抵抗35、36の抵抗値を抵抗8、9の抵抗値よりも大きくすることができる。

10

【0019】

41は差動アンプである。差動アンプ41は、非反転入力端子をノード26に接続し、反転入力端子をレプリカ回路32の基準電圧出力ノード40に接続し、出力端子をNMOSトランジスタ21のゲートに接続している。即ち、差動アンプ41は、ノード26の電圧(NMOSトランジスタ23のソース電圧)と、ノード26に対応するレプリカ回路32内の基準電圧出力ノード40の電圧(NMOSトランジスタ37のソース電圧)とを入力し、基準電圧出力ノード40の電圧を基準電圧VREF1としてNMOSトランジスタ21のゲート電圧を制御し、ノード26の電圧が基準電圧VREF1と同一電圧となるように動作するものである。

20

【0020】

本発明の第1実施形態1においては、内部信号SAがHレベルの場合、インバータ10においては、PMOSトランジスタ13がOFF、NMOSトランジスタ14がONとなり、出力ノード16はLレベルとなる。この結果、インバータ17においては、PMOSトランジスタ22がON、NMOSトランジスタ23がOFFとなり、PMOSトランジスタ22は、テブナン終端回路5により外部信号配線4に設定されたDC電圧をVDE側に引き上げ、外部出力端子3の電圧は、H側出力電圧VOHとなる。

30

【0021】

これに対して、内部信号SAがLレベルの場合、インバータ10においては、PMOSトランジスタ13がON、NMOSトランジスタ14がOFFとなり、出力ノード16はHレベルとなる。この結果、インバータ17においては、PMOSトランジスタ22がOFF、NMOSトランジスタ23がONとなり、NMOSトランジスタ23は、テブナン終端回路5により外部信号配線4に設定されたDC電圧をVSS側に引き下げ、外部出力端子3の電圧は、L側出力電圧VOLとなる。

40

【0022】

図2は参考例の半導体集積回路装置を含むデータ伝送システムの一部の一部分を示す回路図である。図2に示すデータ伝送システムは、本発明の第1実施形態1の代わりに参考例の半導体集積回路装置44を備えるようにし、その他については、図1に示すデータ伝送システムと同様に構成したものである。参考例の半導体集積回路装置44は、本発明の第1実施形態1が搭載する出力バッファ回路2と回路構成の異なる出力バッファ回路45を搭載し、その他については、本発明の第1実施形態1と同様に構成したものである。

【0023】

出力バッファ回路45は、レプリカ回路32及び差動アンプ41を設けず、NMOSトランジスタ21のゲートに一定電圧のバイアス電圧VbiasNを与えるようにし、その他については、出力バッファ回路2と同様に構成したものである。バイアス電圧VbiasNは、NMOSトランジスタ21が飽和領域で動作するような電圧である。

【0024】

図3は本発明の第1実施形態1の効果を説明するための図である。(A)は図2に示す

50

データ伝送システムの場合に参考例の半導体集積回路装置 44 の外部出力端子 3 に出力される L 側出力電圧 V_{OL} の DC 特性の代表的なコーナー条件におけるシミュレーション結果を、仕様上要求される L 側出力電圧 V_{OL} の最大値及び最小値と共に示しており、横軸に電源電圧 V_{DE} 、縦軸に L 側出力電圧 V_{OL} を取っている。(B) は図 1 に示すデータ伝送システムの場合に本発明の第 1 実施形態 1 の外部出力端子 3 に出力される L 側出力電圧 V_{OL} の DC 特性の代表的なコーナー条件におけるシミュレーション結果を、仕様上要求される L 側出力電圧 V_{OL} の最大値及び最小値と共に示しており、横軸に電源電圧 V_{DE} 、縦軸に L 側出力電圧 V_{OL} を取っている。

【0025】

図 3 中、P1 は仕様上要求される L 側出力電圧 V_{OL} の最大値 V_{OLmax} 、P2 は仕様上要求される L 側出力電圧 V_{OL} の最小値 V_{OLmin} 、P3 は図 2 に示すデータ伝送システムの場合に参考例の半導体集積回路装置 44 の外部出力端子 3 に出力される L 側出力電圧 V_{OL} 、P4 は図 1 に示すデータ伝送システムの場合に本発明の第 1 実施形態 1 の外部出力端子 3 に出力される L 側出力電圧 V_{OL} を示している。

10

【0026】

図 3 に示すように、シミュレーション結果によれば、参考例の半導体集積回路装置 44 を使用した場合には、L 側出力電圧 V_{OL} のばらつきが大きく、電源電圧 V_{DE} が、概ね 3.13 ~ 3.175 [V] の範囲及び 3.275 ~ 3.47 [V] の範囲で L 側出力電圧 V_{OL} の DC 仕様を満たしていない場合が発生している。これに対して、本発明の第 1 実施形態 1 を使用した場合には、L 側出力電圧 V_{OL} のばらつきは、参考例の半導体集積回路装置 44 を使用した場合の L 側出力電圧 V_{OL} のばらつきよりも小さくなっており、電源電圧 V_{DE} が、概ね 3.13 ~ 3.47 [V] の範囲で L 側出力電圧 V_{OL} の DC 仕様を満たしている。

20

【0027】

ここで、電流源をなす PMOS トランジスタ 20 及び NMOS トランジスタ 21 は、電源ノイズや信号ノイズの影響を低減するために設けられている。しかしながら、参考例の半導体集積回路装置 44 においては、PTV ばらつきにより、例えば、NMOS トランジスタのしきい値電圧 V_{thN} が高くなると、NMOS トランジスタ 23 の相互コンダクタンス g_m が低下し (ON 抵抗が増加し)、NMOS トランジスタ 23 の能力が下がり、L 側出力電圧 V_{OL} は、テブナン終端回路 5 によって決まる DC 電圧に近づいてしまい、上方にばらついてしまう。したがって、L 側出力電圧 V_{OL} について、DC 仕様を満足することが困難となる場合がある。

30

【0028】

これに対して、本発明の第 1 実施形態 1 においては、PTV ばらつきによって NMOS トランジスタのしきい値電圧 V_{thN} が高くなると、NMOS トランジスタ 37 のしきい値電圧も高くなり、NMOS トランジスタ 37 の相互コンダクタンス g_m が低下し (ON 抵抗が増加し)、NMOS トランジスタ 37 の能力が下がり、基準電圧 V_{REF1} が低下し、差動アンプ 41 と NMOS トランジスタ 21 とからなる負帰還回路がノード 26 の電圧を低下させる。この結果、L 側出力電圧 V_{OL} も低下する。即ち、差動アンプ 41 と NMOS トランジスタ 21 からなる負帰還回路は、ノード 26 の電圧が基準電圧 V_{REF1} と同一電圧となるように動作し、PTV ばらつきによる L 側出力電圧 V_{OL} のばらつきを小さく抑える。

40

【0029】

以上のように、本発明の第 1 実施形態 1 によれば、PTV ばらつきにより NMOS トランジスタのしきい値電圧がばらつくことによる L 側出力電圧 V_{OL} への影響が、NMOS トランジスタ 23 と NMOS トランジスタ 37 とで相反することになるので、L 側出力電圧 V_{OL} のばらつきを小さく抑えることができる。なお、テブナン終端回路 5 による DC 電圧及びレプリカ回路 32 による DC 電圧 (ノード 39 の電圧) は、相対精度によってのみ影響を受けるので、PTV ばらつきに対するばらつきは十分に小さい。

【0030】

50

(第2実施形態)

図4は本発明の第2実施形態を含むデータ伝送システムの一部を示す回路図である。図4に示すデータ伝送システムは、本発明の第1実施形態1の代わりに本発明の第2実施形態48を備えるようにし、その他については、図1に示すデータ伝送システムと同様に構成したものである。本発明の第2実施形態48は、本発明の第1実施形態1が設ける出力バッファ回路2と回路構成の異なる出力バッファ回路49を設け、その他については、本発明の第1実施形態1と同様に構成したものである。

【0031】

出力バッファ回路49は、NMOSトランジスタ21に対応してレプリカ回路32と差動アンプ41を設ける代わりにバイアス回路50を設けると共に、PMOSトランジスタ20に対応してバイアス回路27を設ける代わりにレプリカ回路51と差動アンプ52とを設け、その他については、本発明の第1実施形態1が設ける出力バッファ回路2と同様に構成したものである。

10

【0032】

バイアス回路50は、NMOSトランジスタ21のゲートに、NMOSトランジスタ21が飽和領域で動作するようなバイアス電圧 V_{biasN} を与えるものである。バイアス回路50において、53はVDE電源線、54はVSS電源線、55は抵抗、56はNMOSトランジスタである。抵抗55は、VDE電源線53とNMOSトランジスタ56のドレインとの間に接続されている。NMOSトランジスタ56は、ゲートをドレイン及びNMOSトランジスタ21のゲートに接続し、ソースをVSS電源線54に接続している。

20

【0033】

レプリカ回路51は、テブナン終端回路5と、外部信号配線4と、PMOSトランジスタ20、22とからなる回路の複製回路であり、基準電圧VREF2を生成する基準電圧生成回路をなすものである。レプリカ回路51において、57はVDE電源線、58はVSS電源線、59は抵抗8の複製である抵抗、60は抵抗9の複製である抵抗、61はPMOSトランジスタ22の複製であるPMOSトランジスタ、62はPMOSトランジスタ20の複製である抵抗である。

【0034】

抵抗59、60は、VDE電源線57とVSS電源線58との間に直列接続されている。PMOSトランジスタ61は、ドレインを抵抗59と抵抗60との接続点63に接続し、ゲートをVSS電源線58に接続し、ソースを基準電圧出力ノード64に接続している。抵抗62は、VDE電源線57と基準電圧出力ノード64との間に接続されている。

30

【0035】

レプリカ回路51は、テブナン終端回路5と、外部信号配線4と、PMOSトランジスタ20、22とからなる回路と同様の電圧特性を持つものであれば、レプリカ回路51を構成する素子の種類、素子サイズ、素子定数は異なっても良い。例えば、抵抗59、60は、抵抗59の抵抗値と抵抗60の抵抗値の比が抵抗8の抵抗値と抵抗9の抵抗値の比と同一であれば足り、抵抗59の抵抗値 = 抵抗8の抵抗値、かつ、抵抗60の抵抗値 = 抵抗9の抵抗値である必要はない。そこで、消費電力の低減を図る場合には、抵抗59、60の抵抗値を抵抗8、9の抵抗値よりも大きくすることができる。

40

【0036】

差動アンプ52は、非反転入力端子をノード65に接続し、反転入力端子をレプリカ回路51の基準電圧出力ノード64に接続し、出力端子をPMOSトランジスタ20のゲートに接続している。即ち、差動アンプ52は、ノード65の電圧(PMOSトランジスタ22のソース電圧)と、ノード65に対応するレプリカ回路51内の基準電圧出力ノード64の電圧(PMOSトランジスタ61のソース電圧)とを入力し、基準電圧出力ノード64の電圧を基準電圧VREF2としてPMOSトランジスタ20のゲート電圧を制御し、ノード65の電圧が基準電圧VREF2と同一電圧となるように動作するものである。

【0037】

ここで、参考例の半導体集積回路装置44においては、PTVばらつきによりPMOS

50

トランジスタのしきい値電圧 V_{thP} が高くなると、PMOSトランジスタ22の相互コンダクタンス g_m が低下し(ON抵抗が増加し)、PMOSトランジスタ22の能力が下がり、H側出力電圧 V_{OH} は、テブナン終端回路5によって決まるDC電圧に近づいてしまい、下方にばらついてしまう。したがって、H側出力電圧 V_{OH} について、DC仕様を満足することが困難となる場合がある。

【0038】

これに対して、本発明の第2実施形態48においては、PTVばらつきによりPMOSトランジスタのしきい値電圧 V_{thP} が高くなると、PMOSトランジスタ61のしきい値電圧も高くなり、PMOSトランジスタ61の相互コンダクタンス g_m が低下し(ON抵抗が増加し)、PMOSトランジスタ61の能力が下がり、基準電圧 V_{REF2} が上昇し、差動アンプ52とPMOSトランジスタ20からなる負帰還回路がノード65の電圧を上昇させる。この結果、H側出力電圧 V_{OH} も上昇する。

10

【0039】

以上のように、本発明の第2実施形態48によれば、PTVばらつきによりPMOSトランジスタのしきい値電圧がばらつくことによるH側出力電圧 V_{OH} への影響が、PMOSトランジスタ22とPMOSトランジスタ61とで相反することになるので、H側出力電圧 V_{OH} のばらつきを小さく抑えることができる。なお、テブナン終端回路5によるDC電圧及びレプリカ回路51によるDC電圧(ノード63の電圧)は、相対精度によってのみ影響を受けるので、PTVばらつきに対するばらつきは十分に小さい。

20

【0040】

(第3実施形態)

図5は本発明の第3実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。図5に示すデータ伝送システムは、本発明の第1実施形態1の代わりに本発明の第3実施形態68を備えるようにし、その他については、図1に示すデータ伝送システムと同様に構成したものである。本発明の第3実施形態68は、本発明の第1実施形態1が設ける出力バッファ回路2と回路構成の異なる出力バッファ回路69を設け、その他については、本発明の第1実施形態1と同様に構成したものである。

20

【0041】

出力バッファ回路69は、本発明の第2実施形態48と同様に、PMOSトランジスタ20に対応してバイアス回路27の代わりにレプリカ回路51と差動アンプ52とを設け、その他については、本発明の第1実施形態1が設ける出力バッファ回路2と同様に構成したものである。

30

【0042】

本発明の第3実施形態68によれば、本発明の第1実施形態1と同様に、PTVばらつきによりNMOSトランジスタのしきい値電圧がばらつくことによるL側出力電圧 V_{OL} への影響が、NMOSトランジスタ23とNMOSトランジスタ37とで相反することになるので、L側出力電圧 V_{OL} のばらつきを小さく抑えることができる。また、PTVばらつきによりPMOSトランジスタのしきい値電圧がばらつくことによるH側出力電圧 V_{OH} への影響が、PMOSトランジスタ22とPMOSトランジスタ61とで相反することになるので、H側出力電圧 V_{OH} のばらつきを小さく抑えることができる。

40

【0043】

(第4実施形態)

図6は本発明の第4実施形態を含むデータ伝送システムの一例の一部分を示す回路図である。図6中、72は本発明の第4実施形態、73は本発明の第4実施形態72が有する出力バッファ回路、74、75は本発明の第4実施形態72が有する外部出力端子である。外部出力端子74には出力バッファ回路73からの正相出力信号が与えられ、外部出力端子75には出力バッファ回路73からの逆相出力信号が与えられる。

【0044】

76、77は本発明の第4実施形態72が搭載されるプリント基板に形成された外部信号配線である。外部信号配線76は、テブナン終端回路5で終端され、本発明の第4実施

50

形態 7 2 の外部出力端子 7 4 に接続される。出力ノード 2 5 は、外部出力端子 7 4 に接続されている。

【 0 0 4 5 】

外部信号配線 7 7 は、テブナン終端回路 5 と同一構成のテブナン終端回路 7 8 で終端され、本発明の第 4 実施形態 7 2 の外部出力端子 7 5 に接続される。テブナン終端回路 7 8 において、7 9 は V D E 電源線、8 0 は V S S 電源線、8 1、8 2 は抵抗である。抵抗 8 1、8 2 は、V D E 電源線 7 9 と V S S 電源線 8 0 との間に直列接続され、抵抗 8 1 と抵抗 8 2 との接続点は外部信号配線 7 7 に接続されている。抵抗 8 1 の抵抗値 = 抵抗 8 の抵抗値、抵抗 8 2 の抵抗値 = 抵抗 9 の抵抗値である。

【 0 0 4 6 】

出力バッファ回路 7 3 は、内部信号 S A と逆相の内部信号 / S A が与えられる 1 段目のインバータ 8 3 と、2 番目のインバータを構成する P M O S トランジスタ 8 4 及び N M O S トランジスタ 8 5 を設け、その他については、本発明の第 1 実施形態が設ける出力バッファ回路 2 と同様に構成したものである。

【 0 0 4 7 】

インバータ 8 3 において、8 6 は V D E 電源線、8 7 は V S S 電源線、8 8 はプルアップ素子をなす P M O S トランジスタ、8 9 はプルダウン素子をなす N M O S トランジスタである。P M O S トランジスタ 8 8 は、ソースを V D E 電源線 8 6 に接続し、ゲートを入力ノード 9 0 に接続し、ドレインを出力ノード 9 1 に接続している。N M O S トランジスタ 8 9 は、ソースを V S S 電源線 8 7 に接続し、ゲートを入力ノード 9 0 に接続し、ドレインを出力ノード 9 1 に接続している。入力ノード 9 0 には、内部信号 / S A が与えられる。

【 0 0 4 8 】

P M O S トランジスタ 8 4 は、ソースを P M O S トランジスタ 2 0 のドレインに接続し、ゲートを入力ノード 9 2 に接続し、ドレインを出力ノード 9 3 に接続している。N M O S トランジスタ 8 5 は、ソースをノード 2 6 に接続し、ゲートを入力ノード 9 2 に接続し、ドレインを出力ノード 9 3 に接続している。入力ノード 9 2 は、インバータ 8 3 の出力ノード 9 1 に接続されている。出力ノード 9 3 は外部出力端子 7 5 に接続されている。

【 0 0 4 9 】

本発明の第 4 実施形態 7 2 においては、内部信号 S A が H レベル、内部信号 / S A が L レベルの場合、インバータ 1 0 においては、P M O S トランジスタ 1 3 が O F F、N M O S トランジスタ 1 4 が O N となり、出力ノード 1 6 は L レベルとなる。この結果、P M O S トランジスタ 2 2 が O N、N M O S トランジスタ 2 3 が O F F となり、P M O S トランジスタ 2 2 は、テブナン終端回路 5 により外部信号配線 7 6 に設定された D C 電圧を V D E 側に引き上げ、外部出力端子 7 4 の電圧は、H 側出力電圧 V O H となる。

【 0 0 5 0 】

また、インバータ 8 3 においては、P M O S トランジスタ 8 8 が O N、N M O S トランジスタ 8 9 が O F F となり、出力ノード 9 1 は H レベルとなる。この結果、P M O S トランジスタ 8 4 が O F F、N M O S トランジスタ 8 5 が O N となり、N M O S トランジスタ 8 5 は、テブナン終端回路 7 8 により外部信号配線 7 7 に設定された D C 電圧を V S S 側に引き下げ、外部出力端子 7 5 の電圧は、L 側出力電圧 V O L となる。

【 0 0 5 1 】

これに対して、内部信号 S A が L レベル、内部信号 / S A が H レベルの場合、インバータ 1 0 においては、P M O S トランジスタ 1 3 が O N、N M O S トランジスタ 1 4 が O F F となり、出力ノード 1 6 は H レベルとなる。この結果、P M O S トランジスタ 2 2 が O F F、N M O S トランジスタ 2 3 が O N となり、N M O S トランジスタ 2 3 は、テブナン終端回路 5 により外部信号配線 7 6 に設定された D C 電圧を V S S 側に引き下げ、外部出力端子 7 4 の電圧は、L 側出力電圧 V O L となる。

【 0 0 5 2 】

また、インバータ 8 3 においては、P M O S トランジスタ 8 8 が O F F、N M O S トラ

10

20

30

40

50

ンジスタ 89 が ON となり、出力ノード 91 は L レベルとなる。この結果、PMOS トランジスタ 84 が ON、NMOS トランジスタ 85 が OFF となり、PMOS トランジスタ 84 は、テブナン終端回路 78 により外部信号配線 77 に設定された DC 電圧を VDE 側に引き上げ、外部出力端子 75 の電圧は、H 側出力電圧 VOH となる。

【0053】

本発明の第 4 実施形態 72 においては、差動アンプ 41 と NMOS トランジスタ 21 とからなる負帰還回路は、NMOS トランジスタ 23、85 に共通に設けられているので、PTV ばらつきにより NMOS トランジスタのしきい値電圧がばらつくことによる外部出力端子 74、75 に出力される L 側出力電圧 VOL への影響が、NMOS トランジスタ 23、85 と NMOS トランジスタ 37 とで相反することになるので、外部出力端子 74、75 に出力される L 側出力電圧 VOL のばらつきを小さく抑えることができる。

10

【0054】

本発明の第 4 実施形態 72 においては、NMOS トランジスタ 21 に対応してレプリカ回路 32 と差動アンプ 41 とを設けると共に、PMOS トランジスタ 20 に対応してバイアス回路 27 を設けるようにしたが、本発明の第 2 実施形態 48 と同様に、NMOS トランジスタ 21 に対応してバイアス回路 50 を設けると共に、PMOS トランジスタ 20 に対応してレプリカ回路 51 と差動アンプ 52 とを設けるようにしても良い。また、本発明の第 3 実施形態 68 と同様に、NMOS トランジスタ 21 に対応してレプリカ回路 32 と差動アンプ 41 とを設けると共に、PMOS トランジスタ 20 に対応してレプリカ回路 51 と差動アンプ 52 とを設けるようにしても良い。

20

【0055】

ここで、本発明の半導体集積回路装置を整理すると、本発明の半導体集積回路装置には、少なくとも、以下の半導体集積回路装置が含まれる。

【0056】

(付記 1) ドレインを外部出力端子に接続し、ゲートに内部信号が与えられる出力トランジスタと、ドレインを前記出力トランジスタのソースに接続し、ソースを電源に接続した電流源トランジスタとを有する出力バッファ回路を有し、テブナン終端回路が接続された外部信号配線に前記外部出力端子が接続される半導体集積回路装置であって、

前記テブナン終端回路と、前記外部信号配線と、前記出力トランジスタと、前記電流源トランジスタとからなる回路のレプリカ回路と、

30

第 1 入力端子を前記出力トランジスタのソースに接続し、第 2 入力端子を前記出力トランジスタに対応する前記レプリカ回路内のトランジスタのソースに接続し、出力端子を前記電流源トランジスタのゲートに接続した差動アンプとを有することを特徴とする半導体集積回路装置。

【0057】

(付記 2) テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

前記出力バッファ回路は、

ソースを第 1 電源に接続し、ゲートに第 1 バイアス電圧が印加される第 1 導電形の第 1 電流源トランジスタと、

40

ソースを前記第 1 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第 1 内部信号が印加される第 1 導電形の第 1 出力トランジスタと、

ソースを第 2 電源に接続した第 2 導電形の第 2 電流源トランジスタと、

ソースを前記第 2 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第 1 内部信号と逆相の第 2 内部信号が印加される第 2 導電形の第 2 出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第 2 出力トランジスタと、前記第 2 電流源トランジスタとからなる回路の複製である第 1 レプリカ回路と、

第 1 入力端子を前記第 2 出力トランジスタのソースに接続し、第 2 入力端子を前記第 2 出力トランジスタに対応する前記第 1 レプリカ回路内のトランジスタのソースに接続し、

50

出力端子を前記第 2 電流源トランジスタのゲートに接続した第 1 差動アンプとを有することを特徴とする半導体集積回路装置。

【0058】

(付記 3) 前記テブナン終端回路は、
 一端を前記第 1 電源に接続し、他端を前記外部信号配線に接続した第 1 抵抗と、
 一端を前記外部信号配線に接続し、他端を前記第 2 電源に接続した第 2 抵抗とを有し、
 前記第 1 レプリカ回路は、
 一端を前記第 1 電源に接続した第 3 抵抗と、
 一端を前記第 3 抵抗の他端に接続し、他端を前記第 2 電源に接続した第 4 抵抗と、
 ドレインを前記第 3 抵抗と前記第 4 抵抗の接続点に接続し、ゲートを前記第 1 電源に接
 続した前記第 2 出力トランジスタのレプリカトランジスタと、
 前記第 2 出力トランジスタのレプリカトランジスタのソースと前記第 2 電源との間に接
 続された第 5 抵抗とを有することを特徴とする付記 2 に記載の半導体集積回路装置。

10

【0059】

(付記 4) 前記第 3 抵抗の抵抗値と前記第 4 抵抗の抵抗値の比は、前記第 1 抵抗の抵抗値と前記第 2 抵抗の抵抗値の比と同一であることを特徴とする付記 3 に記載の半導体集積回路装置。

【0060】

(付記 5) テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

20

前記出力バッファ回路は、
 ソースを第 1 電源に接続した第 1 導電形の第 1 電流源トランジスタと、
 ソースを前記第 1 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第 1 内部信号が印加される第 1 導電形の第 1 出力トランジスタと、
 ソースを第 2 電源に接続し、ゲートに第 2 バイアス電圧が印加される第 2 導電形の第 2 電流源トランジスタと、
 ソースを前記第 2 電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第 1 内部信号と逆相の第 2 内部信号が印加される第 2 導電形の第 2 出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第 1 出力トランジスタと、前記第 1 電流源トランジスタとからなる回路の複製である第 2 レプリカ回路と、

30

第 1 入力端子を前記第 1 出力トランジスタのソースに接続し、第 2 入力端子を前記第 1 出力トランジスタに対応する前記第 2 レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第 1 電流源トランジスタのゲートに接続した第 2 差動アンプとを有することを特徴とする半導体集積回路装置。

【0061】

(付記 6) 前記テブナン終端回路は、
 一端を前記第 1 電源に接続し、他端を前記外部信号配線に接続した第 1 抵抗と、
 一端を前記外部信号配線に接続し、他端を前記第 2 電源に接続した第 2 抵抗とを有し、
 前記第 2 レプリカ回路は、
 一端を前記第 1 電源に接続した第 6 抵抗と、
 一端を前記第 6 抵抗の他端に接続し、他端を前記第 2 電源に接続した第 7 抵抗と、
 ドレインを前記第 6 抵抗と前記第 7 抵抗の接続点に接続し、ゲートを前記第 2 電源に接
 続した前記第 1 出力トランジスタのレプリカトランジスタと、
 前記第 1 出力トランジスタのレプリカトランジスタのソースと前記第 1 電源との間に接
 続された第 8 抵抗とを有することを特徴とする付記 5 に記載の半導体集積回路装置。

40

【0062】

(付記 7) 前記第 6 抵抗の抵抗値と前記第 7 抵抗の抵抗値の比は、前記第 1 抵抗の抵抗値と前記第 2 抵抗の抵抗値の比と同一であることを特徴とする付記 6 に記載の半導体集積回路装置。

50

【0063】

(付記8) テブナン終端回路が接続された外部信号配線に外部出力端子を介して接続される出力バッファ回路を有する半導体集積回路装置において、

前記出力バッファ回路は、

ソースを第1電源に接続した第1導電形の第1電流源トランジスタと、

ソースを前記第1電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに第1内部信号が印加される第1導電形の第1出力トランジスタと、

ソースを第2電源に接続した第2導電形の第2電流源トランジスタと、

ソースを前記第2電流源トランジスタのドレインに接続し、ドレインを前記外部出力端子に接続し、ゲートに前記第1内部信号と逆相の第2内部信号が印加される第2導電形の第2出力トランジスタと、

前記テブナン終端回路と、前記外部信号配線と、前記第2出力トランジスタと、前記第2電流源トランジスタとからなる回路の複製である第1レプリカ回路と、

第1入力端子を前記第2出力トランジスタのソースに接続し、第2入力端子を前記第2出力トランジスタに対応する前記第1レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第2電流源トランジスタのゲートに接続した第1差動アンプと、

前記テブナン終端回路と、前記外部信号配線と、前記第1出力トランジスタと、前記第1電流源トランジスタとからなる回路の複製である第2レプリカ回路と、

第1入力端子を前記第1出力トランジスタのソースに接続し、第2入力端子を前記第1出力トランジスタに対応する前記第2レプリカ回路内のトランジスタのソースに接続し、出力端子を前記第1電流源トランジスタのゲートに接続した第2差動アンプとを有することを特徴とする半導体集積回路装置。

10

20

【0064】

(付記9) 前記テブナン終端回路は、

一端を前記第1電源に接続し、他端を前記外部信号配線に接続した第1抵抗と、

一端を前記外部信号配線に接続し、他端を前記第2電源に接続した第2抵抗とを有し、前記第1レプリカ回路は、

一端を前記第1電源に接続した第3抵抗と、

一端を前記第3抵抗の他端に接続し、他端を前記第2電源に接続した第4抵抗と、

ドレインを前記第3抵抗と前記第4抵抗の接続点に接続し、ゲートを前記第1電源に接続した前記第2出力トランジスタのレプリカトランジスタと、

前記第2出力トランジスタのレプリカトランジスタのソースと前記第2電源との間に接続された第5抵抗とを有し、

前記第2レプリカ回路は、

一端を前記第1電源に接続した第6抵抗と、

一端を前記第6抵抗の他端に接続し、他端を前記第2電源に接続した第7抵抗と、

ドレインを前記第6抵抗と前記第7抵抗の接続点に接続し、ゲートを前記第2電源に接続した前記第1出力トランジスタのレプリカトランジスタと、

前記第1出力トランジスタのレプリカトランジスタと前記第1電源との間に接続された第8抵抗とを有することを特徴とする付記8に記載の半導体集積回路装置。

30

40

【0065】

(付記10) 前記第3抵抗の抵抗値と前記第4抵抗の抵抗値の比と、前記第6抵抗の抵抗値と前記第7抵抗の抵抗値の比は、前記第1抵抗の抵抗値と前記第2抵抗の抵抗値の比と同一であることを特徴とする付記9に記載の半導体集積回路装置。

【符号の説明】

【0066】

- 1 ... 本発明の第1実施形態
- 2 ... 出力バッファ回路
- 3 ... 外部出力端子
- 4 ... 外部信号配線

50

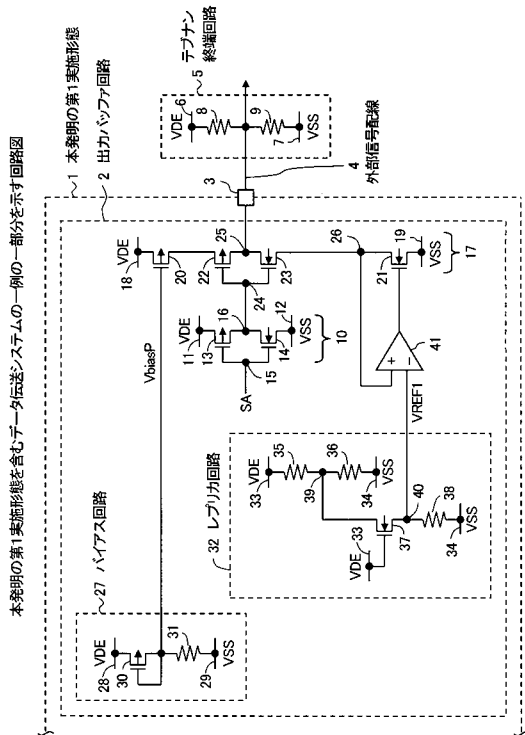
5 ... テブナン 終 端 回 路	
6 ... V D E 電 源 線	
7 ... V S S 電 源 線	
8、9 ... 抵 抗	
10 ... インバータ	
11 ... V D E 電 源 線	
12 ... V S S 電 源 線	
13 ... P M O S ト ラ ン ジ ス タ	
14 ... N M O S ト ラ ン ジ ス タ	
15 ... 入 力 ノ ード	10
16 ... 出 力 ノ ード	
17 ... インバータ	
18 ... V D E 電 源 線	
19 ... V S S 電 源 線	
20 ... P M O S ト ラ ン ジ ス タ	
21 ... N M O S ト ラ ン ジ ス タ	
22 ... P M O S ト ラ ン ジ ス タ	
23 ... N M O S ト ラ ン ジ ス タ	
24 ... 入 力 ノ ード	
25 ... 出 力 ノ ード	20
26 ... ノ ード	
27 ... バイアス回路	
28 ... V D E 電 源 線	
29 ... V S S 電 源 線	
30 ... P M O S ト ラ ン ジ ス タ	
31 ... 抵 抗	
32 ... レプリカ回路	
33 ... V D E 電 源 線	
34 ... V S S 電 源 線	
35、36 ... 抵 抗	30
37 ... N M O S ト ラ ン ジ ス タ	
38 ... 抵 抗	
39 ... ノ ード	
40 ... 基 準 電 圧 出 力 ノ ード	
41 ... 差 動 ア ン プ	
44 ... 参 考 例 の 半 導 体 集 積 回 路 装 置	
45 ... 出 力 バ ッ フ ァ 回 路	
48 ... 本 発 明 の 第 2 実 施 形 態	
49 ... 出 力 バ ッ フ ァ 回 路	
50 ... バイアス回路	40
51 ... レプリカ回路	
52 ... 差 動 ア ン プ	
53 ... V D E 電 源 線	
54 ... V S S 電 源 線	
55 ... 抵 抗	
56 ... N M O S ト ラ ン ジ ス タ	
57 ... V D E 電 源 線	
58 ... V S S 電 源 線	
59、60 ... 抵 抗	
61 ... P M O S ト ラ ン ジ ス タ	50

- 6 2 ... 抵抗
- 6 3 ... ノード
- 6 4 ... 基準電圧出力ノード
- 6 5 ... ノード
- 6 8 ... 本発明の第 3 実施形態
- 6 9 ... 出力バッファ回路
- 7 2 ... 本発明の第 4 実施形態
- 7 3 ... 出力バッファ回路
- 7 4、7 5 ... 外部出力端子
- 7 6、7 7 ... 外部信号配線
- 7 8 ... テブナン終端回路
- 7 9 ... V D E 電源線
- 8 0 ... V S S 電源線
- 8 1、8 2 ... 抵抗
- 8 3 ... インバータ
- 8 4 ... P M O S トランジスタ
- 8 5 ... N M O S トランジスタ
- 8 6 ... V D E 電源線
- 8 7 ... V S S 電源線
- 8 8 ... P M O S トランジスタ
- 8 9 ... N M O S トランジスタ
- 9 0 ... 入力ノード
- 9 1 ... 出力ノード
- 9 2 ... 入力ノード
- 9 3 ... 出力ノード

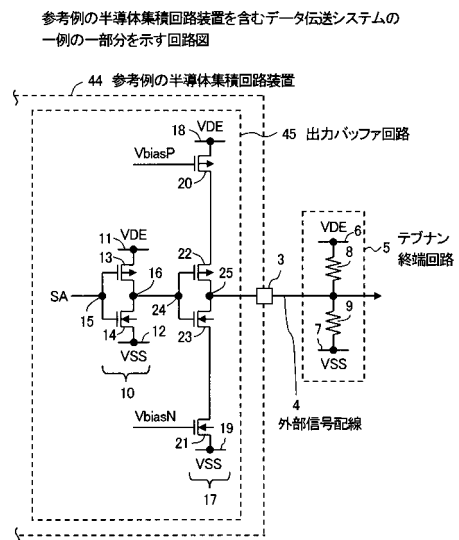
10

20

【 図 1 】

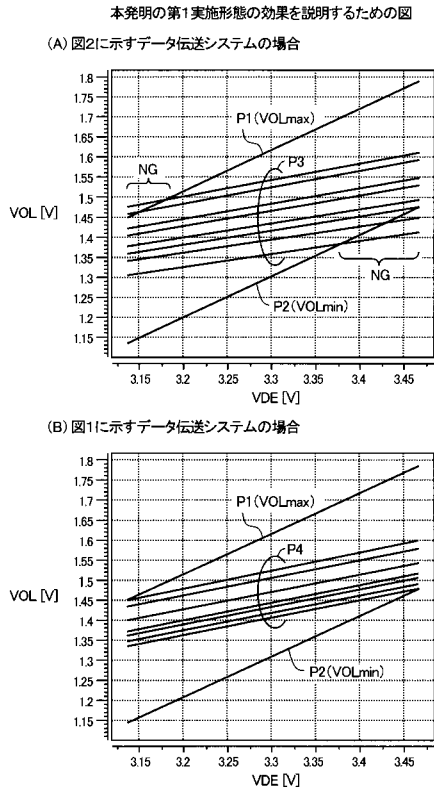


【 図 2 】

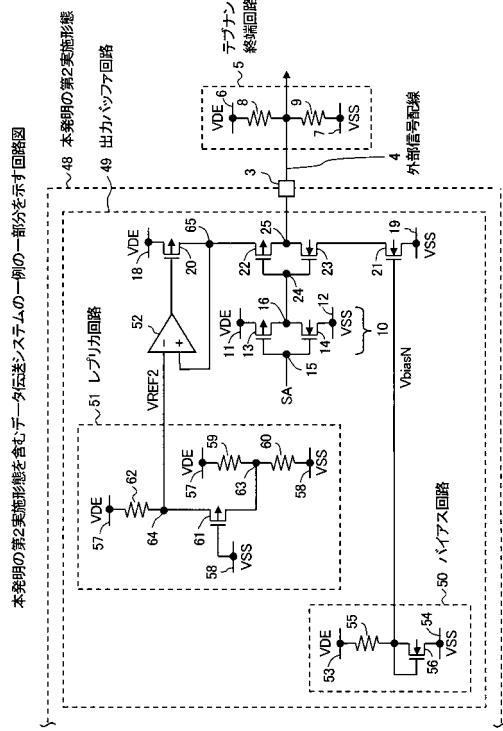


参考例の半導体集積回路装置を含むデータ伝送システムの一例の一部分を示す回路図

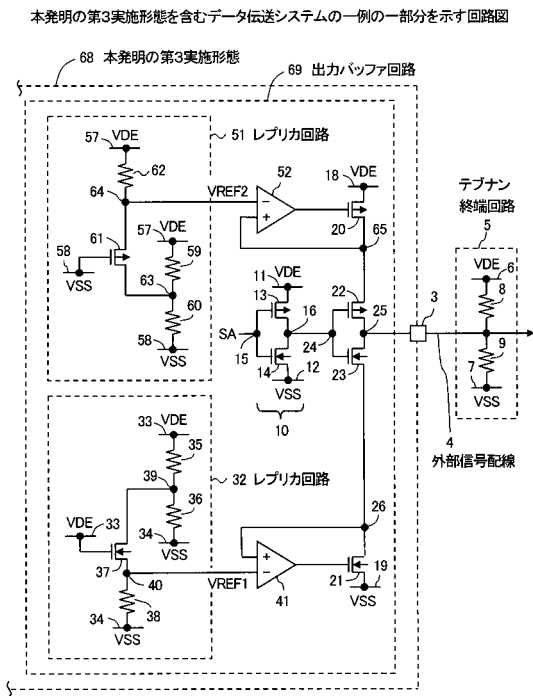
【 図 3 】



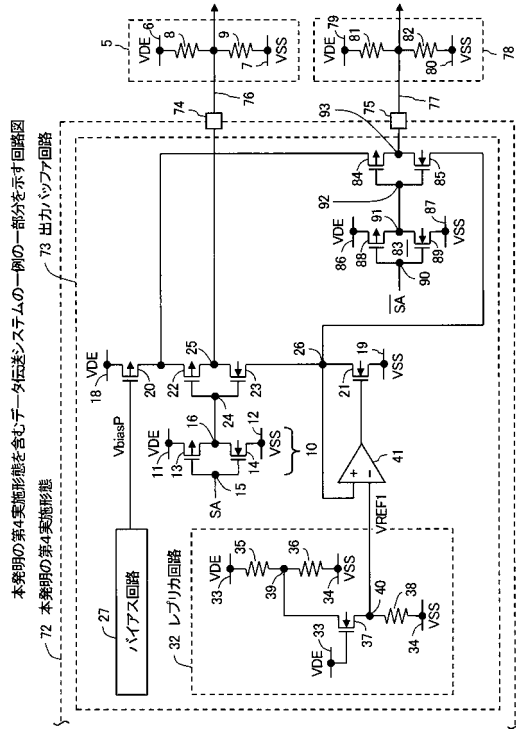
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA18 AC02 AC04 AC14 AF10 AF13 AH10 AH25 AK02
AK04 AK12 AT02