

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 16.04.93.

⑮ Priorité : 17.04.92 US 870568.

⑯ Date de la mise à disposition du public de la demande : 22.10.93 Bulletin 93/42.

⑰ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑱ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : INTEL CORPORATION — US.

⑵ Inventeur(s) : Greason Jeffrey K.

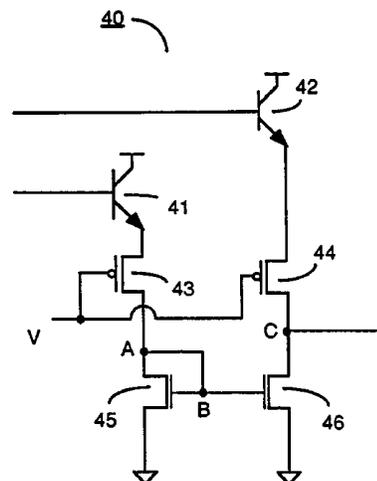
⑶ Titulaire(s) :

⑷ Mandataire : Cabinet Regimbeau Martin Schrimpf Warcoïn Ahner.

⑸ Amplificateur numérique Bicmos.

⑹ Circuit BiCMOS destiné à appliquer une tension différentielle entre deux signaux de tension d'entrée ( $I_N$ ,  $\bar{I}_N$ ). Le

circuit BiCMOS selon la présente invention inclut deux transistors à jonction bipolaire (41, 42) qui reçoivent les deux signaux de tension d'entrée et dont chacun pilote un dispositif PMOS (43, 44, 45, 46) connecté en cascade. Les drains des dispositifs PMOS connectés en cascade sont couplés à l'entrée et la sortie d'un miroir de courant, la sortie du miroir de courant étant la sortie du circuit BiCMOS.



## AMPLIFICATEUR NUMERIQUE BICMOS

La présente invention concerne de façon générale le domaine des circuits intégrés qui combinent des dispositifs bipolaires et des dispositifs métal-oxyde-semiconducteur complémentaires (CMOS) sur un même substrat, et la présente invention concerne en particulier le domaine des amplificateurs numériques.

Récemment, ont été développés des circuits intégrés logiques numériques qui combinent des technologies bipolaires et CMOS. Ces circuits sont appelés circuits BiCMOS. La combinaison de technologies bipolaire et CMOS est avantageuse du fait que les caractéristiques avantageuses de chacune de ces technologies peuvent être utilisées en combinaison afin de constituer un circuit optimal. Par exemple, des circuits bipolaires présentent des possibilités de commutation à grande vitesse et peuvent typiquement commander des charges capacitives importantes. D'autre part, les circuits CMOS ont pour avantage une faible consommation, une capacité de production de signal en sortie sur une voie commune, une très grande densité d'intégration et une très grande impédance d'entrée. Ainsi, la combinaison de ces caractéristiques permet d'atteindre des performances de circuit optimales.

Un domaine d'application spécifique de la technologie BiCMOS consiste à fournir une compatibilité entre des circuits à couplage par les émetteurs (ECL) et des circuits CMOS. Les circuits ECL fournissent la plus grande rapidité et peuvent constituer les circuits logiques bipolaires les plus répandus, mais ils consomment plus d'énergie que les circuits CMOS ou BiCMOS. D'autres bénéfices des circuits ECL incluent le fait que ces circuits présentent des amplitudes de signal relativement faibles et une sensibilité à la température relativement faible, ces caractéristiques n'étant pas facilement obtenues avec des techniques CMOS standard.

Le BiCMOS peut être tout particulièrement utilisé pour interfacer un circuit CMOS et un circuit ECL puisqu'une telle interface n'est pas facilement réalisable de façon à fonctionner à grande vitesse à l'aide d'une technique MOS et puisqu'un  
5 fonctionnement à grande vitesse nécessite souvent l'utilisation de dispositifs bipolaires. Même si certains circuits CMOS de l'art antérieur peuvent constituer une interface directe pour des sorties de circuits ECL, ces circuits doivent présenter certaines caractéristiques spéciales de façon à pouvoir s'adapter aux  
10 vitesses élevées des circuits bipolaires. Des conceptions CMOS qui sont plus simples présentent aussi des avantages du fait de leur faible bruit et de leur faible consommation.

En général, des amplificateurs différentiels de l'art antérieur sont utilisés pour constituer une interface entre des  
15 circuits ECL et des circuits logiques CMOS. Un amplificateur différentiel reçoit un signal différentiel et le convertit en un signal sur une seule phase qui est utilisé par d'autres circuits. Dans l'idéal, la sortie en provenance de l'amplificateur différentiel est entièrement indépendante des niveaux des  
20 signaux d'entrée individuels. Les circuits d'amplificateurs BiCMOS ont été créés dans l'art antérieur. Cependant, ces circuits amplificateurs ne peuvent pas typiquement s'adapter à des signaux différentiels et ne peuvent pas amplifier de faibles signaux pour produire des signaux élevés très rapidement. En  
25 outre, ces amplificateurs BiCMOS de l'art antérieur ne peuvent pas fonctionner avec des niveaux de tension faibles.

Un autre inconvénient des circuits logiques BiCMOS classiques réside dans le fait qu'ils nécessitent une tension d'alimentation élevée pour un fonctionnement normal. Par  
30 conséquent, beaucoup de circuits BiCMOS de l'art antérieur ne peuvent plus fonctionner lorsque l'alimentation chute par rapport à sa valeur normale. Cette particularité est désavantageuse parce que l'industrie du semiconducteur vise de façon courante à abaisser la tension d'alimentation standard  
35 pour l'amener de 5 volts à 3 volts afin de diminuer les champs

électriques auxquels sont soumis ces dispositifs. Ainsi, il existe un besoin pour un circuit intégré combinant des technologies CMOS et bipolaires afin de mettre en oeuvre une interface entre des dispositifs de production en sortie d'un signal différentiel et  
5 une logique CMOS. En outre, un tel circuit doit pouvoir fonctionner avec une tension d'alimentation faible.

Comme on va le voir plus loin, la présente invention propose un amplificateur numérique BiCMOS. En outre, l'amplificateur numérique BiCMOS de la présente invention est  
10 un amplificateur faible puissance et grande vitesse qui fonctionne sous une tension faible.

Par conséquent, un objet de la présente invention consiste à proposer un circuit amplificateur numérique BiCMOS.

Un autre objet de la présente invention consiste à  
15 amplifier des signaux différentiels à grande vitesse.

Un autre objet de la présente invention consiste à amplifier des signaux utilisant une faible puissance.

Un autre objet de la présente invention consiste à amplifier des signaux sous une faible tension.

20 Encore un autre objet de la présente invention consiste à proposer une interface entre des signaux différentiels et un circuit CMOS et BiCMOS.

Un circuit BiCMOS destiné à amplifier la tension différentielle apparaissant entre deux signaux de tension  
25 d'entrée est décrit ici. Le circuit BiCMOS selon la présente invention inclut un générateur de source de courant différentiel et un générateur de sortie. Le générateur de source de courant différentiel reçoit les deux signaux de tension et génère respectivement deux courants. Le générateur de source de  
30 courant différentiel inclut un premier générateur de source de courant qui génère deux courants intermédiaires en réponse aux signaux d'entrée. Le générateur de source de courant différentiel inclut aussi un second générateur de source de courant pour générer deux courants en réponse aux courants intermédiaires  
35 respectifs. Le générateur de sortie reçoit les deux courants en

provenance du second générateur de source de courant et génère une sortie.

5 Selon une autre caractéristique de la présente invention, une architecture de circuit BiCMOS pour amplifier une tension différentielle entre des premier et second signaux d'entrée comprend :

10 des premier et second dispositifs émetteurs suiveurs couplés à un potentiel de fonctionnement, lesdits premier et second dispositifs émetteurs suiveurs générant respectivement des premier et second courants intermédiaires en réponse respectivement auxdits premier et second signaux d'entrée ; et

15 un moyen de source de courant couplé auxdits premier et second dispositifs émetteurs suiveurs pour fournir un courant de commutation en réponse auxdits premier et second courants intermédiaires.

Selon un autre mode de réalisation de l'invention, une architecture de circuit BiCMOS pour amplifier une tension différentielle entre des premier et second signaux d'entrée comprend :

20 des premier et second transistors d'un premier type, dans lesquels les bases desdits premier et second transistors sont couplées respectivement auxdits premier et second signaux d'entrée, lesdits premier et second transistors générant respectivement des premier et second courants respectivement en réponse auxdits premier et second signaux d'entrée ;

25 des troisième et quatrième transistors d'un second type, lesdits troisième et quatrième transistors générant respectivement des troisième et quatrième courants respectivement en réponse auxdits premier et second courants ;  
30 et

des cinquième et sixième transistors d'un troisième type, lesdits cinquième et sixième transistors étant couplés à un dispositif miroir de courant ayant une entrée et une sortie, de telle sorte que le drain et la grille dudit cinquième transistor et  
35 la grille dudit sixième transistor soient couplés à ladite entrée

dudit dispositif miroir de courant et ledit drain dudit sixième transistor soit couplé à ladite sortie, lesdites sources desdits cinquième et sixième transistors étant couplées à un premier potentiel, ledit dispositif miroir de courant étant couplé auxdits  
5 troisième et quatrième transistors, de telle sorte que ledit dispositif miroir de courant génère un courant sur le drain dudit sixième transistor qui est égal audit troisième courant, et le courant au niveau de ladite sortie est la somme desdits troisième et quatrième courants.

10 Selon un autre mode de réalisation de l'invention, une architecture de circuit (BiCMOS) pour amplifier une tension différentielle entre des premier et second signaux d'entrée, caractérisée en ce qu'elle comprend :

des premier et second transistors bipolaires, chacun  
15 desdits premier et second transistors bipolaires étant configurés en tant qu'émetteurs suiveurs, les bases desdits premier et second transistors étant respectivement couplées auxdits premier et second signaux d'entrée et les collecteurs étant couplés à un premier potentiel, lesdits premier et second  
20 transistors générant respectivement des premier et second courants en réponse auxdits premier et second signaux d'entrée et audit premier potentiel ;

des troisième et quatrième transistors MOS à canal P connectés en cascode respectivement auxdits premier et second  
25 transistors, lesdits troisième et quatrième transistors générant respectivement des troisième et quatrième courants respectivement en réponse auxdits premier et second courants ;  
et

des cinquième et sixième transistors (MOS) à canal N,  
30 lesdits cinquième et sixième transistors étant couplés en tant que miroir de courant présentant une entrée et une sortie, de telle sorte que le drain et la grille dudit cinquième transistor et la grille dudit sixième transistor sont couplés à ladite entrée dudit dispositif miroir de courant et ledit drain dudit sixième  
35 transistor est couplé à ladite sortie, lesdites sources desdits

cinquième et sixième transistors étant couplées à un second potentiel, ledit dispositif miroir de courant étant couplé auxdits troisième et quatrième transistors, de telle sorte que ledit dispositif miroir de courant génère un courant sur le drain dudit  
5 sixième transistor qui est égal audit troisième courant et le courant au niveau de ladite sortie est la somme desdits troisième et quatrième courants.

L'invention concerne aussi un procédé pour recevoir des signaux d'entrée différentiels et pour fournir une interface à un  
10 circuit CMOS.

Selon une autre caractéristique de la présente invention, ce procédé comprend les étapes suivantes :

génération d'un premier courant intermédiaire et d'un second courant intermédiaire en réponse respectivement auxdits  
15 premier et second signaux d'entrée ;

génération de premier et second courants en réponse respectivement audit premier courant intermédiaire et audit second courant intermédiaire ; et

génération d'une sortie en réponse audit courant, ladite  
20 sortie comprenant la somme desdits premier et second courants.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront mieux compris lors de la description détaillée d'exemples de réalisation qui va suivre, ne constituant pas une quelconque limitation de la présente  
25 invention, illustrée par les figures annexées parmi lesquelles :

la figure 1 est un schéma de circuit d'un mode de réalisation de l'art antérieur d'un amplificateur de signal différentiel utilisant une technologie CMOS ;

la figure 2 est un schéma de circuit d'un amplificateur de  
30 signal différentiel de l'art antérieur utilisant une technologie BiCMOS ;

la figure 3 est un schéma de circuit d'un autre amplificateur de signal différentiel de l'art antérieur utilisant une technologie BiCMOS ; et

la figure 4 est un mode de réalisation particulier du schéma de circuit de l'amplificateur de signal différentiel BiCMOS selon la présente invention.

Un amplificateur de signal différentiel BiCMOS ainsi qu'un  
5 circuit logique va être décrit maintenant. Dans la suite de la description, de nombreux détails spécifiques sont décrits, comme par exemple des tensions spécifiques des types de dispositifs spécifiques, des tailles spécifiques, etc..., afin de contribuer à la compréhension du mode de réalisation préféré de  
10 la présente invention. Il apparaîtra à l'évidence qu'un homme du métier pourra mettre en pratique la présente invention sans avoir besoin de ces détails spécifiques. D'autre part, des circuits bien connus ont été représentés sous forme de schémas blocs au lieu d'être représentés dans leurs moindres détails, cela afin  
15 d'éviter une complication inutile de la description de la présente invention.

Par ailleurs, au cours de la description de la présente invention, on fera référence à des noms de signaux qui sont particuliers au mode de réalisation préféré actuellement. Une  
20 référence à ces noms de signaux spécifiques ne constituera en aucun cas une limitation dans l'esprit et le cadre de la présente invention.

Avant de procéder à la description en détail de la présente invention, une compréhension de base des circuits logiques  
25 classiques va aider à la compréhension des détails de l'invention.

La figure 1 représente un schéma d'un circuit amplificateur différentiel de l'art antérieur 1. Le circuit de la figure 1 a déjà été décrit dans le document "BiCMOS technology and Applications", édité par Antonio R. Alvarez, Klue Ware  
30 Academic Publishers, 1990. Le circuit amplificateur différentiel 1 inclut des transistors MOS à canal P (PMOS) 10 et 11 et des transistors MOS à canal N (NMOS) 12 et 13 ainsi qu'une capacité de charge 14. Les sources des deux transistors PMOS 10 et 11 sont connectées à la tension d'alimentation positive ( $V_{CC}$ ). Les  
35 grilles des transistors PMOS 10 et 11 sont couplées

respectivement aux tensions d'entrée différentielles qui sont appelées  $I_N$  et  $\overline{I_N}$ . Les drains des deux transistors PMOS 10 et 11 sont couplés respectivement aux noeuds A et C. Les drains des transistors NMOS 12 et 13 sont également couplés respectivement aux noeuds A et C. Le noeud A est couplé au noeud B via un court-circuit A-B de telle sorte que les grilles des transistors NMOS 12 et 13 sont couplées au drain du transistor PMOS 10. En outre, les transistors NMOS 12 et 13 sont appairés de telle sorte qu'ils fournissent le même courant à la charge et qu'ils agissent ainsi en miroir de courant. Une charge différentiel 1 est couplée au drain du transistor PMOS 11 au niveau du noeud C. L'autre borne de la capacité 14 ainsi que les sources des deux transistors NMOS 12 et 13 du circuit miroir courant NMOS sont couplées à  $V_{SS}$  (qui est par exemple à la masse).

L'amplificateur différentiel 1 reçoit des signaux de tension différentiels sur les entrées  $I_N$  et  $\overline{I_N}$  qui sont couplées aux grilles des transistors PMOS 10 et 11. Les signaux de tension différentiels sont constitués par définition par des rails bas et haut. Pour expliquer le fonctionnement de l'amplificateur différentiel, on considère en premier que la tension du rail haut est couplée à l'entrée  $I_N$  et que le rail bas correspondant est couplé à l'entrée  $\overline{I_N}$  de l'amplificateur différentiel. Le rail haut est appliqué à l'entrée  $I_N$  et par conséquent à la grille du transistor PMOS 10, ceci rendant bloqué le transistor PMOS. Dans cette situation, le drain du transistor PMOS 10 ne produit pas de courant vers le dispositif NMOS 12. La fonction de la configuration de miroir de courant des dispositifs NMOS 10 et 12 consiste à réfléchir le courant d'un côté vers l'autre côté. Puisque le dispositif PMOS 10 ne produit pas de courant vers le dispositif NMOS 12, aucun courant n'est réfléchi vers le dispositif NMOS 13. En effet, le dispositif NMOS 13 ne peut pas éliminer de courant au niveau du noeud C. Cependant, le rail bas

du signal de tension différentiel appliqué à la grille du dispositif PMOS 11 fait que le dispositif PMOS 11 est rendu passant, de telle sorte que le courant passe au travers de son drain. Puisque le courant passe sur le drain du transistor PMOS  
5 11, il est produit en sortie au niveau du noeud C.

L'amplificateur différentiel 1 fonctionne d'une manière égale et opposée puisque l'entrée IN reçoit le rail bas du signal d'entrée différentiel et que l'entrée IN reçoit le rail haut du signal de tension différentiel. Dans cette situation, la tension  
10 d'entrée basse envoyée sur la grille du dispositif PMOS 10 fait que le dispositif PMOS 10 est rendu passant en envoyant ainsi le courant dans le transistor NMOS 12. Le courant envoyé est réfléchi par la configuration de miroir de courant des transistors NMOS 12 et 13. Le courant réfléchi diminue  
15 essentiellement la valeur du courant au niveau du noeud C. Le signal de tension différentiel du rail haut apparaît sur l'entrée IN, et par conséquent apparaît sur la grille du dispositif PMOS 11, et ainsi le dispositif PMOS 11 est rendu bloqué de telle sorte qu'il ne produise aucun courant. Ainsi, puisque le dispositif PMOS  
20 11 ne produit aucun courant et que le courant réfléchi est essentiellement extrait du noeud C, la sortie chute.

En somme, le courant envoyé à la charge est égal au courant produit par le drain du dispositif PMOS 11 moins le courant extrait du le noeud C, puisque le courant extrait est égal  
25 au courant produit par le drain du dispositif PMOS 10. Par conséquent, le courant envoyé à la charge est égal au courant passant au travers du dispositif PMOS 11 moins le courant passant au travers du dispositif PMOS 10. Les signaux d'entrée IN et IN doivent avoir un niveau correct de façon à assurer que la  
30 sortie de l'amplificateur différentiel 1 (c'est-à-dire le courant envoyé à la charge) oscille entre les deux rails de puissance. L'amplificateur différentiel exige une grande amplitude au niveau des entrées IN et IN, physiquement d'environ 1,5 à 2 volts en dessous de  $V_{CC}$ , afin d'appliquer une tension de source

suffisante, par exemple  $V_{GS}$ , aux dispositifs PMOS 10 et 11 pour atteindre un fonctionnement avec des courants élevés et des vitesses élevées.

De façon intrinsèque, l'amplificateur différentiel 1 de la figure 1 est un circuit lent parce que les dispositifs PMOS 10 et 11 présentent des tensions de seuil. Afin que le dispositif PMOS 10 ou 11 conduise le courant, sa tension de grille IN ou  $\overline{IN}$  doit être inférieure à sa tension de seuil. La tension de seuil pour les dispositifs PMOS 10 et 11 est typiquement comprise entre 0,6 et 0,8 volt de telle sorte qu'il est nécessaire d'attendre que le signal parvienne jusqu'à son niveau logique maximum pour que l'amplificateur différentiel 1 puisse devenir passant. Par conséquent, la tension de seuil constitue une limite au fonctionnement de l'amplificateur différentiel 1 pour ce qui concerne les courants très faibles (c'est-à-dire proches de la tension de seuil). En particulier, puisque les dispositifs PMOS 10 et 11 ne conduisent pas de courant tant que leur entrée différentielle à une tension n'est pas inférieure à la tension de seuil, si  $V_{CC}$  est une valeur élevée, le changement dans les tensions différentielles au niveau des entrées IN et  $\overline{IN}$  est diminué de la valeur de la tension de seuil sur cette plage. Ainsi, une partie de la tension est perdue.

Un autre amplificateur différentiel de l'art antérieur soulève le problème de l'accroissement de la vitesse en augmentant la tension d'alimentation.

La figure 2 décrit un schéma de circuit qui permet d'interfacer directement une logique ECL. Sur la figure 2, une tension d'alimentation positive  $V_{CC}$  est couplée à l'entrée d'une diode 21. La sortie de la diode 21 est couplée à un noeud A. L'une des bornes de chacune des résistances 22 et 23 sont également couplées au noeud A. L'autre borne de la résistance 22 est couplée au noeud B. L'autre borne de la résistance 23 est couplée au noeud C. Le collecteur d'un transistor bipolaire 24 est également couplé au noeud B. La base du transistor bipolaire 24

est couplée au signal de tension différentielle  $\overline{IN}$ . L'émetteur du transistor bipolaire 24 est couplé à un noeud D. Le noeud C est également couplé au collecteur d'un transistor bipolaire 25. L'autre signal d'entrée de tension différentielle  $\overline{IN}$  est couplé à

5 la base du transistor bipolaire 25. Le collecteur du transistor bipolaire 25 est couplé au noeud D. Une source de courant 32 est couplée entre le noeud D et  $V_{SS}$  (qui est par exemple la masse).

Le noeud B est également couplé à la grille d'un transistor PMOS 29. La source du transistor PMOS 29 est couplée à la

10 tension d'alimentation positive  $V_{CC}$ . Le drain du transistor PMOS 29 est couplé à un noeud G au niveau de la sortie. Le drain d'un transistor NMOS 31 est également couplé au noeud G. Le noeud C est couplé à la grille du transistor PMOS 28. La source du transistor PMOS 28 est couplée à la tension d'alimentation  $V_{CC}$

15 positive, tandis que le drain est couplé au noeud E. Le noeud E est également couplé aux grilles des transistors 30 et 31 au niveau d'un noeud F. Le drain du transistor NMOS 30 est également couplé au noeud E. Les sources des deux transistors NMOS 30 et 31 sont couplées à  $V_{SS}$  (c'est-à-dire à la masse). Les transistors

20 NMOS 30 et 31 sont appairés de façon à former un miroir de courant.

Les dispositifs PMOS 28 et 29, en association avec les dispositifs NMOS 30 et 31, constituent une architecture de circuit identique à celle de la figure 1 de l'art antérieur. Ainsi,

25 l'amplificateur différentiel de la figure 2 rajoute un étage ECL au circuit de l'art antérieur de la figure 1. L'étage ECL ajouté comprend la diode 21, les résistances 22 et 23, les transistors bipolaires 24 et 25 et la source de courant 32. L'étage ECL agit en tant que pré-amplificateur dans lequel le gain en tension est

30 donné pour une faible oscillation en tension du signal d'entrée. Les résistances 22 et 23 sont des résistances de faibles valeurs de telle sorte que la variation de la tension aux bornes des résistances 22 et 23 reste suffisamment faible. Ainsi, les transistors 24 et 25 peuvent être empêchés d'être amenés en

35 saturation.

Afin de décrire le fonctionnement de l'étage ECL de l'amplificateur différentiel 20, on considère en premier que le signal d'entrée IN apparaît dans le rail de tension élevée et que le signal IN est couplé au rail bas du signal de tension d'entrée différentiel. Dans ce cas, puisque l'entrée sur la grille du transistor bipolaire 24 est faible, le transistor 24 est bloqué. En outre, puisque le potentiel au niveau de la grille du transistor bipolaire 25 est élevé, le transistor bipolaire 25 est passant et agit en tant qu'émetteur suiveur. Ainsi, le courant d'émetteur circule au travers du transistor 25, en produisant une chute de tension au travers de la résistance 23. La chute de tension au travers de la résistance 23 crée une tension de sortie au niveau du noeud C, qui produit un signal d'entrée bas sur le transistor PMOS 28. D'autre part, puisque le transistor bipolaire 24 est bloqué, la tension au niveau du noeud B est haute en produisant ainsi une entrée haute au niveau de la grille du dispositif PMOS 29. Dans cette situation, le dispositif PMOS 28 est rendu passant et le dispositif PMOS 29 est rendu bloqué. Le fait de rendre passant le dispositif PMOS 28 produit un courant de drain dans le miroir de courant formé par les transistors NMOS 30 et 31. Le courant formé par le transistor MOS 30 est réfléchi sur le drain du transistor MOS 31. Puisque le dispositif PMOS 29 est bloqué, il ne peut pas produire de courant au niveau de son drain. Par conséquent, le courant au niveau du drain du dispositif MOS 31 agit pour abaisser le courant au niveau du noeud G. Par conséquent, la sortie est basse.

D'une façon similaire, si le signal de tension différentiel au niveau de l'entrée IN est haut et que le signal d'entrée différentiel au niveau de IN est bas, les dispositifs bipolaires 24 et 25 sont respectivement passant et bloqué. Le transistor bipolaire 24 est couplé de façon à constituer un émetteur suiveur, de telle sorte qu'une entrée haute sur sa grille provoque un courant circulant au travers du transistor bipolaire 24. Le courant circulant au travers du transistor bipolaire 24, en

association avec le courant produit par la source de courant 32, provoque une chute de tension dans la résistance 22. La chute de tension dans la résistance 22 provoque un signal de tension de sortie bas au niveau du noeud B, celui-ci étant couplé à la grille du transistor PMOS 29. Ceci fait que le transistor PMOS 29 est conducteur et produit un courant au niveau du noeud G. Le signal d'entrée bas sur le transistor bipolaire 25 fait que le transistor bipolaire 25 est bloqué, ce qui à son tour provoque une tension haute au niveau du noeud C. La tension haute au niveau du noeud C provoque le blocage du dispositif PMOS 28 de telle sorte qu'il ne produit pas de courant. Puisqu'aucun courant n'est produit par le dispositif PMOS 28, le miroir de courant défini par les dispositifs NMOS 30 et 31 ne réfléchit aucun courant sur le transistor NMOS 31. Par conséquent, il n'y a pas de courant pour abaisser le courant produit par le dispositif PMOS 29. Ainsi, la sortie est haute. En somme, la sortie est poussée vers le haut jusqu'à  $V_{CC}$  par le dispositif PMOS 29 ou est tirée vers le bas vers  $V_{SS}$  (c'est-à-dire la masse) par le dispositif NMOS 31, cela en fonction des niveaux d'entrée complémentaires au niveau de l'amplificateur différentiel 20.

L'étage ECL décale le niveau du signal de telle sorte qu'il puisse décaler le niveau de tension du signal vers le bas du fait de la chute de tension dans la diode 21. En faisant une comparaison avec la figure 1, pour le même signal différentiel, l'amplificateur différentiel 20 applique une tension plus élevée  $V_{GS}$  sur les dispositifs PMOS 28 et 29, au niveau d'un étage supplémentaire ce qui produit une possibilité réduite de fonctionnement pour des tensions d'alimentation faibles. Un autre étage d'un émetteur suiveur peut être ajouté aux signaux de tension différentiels d'entrée, de telle sorte qu'une chute de tension supplémentaire au niveau de la diode se produise pour les signaux d'entrée. Cette chute de tension supplémentaire dans la diode fait que le niveau de tension des entrées devient plus faible. De cette manière, les résistances 22 et 23 peuvent avoir des valeurs de résistance plus élevées afin de permettre à la

tension d'osciller dans une plus grande amplitude. De cette manière, le niveau des signaux de tension peut être abaissé par rapport à la tension d'alimentation. Cependant, une consommation plus importante est faite. Même avec cette  
5 consommation augmentée, le circuit de l'amplificateur différentiel de la figure 2 fonctionne à une vitesse très élevée.

En l'absence de la diode en entrée de l'amplificateur différentiel, le potentiel permettant de rendre passants lesdits PMOS 28 et 29 correspond à une chute de tension plus faible.  
10 Cependant, la tension au niveau des dispositifs PMOS 28 et 29 est typiquement inférieure à un volt dans l'état bloqué. Par conséquent, une commutation plus rapide est obtenue en ajoutant une simple diode en entrée de l'amplificateur différentiel. Le problème avec l'amplificateur différentiel de la figure 2 est que  
15 plusieurs chutes de tension sont nécessaires pour permettre au circuit de fonctionner correctement. Pour des tensions d'alimentation élevées, le circuit fonctionne correctement. Cependant, les multiples chutes de tension limitent le fonctionnement du circuit pour des tensions d'alimentation  
20 faibles. Le fait de tenter d'obtenir des amplitudes plus grandes de la tension au travers des résistances 22 et 23 ainsi qu'un décalage important fourni par la diode 21 a pour conséquence qu'il y a une tension importante en entrée du circuit. Par exemple, si  $V_{CC}$  est de 5 volts alors que la chute de tension au  
25 travers de la diode est d'environ 0,7 volt, la tension au niveau du noeud A est de 4,3 volts. Si une oscillation de tension de 1,5 volts est souhaitée pour les transistors, la sortie de la résistance inférieure est à 2,8 volts. Afin de conserver les jonctions base-collecteur des transistors bipolaires 24 et 25  
30 polarisées dans le sens direct, la tension de base ne peut pas assez être supérieure à la tension de collecteur. Ainsi, la tension de base doit être égale à 2,8 volts. La source de courant d'émetteur est à 2,1 volts. La tension d'émetteur doit être suffisamment élevée pour assurer que la source de courant  
35 fonctionne toujours, spécialement lorsque la tension de

polarisation  $V_{bias}$  est approximativement égale à 1 volt. Ainsi, pour une tension élevée telle que  $V_{CC}$  égale à 5 volts, le circuit de la figure 2 fonctionne correctement. Par ailleurs, si  $V_{CC}$  est seulement de 3 volts, il y a seulement 2,5 volts au niveau du

5 noeud A et seulement 0,8 volt au niveau du noeud B ou au niveau du noeud C (du fait que l'oscillation de tension est de 1,7 volts). Par conséquent, au niveau du noeud d'émetteur commun D, il y a seulement 0,1 volt. La source de courant 32 ne peut pas fonctionner correctement pour une tension aussi faible. Ainsi, le

10 circuit représenté sur la figure 2 ne peut pas fonctionner pour des tensions d'alimentation faibles.

Un autre circuit de l'art antérieur est représenté sur la figure 3. Sur la figure 3, les résistances 31 et 32 sont couplées entre une tension d'alimentation positive  $V_{CC}$  et respectivement

15 les noeuds A et B. Les collecteurs des transistors bipolaires 32 et 34 sont également respectivement couplés aux noeuds A et B. Les grilles des transistors bipolaires 33 et 34 sont couplées respectivement aux signaux de tension différentiels IN et IN . Les émetteurs des transistors bipolaires 33 et 34 sont couplés

20 ensemble au noeud C, celui-ci étant couplé à la source de courant 35. L'autre extrémité de la source de courant 35 est couplée à  $V_{SS}$  (c'est-à-dire à la masse).

Les noeuds A et B sont couplés aux source des transistors PMOS 36 et 37. Les grilles des transistors PMOS 36 et 37 sont

25 couplées à une tension de polarisation ( $V_{bias}$ ). Le drain du dispositif PMOS 36 est couplé au noeud D. Le noeud D est couplé au noeud E et par conséquent est connecté aux grilles des transistors NMOS 38 et 39. Le noeud D est également connecté au drain du transistor NMOS 38. La source du transistor NMOS 38 et

30 la source du transistor NMOS 39 sont couplées à  $V_{SS}$  (c'est-à-dire à la masse). Le drain du transistor NMOS 39 est couplé au noeud F, c'est-à-dire à la sortie. Le drain du transistor PMOS 37 est également couplé au noeud F. Les transistors NMOS 38 et 39 sont couplés et appairés de façon à fonctionner ensemble en tant

35 que miroir de courant. L'étage ECL est couplé à cette

configuration cascode d'une façon tout à fait semblable à l'étage ECL de la figure 2.

\_\_\_\_\_ Dans la configuration classique où l'entrée IN ou l'entrée IN est haute, cette entrée haute rend passant son transistor  
5 bipolaire respectif en produisant ainsi une chute de tension au travers de sa résistance de collecteur respective. En réponse à cela, son transistor PMOS respectif ne produit pas de courant. L'autre transistor bipolaire est rendu bloqué du fait que la  
10 courant ne circule au travers de sa résistance de collecteur respective. Par conséquent, le transistor bipolaire qui est bloqué produit un courant au niveau de son transistor PMOS respectif.

Quand un courant n'est pas envoyé au travers de soit la résistance 31 soit la résistance 32, un courant est envoyé  
15 respectivement à la source du transistor PMOS 36 ou 37. Le courant envoyé en association avec une tension  $V_{bias}$  faible sur la grille du transistor PMOS respectif fait que le dispositif PMOS produit un courant au niveau de son drain. Si le transistor PMOS 36 produit un courant sur son drain, le courant est réfléchi  
20 par le miroir de courant des transistors NMOS 38 et 39 de telle sorte que le courant réfléchi abaisse le courant au niveau du noeud F, ceci abaissant la sortie et décalant la sortie vers le bas. Quand le dispositif PMOS 37 produit un courant au niveau du noeud F, le dispositif PMOS 36 ne peut pas abaisser le courant  
25 dans le noeud F et la sortie devient haute.

Le problème avec le circuit de la figure 3 est que la source de courant 35 est automatiquement divisée entre les deux branches de l'émetteur suiveur de telle sorte que la moitié de la puissance est perdue pour le fonctionnement correct du circuit.  
30 Ainsi, la configuration de circuit de la figure 3 ne peut pas utiliser de façon efficace la puissance électrique disponible.

La figure 4 représente un mode de réalisation actuellement préféré de l'amplificateur différentiel selon la présente invention. Sur la figure 4, un amplificateur différentiel  
35 40 est constitué par deux dispositifs bipolaires (BJT) 41 et 42,

deux dispositifs CMOS 43 et 44 et deux dispositifs NMOS 45 et 46. Les BJT 41 et 42 sont configurés en tant qu'émetteurs suiveurs, les collecteurs des deux BJT 41 et 42 étant couplés à une alimentation positive de la tension  $V_{CC}$ . Les bases de chaque

5 BJT 41 et 42 sont couplées respectivement à l'entrée de signal différentiel  $\overline{IN}$  et  $IN$  de l'amplificateur différentiel 40. Les émetteurs des BJT 41 et 42 sont couplés aux sources des dispositifs PMOS 43 et 44 de telle sorte que chacun forme respectivement une connexion cascode avec les dispositifs PMOS

10 43 et 44. Les grilles des deux dispositifs PMOS 43 et 44 sont couplées à une tension de polarisation  $V_{bias}$ . Les drains des transistors PMOS 43 et 44 sont respectivement couplés aux noeuds A et B, et ainsi ils sont couplés aux drains des transistors NMOS 45 et 46. Les sources des dispositifs NMOS 45

15 et 46 sont couplées à  $V_{SS}$  (c'est-à-dire à la masse). Le noeud A est également couplé aux grilles des deux dispositifs NMOS 45 et 46 via un court-circuit A-B de telle sorte que les dispositifs NMOS 45 et 46 forment un miroir de courant. Dans d'autres modes de la réalisation, les dispositifs 45 et 46 peuvent être

20 des BJT et des transistors à effet de champ du type métal-semiconducteur (appelés MESFET).

L'élément essentiel de la présente invention réside dans l'utilisation des BJT 41 et 42 en tant qu'émetteurs suiveurs afin de piloter respectivement les dispositifs PMOS 43 et 44 qui sont

25 connectés en cascode. La connexion en cascode des dispositifs PMOS 43 et 44 permet à des tensions de grille-source importantes  $V_{GS}$  d'être appliquées tandis que les tensions d'entrée différentielles sont proches de  $V_{CC}$ , puisque les tensions d'entrée qui sont décalées vers le bas par la chute de

30 tension dans les BJT 41 et 42 sont appliquées à la source au lieu de l'être aux grilles des dispositifs PMOS 43 et 44. Les BJT 41 et 42 doivent fonctionner en tant qu'émetteurs suiveurs de bonne qualité de façon à ce qu'ils produisent une bonne résistance de

35 sortie (c'est-à-dire une impédance) qui doit être meilleure que celle des dispositifs PMOS 43 et 44. Dans un autre mode de

réalisation, les dispositifs 41 et 42 sont soit les transistors à effet de champ à jonction (JFET) soit des transistors à effet de champ du type métal-semiconducteur (MESFET). Les dispositifs MOS ne devraient pas fonctionner correctement à la place des

5 BJT 41 et 42 parce que les dispositifs MOS se comporteraient, en association avec les dispositifs PMOS 43 et 44, comme des résistances en série de telle sorte que la chute de tension de 0,8 volt entre les signaux d'entrée différentiels seraient partagée entre les deux dispositifs connectés en série. Ainsi, les BJT 41

10 et 42 permettent aux signaux d'entrée de décaler les sources des dispositifs PMOS 43 et 44 vers le haut et vers le bas.

L'utilisation des émetteurs suiveurs entre les entrées des sources en cascode fournit un gain de courant élevé qui crée une impédance d'entrée élevée. Cette impédance élevée au niveau des

15 entrées permet aux signaux de pilotage de courant faible de piloter l'amplificateur 40. La connexion en cascode permet une commande du point de polarisation des dispositifs PMOS 43 et 44 avec la tension  $V_{bias}$ , indépendamment du choix du niveau d'entrée des signaux différentiels, cette tension de polarisation

20 pouvant atteindre  $V_{CC}$ . Puisque le  $V_{GS}$  qui est souhaité pour les dispositifs PMOS 43 et 44 s'inscrit dans la plage 1,5 à 2 volts, un fonctionnement à grande vitesse peut être obtenu avec des tensions d'alimentation aussi faibles que 2,3 à 2,8 volts.

Pour mieux comprendre le fonctionnement du mode de

25 réalisation actuellement préféré de la présente invention tel que représenté sur la figure 4, on considère tout d'abord que les signaux d'entrée différentiels sur  $IN$  et  $\overline{IN}$  sont respectivement haut et bas. Typiquement, la différence entre les signaux est d'approximativement 0,8 volt. Ainsi, les BJT 41 et 42 qui

30 agissent en tant qu'émetteurs suiveurs produisent des tensions d'émetteurs de sortie respectivement sensiblement égale à  $V_{CC}$  moins la chute de tension dans le BJT 41 et égale à  $V_{CC}$  moins 0,8 volt moins la chute de tension dans le BJT 42. La chute de tension dans un BJT est approximativement de 0,6 volt et elle

35 dépend du courant qui traverse le BJT et de la température du

BJT. Les BJT 41 et 42 agissent en tant qu'émetteurs suiveurs pour forcer une entrée haute à produire une sortie haute et une entrée basse à produire une sortie basse. Dans cette configuration, les BJT 41 et 42 agissent pour dupliquer la  
5 tension d'entrée sur la base de la source des dispositifs PMOS 43 et 44, à l'exception du fait qu'une chute de tension additionnelle existe dans le BJT lui-même. Puisque les dispositifs PMOS 43 et 44 ont la même tension de polarisation de grille  $V_{bias}$  et reçoivent les commandes dont l'une est à 0,8 volt inférieur à  
10 l'autre, la tension de polarisation  $V_{bias}$  peut être choisie de telle sorte que l'un des dispositifs PMOS 43 ou 44 fonctionne à sa tension de seuil. Dans cette situation, à la tension de seuil, l'un des dispositifs PMOS n'est pas conducteur et l'autre a sa tension grille-source qui est de 0,8 volt au-dessus du seuil, ceci pour  
15 obtenir une connexion de courant élevée.

La production de courant des dispositifs PMOS 43 et 44 fait que les dispositifs PMOS 43 et 44 fournissent des courants respectivement aux noeuds A et C. Tout courant qui est amené dans le noeud A est réfléchi dans le drain du dispositif NMOS 46  
20 du fait de la configuration en miroir de courant des dispositifs NMOS 45 et 46. Ainsi, tout courant qui est produit par le dispositif PMOS 43 abaisse ou amoindrit le courant au niveau du noeud C. Par conséquent, le courant de sortie au niveau du noeud C est la somme d'un courant produit par le dispositif PMOS 44 et  
25 du courant extrait résultant de la production de courant du dispositif PMOS 43.

Dans le mode de réalisation préféré actuellement, la tension de polarisation  $V_{bias}$  qui est couplée aux grilles des dispositifs PMOS 43 et 44 est choisie de telle sorte que la  
30 différence de tension entre les dispositifs PMOS 43 et 44 lorsque les dispositifs PMOS 43 et 44 sont respectivement passant et bloqué ou vice versa soit grande, du fait que le dispositif qui est bloqué est à sa tension de seuil. De ce fait, le dispositif bloqué est tout le temps bloqué sauf lorsqu'il ne doit

pas l'être. De cette manière, le dispositif passant présente une  $V_{GS}$  grande. En réalité, la  $V_{bias}$  peut être aussi faible que  $V_{SS}$ .

5 L'utilisation d'un montage en cascode permet à la tension de réduire les sources  $V_{GS}$  qui est appliquée entre la jonction grille-source des dispositifs PMOS 43 et 44 d'être grande de telle sorte que les entrées de tension différentielles soient proches de  $V_{CC}$ . Dans les circuits de l'art antérieur, les signaux étaient couplés aux grilles. En utilisant cette configuration, il est difficile d'obtenir une  $V_{GS}$  haute parce que le signal est  
10 proche de  $V_{CC}$ , et ainsi la source était limitée parce qu'elle devait être au maximum à  $V_{CC}$ . En utilisant un montage en cascode, le signal est présent au niveau de la source et la  $V_{GS}$  peut être rendue très grande simplement en abaissant la tension de polarisation  $V_{bias}$ .

15 La présente invention permet d'obtenir une amplification de signaux différentiels numériques à des vitesses très grandes. La limite de vitesse intrinsèque de la présente invention est déterminée par le niveau de puissance consommée en fonction de la vitesse. Ainsi, le fait de modifier ou d'évacuer plus de courant  
20 au travers du noeud C augmente la vitesse. La présente invention est également très efficace du point de vue de la consommation de puissance puisque seulement l'un des courants passant dans les deux voies en cascode commande la sortie. La présente invention peut aussi être utilisée avec des tensions  
25 d'alimentation faibles parce que la tension de polarisation  $V_{bias}$  est établie dans un sens opposé par rapport aux tensions d'entrée. Ainsi, en utilisant des tensions différentielles d'entrée  $I_N$  et  $I_N$  hautes et en utilisant une tension de polarisation sur les dispositifs PMOS 43 et 44 faible, la présente invention crée  
30 une  $V_{GS}$  grande au travers des dispositifs sans que l'on soit limité par la tension d'alimentation.

La présente invention permet d'intégrer une logique à "faibles amplitudes" telle qu'une logique ECL ou CML, à un circuit CMOS ou BiCMOS, même lorsque l'on ne dispose que de 3 volts.  
35 Ceci est particulièrement important parce que la technologie

ECL, bien que très rapide, présente une consommation électrique très importante. Les dispositifs CMOS utilisent moins de puissance mais sont beaucoup plus lents. Ainsi, la présente invention sert d'interface pour convertir le niveau entre deux technologies différentes.

La présente invention peut trouver des applications également dans des mémoires très rapides. En particulier, la présente invention est utilisable quand les cellules mémoire comprennent des dispositifs CMOS et les mémoires tampons d'entrée/sortie (I/O) sont des dispositifs ECL. De cette manière, chaque ECL agit en tant que mémoire tampon d'entrée dans une mémoire vive. Les circuits d'ECL sont utilisés parce que l'interface ECL est plus rapide que les autres circuits logiques numériques standard. Ainsi, la présente invention permet à la logique entrée/sortie ECL d'interfacer la mémoire CMOS.

De nombreuses modifications et de nombreux perfectionnements pourront être apportés à la présente invention par l'homme du métier qui a pris connaissance de la présente description, et le mode de réalisation particulier qui a été décrit ici ne l'a été qu'à titre d'illustration et ne présente pas un caractère limitatif. Par conséquent, les détails présentés dans ce mode de réalisation ne limitent en rien la portée de la présente invention.

## REVENDICATIONS

1. Architecture de circuit BiCMOS pour amplifier une tension différentielle entre des premier (IN) et second (IN) signaux d'entrée, caractérisée en ce qu'elle comprend :

des premier (41) et second (42) dispositifs émetteurs  
5 suiveurs couplés à un potentiel de fonctionnement, lesdits premier et second dispositifs émetteurs suiveurs générant respectivement des premier et second courants intermédiaires en réponse respectivement auxdits premier et second signaux d'entrée ; et  
10 un moyen de source de courant (43, 44, 45, 46) couplé auxdits premier et second dispositifs émetteurs suiveurs pour fournir un courant de commutation en réponse auxdits premier et second courants intermédiaires.

2. Architecture de circuit selon la revendication 1, caractérisée en ce que ledit moyen de source de courant comprend deux paires de dispositifs (43, 44 ; 45, 46) connectés en cascode.

3. Architecture de circuit selon la revendication 2, caractérisée en ce que lesdites deux paires de dispositifs (43, 44 ; 45, 46) sont couplées l'une à l'autre en utilisant un dispositif miroir de courant.

4. Architecture de circuit selon la revendication 1, caractérisée en ce que lesdits premier et second dispositifs émetteurs suiveurs comprennent des premier et second  
25 transistors bipolaires (41, 42).

5. Architecture de circuit BiCMOS pour amplifier une tension différentielle entre des premier (IN) et second (IN) signaux d'entrée, caractérisée en ce qu'elle comprend :

des premier (41) et second (42) transistors d'un premier  
30 type, dans lesquels les bases desdits premier et second transistors sont couplées respectivement auxdits premier et

second signaux d'entrée, lesdits premier transistors générant respectivement des premier et second courants respectivement en réponse auxdits premier (IN) et second ( $\overline{IN}$ ) signaux d'entrée ;

des troisième (43) et quatrième (44) transistors d'un  
5 second type, lesdits troisième et quatrième transistors générant respectivement des troisième et quatrième courants respectivement en réponse auxdits premier et second courants ;  
et

des cinquième (45) et sixième (46) transistors d'un  
10 troisième type, lesdits cinquième et sixième transistors étant couplés à un dispositif miroir de courant ayant une entrée et une sortie, de telle sorte que le drain et la grille dudit cinquième transistor et la grille dudit sixième transistor soient couplés à  
15 ladite entrée dudit dispositif miroir de courant et ledit drain dudit sixième transistor soit couplé à ladite sortie, lesdites sources desdits cinquième (45) et sixième (46) transistors étant couplées à un premier potentiel, ledit dispositif miroir de courant étant couplé auxdits troisième (43) et quatrième (44) transistors, de telle sorte que ledit dispositif miroir de courant  
20 génère un courant sur le drain dudit sixième transistor qui est égal audit troisième courant, et le courant au niveau de ladite sortie est la somme desdits troisième et quatrième courants.

6. Architecture de circuit selon la revendication 5, caractérisée en ce que ledit premier type comprend un type de  
25 transistor à jonction bipolaire.

7. Architecture de circuit selon la revendication 5, caractérisée en ce que ledit premier type comprend un type de transistor à effet de champ à jonction (JFET) ou un type de transistor à effet de champ métal-semiconducteur (MESFET).

8. Architecture de circuit selon la revendication 6, caractérisée en ce que lesdits premier (41) et second (42) transistors sont configurés en émetteurs suiveurs.

9. Architecture de circuit selon la revendication 5, caractérisée en ce que ledit second type comprend un type de  
35 transistor MOS à canal P.

10. Architecture de circuit selon la revendication 5, caractérisée en ce que lesdits troisième (43) et quatrième (44) transistors sont connectés en cascade respectivement auxdits premier et second transistors.

5 11. Architecture de circuit selon la revendication 5, caractérisée en ce que ledit troisième type comprend un type de transistor MOS à canal N.

12. Architecture de circuit selon la revendication 5, caractérisée en ce que ledit troisième type est un type de  
10 dispositif NPN ou un type MESFET.

13. Architecture de circuit (BiCMOS) pour amplifier une tension différentielle entre des premier (IN) et second (IN) signaux d'entrée, caractérisée en ce qu'elle comprend :

des premier (41) et second (42) transistors bipolaires,  
15 chacun desdits premier et second transistors bipolaires étant configurés en tant qu'émetteurs suiveurs, les bases desdits premier et second transistors étant respectivement couplées auxdits premier (IN) et second (IN) signaux d'entrée et les collecteurs étant couplés à un premier potentiel, lesdits premier  
20 et second transistors générant respectivement des premier et second courants en réponse auxdits premier et second signaux d'entrée et audit premier potentiel ;

des troisième (43) et quatrième (44) transistors MOS à canal P connectés en cascade respectivement auxdits premier et  
25 second transistors, lesdits troisième et quatrième transistors générant respectivement des troisième et quatrième courants respectivement en réponse auxdits premier et second courants ;  
et

des cinquième (45) et sixième (46) transistors (MOS) à  
30 canal N, lesdits cinquième et sixième transistors étant couplés en tant que miroir de courant présentant une entrée et une sortie, de telle sorte que le drain et la grille dudit cinquième transistor et la grille dudit sixième transistor sont couplés à ladite entrée dudit dispositif miroir de courant et ledit drain

dudit sixième transistor est couplé à ladite sortie, lesdites sources desdits cinquième et sixième transistors étant couplées à un second potentiel, ledit dispositif miroir de courant étant couplé auxdits troisième (43) et quatrième (44) transistors, de telle sorte que ledit dispositif miroir de courant génère un courant sur le drain dudit sixième transistor qui est égal audit troisième courant et le courant au niveau de ladite sortie est la somme desdits troisième et quatrième courants.

14. Architecture de circuit selon la revendication 13, caractérisée en ce que ladite sortie est compatible avec un circuit CMOS.

15. Procédé pour recevoir des signaux d'entrée différentiels et pour fournir une interface à un circuit CMOS, ledit procédé étant caractérisé en ce qu'il comprend les étapes suivantes :

génération d'un premier courant intermédiaire et d'un second courant intermédiaire en réponse respectivement auxdits premier et second signaux d'entrée ;

20 génération de premier et second courants en réponse respectivement audit premier courant intermédiaire et audit second courant intermédiaire ; et

génération d'une sortie en réponse audit courant, ladite sortie comprenant la somme desdits premier et second courants.

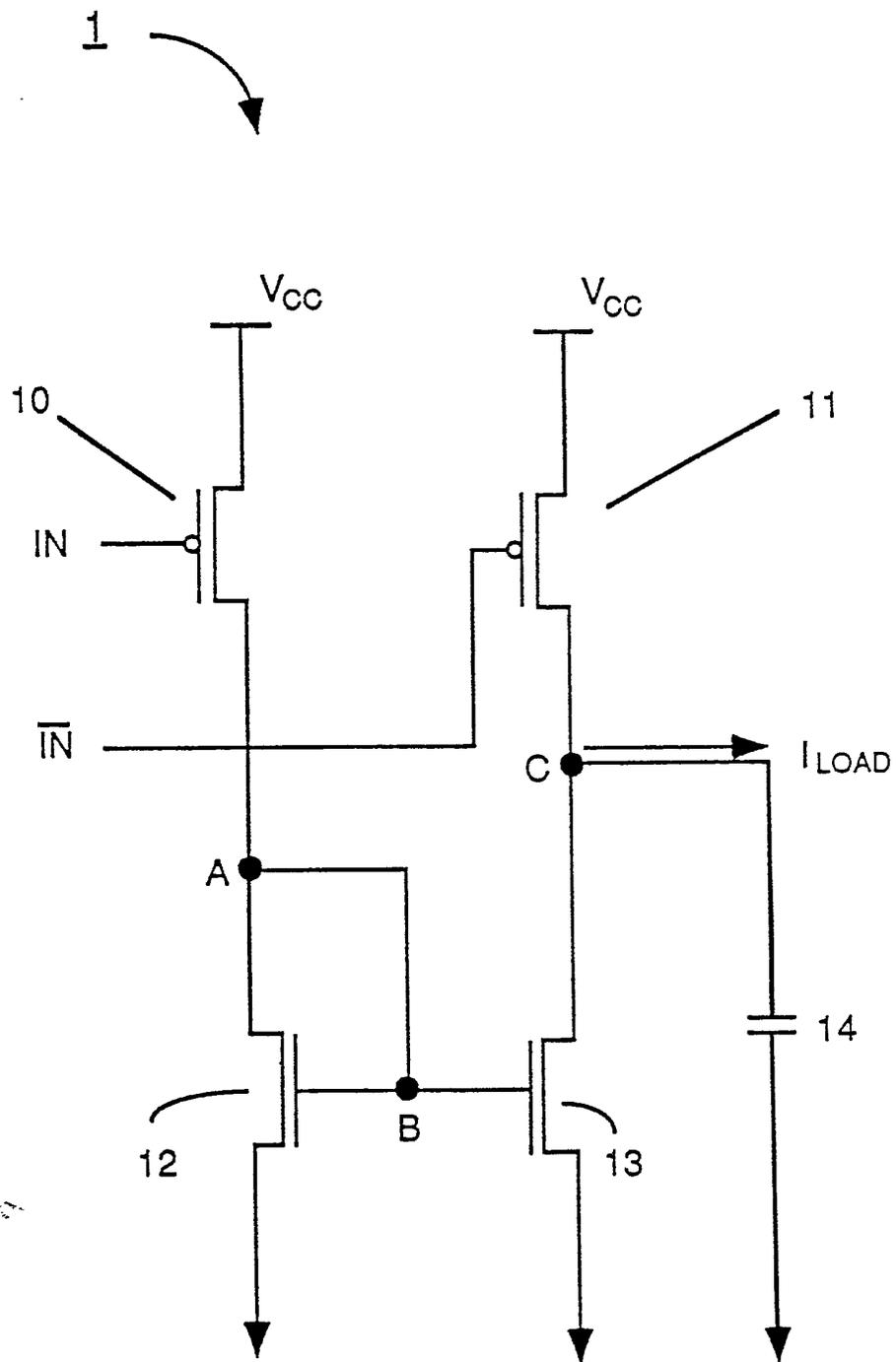


FIG. 1

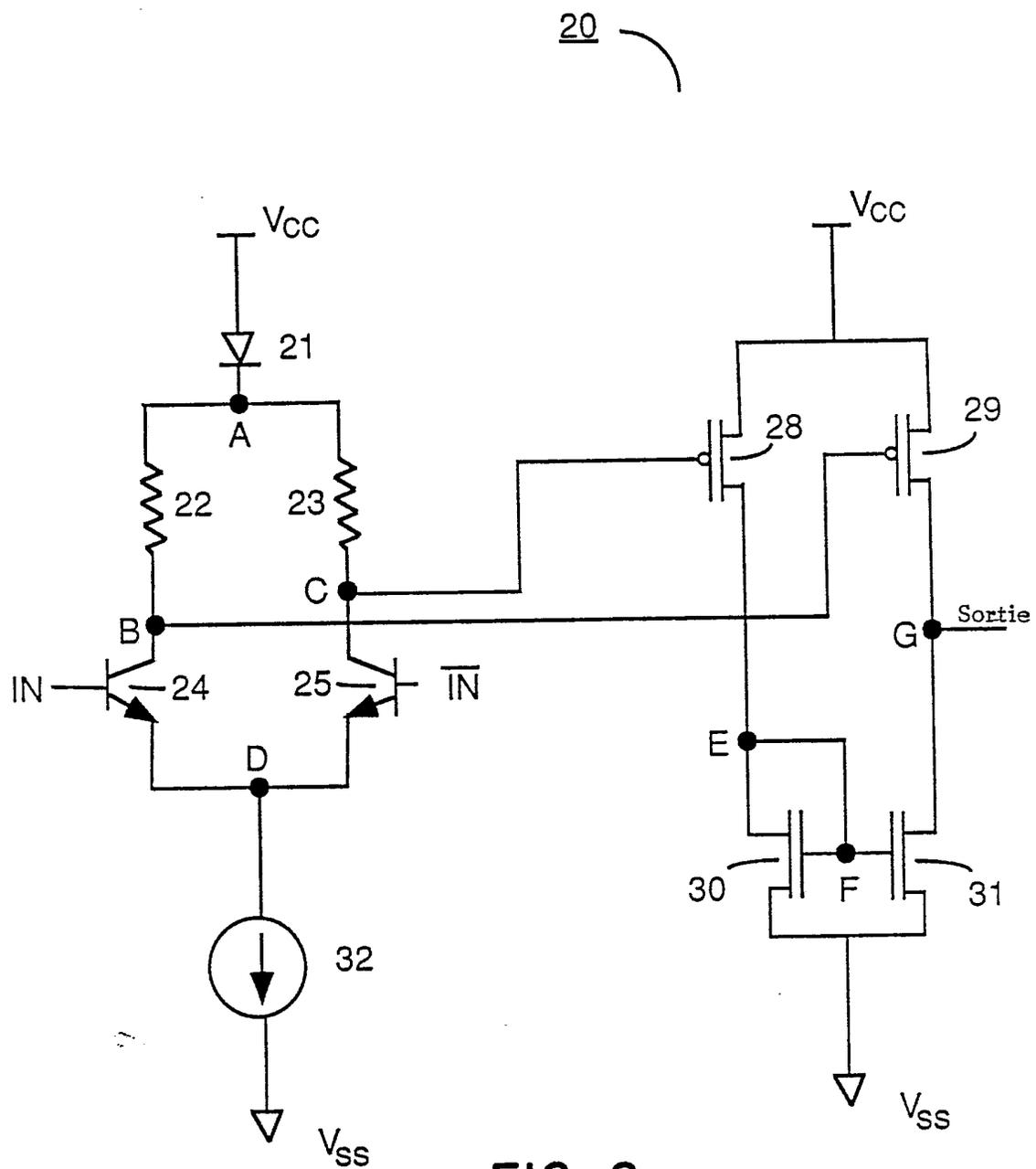


FIG. 2

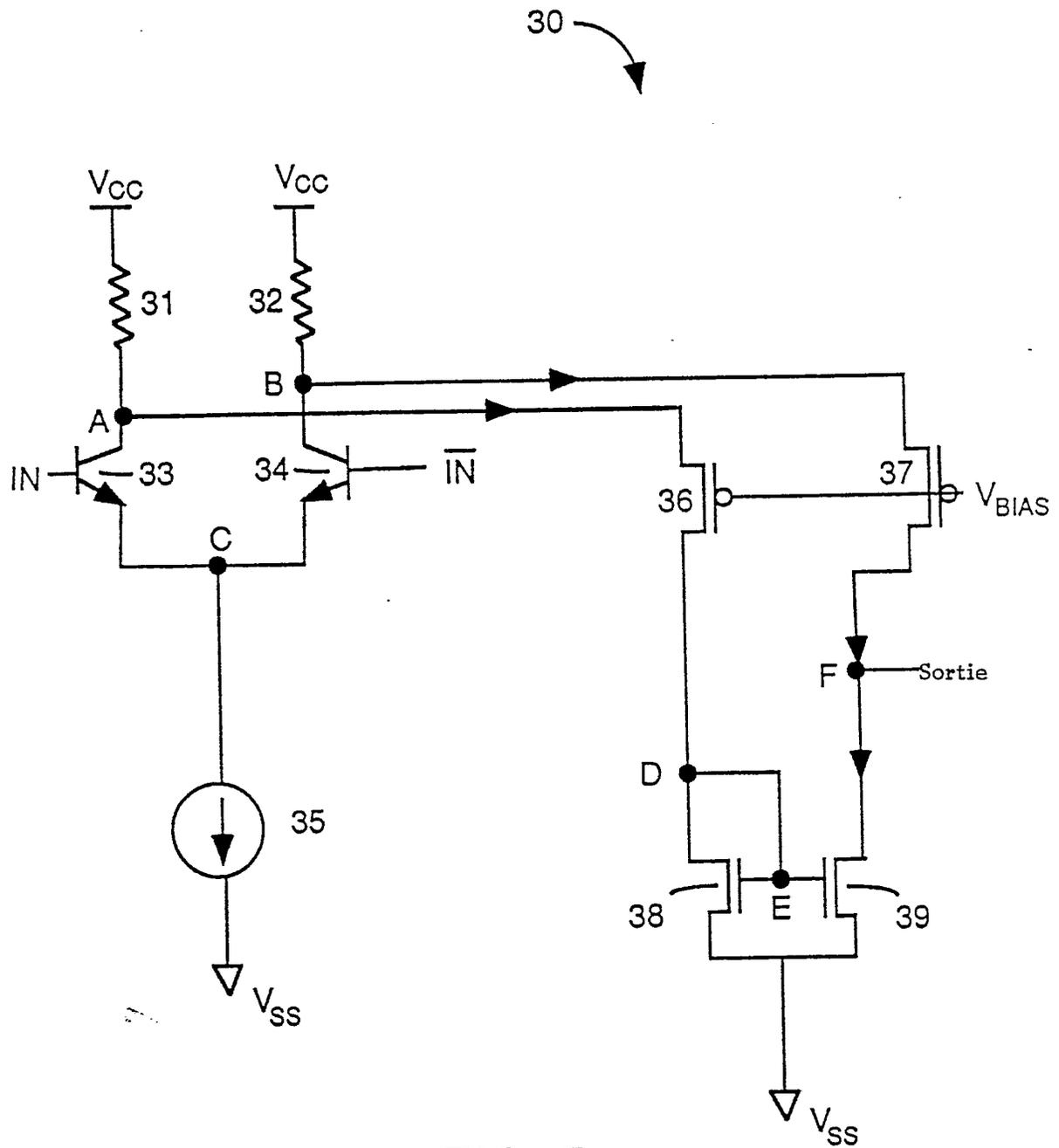


FIG. 3

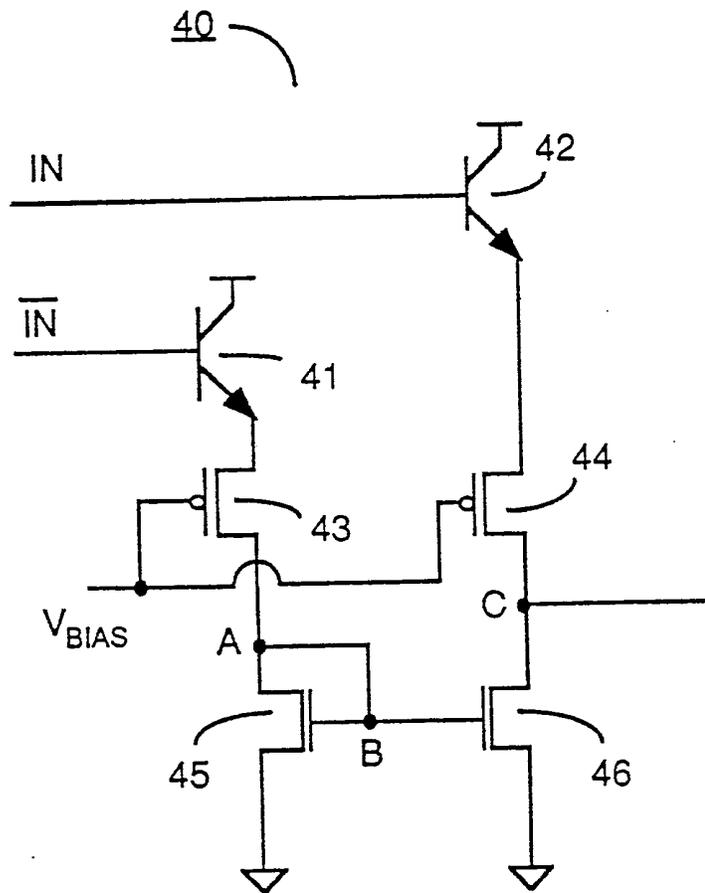


FIG. 4