

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 24.08.90.

③0 Priorité :

④3 Date de la mise à disposition du public de la demande : 28.02.92 Bulletin 92/09.

⑤6 Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *Société dite: THOMSON CSF — FR.*

⑦2 Inventeur(s) : *Hirtz Jean Pierre et Pribat Didier.*

⑦3 Titulaire(s) :

⑦4 Mandataire : *Lardic René Thomson CSF SCPI.*

⑤4 Transistor de puissance et procédé de réalisation.

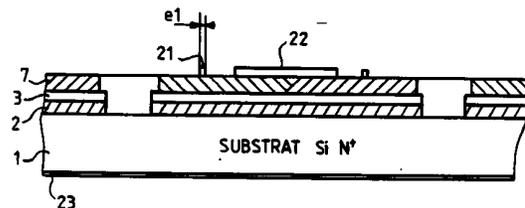
⑤7 Transistor de puissance comportant sur une couche d'isolant 3, une couche 7 d'un matériau semiconducteur comprenant plusieurs zones dopées N+, N et N+.

La zone dopée N correspond à la zone de grille.

Les zones N+ correspondent aux zones de drain et de source.

L'invention concerne également un procédé de réalisation d'un tel transistor.

APPLICATION: Réalisation d'un transistor à effet de champ à dissipation thermique améliorée.



## TRANSISTOR DE PUISSANCE ET PROCEDE DE REALISATION

L'invention concerne un transistor de puissance et son procédé de réalisation. Elle est applicable à la réalisation de transistors en matériaux semiconducteurs d'un type donné réalisé sur un substrat de type différent, par exemple un transistor en matériau III-V tel que du GaAs sur substrat silicium.

La croissance épitaxiale de GaAs sur silicium offre des ouvertures technologiques importantes dans le domaine des composants de puissance.

Les performances électriques des transistors en GaAs ou matériaux III-V sont bien connues, mais il est connu également que l'arséniure de gallium est cher, fragile et est un mauvais conducteur thermique. Par contre, le silicium est relativement économique, moins fragile, bon conducteur thermique, mais les transistors en silicium ont des performances électriques limitées en fréquence.

Cette opposition entre les caractéristiques du GaAs et du silicium a amené, depuis peu de temps, à réaliser des transistors dans une couche de GaAs épitaxiée sur un substrat de Si : le transistor a les performances du GaAs, il est moins coûteux en matériau semiconducteur, et la plaquette de Si est moins fragile, donc les rendements sont meilleurs.

Cette solution est intéressante pour les transistors faible bruit, de petites dimensions, qui dissipent peu de chaleur au niveau du canal. Elle est difficilement applicable aux transistors de puissance qui dissipent plus de chaleur : pour un transistor délivrant 1 watt aux fréquences millimétriques, la région du canal dissipe 3 watts. Or le canal du transistor repose toujours sur une couche GaAs semi-isolant électrique, pour empêcher le courant de fuir vers le substrat en Si qui est toujours conducteur électrique : il est au mieux très résistif, car on ne sait pas faire de Si isolant électrique.

Cette couche de GaAs isolant électrique constitue donc aussi une barrière thermique, qui s'oppose à l'évacuation de la chaleur par le substrat Si.

5 Selon une technique connue pour un transistor GaAs, sur substrat GaAs (en réalisaiton massive ou "bulk") la chaleur est pompée par la face arrière, au moyen de trous qui traversent toute l'épaisseur du corps du transistor, et sont bouchés par un métal. Mais la réalisation de ces trous est obtenue au prix d'un procédé compliqué de collage de la  
10 plaquette par sa face avant, ou face supérieure, sur un support, suivi d'un rodage du substrat GaAs qui est pratiquement remplacé par un radiateur métallique, en or le plus souvent.

15 Avec une telle technologie, dite "face arrière", complexe dans sa réalisation, les rendements obtenus sont souvent faibles (inférieurs à 50 %).

De plus, cette technologie est difficilement adaptable aux transistors GaAs/Si.

20 Selon une autre technique connue, l'une des deux régions d'accès du transistor, c'est-à-dire la source ou le drain, est munie d'un puits thermique métallique qui traverse la ou les couches de GaAs pour être en contact avec le substrat silicium et qui conduit aussi la chaleur dégagée en fonctionnement vers le substrat silicium qui est meilleur  
25 conducteur thermique et qui dissipe la chaleur. Cependant cette technique nécessite une couche tampon épaisse de GaAs, entre le substrat de Si et la couche active de GaAs. On perd ainsi une partie significative de l'avantage que constitue la dissipation thermique du silicium.

30 Enfin, cette technologie du transistor GaAs/Si exige de percer la couche de GaAs au centre du contact de source de façon à interconnecter les sources, via le substrat de Si très fortement dopé. Cette technologie dite via-trou est relativement difficile à mettre en oeuvre pour une structure GaAs/Si.

L'invention propose un transistor de structure différente des structures connues et un procédé de réalisation.

En ce qui concerne le procédé de réalisation, les demandes de brevets français n° 88 04 437 et n° 88 04 438  
5 décrivent un procédé de croissance d'une couche de matériau semiconducteur d'un type donné (GaAs par exemple) sur un autre semiconducteur (silicium par exemple) et cela sans défaut.

De plus, la couche peut présenter une modulation de dopage selon le plan de la couche comme cela est décrit dans la  
10 demande de brevet français n° 89 04 257.

L'invention concerne donc un transistor, caractérisé en ce qu'il comporte :

- sur un substrat au moins une zone recouverte d'une couche d'un matériau isolant et accolé à cette zone au moins un  
15 élément en matériau semiconducteur fortement dopé d'un type déterminé ;

- sur la couche de matériau isolant au moins une couche en matériau semiconducteur comprenant trois parties alignées : une première partie fortement dopée qui touche  
20 l'élément en matériau semiconducteur, une deuxième partie intermédiaire dopée de même type que la première partie mais plus faiblement, une troisième partie opposée à la première partie par rapport à la deuxième partie et fortement dopée du même type que la première partie ;

25 - des contacts de source et de drain situés sur la première et troisième partie et un contact de grille situé sur la deuxième partie.

L'invention concerne également un procédé de réalisation d'au moins un transistor, caractérisé en ce qu'il  
30 comporte les différentes étapes suivantes :

a) réalisation d'une cavité comprise entre deux couches et définie par une première et une deuxième faces parallèles de ces couches, ladite cavité comportant dans son épaisseur au moins un élément en matériau semiconducteur ainsi qu'une ouverture traversant l'une des couches et aboutissant

sensiblement perpendiculairement à une l'une des faces parallèles, lesdites couches étant en matériaux tels qu'il ne peut y avoir ni nucléation, ni dépôt de semiconducteur ;

5 b) épitaxie par ladite ouverture d'un matériau de même type que celui dudit élément de façon à remplir la cavité, le matériau épitaxié étant fortement dopé dans une première partie au début de l'épitaxie puis faiblement dopé dans une deuxième partie et enfin fortement dopé dans une troisième partie en fin d'épitaxie ;

10 c) retrait de la couche comportant l'ouverture ;

d) réalisation d'un contact de source sur la première partie du matériau épitaxié, d'un contact de grille sur la deuxième partie du matériau épitaxié et d'un contact de drain sur la troisième partie du matériau épitaxié.

15

Les différents objets et caractéristiques de l'invention apparaîtront plus clairement dans la description qui va suivre et dans les dessins annexés qui représentent :

20 - les figures 1 à 10, un exemple de procédé de réalisation selon l'invention ;

- la figure 11, un arrangement d'un ensemble de transistors selon l'invention.

25 En se reportant aux figures 1 à 10, on va tout d'abord décrire un exemple du procédé de réalisation selon l'invention.

Ce procédé comporte les différentes étapes suivantes :

#### **ETAPE 1**

30 Sur un substrat 1 de silicium fortement dopé, on réalise une épitaxie de GaAs très fortement dopé, par exemple par MBE ou MOCVD. On obtient une couche 2 en GaAs dopé (figure 1).

#### **ETAPE 2**

Sur cette couche 2 un premier masque (couche 3) en matériau isolant est déposé. Une bonne conduction thermique de ce masque est importante pour la dissipation thermique du

MESFET de puissance. Ce masque pourrait être par exemple en  $\text{Al}_2\text{O}_3$  polycristallin ou en  $\text{BeO}$  polycristallin ou en diamant polycristallin ou en  $\text{AlN}$  (figure 2).

### ETAPE 3

5 Un deuxième masque (couche 4) est déposé sur la couche 3. Ce masque doit présenter une bonne sélectivité d'attaque chimique par rapport au premier masque. Il peut être, par exemple, en silicium amorphe (figure 3).

### ETAPE 4

10 Des ouvertures 10, 10' sont réalisées localement dans les deux masques (couches 3 et 4) jusqu'à la surface de GaAs (figure 4).

### ETAPE 5

15 Une épitaxie localisée et sélective de GaAs fortement dopé est réalisée dans ces ouvertures, par exemple en épitaxie en phase vapeur à base de chlorures. La surface de ce dépôt localisé de GaAs doit affleurer la surface du deuxième masque. On obtient ainsi, dans les ouvertures 10, 10', les éléments 5, 5' en GaAs fortement dopé.

### ETAPE 6

20 Un troisième masque (couche 6) est déposé sur toute la surface, éléments 5, 5' et couche 4. Ce troisième masque doit présenter une bonne sélectivité d'attaque par rapport au deuxième masque. Il est, par exemple, en  $\text{Si}_3\text{N}_4$ . (figure 6).

### ETAPE 7

25 Une ouverture 11 au moins est réalisée dans le troisième masque, grâce à une attaque sélective par rapport au deuxième masque. Cette ouverture est réalisée à mi chemin entre les éléments 5, 5' (voir figure 7).

### ETAPE 8

30 Le deuxième masque (couche 4) est entièrement attaqué et éliminé grâce à une attaque sélective par rapport aux premier et troisième masques. On obtient ainsi comme cela est représenté en figure 8, une cavité 12 vide de tout matériau sous la couche 6.

**ETAPE 9**

La zone active du transistor à fabriquer est ensuite réalisée par épitaxie latérale suivant les procédés décrits dans les demandes de brevet français 88 04 437 et 88 04 438. Les éléments 10, 10' en GaAs déposés au cours de l'étape 5 précédente, servent de germes de croissance pour l'épitaxie de GaAs à l'intérieur de la cavité 12. Les défauts de croissances se trouvent localisés dans la région proche du germe (élément 5, 5'). Ils sont en effet confinés par les deux interfaces 13 et 14 de la cavité 12. Cette épitaxie latérale offre de plus la possibilité d'une modulation de dopage. Pour cela, comme cela est décrit dans la demande de brevet n° 89 04 257, on introduit un gaz dopant durant l'opération d'épitaxie de façon à doper le matériau épitaxié dans la cavité 12. Le dopage est réalisé de telle façon qu'au début de l'épitaxie on obtienne un dopage N<sup>+</sup>, puis, par réduction de la pression partielle du gaz dans le réacteur d'épitaxie, on obtient un dopage N, puis à nouveau un dopage N<sup>+</sup> en réaugmentant la pression partielle du gaz. Ainsi une structure constituée d'une couche 7 plane possédant une modulation latérale serait bien adaptée pour les régions source - grille - drain d'un MESFET (figure 9).

**ETAPE 10**

Après retrait du troisième masque (couche 6) par attaque chimique, une procédure très simplifiée de réalisation de MESFET de puissance sera réalisée. En particulier, l'étape critique du via-trou servant pour l'interconnexion des sources sera supprimée. La réalisation des contacts de sources sera assurée par le GaAs N<sub>+</sub>, qui sert de germe pour l'épitaxie latérale. Les contacts de sources (qui permettront de diminuer les résistances latérales d'accès et de court-circuiter le GaAs sous jacent) seront déposés directement sur les zones de germe et régions adjacentes. Les contacts de grilles et drains 21 et 22 sont définis sur le matériau déposé par épitaxie latérale. En particulier les contacts de grille 21 seront réalisés sur les zones intermédiaires dopées N. Les contacts de drain 22 seront

réalisés sur les zones dopés N<sup>+</sup> situées à proximité de l'emplacement des ouvertures 11 (voir figure 10). Un contact drain 22 peut être commun à deux transistors. La technologie du MESFET ainsi réalisée est entièrement face avant. De plus  
5 l'étape critique du via-trou est donc ainsi supprimée (figure 11). L'amélioration du durcissement aux rayonnements électromagnétiques de ce MESFET sera assuré par le caractère semiconducteurs sur isolant de la structure.

On peut le voir sur la figure 11, le procédé de  
10 l'invention permet de réaliser plusieurs transistors dans un même plan, l'interconnexion des drains et des grilles se faisant aisément, l'interconnexion des sources étant assurée par le substrat en Si.

Selon une variante de l'invention, représentée sur la  
15 figure 12, on élimine par gravure chimique (ou RIE) le GaAs défectueux, c'est-à-dire les germes 5 et 5' et les régions immédiatement adjacentes, et en utilisant le même masque, on remplace ce matériau par deux contacts (24, 25), au cours d'une opération de type "lift off".

20 Selon l'exemple de réalisation précédent on a prévu au cours de la première étape de réaliser une couche épitaxiée de GaAs fortement dopée par MBE ou MOCVD.

Cependant selon une variante de l'invention, on ne réalise pas cette première étape. La couche 3 d'isolant est  
25 alors réalisée directement sur le substrat et les autres étapes du procédé sont réalisées comme cela a été décrit précédemment. Comme cela a été décrit dans la demande de brevet 88 04 438, les dislocations qui se produisent par suite de l'épitaxie des éléments 5 et 5' en GaAs sur le substrat silicium, sont réduites  
30 voire bloquées par les faces 13 et 14 des deux couches 3 et 6. On obtient ainsi une structure telle que représentée en figure 14. La figure 15 représente de plus une variante des exemples de réalisation des figures 12 et 14. Cette variante ne comprend pas de couche 2 de GaAs et possède, à la place des éléments 5, 5', des contacts 24, 25.

A titre d'exemple, l'épaisseur de chaque couche 2, 3, 4, 6 précédente et notamment l'épaisseur de la cavité 12, ont des épaisseurs comprises entre 0,1 et 1 micromètre. La largeur de la grille indiquée e1 sur la figure 12 est d'environ 0,1 à 1 micromètre. L'espacement entre la source et le drain (entre 22 et 24) est d'environ 10 à 100 micromètres.

Les principaux avantages de la présente invention sont les suivants :

- la couche active du MESFET GaAs/Si présente une densité de dislocations beaucoup plus faible ;
- la dissipation thermique est améliorée ;
- le durcissement est amélioré ;
- le procédé de réalisation du MESFET est très sensiblement simplifié.

La description qui précède n'a été donnée qu'à titre d'exemple et d'autres variantes peuvent être envisagées sans sortir du cadre de l'invention. Notamment, on a décrit la réalisation de transistor AsGa réalisé sur substrat silicium mais on pourrait envisager d'autres matériaux semiconducteurs. De même on pourrait envisager d'avoir le substrat et le transistor réalisés tous deux avec un même matériau semiconducteur.

**REVENDICATIONS**

1. Transistor caractérisé en ce qu'il comporte :

5 - sur un substrat (1) au moins une zone recouverte d'une couche d'un matériau isolant (3) et accolée à cette zone au moins un élément (5, 5') en matériau semiconducteur fortement dopé d'un type déterminé ;

10 - sur la couche de matériau isolant (3) au moins une couche en matériau semiconducteur (7) comprenant trois parties alignées : une première partie fortement dopée qui touche l'élément (5, 5') en matériau semiconducteur, une deuxième partie intermédiaire dopée de même type que la première partie mais plus faiblement ; une troisième partie opposée à la première partie par rapport à la deuxième partie et fortement dopée du même type que la première partie ;

15 - des contacts de source et de drain (20, 22) situés sur la première et troisième partie et un contact de grille (21) situé sur la deuxième partie.

20 2. Transistor selon la revendication 1, caractérisé en ce qu'il comporte également entre le substrat (1) d'une part, et la couche de matériau isolant (3) et l'élément (5, 5') d'autre part, une couche en matériau semiconducteur de même composition que l'élément (5, 5') et fortement dopé.

25 3. Transistor selon la revendication 2, caractérisé en ce que le contact de source ou de drain est situé sur une face du substrat.

4. Transistor selon la revendication 1, caractérisé en ce que le substrat (1) est fortement dopé de façon à être conducteur électrique et qu'il comporte au moins un contact de source ou de drain.

30 5. Procédé de réalisation d'au moins un transistor, caractérisé en ce qu'il comporte les différentes étapes suivantes :

a) réalisation d'une cavité comprise entre deux couches (3, 6) et définie par une première et une deuxième faces parallèles(13, 14) de ces couches, ladite cavité comportant dans son épaisseur au moins un élément en matériau  
5 semiconducteur (5, 5') ainsi qu'une ouverture (11) traversant l'une des couches (6) et aboutissant sensiblement perpendiculairement à une l'une des faces parallèles (14), lesdites couches (3, 6) étant en matériaux tels qu'il ne peut y avoir ni nucléation, ni dépôt de semiconducteur ;

10 b) épitaxie latérale par ladite ouverture (11), d'un matériau de même type que celui dudit élément (5, 5') de façon à remplir la cavité (12) le matériau épitaxié étant fortement dopé dans une première partie au début de l'épitaxie puis faiblement dopé dans une deuxième partie et enfin fortement dopé dans une  
15 troisième partie en fin d'épitaxie ;

c) retrait de la couche (6) comportant l'ouverture (11) ;

d) réalisation d'un contact de source sur la première partie du matériau épitaxié, d'un contact de grille sur la  
20 deuxième partie du matériau épitaxié et d'un contact de drain sur la troisième partie du matériau épitaxié.

6) Procédé selon la revendication 5, caractérisé en ce que l'une des couches (3) réalisant la cavité ainsi que l'élément en matériau semiconducteur dopé (5, 5') sont situés à  
25 la surface d'un substrat (1) en matériau semiconducteur fortement dopé et le contact de source (23) est réalisé sur le substrat.

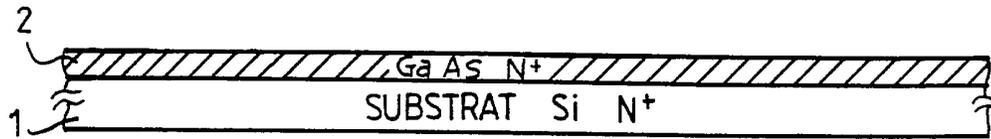
7) Procédé selon la revendication 5, caractérisé en ce que la réalisation de la cavité (12) est précédée par la  
30 réalisation d'une couche (2) en matériau semiconducteur et que la couche (3) déterminant la cavité et ne comprenant pas d'ouverture (11) est réalisée sur la couche (2) en matériau semiconducteur.

8) Procédé selon l'une des revendications 5 ou 7, caractérisé en ce qu'il comporte, après l'étape d'épitaxie

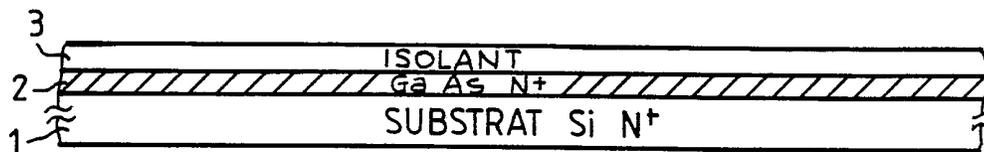
latérale, une étape de gravure dudit élément (5, 5') et une étape de dépôt dans l'emplacement ainsi gravé de contacts (24, 25).

1/4

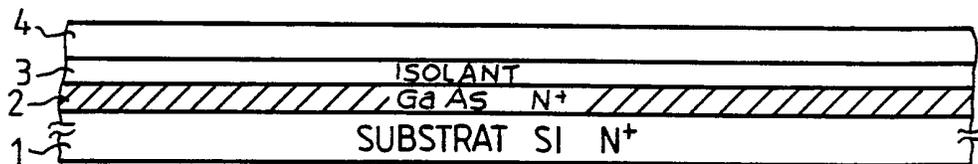
FIG\_1



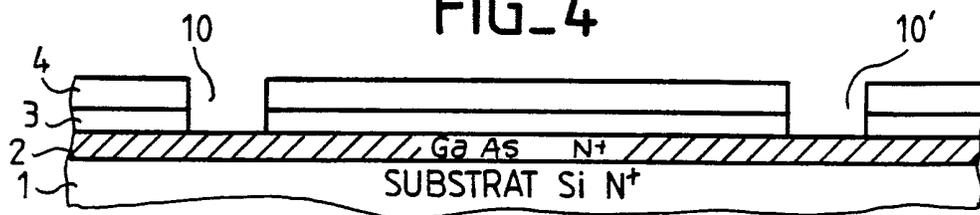
FIG\_2



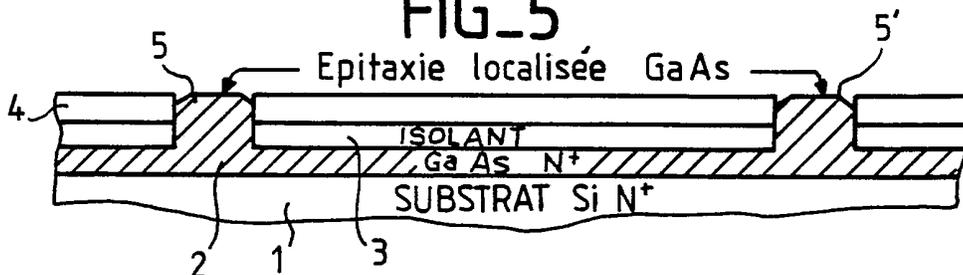
FIG\_3



FIG\_4

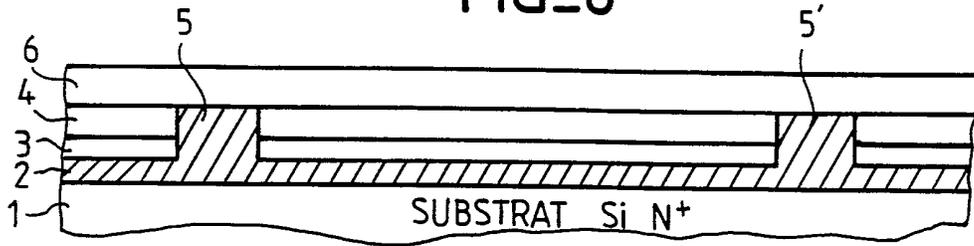


FIG\_5

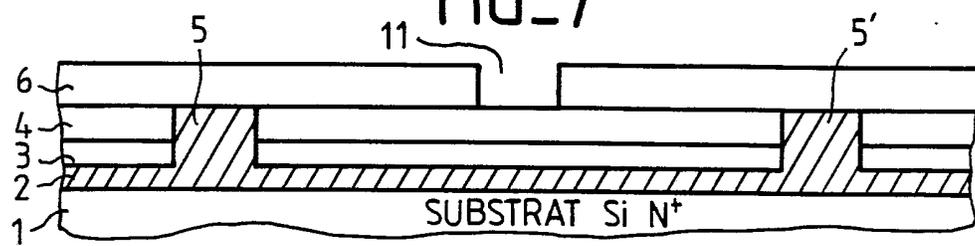


2/4

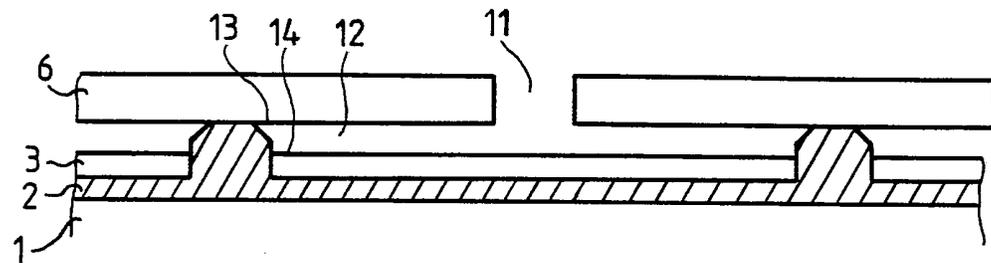
FIG\_6



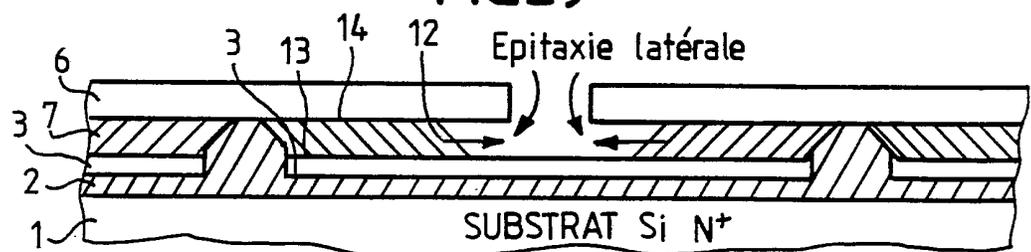
FIG\_7



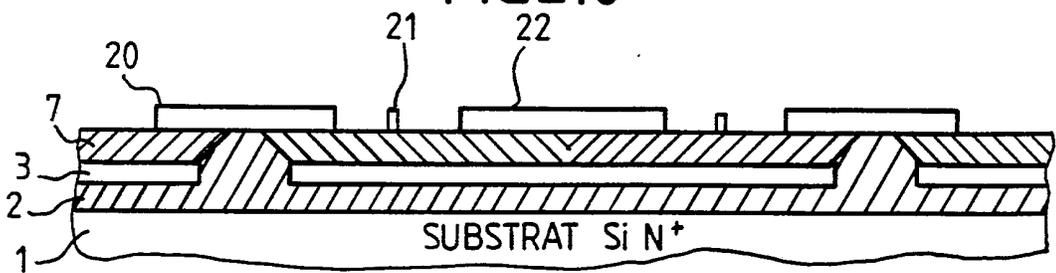
FIG\_8



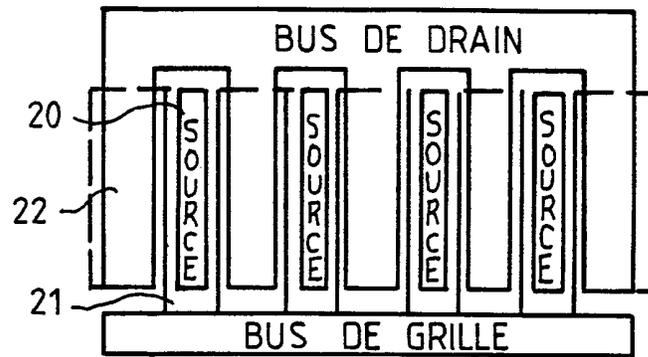
FIG\_9



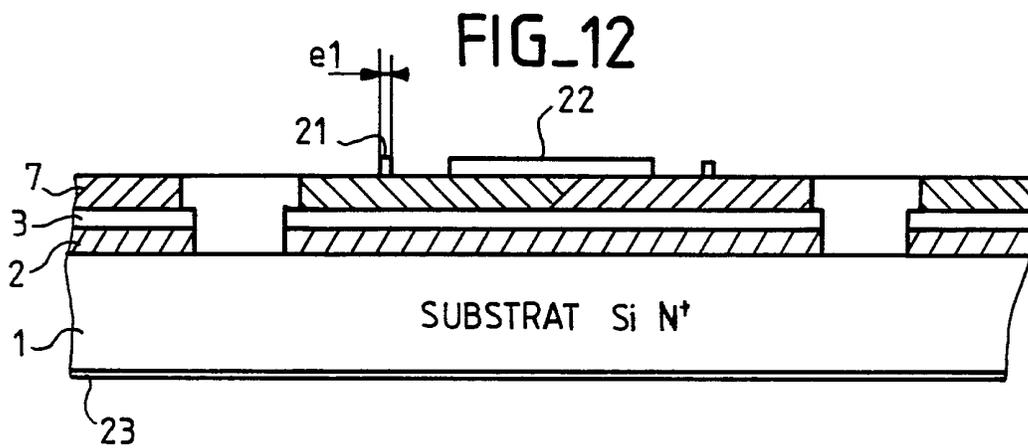
FIG\_10



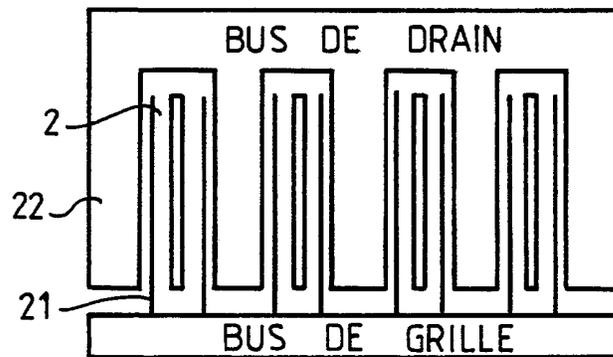
3/4



FIG\_11



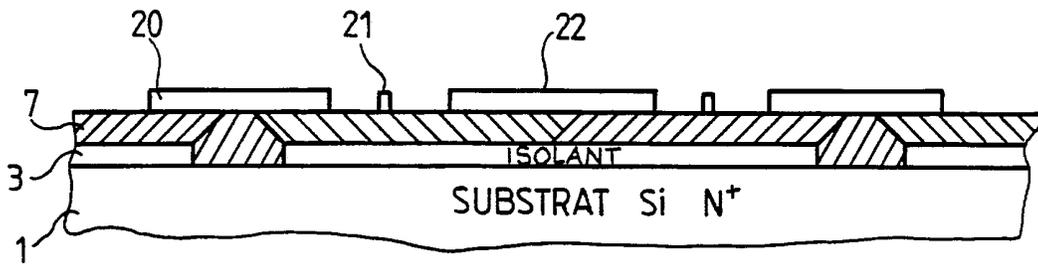
FIG\_12



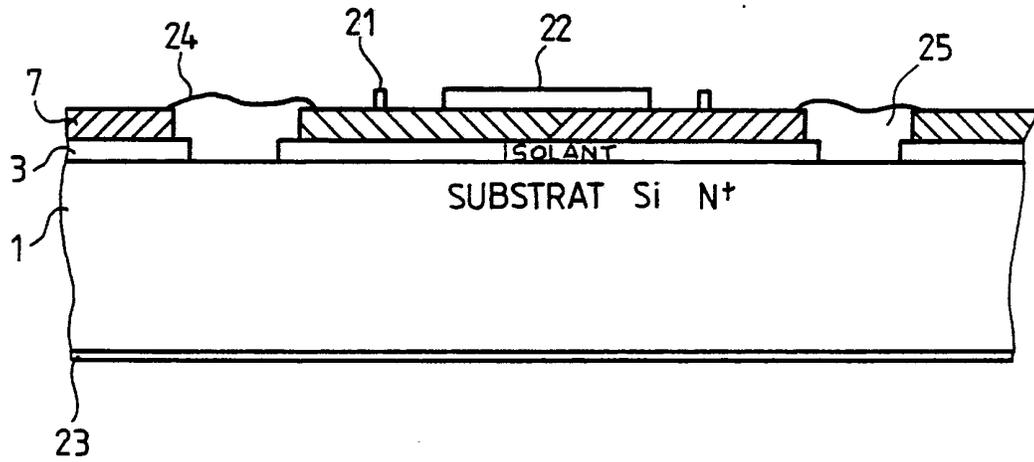
FIG\_13

4/4

FIG\_14



FIG\_15



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FR 9010629  
FA 447092

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée	
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US-A-4907053 * colonne 20, lignes 45 - 64; figure 23C * ---	1, 3, 4, 6	
X	EP-A-73487 (KABUSHIKI KAISHA TOSHIBA) * abrégé; figure 2D * ---	1, 3, 4	
X	EXTENDED ABSTRACTS OF THE 19TH CONFERENCE ON SOLID STATE DEVICES AND MATERIALS AUGUST 25-27, 1987 TOKYO pages 179 - 182; K. KUSUKAWA et al: "MOS-FETs Fabricated by SPE-SOI Technology" * alinéa 3; figure 2 * ---	1, 3	
D,Y	EP-A-336831 (THOMSON-CSF) * abrégé; figures 2, 3 * ---	5	
Y	EP-A-98111 (RCA CORPORATION) * abrégé; figures 1-8 * * page 9, lignes 7 - 13 * ---	5	
A	EP-A-281335 (CANON KABUSHIKI KAISHA) * abrégé; figures 1, 2 * ---	5	DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
A	EP-A-241316 (CANON KABUSHIKI KAISHA) * page 13, lignes 37 - 62; figure 22 * -----	2, 7	H01L
Date d'achèvement de la recherche		Examinateur	
23 MAI 1991		MIMOUN B. J.	
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      I : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>			

1

EPO FORM 1503 03.82 (P0413)