(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 2000년01월15일
(11) 등록번호 10-0237757
(24) 등록일자 1999년10월11일

(21) 출원번호 10-1997-0029701
(22) 출원일자 1997년06월30일
(65) 공개번호 특1999-0005503
(43) 공개일자 1999년01월25일

(73) 특허권자 현대전자산업주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 안희복
경기도 이천시 대월면 사동리 현대아파트 111/404
김천수
서울특별시 강동구 상일동 주공아파트 721-503
(74) 대리인 박해천, 원석희

심사관 : 김용정

(54) 반도체 장치의 소자분리막 형성방법

요약

1. 청구범위에 기재된 발명이 속한 기술 분야

반도체 장치의 형성 방법.

2. 발명이 해결하고자 하는 기술적 과제

국부 산화막 하부에 형성되는 채널 정지 영역의 횡방향으로의 확산을 방지할 수 있고, 또한 소스 및 드레인의 확산층의 농도 변화를 방지하여 소자 특성 파라미터인 문턱 전압이 상승하는 것을 방지하고자 함.

3. 발명의 해결 방법의 요지

국부 산화막 형성시 반응 촉매 물질을 첨가하여 국부 산화막의 성장 속도를 빠르게 하고자 함.

4. 발명의 중요한 용도

반도체 장치 제조 공정에 이용됨.

대표도

도2d

명세서

도면의 간단한 설명

도1A 내지 도1D는 종래의 국부 산화막 형성을 나타내는 공정 단면도,

도 2A 내지 도2D는 본 발명의 일실시예에 따른 반도체 장치의 소자 영역의 절연막 제조 방법을 나타내는 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 실리콘 기판 22 : 패드 산화막
23 : 질화막 24 : 소자 분리 마스크 패턴
25 : 국부 산화막 26 : 채널 스탑 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 공정에 관한 것으로, 특히 소자분리막 하부의 기판에 주입된 불순물(채널

스탑 불순물)이 활성 영역으로 확산되는 것을 방지하는 반도체 장치의 소자분리막 형성 방법에 관한 것이다.

일반적으로, 소자 분리(Isolation) 기술은 집적 소자를 구성하는 개별 소자를 전기적 및 구조적으로 분리시켜, 소자가 인접한 소자의 영향을 받지 않고 그 주어진 기능을 제대로 수행할 수 있도록, 집적 소자 제조시 부여하는 기술이다. 고밀도 또는 고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자의 면적을 축소하는 것도 필요한 동시에 소자와 소자 사이에 존재하는 소자 분리 영역의 폭 및 면적을 축소하는 것도 필요하다. 이 축소 정도가 셀 크기를 좌우한다는 점에서, 소자 분리 기술은 메모리 셀 크기를 결정하는 요소 중의 하나이다. 여러 가지 종류의 집적 회로가 각기 다소 다른 소자 분리 조건을 요구하였기에 다양한 소자 분리 기술이 개발되어 왔다. 즉 각 소자 분리 기술이 나타내는 특징이 각기 달라 각 소자의 용도에 따라 소자 분리 특징이 선택되어 이용되어 왔다. 초기의 소자 분리 기술은 바이폴라 집적회로에서 사용되던 PN접합 분리 방법이고, 오늘날은 1970년경에 필립스사에서 발표한 LOCOS(LOCal Oxidation of Isolation)가 모스 트랜지스터에서 사용되는 추세이다.

일반적인 설명이지만 좀더 추가하면, 반도체는 진성반도체와 외인성 반도체로 나뉘며 진성반도체는 불순물이 함유되지 않는 순수한 결정이며, 외인성 반도체는 여러 가지 부수적인 목적을 달성하기 위하여 고의로 불순물을 첨가한 반도체를 말한다. 여기서 외인성 반도체는 첨가되는 불순물에 따라 N형 및 P형으로 분류되는데, N형 반도체는 전류 캐리어중 홀(HOLE)보다 상대적으로 많은 전자를 갖게 하기 위하여 원소 주기율표의 5가 원소, 예를 들면 인(P),비소(As) 등이 첨가되고, 반대로 P형 반도체는 전류 캐리어중 전자 보다 상대적으로 많은 홀을 갖게 하기 위하여 원소 주기율표의 3가 원소 ,예를 들면 붕소(B),갈륨(In)등이 첨가된다.

도1A 내지 도1D는 종래의 국부 산화막 형성을 나타내는 공정 단면도이다.

먼저, 도1A에 도시된 바와 같이, 실리콘 기판(11)상에 예를 들면 P형 웰 실리콘 기판 상에 질화막으로 인한 스트레스 방지를 위해 패드 산화막(12)과 질화막(13)을 차례로 적층한다.

다음으로, 도1B에 도시된 바와 같이, 소자 분리 마스크(14)를 이용한 식각공정으로 질화막(13)과 산화막(12)을 식각 하여 국부 산화막이 형성될 부위의 P형 실리콘 기판(11)이 노출되게 한다.

다음으로, 도1C에 도시된 바와 같이, 소자들간의 절연을 확실하게 하기 위하여 노출된 P형 실리콘 기판(!1)에 채널 스탑 이온 주입을 실시한다. 예를 들어 P형 실리콘 기판(11)에 형성되는 N채널의 채널 스탑 이온 주입 영역(16)의 형성을 위하여 국부 산화막 형성하기 전에 P형 실리콘 기판에 P^+영역을 형성한다. 이러한 채널 스탑 이온 주입 영역(16) 형성을 위하여 BF_2를 소스로 한다.

마지막으로, 도1D에 도시된 바와 같이, 소자 분리 마스크 패턴(14)을 제거하고 산소 및 수소이온 가스를 반응 시켜 950℃의 온도에서 열 공정 하여 채널 스탑 이온 주입 영역(16)상부에 국부 산화막(15)을 형성한다.

그런데, 여기서 열 공정 하는 동안 채널 스탑 이온 주입 영역(16)의 BF_2불순물이 횡방향으로 확산되면서 소자 형성 영역의 캐리어 농도에 영향을 준다. 이에 소자 특성 중의 하나인 문턱 전압을 상승시키는 문제점이 수반되고 있다. 즉, 소자 분리 영역이 아닌 활성 영역으로 채널 스탑 불순물이 확산되어 활성 영역상에 형성되는 트랜지스터의 문턱 전압을 상승시키게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 반도체 장치의 소자 분리막 형성시, 국부 산화막 하부에 형성되는 채널 스탑 불순물의 횡방향으로의 확산을 방지하여, 소스 및 드레인 확산층의 농도 변화를 방지하여 소자 특성 파라미터인 문턱 전압이 상승하는 것을 방지할 수 있는 반도체 장치의 소자 분리막 형성 방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명의 반도체 장치의 제조 방법은, 채널 스탑 불순물의 측면 확산 방지를 위한 반도체 장치 제조 방법에 있어서, 반도체 기판상에 질화막을 형성하고, 소자 분리 마스크를 이용하여 상기 반도체 기판이 노출된 질화막 패턴을 형성하는 단계; 상기 노출된 반도체 기판에 채널 스탑 영역 형성을 위한 불순물과 상기 반도체 기판의 산화를 위한 불순물을 주입하는 단계; 및 열산화 공정으로 소자분리막을 형성하는 단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도2A 내지 도2D는 본 발명의 일실시예에 따른 반도체 장치의 국부 산화막 형성 공정을 나타내는 단면도이다.

먼저, 도2A에 도시된 바와 같이, 실리콘 기판 상에 예를 들면 P형 웰(21) 실리콘 기판 상에 스트레스를 방지하기 위한 패드 산화막(22)과 질화막(23)을 차례로 적층한다.

다음으로, 도2B에 도시된 바와 같이, 소자 분리 마스크(24)를 이용한 식각공정으로 질화막(23), 산화막(22)을 식각 하여 국부 산화막이 형성될 부위의 P형 실리콘 기판(21)이 노출되게 한다.

다음으로, 도2C에 도시된 바와 같이, 채널 스탑 이온 주입을 실시하는데, 본 발명에서는 채널 스탑 이온 주입과 동시에 국부 산화막 형성을 활성화시키는 불순물을 같이 주입한다. 예를 들어 P형 실리콘 기판(21)에 형성되는 N채널의 채널 스탑 이온 주입 영역(26)의 형성을 위하여 소자 분리 영역의 P형 실리콘

기판에 P^+ 영역을 형성하는데, 여기서 채널 스탑 이온 주입 영역(26) 형성을 위하여 BF_2 를 주입함과 동시에, 산화막 형성을 활성화시키는 물질로 예를 들면, 염소(Cl) 함께 이온 주입 공정 한다. 이러한 채널 스탑 이온 주입 영역(26) 형성시 염소의 첨가는 같은 공정 조건하에서도 국부 산화막의 형성시간을 줄이고, 이에 열 공정시 횡방향으로 성장하는 채널 스탑 이온 주입 영역의 면적을 축소시킨다. 즉, 채널 스탑 불순물이 국부 산화막 형성을 위한 열 공정시 활성 영역으로 확산되는 것을 방지한다.

여기서, 채널 스탑 이온 주입 공정은 도즈(DOSE)량을 1.0E13 내지 1.0E14로 하고, 60 내지 80KeV의 에너지로 실시한다.

마지막으로, 도2D에 도시된 바와 같이, 소자 분리 마스크 패턴(24)을 제거하고 산소, 수소 및 염소를 포함하는 분위기에서 반응시켜 800℃ 내지 1000℃의 온도에서 열 공정하면 채널 스탑 이온 주입 영역(26)상에 국부 산화막(25)이 형성된다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은, 반도체 장치의 소자분리막 형성 공정시 채널 스탑 영역을 형성하고 국부 산화막을 형성함에 있어서, 채널 스탑 영역의 형성을 위한 이온 주입 공정시 산화막 형성의 촉매제인 염소를 첨가하여 이온 주입 공정을 함으로, 이로 인하여 채널 스탑 영역의 횡방향으로의 확산을 방지할 수 있고, 또한 소스 및 드레인의 확산층의 농도 변화를 방지하여 소자 특성 파라미터인 문턱 전압이 상승하는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1

채널 스탑 불순물의 측면 확산 방지를 위한 반도체 장치 제조 방법에 있어서,

반도체 기판 상에 질화막을 형성하고, 소자 분리 마스크를 이용하여 상기 반도체 기판이 노출된 질화막 패턴을 형성하는 단계;

상기 노출된 반도체 기판에 채널 스탑 영역 형성을 위한 불순물과 상기 반도체 기판의 산화를 위한 불순물을 주입하는 단계; 및

열산화 공정으로 소자분리막을 형성하는 단계

를 포함하여 이루어지는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 채널 스탑 영역 형성을 위한 불순물은

상기 반도체 기판과 동일한 전도형의 불순물로 형성하는 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서,

상기 반도체 기판은 실리콘 기판이며, 상기 산화막 형성 촉매 물질은 염소를 포함하여 이루어지는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 열산화 공정은 산소, 수소, 및 염소를 포함하는 가스 분위기와 800내지 1000℃의 온도 하에서 이루어지는 반도체 장치의 제조 방법.

청구항 5

제2항에 있어서,

상기 채널 스탑 영역 형성을 위한 불순물은 BF_2을 포함하여 이루어지는 반도체 장치의 제조 방법.

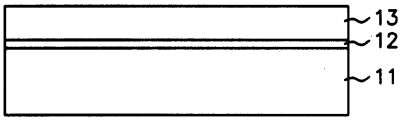
청구항 6

제4항에 있어서,

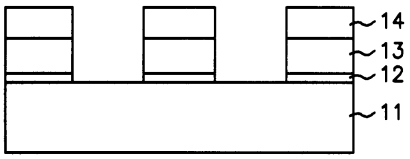
상기 채널 스탑 영역 형성을 위한 불순물은 60KeV 내지 80KeV의 전기장으로, 1.0E13 내지 1.0E14의 불순물 양으로 이루어지는 반도체 장치의 제조 방법.

도면

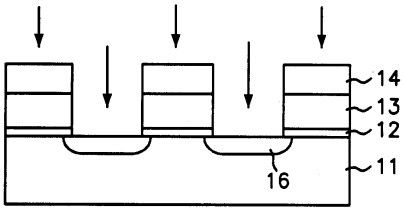
도면1



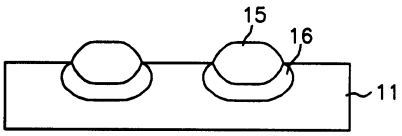
도면1b



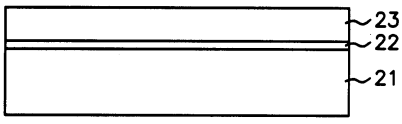
도면1c



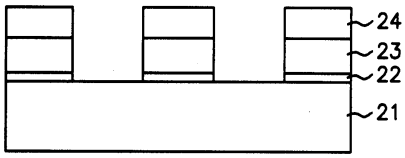
도면1d



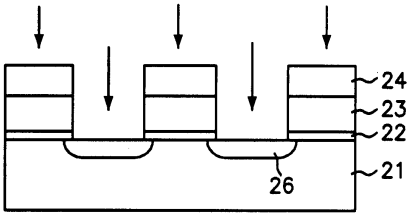
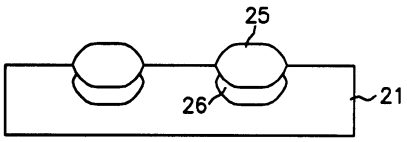
도면2a



도면2b



도면2c



도면2d